(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월10일
(11) 등록번호 10-0783868
(24) 등록일자 2007년12월03일

(51) Int. Cl.
H01L 21/3205 (2006.01)
(21) 출원번호 10-2001-0021109
(22) 출원일자 2001년04월19일
심사청구일자 2006년04월17일
(65) 공개번호 10-2001-0098743
(43) 공개일자 2001년11월08일
(30) 우선권주장
2000-123839 2000년04월25일 일본(JP)
(56) 선행기술조사문헌
JP11340329 A
KR1020000005759 A
KR1020000019171 A
US5976984 A

(73) 특허권자
가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고
(72) 발명자
하라카즈사토
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이
후나쯔케이스케
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이
(뒷면에 계속)
(74) 대리인
특허법인 원전

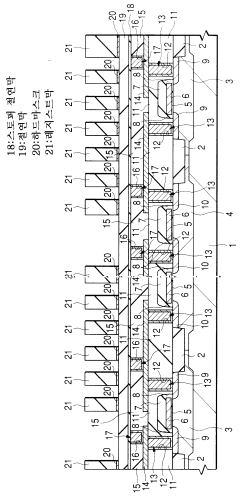
전체 청구항 수 : 총 57 항 심사관 : 김희주

(54) 반도체장치의 제조방법 및 반도체장치

(57) 요 약

플러그상에 유기막으로 이루어지는 스토퍼 절연막을 형성한 후, 절연막 및 하드마스크를 순차적으로 형성한다. 이어서, 패터닝된 레지스트막의 존재하에서 드라이에칭 처리를 시행하고, 하드마스크에 배선홈 패턴을 전사(轉寫)한다. 그 후에, 산소 플라즈마를 이용한 에이싱 처리에 의해 레지스트막을 제거하여, 배선의 홈패턴이 전사(轉寫)된 하드마스크가 형성되지만, 이때, 스토퍼 절연막을 구성하는 유기막은 절연막으로 덮여 있다. 그 후, 절연막, 스토퍼 절연막, 하드마스크를 제거하여 배선의 홈패턴을 형성한다. 다시, 플러그 형성 후에 수소어닐처리한다. 또한, 플러그상에 접착층을 통하여 스토퍼 절연막을 형성한다.

대표도 - 도6



(72) 발명자

이마이토시노리

일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이

노구치준지

일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이

오오하시나오후미

일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이

특허청구의 범위

청구항 1

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사(轉寫)하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이며,

상기 제1 절연막의 퇴적막 두께는 50 ~ 200㎚ 정도, 상기 제2 절연막의 퇴적막 두께는 200 ~ 2000㎚ 정도, 상기 하드마스크의 퇴적막 두께는 50 ~ 200㎚ 정도인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사

하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이며,

상기 제1 절연막의 퇴적막 두께는 200 ~ 3000㎚ 정도, 상기 제2 절연막의 퇴적막 두께는 100 ~ 500㎚ 정도, 상기 하드마스크의 퇴적막 두께는 50 ~ 200㎚ 정도인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

(a) 도전층이 형성된 베이스상에, 접착층, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막 및 상기 접착층으로 전사하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이고, 상기 접착층은 50㎚ 이하의 두께의 실리콘 산화막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

(a) 도전층이 형성된 베이스에 수소어닐처리를 시행한 후, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6

(a) 도전층이 형성된 베이스에 수소어닐처리를 시행한 후, 접착층, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적

으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막 및 상기 접착층으로 전사하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이고, 상기 접착층은 50㎚ 이하의 두께의 실리콘 산화막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이고, 상기 하드마스크는 금속막 또는 금속 화합물인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크 및 상기 제2 절연막의 상부로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막의 하부에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이고 , 상기 하드마스크는 실리콘 질화막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정과,

(g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과,

(h) 상기 제2 절연막의 상부가 노출하기까지, 상기 배리어 금속층 및 상기 동막을 제거하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정과,

(g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과,

(h) 상기 제2 절연막의 상부가 노출하기까지, 상기 배리어 금속층 및 상기 동막을 제거하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이며,

상기 제1 절연막의 퇴적막 두께는 50 ~ 200㎚ 정도, 상기 제2 절연막의 퇴적막 두께는 200 ~ 2000㎚ 정도, 상기 하드마스크의 퇴적막 두께는 50 ~ 200㎚ 정도인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정과,

(g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과,

(h) 상기 제2 절연막의 상부가 노출하기까지, 상기 배리어 금속층 및 상기 동막을 제거하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이며,

상기 제1 절연막의 퇴적막 두께는 200 ~ 3000㎚ 정도, 상기 제2 절연막의 퇴적막 두께는 100 ~ 500㎚ 정도, 상기 하드마스크의 퇴적막 두께는 50 ~ 200㎚ 정도인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12

(a) 도전층이 형성된 베이스상에, 접착층, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막 및 상기 접착층으로 전사하는 공정과,

(g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과,

(h) 상기 제2 절연막의 상부가 노출하기까지, 상기 배리어 금속층 및 상기 동막을 제거하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이고, 상기 접착층은 50㎚ 이하의 두께의 실리콘 산화막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13

(a) 도전층이 형성된 베이스에 수소어닐처리를 시행한 후, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정과,

(g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과,

(h) 상기 제2 절연막의 상부가 노출하기까지, 상기 배리어 금속층 및 상기 동막을 제거하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 14

(a) 도전층이 형성된 베이스에 수소어닐처리를 시행한 후, 접착층, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정과,

(g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과,

(h) 상기 제2 절연막의 상부가 노출하기까지, 상기 배리어 금속층 및 상기 동막을 제거하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이고, 상기 접착층은 50㎚ 이하의 두께의 실리콘 산화막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 15

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정과,

(g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과,

(h) 상기 제2 절연막의 상부가 노출하기까지, 상기 배리어 금속층 및 상기 동막을 제거하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이고, 상기 하드마스크는 금속막 또는 금속 화합물인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16

(a) 도전층이 형성된 베이스상에, 제1 절연막, 상기 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크상에, 레지스트 패턴을 형성하는 공정과,

(c) 상기 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 상기 레지스트 패턴의 패턴을 상기 하드마스크 및 상기 제2 절연막의 상부로 전사하는 공정과,

(d) 상기 레지스트 패턴을 제거하는 공정과,

(e) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제2 절연막의 하부에 선택적으로 전사(轉寫)하는 공정과,

(f) 상기 하드마스크의 존재하에서 에칭처리를 시행하고, 상기 하드마스크의 패턴을 상기 제1 절연막으로 전사하는 공정과,

(g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과,

(h) 상기 제2 절연막의 상부가 노출하기까지, 상기 배리어 금속층 및 상기 동막을 제거하는 공정을 갖는 반도체장치의 제조방법에 있어서,

상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막이며, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막이고, 상기 하드마스크는 실리콘 질화막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 17

제1항에 있어서,

상기 제1 절연막 및 상기 제2 절연막에, 상기 하드마스크의 패턴을 갖는 홈이 형성되고,

상기 홈상에 퇴적된 도전막을 연마함으로써, 상기 홈에 도전막이 매립되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 18

제17항에 있어서,

상기 연마에 의해, 상기 하드마스크도 제거되어, 상기 하드마스크는 없어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 19

제1항에 있어서,

상기 (f) 공정에서, 상기 하드마스크도 에칭되어, 상기 하드마스크는 없어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 20

제1항에 있어서,

상기 (e) 공정에서, 상기 제1 절연막은 상기 제2 절연막을 에칭할 때의 에칭 스토퍼층으로서 작용하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 21

제1항에 있어서,

상기 (c)공정에서, 상기 제2 절연막은 도중까지 에칭되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 22

(a) 유기막, 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크를 패터닝하여, 하드마스크의 패턴을 형성하는 공정과,

(c) 상기 하드마스크를 마스크로서 이용하여 상기 절연막을 에칭하고, 상기 하드마스크의 패턴을 상기 절연막에 선택적으로 전사하는 공정과,

(d) 상기 하드마스크를 마스크로서 이용하여 상기 유기막을 에칭하고, 상기 하드마스크의 패턴을 상기 유기막으로 전사하는 공정을 가지며,

상기 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖고,

상기 (c) 공정에서, 상기 유기막은 상기 절연막을 에칭할 때의 에칭 스토퍼층으로서 작용하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 23

제22항에 있어서,

상기 (d) 공정에서, 상기 하드마스크도 에칭되어, 상기 하드마스크는 없어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 24

제22항에 있어서,

상기 유기막 및 상기 절연막에 상기 하드마스크의 패턴을 갖는 홈이 형성되고, 상기 홈상에 퇴적된 도전막을 연마함으로써, 상기 홈에 도전막이 매립되고, 상기 연마에 의해, 상기 하드마스크도 제거되어 상기 하드마스크는 없어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 25

제22항에 있어서,

상기 (b) 공정에 있어서, 상기 절연막은 도중까지 패터닝되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 26

제22항에 있어서,

상기 유기막의 막두께는 상기 절연막의 막두께 보다도 얇은 것을 특징으로 하는 반도체장치의 제조방법.

청구항 27

제22항에 있어서,

상기 유기막은, 도전층이 형성된 베이스상에, 접착층을 통하여 형성되며, 상기 접착층의 막두께는 50㎚ 이하로 구성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 28

(a) 유기막, 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크를 패터닝하여, 하드마스크의 패턴을 형성하는 공정과,

(c) 상기 하드마스크를 마스크로서 이용하여 상기 절연막을 에칭하고, 상기 하드마스크의 패턴을 상기 절연막에 선택적으로 전사하는 공정과,

(d) 상기 하드마스크를 마스크로서 이용하여 상기 유기막을 에칭하고, 상기 하드마스크의 패턴을 상기 유기막으로 전사하는 공정과,

(e) 상기 하드마스크를 제거하는 공정을 가지며,

상기 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 29

제28항에 있어서,

상기 (d) 공정에서 상기 하드마스크도 에칭되고,

상기 (e) 공정과 상기 (d) 공정은 동일한 공정으로 행해지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 30

제28항에 있어서,

상기 유기막 및 상기 절연막에 상기 하드마스크의 패턴을 갖는 홈이 형성되며, 상기 홈상에 퇴적된 도전막을 연마함으로써, 상기 홈에 도전막이 매립되고, 상기 (e) 공정은, 상기 연마에 의해, 상기 하드마스크를 제거하는 공정인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 31

제28항에 있어서,

상기 (b) 공정에서, 상기 절연막은 도중까지 패터닝되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 32

제28항에 있어서,

상기 (c) 공정에서, 상기 유기막은 상기 절연막을 에칭할 때의 에칭 스토퍼층으로서 작용하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 33

제28항에 있어서,

상기 유기막은, 도전층이 형성된 베이스상에, 접착층을 통하여 형성되며, 상기 접착층의 막두께는 50㎚ 이하로 구성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 34

(a) 유기막, 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과,

(b) 상기 하드마스크 및 상기 절연막을 에칭하여, 하드마스크의 패턴을 형성함과 동시에, 상기 절연막의 도중까지 에칭하는 공정과,

(c) 상기 하드마스크를 마스크로서 이용하여 상기 절연막을 에칭하고, 상기 하드마스크의 패턴을 상기 절연막에 선택적으로 전사하는 공정과,

(d) 상기 하드마스크를 마스크로서 이용하여 상기 유기막을 에칭하고, 상기 하드마스크의 패턴을 상기 유기막으로 전사하는 공정을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 35

제34항에 있어서,

상기 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 36

제34항에 있어서,

상기 (c) 공정에서, 상기 유기막은 상기 절연막을 에칭할 때의 에칭 스토퍼층으로서 작용하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 37

제34항에 있어서,

상기 유기막의 막두께는 상기 절연막의 막두께 보다도 얇은 것을 특징으로 하는 반도체장치의 제조방법.

청구항 38

제34항에 있어서,

상기 유기막은, 도전층이 형성된 베이스상에, 접착층을 통하여 형성되며, 상기 접착층의 막두께는 50㎚ 이하로 구성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 39

(a) 도전층이 형성된 베이스상에, 50㎚ 이하의 막두께를 갖는 접착층을 형성하는 공정과,

(b) 상기 접착층상에 유기막을 형성하는 공정을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 40

제39항에 있어서,

상기 도전층은, 절연막중의 홈에 매립된 텅스텐막으로 구성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 41

제39항에 있어서,

상기 접착층을 형성하기 전에, 수소처리를 행하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 42

제39항에 있어서,

상기 접착층은 실리콘 산화막으로 구성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 43

도전층이 형성된 베이스상에, 접착층을 통하여 유기막이 형성되고, 상기 접착층은, 50㎚ 이하의 막두께를 갖는 것을 특징으로 하는 반도체장치.

청구항 44

제43항에 있어서,

상기 도전층은, 절연막중의 홈에 매립된 텅스텐막으로 구성되는 것을 특징으로 하는 반도체장치.

청구항 45

제43항에 있어서,

상기 접착층을 형성하기 전에, 수소처리가 행해지는 것을 특징으로 하는 반도체장치.

청구항 46

제43항에 있어서,

상기 접착층은 실리콘 산화막으로 구성되는 것을 특징으로 하는 반도체장치.

청구항 47

(a) 반도체기판상의 제1 절연막 중에, 도전층을 형성하는 공정,

(b) 상기 도전층 상 및 상기 제1 절연막 상에, 50 ㎚ 이하의 막두께를 갖는 제2 절연막을 형성하는 공정,

(c) 상기 제2 절연막상에, 실리콘 산화막보다도 낮은 비유전율을 갖는 제3 절연막을 형성하는 공정,

(d) 상기 제3 절연막상에, 실리콘 질화막보다도 낮은 비유전율을 갖는 제4 절연막을 형성하는 공정,

(e) 상기 제4, 제3 및 제2 절연막을 순차 에칭하는 것으로서, 상기 도전층과 접속하는 배선홈을 형성하는 공정,

(f) 상기 배선홈 내에, 배리어 메탈층을 형성하는 공정,

(g) 상기 배리어 메탈층상에, 동을 주성분으로 하는 막을 형성하는 공정,

을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 48

제 47 항에 있어서,

상기 제3 절연막과 상기 제2 절연막의 접착력은, 상기 제3 절연막과 상기 도전층과의 접착력보다도 큰 것을 특징으로 하는 반도체장치의 제조방법.

청구항 49

제 47 항에 있어서,

상기 (a) 공정과 상기 (b) 공정의 사이에, 수소 어닐처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 50

제 47 항에 있어서,

상기 제3 절연막은, 유기막으로 구성되어 있는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 51

제 47 항에 있어서,

상기 제4 절연막은, 실리콘 산화막에 의해 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 52

제 47 항에 있어서,

상기 도전층은, 텅스텐을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 53

(a) 반도체기판상의 제1 절연막 중에 형성된 도전층과,

(b) 상기 도전층 상 및 상기 제1 절연막 상에 형성되고, 또한, 50 ㎚ 이하의 막두께를 갖는 제2 절연막과,

(c) 상기 제2 절연막상에 형성되고, 또한, 실리콘 산화막보다도 낮은 비유전율을 갖는 제3 절연막과,

(d) 상기 제3 절연막상에 형성되고, 또한, 실리콘 질화막보다도 낮은 비유전율을 갖는 제4 절연막과,

(e) 상기 제4, 제3 및 제2 절연막에 형성되고, 또한, 상기 도전층과 접속하는 배선홈과,

(f) 상기 배선홈 내에 형성된 배리어 메탈층과,

(g) 상기 배리어 메탈층상에 형성된 동을 주성분으로 하는 막,

을 갖는 것을 특징으로 하는 반도체장치.

청구항 54

제 53 항에 있어서,

상기 제3 절연막과 상기 제2 절연막의 접착력은, 상기 제3 절연막과 상기 도전층과의 접착력보다도 큰 것을 특징으로 하는 반도체장치.

청구항 55

제 53 항에 있어서,

상기 제3 절연막은, 유기막으로 구성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 56

제 53 항에 있어서,

상기 제4 절연막은, 실리콘 산화막에 의해 형성된 막인 것을 특징으로 하는 반도체장치.

청구항 57

제 53 항에 있어서,

상기 도전층은, 텅스텐을 포함하는 것을 특징으로 하는 반도체장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<47> 본 발명은, 반도체장치의 제조기술에 관한 것으로, 특히, 이른바 다마씬(Damascen)법을 이용하여 형성된 다층 배선구조 및 그러한 다층 배선구조를 갖는 반도체장치에 적용하는 유효한 기술에 관한 것이다.

<48> 반도체장치의 고성능화 및 미세화에 따라, 다층 배선기술은 반도체장치 제조에 필요한 기술이 되고 있다. 반도체 집적회로에서의 배선층의 형성법으로서, 층간 절연층상에 알루미늄(Al) 합금 또는 텅스텐(W) 등의 고융점 금속박막을 성막한 후, 포토리소그라피(photolithography) 공정에 의해 배선용 박막상에 배선패턴과 동일한 형상의 레지스트 패턴을 형성하고, 그것을 마스크로 하여 드라이에칭 공정에 의해 배선패턴을 형성하는 방법이 알려져 있다. 그러나, 이 알루미늄 합금 등을 이용하는 방법에서는 배선의 미세화에 따라, 배선저항의 증대가 현저해져, 그것에 따른 배선지연이 증가하고, 반도체장치의 성능이 저하하는 등의 문제가 있다. 특히, 고성능의 논리 LSI(Large Scale Integrated Circuit)에서는, 그 성능 저해요인으로 인해 큰 문제가 발생하고 있다

<49> 이때문에, 층간 절연층에 형성한 홈상에 동(Cu)을 주(主)도체층으로 하는 배선용 금속을 매립한 후, 홈 외부의 여분의 금속을 CMP(Chemical Mechanical Polishing)법을 이용하여 제거함으로써 홈 내부에 배선패턴을 형성하는 방법(이른바 다마씬법)이 검토되고 있다.

<50> 그런데, 동배선을 매립한 홈이 형성되는 층간 절연층에는, 에칭 스토퍼막 및 TEOS 산화막이 하층에서 순서대로 적층된 적층구조가 제안되고 있다. TEOS 산화막은, TEOS(Tetra Ethyl Ortho Silicate : $Si(OC_2H_5)$가스와 오존(O_3)가스를 이용한 플라즈마 CVD(Chemical Vapor Deposition)법으로 성막된다. 에칭 스토퍼막으로서는, 층간 절연층을 TEOS 산화막으로 구성하는 경우, 통상 실리콘 질화막이 이용되고 있다.

<51> 그러나, 실리콘 질화막의 비유전율이 약 7 정도로 높기 때문에, 층간 절연층중에 실리콘 질화막을 설치하면, 층간 절연층 전체의 비유전율이 높아지는 문제가 발생한다. 이것은 배선간 용량의 증대를 초래하며, 반도체장치의 동작속도의 열화나 소비전력의 증대와 관계된다. 층간 절연막중에 실리콘 질화막을 포함하는 기술에 대해서는, 예를 들면 미국특허 6,051,508호에 기재되어 있다.

<52> 그래서, 비유전율이 2 ~ 3 정도로 상대적으로 낮고, TEOS 산화막에 대하여 에칭 선택비를 취할 수 있는 저유전율 재료의 채용이 검토되고, 그 중에서도, 열에 대하여 비교적 안정하고, 또, 온도에 대해서도 높은 내성을 갖는 유기 SOG(Spin On Glass)막이 층간 절연층을 구성하는 재료로서 유망시되고 있다.

발명이 이루고자 하는 기술적 과제

<53> 그러나, 유기 SOG막을 에칭 스토퍼막으로 하는 층간 절연층에, 다마씬법에 의한 다층배선을 형성하는 공정에 대하여, 본 발명자들이 검토한 바, 이하와 같은 문제가 있는 것을 인식하였다.

<54> 즉, 패터닝된 레지스트막을 마스크로 하여 TEOS 산화막 및 유기 SOG막을 순차적으로 가공함으로써 홈패턴을 형성하고, 그 후, 상기 레지스트막을 산소 플라즈마로 제거하면, 유기 SOG막에 -OH 그룹이 생성되어, 유기 SOG막의 막질이 거칠게 되어 버린다. -OH 그룹의 발생에 따라 유기 SOG막중의 수분이 증가하고, 더욱이 열이 더해짐으로써 발생하는 탈수 축합(脫水 縮合)(dehydration condensation) 반응에서의 막수축에 의해 유기 SOG막에 크랙(crack)이 발생해버린다.

<55> 본 발명의 목적은, 다마씬 배선의 신뢰도를 향상시킬 수 있는 기술을 제공하는데 있다.

<56> 본 발명의 다른 목적은, 배선간의 용량을 저감하고, 반도체장치의 성능 향상을 도모할 수 있는 기술을 제공하는데 있다.

<57> 본 발명의 상기 및 그 이외의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부도면에서 명백해질 것이다.

발명의 구성 및 작용

<58> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

<59> (1) 본 발명의 반도체장치의 제조방법은, (a) 플러그(plug) 또는 배선이 형성된 베이스상에, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크(hard mask)를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사(轉寫)(transferring)하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사(轉寫)하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정을 가지며,

<60> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹(organic-functional-group)을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막으로 하는 것이다.

<61> (2) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사(transferring)하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정을 가지며,

<62> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막으로서, 상기 제1 절연막의 퇴적막 두께는 50 ~ 200㎚ 정도, 상기 제2 절연막의 퇴적막 두께는 200 ~ 2000㎚ 정도, 상기 하드마스크의 퇴적막 두께는 50 ~ 200㎚ 정도로 하는 것이다.

<63> (3) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 제1 절연막, 제1 절연막에 대하여 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하여, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하여, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정을 기지며,

<64> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막으로 하고, 상기 제1 절연막의 퇴적막 두께는 200 ~ 3000㎚ 정도, 상기 제2 절연막의 퇴적막 두께는 100 ~ 500㎚ 정도, 상기 하드마스크의 퇴적막 두께는 50 ~ 200㎚ 정도로 하는 것이다.

<65> (4) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 접착층, 제1 절연막, 제1 절연막 보다도 에칭내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막 및 접착층으로 전사하는 공정을 가지며,

<66> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막, 상기 접착층은 50㎚ 이하의 두께의 실리콘 산화막으로 하는 것이다.

<67> (5) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스에 수소어닐처리를 시행한 후, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드

마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정을 가지며,

<68> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막으로 하는 것이다.

<69> (6) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스에 수소어닐처리를 시행한 후, 접착층, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 실시하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막 및 접착층으로 전사하는 공정을 가지며,

<70> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막, 상기 접착층은 50㎚ 이하의 두께의 실리콘 산화막으로 하는 것이다.

<71> (7) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정을 가지며,

<72> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막, 상기 하드마스크는 금속막 또는 금속 화합물로 하는 것이다.

<73> (8) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크 및 제2 절연막의 상부로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막의 하부에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정을 가지며,

<74> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막, 상기 하드마스크는 실리콘 질화막으로 하는 것이다.

<75> (9) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정과, (g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과, (h) 제2 절연막의 상부가 노출하기까지, 배리어 금속층 및 동막을 제거하는 공정을 가지며,

<76> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막으로 하는 것이다.

<77> (10) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정과, (g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과, (h) 제2 절연막의 상부가 노출하기까지, 배리어 금속층 및 상기 동막을

제거하는 공정을 가지며,

<78> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막으로 하고, 상기 제1 절연막의 퇴적막 두께는 50 ~ 200㎚ 정도, 상기 제2 절연막의 퇴적막 두께는 200 ~ 2000㎚ 정도, 상기 하드마스크의 퇴적막 두께는 50 ~ 200㎚ 정도로 하는 것이다.

<79> (11) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정과, (g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과, (h) 제2 절연막의 상부가 노출하기까지, 배리어 금속층 및 동막을 제거하는 공정을 가지며,

<80> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막으로 하고, 상기 제1 절연막의 퇴적막 두께는 200 ~ 3000㎚ 정도, 상기 제2 절연막의 퇴적막 두께는 100 ~ 500㎚ 정도, 상기 하드마스크의 퇴적막 두께는 50 ~ 200㎚ 정도로 하는 것이다.

<81> (12) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에, 접착층, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 상기 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막 및 접착층으로 전사하는 공정과, (g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과, (h) 제2 절연막의 상부가 노출하기까지, 배리어 금속층 및 동막을 제거하는 공정을 가지며,

<82> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막, 상기 접착층은 50㎚ 이하의 두께의 실리콘 산화막으로 하는 것이다.

<83> (13) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에 수소어닐처리를 시행한 후, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정과, (g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과, (h) 제2 절연막의 상부가 노출하기까지, 배리어 금속층 및 동막을 제거하는 공정을 가지며,

<84> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막으로 하는 것이다.

<85> (14) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스에 수소어닐처리를 시행한 후, 접착층, 제1 절연막, 제1 절연막 보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정과, (g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과, (h) 제2 절연막의 상부가 노출하기까지, 배리어 금속층 및 동막을 제거하는 공정을 가지며,

<86> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막

은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막, 상기 접착층은 50㎚ 이하의 두께의 실리콘 산화막으로 하는 것이다.

<87> (15) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에 제1 절연막, 제1 절연막보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정과, (g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과, (h) 제2 절연막의 상부가 노출하기까지, 배리어 금속층 및 동막을 제거하는 공정을 가지며,

<88> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막, 상기 하드마스크는 금속막 또는 금속 화합물로 하는 것이다.

<89> (16) 본 발명의 반도체장치의 제조방법은, (a) 플러그 또는 배선이 형성된 베이스상에 제1 절연막, 제1 절연막보다도 에칭 내성이 낮은 제2 절연막 및 하드마스크를 순차적으로 퇴적하는 공정과, (b) 하드마스크상에, 레지스트 패턴을 형성하는 공정과, (c) 레지스트 패턴의 존재하에서 에칭처리를 시행하고, 레지스트 패턴의 패턴을 하드마스크 및 제2 절연막의 하부에 선택적으로 전사하는 공정과, (d) 레지스트 패턴을 제거하는 공정과, (e) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제2 절연막의 하부에 선택적으로 전사하는 공정과, (f) 하드마스크의 존재하에서 에칭처리를 시행하고, 하드마스크의 패턴을 제1 절연막으로 전사하는 공정과, (g) 기판의 전면에 배리어 금속층 및 동막을 순차적으로 퇴적하는 공정과, (h) 제2 절연막의 상부가 노출하기까지, 배리어 금속층 및 동막을 제거하는 공정을 가지며,

<90> 상기 제1 절연막은 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 기능그룹을 갖는 절연막, 상기 제2 절연막은 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막, 상기 하드마스크는 실리콘 질화막으로 하는 것이다.

<91> 상기한 수단에 의하면, 하드마스크에 패턴을 전사하기 위해 이용되는 레지스트 패턴을 산소 플라즈마로 제거할 때, 제1 절연막은 제2 절연막에 의해 보호되므로, 제1 절연막을 산소 플라즈마 내성이 낮은 유기 절연막으로 구성해도, 제1 절연막은 산화 플라즈마의 영향을 받지 않고, 제1 절연막의 막질의 변화를 억제할 수 있다. 또한, 제1 절연막 자체는 하드마스크로 가공되므로, 산소 플라즈마에 노출되지 않는다.

<92> 또한, 실리콘 질화막 보다도 낮은 비유전율을 갖는 제2 절연막의 가공시의 에칭용 스토퍼(stopper)로서, 비유전율이 실리콘 산화막 보다도 낮은 유기 절연막으로 구성되는 제1 절연막을 이용함으로써, 플러그 또는 배선을 둘러싼 절연막을 실리콘 질화막 보다도 낮은 유전율을 갖는 절연막과, 실리콘 산화막 보다도 낮은 유전율을 갖는 유기 절연막으로 구성하는 것이 가능해지며, 배선간 용량의 증가를 억제할 수 있다.

<93> 또한, 제1 절연막에 대한 하드마스크의 에칭 선택비를 높임으로써, 실리콘 산화막 보다도 비유전율이 낮은 제1 절연막을 두껍게 형성하는 것을 가능하게 하고, 이것에 의해 배선간 용량증가의 억제에 대한 높은 효과를 얻을 수 있다.

<94> 또한, 베이스를 구성하는 플러그 또는 배선을 형성한 후에 수소어닐처리를 시행하고, 플러그 또는 배선에 발생한 갭(gap)에서의 가스제거를 적극적으로 발생시킴으로써, 플러그 또는 배선상에 형성되는 제1 절연막의 박리를 방지할 수 있다. 또한, 플러그 또는 배선상에 접착층을 설치함으로써, 제1 절연막 또는 제2 절연막의 성막시에 플러그 또는 배선에 발생한 갭에서의 가스 제거가 발생해도, 가스제거의 영향에 의한 제1 절연막의 박리를 방지할 수 있다.

<95> (발명의 실시형태)

<96> 이하, 본 발명의 실시형태를 도면에 의거하여 상세하게 설명한다. 또한, 실시형태를 설명하기 위한 전도(全圖)에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

<97> (실시형태 1)

<98> 도 1 ~ 도 19는, 본 실시형태 1의 반도체장치의 제조방법의 일예를 공정순으로 나타낸 단면도이다. 이하, 도면을 이용하여 공정순으로 설명한다.

<99> 우선, 도 1에 나타내는 바와 같이, 예를 들면 p^-형의 단결정 실리콘으로 이루어지는 반도체기판(1)을 준비하고, 반도체기판(1)의 주면에 소자분리영역(2)을 형성한다. 소자분리영역(2)은, 예를 들면 이하와 같이 하여 형성할 수 있다. 우선, 반도체기판(1)의 주면상에 실리콘 산화막(SiO_2) 및 실리콘 질화막(Si_3N_4)을 순차적으로 형성하고, 이 실리콘 질화막을 패터닝된 포토레지스트막을 이용하여 에칭하며, 이 에칭된 실리콘 질화막을 마스크로 하여 반도체기판(1)에 얕은 홈을 형성한다. 그 후, 얕은 홈을 매립하는 절연막, 예를 들면 실리콘 산화막을 퇴적하고, CMP법 등을 이용하여 얕은 홈 이외의 영역의 실리콘 산화막을 제거하고, 다시 웨트에칭(wet etching)법 등에 의해 실리콘 질화막을 제거한다. 이것에 의해 수소분리영역(2)이 형성된다.

<100> 다음에, 예를 들면, 패터닝된 포토레지스트막을 마스크로 하여 불순물을 이온 주입하고, p웰(3) 및 n웰(4)을 형성한다. p웰(3)에는 p형의 도전형을 나타내는 불순물 예를 들면 붕소(B)를 이온 주입하고, n웰에는 n형의 도전형을 나타내는 불순물 예를 들면 인(P)을 이온 주입한다. 이 후, 각 웰 영역에 MISFET(Metal Insulator Semiconductor Field Effect Transistor)의 문턱치를 제어하기 위한 불순물을 이온 주입해도 된다.

<101> 다음에, 예를 들면, 게이트 절연막(5)이 되는 실리콘 산화막, 게이트 전극(6)이 되는 다결정 실리콘막 및 캡 절연막(7)이 되는 실리콘 산화막을 순차적으로 퇴적하여 적층막을 형성하고, 포토리소그라피 기술에 의해 패터닝된 포토레지스트막을 마스크로 하여 상기 적층막을 에칭한다. 이것에 의해, 게이트 절연막(5), 게이트 전극(6) 및 캡 절연막(7)을 형성한다. 게이트 절연막(5)은, 예를 들면 열 CVD법 또는 열산화에 의해 형성할 수 있고, 게이트 전극(6)은, 예를 들면 CVD법에 의해 형성할 수 있다. 게이트 전극(6)의 저항치를 저감하기 위해, n형 혹은 p형의 불순물을 MISFET의 채널형에 따라 도프해도 된다. 즉, n채널 MISFET의 게이트 전극에는 n형 불순물을, p채널 MISFET의 게이트 전극에는 p형 불순물을 도프해도 된다. 이 경우 이온 주입법을 이용할 수 있다. 또한, 게이트 전극(6)의 상부에 텅스텐 실리사이드(WSi_X), 몰리브덴 실리사이드($MoSi_X$), 티탄 실리사이드($TiSi_X$), 탄탈 실리사이드($TaSi_X$) 등의 고융점 금속 실리사이드막을 적층해도 되고, 질화티탄(TiN), 질화텅스텐(WN) 등의 배리어 금속층을 통하여 텅스텐 등의 금속층을 형성해도 된다. 이것에 의해 게이트 전극(6)의 쉬트(sheet) 저항치를 저감하고, MISFET의 동작 속도를 향상시킬 수 있다. 캡 절연막(7)은, 예를 들면 CVD법에 의해 퇴적할 수 있다.

<102> 다음에, 반도체기판(1)상에, 절연막으로서 예를 들면 CVD법으로 실리콘 산화막을 퇴적한 후, 이 실리콘 산화막을 이방성 에칭함으로써, 게이트 전극(6)의 측벽에 사이드 웰 스페이서(side wall spacer)(8)를 형성한다. 그 후, 예를 들면 포토레지스트막을 마스크로 하여, p웰(3)에 n형 불순물(예를 들면 인, 비소(As))을 이온 주입하고, p웰(3)상의 게이트 전극(6)의 양측에 n형 반도체 영역(9)을 형성한다. n형 반도체 영역(9)은, 게이트 전극(6) 및 사이드 월 스페이서(8)에 대하여 자기 정합적으로 형성된다. 또한, n형 반도체 영역(9)은, n채널 MISFET의 소스, 드레인 영역으로서 기능한다. 동일하게, 포토레지스트막을 마스크로 하여, n웰(4)에 p형 불순물(예를 들면 붕소)을 이온 주입하고, n웰(4)상의 게이트 전극(6)의 양측에 p형 반도체 영역(10)을 형성한다. p형 반도체 영역(10)은, 게이트 전극(6) 및 사이드 월 스페이서(8)에 대하여 자기 정합적으로 형성되고, p채널 MISFET의 소스, 드레인 영역으로서 기능한다.

<103> 또한, 사이드 월 스페이서(8)의 형성 전에 저농도의 불순물 반도체 영역을 형성하고, 사이드 웰 스페이서(8)의 형성 후에 고농도의 불순물 반도체 영역을 형성하여, 이른바 LDD(Lightly Doped Drain) 구조로 해도 된다.

<104> 다음에, 도 2에 나타내는 바와 같이, 반도체기판(1)상에 절연막으로서 예를 들면 CVD법 또는 스퍼터법으로 실리콘 산화막을 퇴적한 후, 그 실리콘 산화막을, 예를 들면 CMP법으로 연마함으로써, 표면이 평탄화된 제1층간 절연막(11)을 형성한다. 제1층간 절연막(11)은, 실리콘 질화막, SOG막, BPSG(Boron Phosphor Silicate Glass)막, PSG(Phosphor Silicate Glass)막 등의 적층막으로 형성해도 된다.

<105> 다음에, 포토리소그라피 기술을 이용하여 제1층간 절연막(11)에 접속공(12)을 형성한다. 이 접속공(12)은, n형 반도체 영역(9) 혹은 p형 반도체 영역(10)상의 필요부분에 형성한다.

<106> 다음에, 접속공(12)내에 플러그(13)를, 예를 들면 이하와 같이 하여 형성한다. 우선, 접속공(12)의 내부를 포함하는 반도체기판(1)의 전면에 도전막으로서, 예를 들면 질화티탄막을 형성한다. 질화티탄막은, 예를 들면 CVD법에 의해 형성할 수 있다. CVD법은 피막의 단차 피복성이 우수하므로, 미세한 접속공(12)내에도 균일한 막두께로 질화티탄막을 형성할 수 있다. 다음에, 접속공(12)을 매립하는 도전막으로 예를 들면, 텅스텐막을 형성한다. 텅스텐막은, 예를 들면 CVD법으로 형성할 수 있으며, CVD법이면 동일하게 미세한 접속공(12) 내부를 텅스텐으로 매립할 수 있다. 다음에, 접속공(12) 이외의 영역의 텅스텐막 및 질화티탄막을, 예를 들면 CMP법에 의해 제거하여 플러그(13)를 형성할 수 있다. 또한, 질화티탄막의 형성 전에, 예를 들면 티탄(Ti)막을 퇴적하고, 열처리를 행하여 접속공(12)의 저부에서의 반도체기판(n형 혹은 p형의 반도체 영역(9, 10))을 실리사이드화해도 된다. 이

러한 실리사이드층을 형성함으로써, 접속공(12) 저부에서의 콘택트 저항을 저감할 수 있다.

<107> 다음에, 반도체기판(1)의 전면에, 도전막으로서 예를 들면 텅스텐막을 형성하고, 이 텅스텐막을 예를 들면 포토리소그라피 기술에 의해 패터닝하고, 제1 배선층의 배선(14)을 형성한다. 텅스텐막은, 예를 들면 CVD법 또는 스퍼터법에 의해 형성할 수 있다.

<108> 다음에, 도 3에 나타내는 바와 같이, 배선(14)을 덮는 절연막, 예를 들면 실리콘 산화막을 형성하고, 이 절연막을 CMP법으로 평탄화하여 제1층간 절연막(15)을 형성한다.

<109> 다음에, 예를 들면 제2층간 절연막(15)상에 접속공이 형성되는 영역에 개공을 갖는 포토레지스트막을 형성하고, 이 포토레지스트막을 마스크로 하여 에칭을 시행한다. 이것에 의해 제2층 절연막(15)의 소정의 영역에 홈인 접속공(16)을 형성한다.

<110> 다음에, 접속공(16)내에 예를 들면 도전막으로 이루어지는 플러그(17)를 형성한다. 플러그(17)는 이하와 같이 하여 형성할 수 있다. 우선, 접속공(16)의 내부를 포함하는 반도체기판(1)의 전면에 배리어 금속층을 형성하고, 다시 접속공(16)을 매립하는 도전막 예를 들면 텅스텐막을 형성한다. 그 후, 접속공(16) 이외의 영역의 텅스텐막 및 배리어 금속층을 CMP법에 의해 제거하여 플러그(17)를 형성한다.

<111> 배리어 금속층은 제2층간 절연막(15) 등 주변에의 텅스텐의 확산을 방지하는 기능을 가지며, 예를 들면 질화티탄막을 예시할 수 있다. 또한, 질화티탄막으로 한정되지 않고, 텅스텐의 확산 방지기능을 갖는 한 다른 금속막이라도 된다. 예를 들면, 질화티탄 대신에 탄탈(Ta), 질화탄탈(TaN)을 이용할 수도 있다. 다음 공정 이후의 플러그(17)의 배리어 금속층에 대해서는 질화티탄막을 예시하여 설명하지만, 탄탈막, 질화탄탈막 등을 대신할 수 있다.

<112> 텅스텐막은 플러그(17)의 주(主)도전층으로서 기능하고, 예를 들면 CVD법 또는 스퍼터법으로 형성할 수 있다.

<113> 다음에, 본 발명에 의한 제2 배선층 ~ 제5 배선층의 형성방법을 설명한다.

<114> 우선, 제2 배선층의 형성방법을 도 4 ~ 도 13을 이용하여 공정순으로 설명한다.

<115> 도 4에 나타내는 바와 같이, 제2층간 절연막(15) 및 플러그(17)상에 스토퍼 절연막(18)을 형성(퇴적)한 후, 다시 제2 배선층 형성용 절연막(19) 및 하드마스크(20)를 순차적으로 형성(퇴적)한다.

<116> 스토퍼 절연막(18)은, 예를 들면 유기 SOG막으로 이루어지며, 막두께는 예를들면 50 ~ 200㎚ 정도이다. 또한, 스토퍼 절연막(18)으로서, 유기 SOG막을 예시하고 있지만, 유기 SOG막 대신에, 절연막(19)에 대하여 높은 에칭 선택비를 가지고, 또 실리콘 산화막 보다도 낮은 저유전율(예를 들면 2 ~ 3 정도)을 갖는 유기 기능그룹을 가진 절연막을 이용할 수도 있다.

<117> 절연막(19)은, 예를 들면 TEOS 산화막으로 이루어지며, 막두께는 예를 들면 200 ~ 2000㎚ 정도이다. 또한, 절연막(19)으로서, TEOS 산화막을 예시하고 있지만, TEOS 산화막 대신에, 무기 SOG막, 불소를 포함하는 실리콘 산화막(SiOF) 등의 실리콘 질화막 보다도 낮은 비유전율을 가지며, 산소 플라즈마 내성이 높은 무기 절연막 또는 유기 절연막을 이용할 수도 있다. 스토퍼 절연막(18)의 막두께는 절연막(19)의 막두께 보다도 얇아지도록 구성된다.

<118> 하드마스크(20)는, 예를 들면 텅스텐(W)막, 알루미늄(Al)막 등의 금속막 또는 질화티탄(TiN)막, 질화탄탈(TaN)막 등의 금속 화합물로 이루어지며, 막두께는 예를 들면 50 ~ 200㎚ 정도이다. 또한, 하드마스크(20)는, 산소 플라즈마 내성이 높고, 베이스의 절연막(19)에 대하여 에칭 선택비를 취할 수 있는 금속막 또는 금속 화합막이 선택된다.

<119> 스토퍼 절연막(18)을 구성하는 유기 SOG막은, 예를 들면 도포법에 의해 형성할 수 있다. 이것에 의해, 에치백(etch back)법이나 CMP법 등의 평탄화 기술을 이용하지 않고, 스토퍼 절연막(18)의 표면을 평탄화할 수 있고, 배선층의 다층화를 용이하게 할 수 있다. 스토퍼 절연막(18)은, 후에 설명하는 바와 같이, 절연막(19)에 배선홈을 형성할 때의 에칭용 스토퍼로서 기능한다. 즉, 절연막(19)에 대하여 유기 SOG막이 에칭되기 어려운 조건에서 절연막(19)은 에칭된다. 따라서, 유기 SOG막의 막두께는, 상기 배선홈 형성시의 에칭용 스토퍼에 요구되는 막두께가 선택된다. 상기 50 ~ 200㎚는 이와 같은 조건을 고려한 것이다. 또한, 유기 SOG막의 형성방법으로서 도포법을 예시하고 있지만, CVD법 등의 다른 제법을 이용해도 된다.

<120> 절연막(19)을 구성하는 TEOS 산화막은, TEOS 가스와 O_3 가스를 원료가스로 한 플라즈마 CVD법으로 성막된다. 플라즈마 CVD법을 이용함으로써 성막온도의 저온화를 도모할 수 있다. 배선형성 공정은, 반도체장치의 제조공정

(이른바 전(前)공정)중, 최종공정에 가까운 공정이므로, 이미 형성된 디바이스 구조(불순물 확산층, 실리사이드층 등)에 영향을 미치지 않는 온도(예를 들면 400℃ 정도의 저온)에서 처리하는 것이 바람직하다. 이러한 저온화의 요청에 일치하는 성막방법으로서 플라즈마 CVD법은 이점이 크다. 또한, TEOS를 이용하여 실리콘 산화막을 형성하면, 막형성시의 클러스터(cluster) 유동성을 높일 수 있고, 스텝 커버리지(step coverage)가 우수한 실리콘 산화막을 형성할 수 있다.

<121> 스토퍼 절연막(18)과 절연막(19)에는, 다음에 설명하는 제2 배선층이 매립되는 배선홈이 형성된다. 이때문에, 스토퍼 절연막(18)과 절연막(19)과의 합계 막두께는 제2 배선층에 필요한 설계막 두께로 결정된다. 또한, 배선간 용량을 저감하는 것을 고려하면, 스토퍼 절연막(18)의 막두께를 두껍게 설정하는 것이 바람직하지만, 이것에 대해서는, 실시형태 4에서 상세하게 기술하므로, 여기서의 설명은 생략한다.

<122> 하드마스크(20)는, 후에 설명하는 바와 같이, 절연막(19)에 배선홈을 형성할 때의 마스크로서 기능한다. 즉, 절연막(19)에 대하여 하드마스크(20)가 에칭되기 어려운 조건에서 절연막(19)을 에칭한다. 또한, 이 하드마스크(20)는, 후에 설명하는 바와 같이 배선 형성시에는 제거하는 것이 가능하다. 따라서, 하드마스크(20)의 막두께는, 상기 배선홈 형성시의 에칭용 스토퍼에 요구되는 막두께가 선택된다. 상기 50 ~ 200㎚는 이러한 조건을 고려한 것이다.

<123> 다음에, 도 5에 나타내는 바와 같이, 하드마스크(20)상에, 예를 들면 포토리소그라피 기술을 이용하여 레지스트막(21)을 형성한다. 레지스트막(21)은, 배선패턴인 배선홈이 형성되는 영역에 개공이 형성되는 바와 같이, 배선홈 패턴에 패터닝된다.

<124> 다음에, 도 6에 나타내는 바와 같이, 레지스트막(21)의 존재하에서 드라이에칭처리를 시행하고, 하드마스크(20)에 배선홈 패턴을 전사한다. 그 후, 도 7에 나타내는 바와 같이, 산소 플라즈마를 이용한 에이싱 처리에 의해 레지스트막(21)을 제거한다. 이렇게 하여 배선의 홈패턴이 전사된 하드마스크(20)가 형성된다. 이때, 스토퍼 절연막(18)을 구성하는 유기 SOG막은, 산소 플라즈마 내성이 높은 절연막(19)으로 덮여 있고, 유기 SOG막은 산소 플라즈마에 노출되지 않는다. 이것에 의해, 유기 SOG막의 산소 플라즈마에 의한 변질을 방지할 수 있다.

<125> 다음에, 도 8에 나타내는 바와 같이, 패터닝된 하드마스크(20)를 마스크로 하여, 스토퍼 절연막(18)을 에칭용 스토퍼로서 제1 에칭을 시행한다. 이 제1 에칭에 의해 절연막(19)에 홈인 배선홈(22)의 일부를 형성한다. 이 에칭의 조건은, 절연막(19)(TEOS 산화막)이 에칭되기 쉽고, 하드마스크(20) 및 스토퍼 절연막(18)(유기 SOG막)이 에칭되기 어려운 조건을 선택한다. 예를 들면 에칭가스를 CHF_3, CF_4, Ar의 혼합가스로 한다.

<126> 이어서, 패터닝된 상기 하드마스크(20)를 마스크로 하여 제2 에칭을 시행한다. 이 제2 에칭에 의해 노출하고 있는 스토퍼 절연막(18)을 제거하여, 스토퍼 절연막(18)에 배선홈(22)의 다른 일부를 형성한다. 이 에칭의 조건에는, 다음의 2가지의 방법을 채택할 수 있다.

<127> 제1의 방법은, 스토퍼 절연막(18)(유기 SOG막)에 대한 하드마스크(20)의 에칭 선택비가 낮은 조건을 선택하는 방법으로서, 하드마스크(20)와 스토퍼 절연막(18)이 거의 동일한 에칭속도로 에칭된다. 이러한 조건을 선택한 경우, 도 9에 나타내는 바와 같이, 스토퍼 절연막(18)의 가공이 종료한 시점에서 하드마스크(20)가 거의 없어지고, 절연막(19)의 상면이 노출한다. 예를 들면, 스토퍼 절연막(18)을 에칭할 때의 오버에칭을 이용하여 하드마스크(20)가 에칭 제거된다.

<128> 제2의 방법은, 스토퍼 절연막(18)(유기 SOG막)에 대한 하드마스크(20)의 에칭 선택비가 높은 조건을 선택하는 방법으로서, 스토퍼 절연막(18)은 에칭되지만 하드마스크(20)는 에칭되기 어려운 조건에서 선택적으로 에칭된다. 이러한 조건을 선택한 경우, 도 10에 나타내는 바와 같이, 스토퍼 절연막(18)의 가공이 종료한 시점에서는, 아직 하드마스크(20)의 일부가 남아 있고, 절연막(19)의 상면은 노출하지 않는다.

<129> 상기 제1의 방법, 제2의 방법중 어떤 방법에서도, 에칭시 에칭 가스는 CHF_3, O_2 혼합가스가 이용된다. 그러나, 그 이외의 에칭조건, 예를 들면 압력, 혼합가스의 유량, RF 투입전원, 기판온도 등의 조건을 선택함으로써, 제1의 방법 및 제2의 방법을 선택할 수 있다.

<130> 다음에, 배선홈(22)의 내부에 제2 배선층의 배선(23)을 형성한다. 배선(23)은, 배리어 금속층 및 주도전층으로 이루어지며, 배선(23)의 형성은 이하와 같이 하여 행한다.

<131> 우선, 도 11 및 도 12에 나타내는 바와 같이, 배리어 금속층(23a)을 형성한다. 도 11은, 상기 도 9를 이용하여 설명한 제1의 방법에 의해 형성된 배선홈(22)에, 배리어 금속층(23a)을 성막한 경우를 나타내고 있고, 도 12는, 상기 도 10을 이용하여 설명한 제2의 방법에 의해 형성된 배선홈(22)에, 배리어 금속층(23a)을 성막한 경우를

나타내고 있다.

<132> 배리어 금속층(23a)은 배선의 주성분인 동(銅)의 확산을 방지함과 동시에, 동과 실리콘 산화막과의 접착성을 향상시키는 기능을 갖는다. 배리어 금속층(23a)으로서는, 예를 들면 질화티탄(TiN)막을 이용할 수 있다. 또한, 질화티탄(TiN) 대신에, 질화탄탈(TaN), 탄탈(Ta) 등을 이용해도 된다. 이들의 금속화합물막 또는 금속막이라도 동의 확산을 방지할 수 있는 한 배리어 금속층(23a)에 적용할 수 있다. 배리어 금속층(23a)은, 예를 들면 CVD법 또는 스퍼터법을 이용하여 형성된다. 다음 공정 이후의 배선의 배리어 금속층에 대해서는 질화티탄(TiN)막을 예시하여 설명하였지만, 질화탄탈(TaN)막, 탄탈(Ta)막 등을 대신할 수 있다.

<133> 다음에, 배리어 금속층(23a)상에 시드층(도시하지 않음)을 형성한다. 시드층은, 다음에 설명하는 동의 도금층을 형성하기 위한 근원(시드)이 되는 층이며, 동으로 구성된다. 시드층은, 예를 들면 CVD법 또는 스퍼터법을 이용하여 형성된다. 다음에, 동의 도금층(23b)을 형성한다. 도금법은, 전해도금, 무전해 도금 중 어떤 방법을 이용해도 된다. 도금층의 막두께는 기판 평면상에서 300㎚ 정도로 한다.

<134> 또한, 본 실시형태 1에서는, 도금법에 의한 동막(도금층(23b))의 형성을 나타내었지만, 스퍼터법에 의해 형성해도 된다. 이 경우, 시드층은 필요하지 않다. 스퍼터법에 의해 동막을 형성하는 경우에는, 배선홈(22)에 동이 매립되도록 열처리를 시행하여 동을 리플로우시킬 수 있다. 다음 공정 이후의 배선의 주(主)도전막인 동막에 대해서는 도금법으로 형성하는 경우를 예시하지만, 스퍼터법을 이용해도 된다.

<135> 다음에, 도 13에 나타내는 바와 같이, CMP법을 이용하여 도금층(23b) 및 시드층을 연마한다. 동은 연마 속도가 크기 때문에, 우선 앞에 동의 부분이 제거된다. 다시, 연마를 계속하여, 절연막(19)상의 배리어 금속층(23a)도 제거한다. 이것에 의해 배선홈(22)의 영역 이외의 배리어 금속층(23a) 및 동막(도금층(23) 및 시드층)을 제거한다.

<136> 여기서, 상기 도 9에 나타낸 제1의 방법을 이용하여 스토퍼 절연막(18)을 제거한 경우는, 절연막(19)의 상면은 배리어 금속층(23a)에 접하고 있으므로, 절연막(19)상의 배리어 금속층(23a)의 제거가 종료하는 상태까지 연마 제거가 상기 CMP법을 이용하여 행해진다. 이것에 대하여, 상기 도 10에 나타낸 제2의 방법을 이용하여 스토퍼 절연막(18)을 제거한 경우는, 절연막(19)의 상면에는 하드마스크(20)가 남아있으므로, 절연막(19)상의 배리어 금속층(23a)의 제거를 종료시켜, 다시 하드마스크(20)의 제거가 종료하는 상태까지 연마 제거가 상기 CMP법을 이용하여 행해진다.

<137> CMP법에 의한 연마에는 과산화수소 등의 산화제를 포함하고 알루미나(alumina) 연마제(abrasive)가 분산된 연마 슬러리(slurry)를 사용할 수 있다. 또한, 동막과 배리어 금속층을 동일한 플래튼(platen)으로 일괄적으로 연마하는 방법을 채택할 수 있다. 또한, CMP법에 의한 연마 후, 농도 0.1%의 암모니아 수용액을 이용한 세정, 다시, 순수 암모니아를 이용한 세정의 2단계의 브러쉬 스크럽(brush scrub) 세정에 의해, 기판표면에 부착한 연마 슬러리 및 동을 제거할 수 있다.

<138> 이상과 같이 하여, 제2 배선층의 배선(23)을 완성한다. 그 후, 제2 배선층과 동일한 형성방법에 의해 제3 배선층 이상의 임의의 배선층이 형성된다.

<139> 다음에, 제3 배선층 ~ 제5 배선층의 형성방법을 도14 ~ 도 19를 이용하여 설명한다.

<140> 도 14에 나타내는 바와 같이, 제2 배선층의 배선(23)을 덮는 절연막, 예를 들면 실리콘 산화막을 형성하고, 이 절연막을 CMP법에 의해 평탄화하여 제3층간 절연막(24)을 형성한다. 이어서, 제3층간 절연막(24)상에 접속공이 형성되는 영역에 개공을 갖는 포토레지스트막을 형성하고, 이 포토레지스트막을 마스크로 하여 에칭을 시행한다. 이것에 의해 제3층간 절연막(24)의 소정의 영역에 접속공(25)을 형성한다.

<141> 다음에, 접속공(25)의 내부를 포함하는 반도체기판(1)의 전면에 배리어 금속층을 형성하고, 다시 접속공(25)을 매립하는 텅스텐막을 형성한다. 그 후, 접속공(25) 이외의 영역의 텅스텐막 및 배리어 금속층을 CMP법에 의해 제거하여 플러그(26)를 형성한다. 배리어 금속층은, 예를 들면 질화티탄막을 예시할 수 있다. 텅스텐막은 주도전층으로서 기능하고, 예를 들면 CVD법 또는 스퍼터법으로 형성할 수 있다.

<142> 다음에, 도 15에 나타내는 바와 같이, 상기 제2 배선층과 동일한 형성 방법으로, 제3 배선층을 형성한다. 우선, 플러그(26) 및 제3층간 절연막(24)상에 스토퍼 절연막(27), 절연막(28), 하드마스크(도시하지 않음)를 순차적으로 형성한다. 스토퍼 절연막(27)은, 절연막(28)에 대하여 높은 에칭 선택비를 갖는 재료로 구성되고, 예를 들면 상기 스토퍼 절연막(18)과 동일하게, 도포법으로 형성되는 유기 SOG막으로 할 수 있다. 또한, 유기 SOG막으로 한정하지 않고, 절연막(28)에 대하여 높은 에칭 선택비를 가지며, 또 실리콘 산화막 보다도 낮은 비유전율을 갖

는 유기 저유전율막을 이용할 수도 있다.

<143> 한편, 절연막(28)은, 예를 들면 상기 절연막(19)과 동일하게, TEOS 가스와 O_3 가스를 원료가스로 한 플라즈마 CVD법으로 형성되는 TEOS 산화막으로 할 수 있다. 또한, TEOS 산화막으로 한정하지 않고, 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막을 이용할 수도 있다.

<144> 하드마스크는, 예를 들면 상기 하드마스크(20)와 동일하게, 텅스텐막, 질화티탄막, 질화탄탈막 또는 알루미늄막으로 할 수 있다.

<145> 다음에, 하드마스크상에 포토리소그라피 기술을 이용하여 배선홈 패턴에 패터닝된 레지스트막을 형성하고, 드라이에칭 처리를 시행함으로써, 하드마스크에 배선홈 패턴을 전사한다. 그 후, 산소 플라즈마를 이용한 에이싱 처리에 의해 레지스트막을 제거하지만, 스토퍼 절연막(27)을 구성하는 유기 SOG막은, 절연막(28)으로 덮여져 있고, 유기 SOG막은 산소 플라즈마에 노출되지 않는다. 이것에 의해, 유기 SOG막의 산소 플라즈마에 의한 변질을 방지할 수 있다.

<146> 다음에, 패터닝된 하드마스크를 마스크로 하여, 스토퍼 절연막(27)을 에칭용 스토퍼로 하여, 절연막(28)에 배선홈(29)의 일부를 형성한다(제1 에칭). 이어서, 상기 하드마스크를 마스크로 하여, 스토퍼 절연막(27)에 배선홈(29)의 다른 일부를 형성한다(제2 에칭). 이 제2 에칭의 조건에는, 상기 제1의 방법과 제2의 방법의 2가지의 방법을 채택할 수 있다.

<147> 다음에, 배선홈(29)의 내부에 제3 배선층의 배선(30)을 형성한다. 배선(30)은, 배리어 금속층 및 주도전층으로 이루어지고, 배리어 금속층은, 예를 들면 질화티탄막, 주도전층은 예를 들면 동이다. 배선(30)의 형성은 이하와 같이 하여 행한다. 우선, 배선홈(29)의 내부를 포함하는 반도체기판(1)의 전면에 질화티탄막을 형성하고, 그 후 배선홈(29)을 매립하는 동막을 형성한다. 질화티탄막의 형성에는, 예를 들면 CVD법을, 동막의 형성에는, 예를 들면 도금법을 이용한다. 도금법에 의한 동막의 형성 전에, 예를 들면 스퍼터법에 의해 동의 시드층을 형성할 수 있다. 그 후, 배선홈(29) 이외의 영역의 동막 및 질화티탄막을 CMP법에 의해 제거하여 제3 배선층의 배선(31)을 형성할 수 있다.

<148> 다음에, 도 16에 나타내는 바와 같이, 제3 배선층의 배선(30)을 덮는 절연막, 예를 들면 실리콘 산화막을 형성하고, 이 절연막을 CMP법에 의해 평탄화하여 제4층간 절연막(31)을 형성한다. 이어서, 제4층간 절연막(31)상에 접속공이 형성되는 영역에 개공을 갖는 포토레지스트막을 형성하고, 이 포토레지스트막을 마스크로 하여 에칭을 시행한다. 이것에 의해 제4층간 절연막(31)의 소정의 영역에 접속공(32)을 형성한다.

<149> 다음에, 접속공(32)의 내부를 포함하는 반도체기판(1)의 전면에 배리어 금속층을 형성하고, 다시 접속공(32)을 매립하는 텅스텐막을 형성한다. 그 후, 접속공(32) 이외의 영역의 텅스텐막 및 배리어 금속층을 CMP법에 의해 제거하여 플러그(33)를 형성한다. 배리어 금속층은 예를 들면 질화티탄막을 예시할 수 있다. 텅스텐막은 주도전층으로서 기능하고, 예를 들면 CVD법 또는 스퍼터법으로 형성할 수 있다.

<150> 다음에, 도 17에 나타내는 바와 같이, 상기 제2 배선층과 동일한 형성방법으로, 제4 배선층을 형성한다. 우선, 플러그(33) 및 제4층간 절연막(31)상에 스토퍼 절연막(34), 절연막(35), 하드마스크(도시하지 않음)를 순차적으로 형성한다. 스토퍼 절연막(34)은, 절연막(35)에 대하여 높은 에칭 선택비를 갖는 재료로 구성되고, 예를 들면, 상기 스토퍼 절연막(18)과 동일하게, 도포법으로 형성되는 유기 SOG막으로 할 수 있다. 또한, 유기 SOG막으로 한정하지 않고, 절연막(35)에 대하여 높은 에칭 선택비를 가지고, 또 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 저유전율막을 이용할 수도 있다.

<151> 한편, 절연막(35)은, 예를 들면 상기 절연막(19)과 동일하게, TEOS 가스와 O_3 가스를 원료가스로 한 플라즈마 CVD법으로 형성되는 TEOS 산화막으로 할 수 있다. 또한, TEOS 산화막으로 한정하지 않고, 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막을 이용할 수도 있다.

<152> 하드마스크는, 예를 들면 상기 하드마스크(20)와 동일하게, 텅스텐막, 질화티탄막, 질화탄탈막 또는 알루미늄막으로 할 수 있다.

<153> 다음에, 하드마스크상에 포토리소그라피 기술을 이용하여 배선홈 패턴에 패터닝된 레지스트막을 형성하고, 드라이에칭 처리를 시행함으로써, 하드마스크에 배선홈 패턴을 전사한다. 그 후, 산소 플라즈마를 이용한 에이싱 처리에 의해 레지스트막을 제거하지만, 스토퍼 절연막(34)을 구성하는 유기 SOG막은, 절연막(35)으로 덮여 있고, 유기 SOG막은 산소 플라즈마에 노출되지 않는다. 이것에 의해, 유기 SOG막의 산소 플라즈마에 의한 변질을 방지

할 수 있다.

<154> 다음에, 패터닝된 하드마스크를 마스크로 하고, 스토퍼 절연막(34)을 에칭용 스토퍼로 하여, 절연막(35)에 배선홈(36)의 일부를 형성한다(제1 에칭). 이어서, 상기 하드마스크를 마스크로 하여, 스토퍼 절연막(34)에 배선홈(36)이 다른 일부를 형성한다(제2 에칭). 이 제2 에칭의 조건에는, 상기 제1의 방법과 제2의 방법의 2가지의 방법을 채택할 수 있다.

<155> 다음에, 배선홈(36)의 내부에 제4 배선층의 배선(37)을 형성한다. 배선(37)은, 배리어 금속층 및 주도전층으로 이루어지며, 배리어 금속층은 예를 들면 질화티탄막, 주도전층은 예를 들면 동이다. 배선(37)의 형성은 이하와 같이 하여 행한다. 우선, 배선홈(36)의 내부를 포함하는 반도체기판(1)의 전면에 질화티탄막을 형성하고, 그 후 배선홈(36)을 매립하는 동막을 형성한다. 질화티탄막의 형성에는, 예를 들면 CVD법을, 동막의 형성에는, 예를 들면 도금법을 이용한다. 도금법에 의한 동막의 형성 전에, 예를 들면 스퍼터법에 의해 동의 시드층을 형성할 수 있다. 그 후, 배선홈(36) 이외의 영역의 동막 및 질화티탄막을 CMP법에 의해 제거하여 배선(37)을 형성할 수 있다.

<156> 다음에, 도 18에 나타내는 바와 같이, 제4 배선층의 배선(37)을 덮는 절연막, 예를 들면 실리콘 산화막을 형성하고, 이 절연막을 CMP법에 의해 평탄화하여 제5층간 절연막(38)을 형성한다. 이어서, 제5층간 절연막(38)상에 접속공이 형성되는 영역에 개공을 갖는 포토레지스트막을 형성하고, 이 포토레지스트막을 마스크로 하여 에칭을 시행한다. 이것에 의해 제5층간 절연막(38)의 소정의 영역에 접속공(39)을 형성한다.

<157> 다음에, 접속공(39)의 내부를 포함하는 반도체기판(1)의 전면에 배리어 금속층을 형성하고, 다시 접속공(39)을 매립하는 텅스텐막을 형성한다. 그 후, 접속공(39) 이외의 영역의 텅스텐막 및 배리어 금속층을 CMP법에 의해 제거하여 플러그(40)를 형성한다. 배리어 금속층은 예를 들면 질화티탄막을 예시할 수 있다. 텅스텐막은 주도전층으로서 기능하고, 예를 들면 CVD법 또는 스퍼터법으로 형성할 수 있다.

<158> 다음에, 도 19에 나타내는 바와 같이, 상기 제2 배선층과 동일한 형성방법으로, 제5 배선층을 형성한다. 우선, 플러그(40) 및 제5층간 절연막(38)상에 스토퍼 절연막(41), 절연막(42), 하드마스크(도시하지 않음)를 순차적으로 형성한다. 스토퍼 절연막(41)은, 절연막(42)에 대하여 높은 에칭 선택비를 갖는 재료로 구성되고, 예를 들면 상기 스토퍼 절연막(18)과 동일하게, 도포법으로 형성되는 유기 SOG막으로 할 수 있다. 또한, 유기 SOG막으로 한정되지 않고, 절연막(42)에 대하여 높은 에칭 선택비를 가지고, 또 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 저유전율막을 이용할 수도 있다.

<159> 한편, 절연막(42)은, 예를들면 상기 절연막(19)과 동일하게, TEOS 가스와 O_3 가스를 원료가스로 한 플라즈마 CVD법으로 형성되는 TEOS 산화막으로 할 수 있다. 또한, TEOS 산화막으로 한정하지 않고, 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막을 이용할 수도 있다.

<160> 하드마스크는, 예를 들면 상기 하드마스크(20)와 동일하게, 텅스텐막, 질화티탄막, 질화탄탈막 또는 알루미늄막으로 할 수 있다.

<161> 다음에, 하드마스크상에 포토리소그라피 기술을 이용하여 배선홈 패턴에 패터닝된 레지스트막을 형성하고, 드라이에칭 처리를 시행함으로써, 하드마스크에 배선홈 패턴을 전사한다. 그 후, 산소 플라즈마를 이용한 에이싱 처리에 의해 레지스트막을 제거하지만, 스토퍼 절연막(41)을 구성하는 유기 SOG막은, 절연막(42)으로 덮여있고, 유기 SOG막은 산소 플라즈마에 노출되지 않는다. 이것에 의해, 유기 SOG막의 산소 플라즈마에 의한 변질을 방지할 수 있다.

<162> 다음에, 패터닝된 하드마스크를 마스크로 하고, 스토퍼 절연막(41)을 에칭용 스토퍼로 하여, 절연막(42)에 배선홈(43)의 일부를 형성한다(제1 에칭). 이어서, 상기 하드마스크를 마스크로 하여, 스토퍼 절연막(41)에 배선홈(43)의 다른 일부를 형성한다(제2 에칭). 이 제2 에칭의 조건에는, 상기 제1의 방법과 제2의 방법의 2가지의 방법을 채택할 수 있다.

<163> 다음에, 배선홈(43)의 내부에 제5 배선층의 배선(44)을 형성한다. 배선(44)은, 배리어 금속층 및 주도전층으로 이루어지며, 배리어 금속층은 예를 들면 질화티탄막, 주도전층은 예를 들면 동이다. 배선(44)의 형성은 이하와 같이 하여 행한다. 우선, 배선홈(43)의 내부를 포함하는 반도체기판(1)의 전면에 질화티탄막을 형성하고, 그 후, 배선홈(43)을 매립하는 동막을 형성한다. 질화티탄막의 형성에는, 예를 들면 CVD법을, 동막의 형성에는, 예를 들면 도금법을 이용한다. 도금법에 의한 동막의 형성 전에, 예를 들면 스퍼터법에 의해 동의 시드층을 형성할 수 있다. 그 후, 배선홈(43) 이외의 영역의 동막 및 질화티탄막을 CMP법에 의해 제거하여 배선(44)을 형성할

수 있다.

<164> 그 후, 동일한 방법으로 제6 배선층 이상 임의의 배선층을 형성할 수 있지만, 상세한 설명은 생략한다.

<165> 이와 같이, 본 실시형태 1에 의하면, 예를 들면 제2 배선층에 그 상세한 것을 예시한 바와 같이, 배선패턴이 패터닝된 레지스트막(21)을 이용하여 배선홈 패턴을 하드마스크(20)로 전사한 후, 레지스트막(21)을 산소 플라즈마로 제거하고, 이어서 배선홈 패턴이 전사된 하드마스크(20)를 마스크로 하여 절연막(19) 및 스토퍼 절연막(18)이 순차적으로 에칭된다. 따라서, 레지스트막(21)을 제거할 때, 스토퍼 절연막(18)을 구성하는 산소 플라즈마 내성이 낮은 유기 SOG막은 TEOS 산화막으로 구성되는 절연막(19)으로 보호되어 있고, 유기 SOG막은 산소 플라즈마의 영향을 받지 않는다. 또한, 스토퍼 절연막(18)을 가공할 때에는, 후에 에칭법 또는 CMP법으로 제거되는 하드마스크(20)를 마스크로 하여 에칭되므로, 스토퍼 절연막(18)을 구성하는 유기 SOG막은 산소 플라즈마에 노출되지 않는다. 이것에 의해, 스토퍼 절연막(18)을 구성하는 유기 SOG막의 막질의 변화를 억제할 수 있다.

<166> 또한, 예를 들면 제2 배선층에 그 상세한 것을 예시한 바와 같이, TEOS 산화막으로 구성되는 절연막(19)에의 홈 가공시의 에칭용 스토퍼로서, 비유전율이 2 ~ 3 정도로 상대적으로 낮은 유기 SOG막으로 구성되는 스토퍼 절연막(18)을 이용함으로써, 제2 배선층을 둘러싸는 절연막을, TEOS 산화막과 실리콘 산화막 보다도 낮은 유전율을 갖는 유기 SOG막으로 구성하는 것이 가능해지며, 배선간 용량의 증가를 억제할 수 있다.

<167> 또한, 다층배선을 구성하는 그 이외의 배선층(본 실시형태 1에서 예시한 제3 배선층 ~ 제5 배선층)도 제2 배선층과 동일한 제조방법으로 형성되어 있고, 제2 배선층과 동일한 효과를 얻을 수 있다.

<168> (실시형태 2)

<169> 도 20 ~ 도 28은, 본 발명의 실시형태 2인 반도체장치의 제조방법을 그 공정순으로 나타낸 일부 단면도이다. 도 20 ~ 도 28에서는 제2 배선층만을 나타낸다.

<170> 본 실시형태 2의 제조방법은, 본 실시형태 1에서의 도 3까지의 공정과 동일한 공정 후, 도 20에서 나타내는 바와 같이, 플러그(16)상에 스토퍼 절연막(18), 절연막(19)을 순차적으로 퇴적하고, 다시 하드마스크(45)를 형성한다. 이 하드마스크(45)는, 예를 들면 실리콘 질화막으로 이루어지며, 막두께는 예를 들면 50 ~ 200㎚ 정도이다. 하드마스크(45)를 구성하는 실리콘 질화막은, 예를 들면 성막온도의 저온화를 도모할 수 있는 플라즈마 CVD법으로 형성된다.

<171> 다음에, 하드마스크(45)상에, 포토리소그라피 기술을 이용하여 레지스트막(21)을 형성한다. 레지스트막(21)은, 배선패턴인 배선홈이 형성되는 영역에 개공이 형성되도록, 배선홈 패턴에 패터닝된다.

<172> 다음에, 도 21에 나타내는 바와 같이, 레지스트막(21)의 존재하에서 드라이에칭 처리를 시행하여, 하드마스크(45)에 배선홈 패턴을 전사하고, 이어서 절연막(19)의 상부를 에칭함으로써, 배선홈(22)의 일부를 형성한다. 여기서, 절연막(19)의 에칭은, 예를 들면 스토퍼 절연막(18)의 표면이 노출하기 전에 정지시킨다.

<173> 그 후, 도 22에 나타내는 바와 같이, 산소 플라즈마를 이용한 에이싱 처리에 의해 레지스트막(21)을 제거한다. 이와 같이 하여 배선의 홈패턴이 전사된 하드마스크(45)가 형성된다. 이때, 절연막(19)의 상부에는 배선홈(22)의 일부가 형성되어 있지만, 스토퍼 절연막(18)을 구성하는 유기 SOG막은, 아직 산소 플라즈마 내성이 높은 절연막(19)으로 덮여 있고, 유기 SOG막은 산소 플라즈마에 노출되지 않는다. 이것에 의해, 유기 SOG막의 상기 산소 플라즈마에 의한 변질을 방지할 수 있다.

<174> 다음에, 도 23에 나타내는 바와 같이, 패터닝된 하드마스크(45)를 마스크로 하고, 스토퍼 절연막(18)을 에칭용 스토퍼로 하여 제1 에칭을 시행한다. 이 제1 에칭에 의해, 남은 절연막(19)의 하부에 배선홈(22)의 일부를 더 형성한다. 이 에칭의 조건은, 절연막(19)(TEOS 산화막)이 에칭되기 쉽고, 하드마스크(45) 및 스토퍼 절연막(18)(유기 SOG막)이 에칭되기 어려운 조건, 예를 들면 TEOS 산화막에 대한 실리콘 질화막의 에칭 선택비가 10 이상이 되는 조건을 선택한다.

<175> 이어서, 상기 하드마스크(45)를 마스크로 하여 제2 에칭을 시행한다. 이 제2 에칭에 의해 노출하고 있는 스토퍼 절연막(18)을 제거하고, 다시 스토퍼 절연막(18)에 배선홈(22)의 남은 일부를 형성한다. 이 에칭의 조건에는, 다음의 2가지 방법을 채택할 수 있다.

<176> 제1의 방법은, 도 24에 나타내는 바와 같이, 스토퍼 절연막(18)(유기 SOG막)에 대한 하드마스크(45)의 에칭 선택비가 낮은 조건을 선택하는 방법에 있어서, 하드마스크(45)와 스토퍼 절연막(18)이 거의 동등한 에칭속도로 에칭된다.

<177> 제2의 방법은, 도 25에 나타내는 바와 같이, 스토퍼 절연막(18)(유기 SOG막)에 대한 하드마스크(45)의 에칭 선택비가 높은 조건을 선택하는 방법으로서, 스토퍼 절연막(18)은 에칭되지만 하드마스크(45)는 에칭되기 어려운 조건에서 선택적으로 에칭된다.

<178> 다음에, 실시형태 1의 도 10의 공정과 동일하게, 배선홈(22)의 내부에 제2 배선층의 배선(23)을 형성한다. 도 26은, 상기 도 24를 이용하여 설명한 제1의 방법에 의해 스토퍼 절연막(18)을 제거함으로써 형성된 배선홈(22)에, 배리어 금속층(23a), 시드층(도시하지 않음) 및 동의 도금층(23b)을 형성한 경우를 나타내고 있고, 도 27은, 상기 도 25를 이용하여 설명한 제2의 방법에 의해 스토퍼 절연막(18)을 제거함으로써 형성된 배선홈(22)에, 배리어 금속층(23a), 시드층(도시하지 않음) 및 동의 도금층(23b)을 형성한 경우를 나타내고 있다.

<179> 다음에, 도 28에 나타내는 바와 같이, CMP법을 이용하여 도금층(23b) 및 시드층을 연마한다. 다시, 연마를 계속하고, 절연막(19)상의 배리어 금속층(23a)도 제거한다. 이것에 의해 배선홈(22)의 영역 이외의 배리어 금속층(23a) 및 동막(도금층(23) 및 시드층)을 제거한다.

<180> 여기서, 상기 도 24에 나타낸 제1의 방법을 이용하여 스토퍼 절연막(18)을 제거한 경우는, 절연막(19)상의 배리어 금속층(23a)의 제거가 종료하는 상태까지 연마 제거가 상기 CMP법을 이용하여 행해진다. 이것에 대해, 상기 도 25에 나타낸 제2의 방법을 이용하여 스토퍼 절연막(18)을 제거한 경우는, 절연막(19)상의 배리어 금속층(23a)의 제거를 종료시키고, 다시 하드마스크(45)의 제거가 종료하는 상태까지 연마 제거가 상기 CMP법을 이용하여 행해진다.

<181> 이상과 같이 하여, 본 실시형태 2의 제2 배선층의 배선(23)을 완성한다.

<182> 이와 같이, 본 실시형태 2에 의하면, 하드마스크(45)에 실리콘 질화막을 이용한 경우라도, 상기 실시형태 1에서 설명한 것과 동일하게, 스토퍼 절연막(18)을 구성하는 유기 SOG막이 산화 플라즈마의 영향을 받지 않음으로써, 유기 SOG막의 막질의 변화를 억제할 수 있는 효과와, 스토퍼 절연막(18)에 저유전율 재료인 유기 SOG막을 이용함으로써 배선간 용량의 증가를 억제할 수 있는 효과를 얻을 수 있다.

<183> (실시형태 3)

<184> 도 29 ~ 도 37은, 본 발명의 실시형태 3인 반도체장치의 제조방법을 그 공정순으로 나타낸 일부 단면도이다. 도 29 ~ 도 37에서는 제2 배선층만을 나타낸다.

<185> 본 실시형태 3의 제조방법은, 실시형태 1에서의 도 3까지의 공정과 동일한 공정 후, 수소(H_2)어닐처리를 반도체기판(1)에 시행한다. 수소어닐처리의 조건은, 예를 들면 온도 475℃, 처리시간 5분으로 할 수 있다. 이어서, 도 29에 나타내는 바와 같이, 플러그(16)상에 접착층(46)을 퇴적한 후, 다시 스토퍼 절연막(18), 절연막(19), 하드마스크(20)를 순차적으로 형성한다. 접착층(46)은, 예를 들면 TEOS 산화막으로 할 수 있다. 그 두께는, 후의 공정에서 스토퍼 절연막(18)을 에칭으로 제거할 때의 오버에칭(over etching)으로 제거할 수 있는 두께인 50㎚ 이하로 설정되고, 예를 들면 약 25㎚ 정도이다.

<186> 접속공(16)에 매립된 플러그(17)에 발생하는 매립 불량에 의해, 플러그(17)의 내부에 갭(gap)이 발생하고, 이 갭에서의 가스제거에 의해 플러그(17)상의 스토퍼 절연막(18)이 박리되는 경우가 있다. 그러나, 플러그(17)를 형성한 후에 수소어닐처리를 시행함으로써, 플러그(17)에 발생한 갭에서 적극적으로 가스제거를 발생시키고, 스토퍼 절연막(18)에 미치는 가스제거의 영향을 방지할 수 있다. 또한, 스토퍼 절연막(18)의 밑에 접착층(46)을 퇴적함으로써, 수소어닐처리가 불충분해도, 스토퍼 절연막(18) 또는 절연막(19)의 성막시 상기 가스제거의 영향에 의한 스토퍼 절연막(18)의 박리를 방지할 수 있다. 또한, 스토퍼 절연막(18)의 박리 방지의 효과는, 수소어닐처리만, 또는 접착층(46)의 성막만이라도 얻는 것이 가능하다.

<187> 다음에, 하드마스크(20)상에, 포토리소그라피 기술을 이용하여 레지스트막(21)을 형성한다. 레지스트막(21)은, 배선패턴인 배선홈이 형성되는 영역에 개공이 형성되도록, 배선홈 패턴에 패터닝된다.

<188> 다음에, 도 30에 나타내는 바와 같이, 레지스트막(21)의 존재하에서 드라이에칭처리를 시행하여, 하드마스크(20)에 배선홈 패턴을 전사한 후, 도 31에 나타내는 바와 같이, 산소 플라즈마를 이용한 에이싱 처리에 의해 레지스트막(21)을 제거한다. 이와 같이 하여 배선의 홈패턴이 전사된 하드마스크(20)가 형성된다. 이때, 스토퍼 절연막(18)을 구성하는 유기 SOG막은, 산소 플라즈마 내성이 높은 절연막(19)으로 덮여 있고, 유기 SOG막은 산소 플라즈마에 노출되지 않는다. 이것에 의해, 유기 SOG막의 상기 산소 플라즈마에 의한 변질을 방지할 수 있다.

<189> 다음에, 도 32에 나타내는 바와 같이, 패터닝된 하드마스크(20)를 마스크로 하고, 스토퍼 절연막(18)을 에칭용 스토퍼로 하여 제1의 에칭을 시행한다. 이 제1 에칭에 의해, 절연막(19)에 배선홈(22)의 일부를 형성한다. 이 에칭의 조건은, 절연막(19)(TEOS 산화막)이 에칭되기 쉽고, 하드마스크(20) 및 스토퍼 절연막(18)(유기 SOG막)이 에칭되기 어려운 조건을 선택한다.

<190> 이어서, 상기 하드마스크(20)를 마스크로 하여 제2 에칭을 시행한다. 이 제2 에칭에 의해 노출하고 있는 스토퍼 절연막(18) 및 접착층(46)을 순차적으로 제거하여, 스토퍼 절연막(18) 및 접착층(46)에 배선홈(22)의 다른 일부를 형성한다. 이 에칭의 조건에는, 다음의 2가지의 방법을 채택할 수 있다.

<191> 제1의 방법은, 도 33에 나타내는 바와 같이, 스토퍼 절연막(18)(유기 SOG막)및 접착층(46)(TEOS 산화막)에 대한 하드마스크(20)의 에칭 선택비가 낮은 조건을 선택하는 방법으로서, 하드마스크(20)와 스토퍼 절연막(18), 하드마스크(20)와 접착층(46)이 거의 동등한 에칭속도로 에칭된다.

<192> 제2의 방법은, 도 34에 나타내는 바와 같이, 스토퍼 절연막(18)(유기 SOG막) 및 접착층(46)(TEOS 산화막)에 대한 하드마스크(20)의 에칭 선택비가 높은 조건을 선택하는 방법으로서, 스토퍼 절연막(18)은 에칭되지만 하드마스크(20)는 에칭되기 어려운 조건에서 선택적으로 에칭된다.

<193> 다음에, 실시형태 1의 도 10의 공정과 동일하게, 배선홈(22)의 내부에 제2 배선층의 배선(23)을 형성한다. 도 35는, 상기 도 33을 이용하여 설명한 제1의 방법에 의해 스토퍼 절연막(18) 및 접착층(46)을 제거함으로써 형성된 배선홈(22)에, 배리어 금속층(23a), 시드층(도시하지 않음) 및 동의 도금층(23b)을 형성한 경우를 나타내고 있고, 도 36은, 상기 도 34를 이용하여 설명한 제2의 방법에 의해 스토퍼 절연막(18)을 제거함으로써 형성된 배선홈(22)에, 배리어 금속층(23a), 시드층(도시하지 않음) 및 동의 도금층(23b)을 형성한 경우를 나타내고 있다.

<194> 다음에, 도 37에 나타내는 바와 같이, CMP법을 이용하여 도금층(23b) 및 시드층을 연마한다. 다시, 연마를 계속하여, 절연막(19)상의 배리어 금속층(23a)도 제거한다. 이것에 의해 배선홈(22)의 영역 이외의 배리어 금속층(23a) 및 동막(도금층(23) 및 시드층)을 제거한다.

<195> 여기서, 상기 도 33에 나타낸 제1의 방법을 이용하여 스토퍼 절연막(18)을 제거한 경우는, 절연막(19)상의 배리어 금속층(23a)의 제거가 종료하는 상태까지 연마 제거가 상기 CMP법을 이용하여 행해진다. 이것에 대해, 상기 도 34에 나타낸 제2의 방법을 이용하여 스토퍼 절연막(18)을 제거한 경우는, 절연막(19)상의 배리어 금속층(23a)의 제거를 종료시키고, 다시 하드마스크(20)의 제거가 종료하는 상태까지 연마 제거가 상기 CMP법을 이용하여 행해진다.

<196> 이상과 같이 하여, 본 실시형태 3의 제2 배선층의 배선(23)을 완성한다.

<197> 이와 같이, 본 실시형태 3에 의하면, 상기 실시형태 1에서 설명한 것과 동일하게, 스토퍼 절연막(18)을 구성하는 유기 SOG막이 산화 플라즈마의 영향을 받지 않음으로써, 유기 SOG막의 막질의 변화를 억제할 수 있는 효과와, 스토퍼 절연막(18)에 저유전율 재료인 유기 SOG막을 이용함으로써 배선간 용량의 증가를 억제할 수 있는 효과를 얻을 수 있다. 이들 효과에 더하여, 플러그(17)를 형성한 후에 수소어닐처리를 행함으로써, 플러그(17)상에 발생한 갭에서의 가스제거를 적극적으로 발생시킬 수 있고, 또, 플러그(17)상에 접착층(46)을 설치함으로써, 스토퍼 절여막(18) 또는 절연막(19)의 성막시 상기 가스제거가 발생해도, 가스제거의 영향에 의한 스토퍼 절연막(18)의 박리를 방지할 수 있다.

<198> (실시형태 4)

<199> 도 38 ~ 도 46은, 본 발명의 실시형태 4인 반도체장치의 제조방법을 그 공정순으로 나타낸 일부 단면도이다. 도 38 ~ 도 46에서는 제2 배선층만을 나타낸다.

<200> 본 실시형태 4의 제조방법은, 실시형태 1에서의 도 3까지의 공정과 동일한 공정 후, 도 38에 나타내는 바와 같이, 플러그(16)상에 제1 절연막(47), 제2 절연막(48) 및 하드마스크(20)를 순차적으로 형성한다. 제1 절연막(47)은, 예를 들면 유기 SOG막으로 이루어지며, 그 두께는, 예를 들면 200 ~ 300㎚ 정도이다. 또한, 유기 SOG막으로 한정하지 않고, 제2 절연막(48)에 대하여 높은 에칭 선택비를 가지며, 또 실리콘 산화막 보다도 낮은 비유전율을 갖는 유기 저유전율막을 이용할 수도 있다. 제2 절연막(48)은, 예를 들면 TEOS 산화막으로 이루어지며, 그 두께는, 예를 들면 100 ~ 500㎚ 정도이다. 또한, TEOS 산화막으로 한정하지 않고, 실리콘 질화막 보다도 낮은 비유전율을 갖는 절연막을 이용할 수도 있다. 또한, 제1 절연막(47)의 막두께는 제2 절연막의 막두께 보다도 크게 구성된다.

<201> 제2 절연막(48)의 에칭용 스토퍼로서 기능하는 제1 절연막(47)은, 에칭용 스토퍼에 요구되는 막두께가 선택됨과

동시에, 배선간 용량을 저감하는 것을 고려하면, 그 막두께를 두껍게 설정하는 것이 바람직하다. 상기 200 ~ 3000㎚는 이러한 조건을 고려한 것이다.

<202> 다음에, 하드마스크(20)상에, 포토리소그라피 기술을 이용하여 레지스트막(21)을 형성한다. 레지스트막(21)은, 배선패턴인 배선홈이 형성되는 영역에 개공이 형성되는 바와 같이, 배선홈 패턴에 패터닝된다.

<203> 다음에, 도 39에 나타내는 바와 같이, 레지스트막(21)의 존재하에서 드라이에칭처리를 시행하여, 하드마스크(20)에 배선홈 패턴을 전사한 후, 도 40에 나타내는 바와 같이, 산소 플라즈마를 이용한 에이싱 처리에 의해 레지스트막(21)을 제거한다. 이와 같이 하여 배선의 홈패턴이 전사된 하드마스크(20)가 형성된다. 이때, 제1 절연막(47)을 구성하는 유기 SOG막은, 산소 플라즈마 내성이 높은 제2 절연막(48)으로 덮여 있고, 유기 SOG막은 산소 플라즈마에 노출되지 않는다. 이것에 의해, 유기 SOG막의 상기 산소 플라즈마에 의한 변질을 방지할 수 있다.

<204> 다음에, 도 41에 나타내는 바와 같이, 패터닝된 하드마스크(20)를 마스크로 하고, 제1 절연막(47)을 에칭용 스토퍼로 하여 제1 에칭을 시행한다. 이 제1 에칭에 의해, 제2 절연막(48)에 배선홈(22)의 일부를 형성한다. 이 에칭의 조건은, 제2 절연막(48)(TEOS 산화막)이 에칭되기 쉽고, 하드마스크(20) 및 제1 절연막(47)(유기 SOG막)이 에칭되기 어려운 조건을 선택한다.

<205> 이어서, 상기 하드마스크(20)를 마스크로 하여 제2 에칭을 시행한다. 이 제2 에칭에 의해 노출하고 있는 제1 절연막(47)을 제거하여, 제1 절연막(47)에 배선홈(22)의 다른 일부를 형성한다. 이 에칭의 조건에는, 다음의 2가지의 방법을 채택할 수 있다.

<206> 제1의 방법은, 도 42에 나타내는 바와 같이, 제1 절연막(47)(유기 SOG막)에 대한 하드마스크(20)의 에칭 선택비가 낮은 조건을 선택하는 방법으로서, 하드마스크(20)와 제1 절연막(47)이 거의 동등한 에칭속도로 에칭된다.

<207> 제2의 방법은, 도 43에 나타내는 바와 같이, 제1 절연막(47)(유기 SOG막)에 대한 하드마스크(20)의 에칭 선택비가 높은 조건을 선택하는 방법으로서, 제1 절연막(47)은 에칭되지만 하드마스크(20)는 에칭되기 어려운 조건에서 선택적으로 에칭된다.

<208> 다음에, 실시형태 1의 도 10의 공정과 동일하게, 배선홈(22)의 내부에 제2 배선층의 배선(23)을 형성한다. 도 44는, 상기 도 42를 이용하여 설명한 제1의 방법에 의해 제1 절연막(47)을 제거함으로써 형성된 배선홈(22)에, 배리어 금속층(23a), 시드층(도시하지 않음) 및 동의 도금층(23b)을 형성한 경우를 나타내고 있고, 도 45는, 상기 도 43을 이용하여 설명한 제2의 방법에 의해 제1 절연막(47)을 제거함으로써 형성된 배선홈(22)에, 배리어 금속층(23a), 시드층(도시하지 않음) 및 동의 도금층(23b)을 형성한 경우를 나타내고 있다.

<209> 다음에, 도 46에 나타내는 바와 같이, CMP법을 이용하여 도금층(23b) 및 시드층을 연마한다. 다시, 연마를 계속하여, 제2 절연막(48)상의 배리어 금속층(23a)도 제거한다. 이것에 의해 배선홈(22)의 영역 이외의 배리어 금속층(23a) 및 동막(도금층(23) 및 시드층)을 제거한다.

<210> 여기서, 상기 도 42에 나타낸 제1의 방법을 이용하여 제1 절연막(47)을 제거한 경우는, 제2 절연막(48)상의 배리어 금속층(23a)의 제거가 종료하는 상태까지 연마 제거가 상기 CMP법을 이용하여 행해진다. 이것에 대하여, 상기 도 43에 나타낸 제2의 방법을 이용하여 제1 절연막(47)을 제거한 경우는, 제2 절연막(48)상의 배리어 금속층(23a)의 제거를 종료시키고, 다시 하드마스크(20)의 제거가 종료하는 상태까지 연마 제거가 상기 CMP법을 이용하여 행해진다.

<211> 이상과 같이 하여, 본 실시형태 4의 제2 배선층의 배선(23)을 완성한다.

<212> 이와 같이, 본 실시형태 4에 의하면, 상기 실시형태 1에서 설명한 것과 동일하게, 제1 절연막(47)을 구성하는 유기 SOG막이 산화 플라즈마의 영향을 받지 않음으로써, 유기 SOG막의 막질의 변화를 억제할 수 있는 효과와, 제1 절연막(47)에 저유전율 재료인 유기 SOG막을 이용함으로써 배선간 용량의 증가를 억제할 수 있는 효과를 얻을 수 있다. 특히, 제1 절연막(47)에 대한 하드마스크(20)의 에칭 선택비를 높게 함으로써, 제1 절연막(47)을 두껍게 형성하는 것을 가능하게 하고, 이것에 의해 배선간 용량증가의 억제에 대한 높은 효과를 얻을 수 있다.

<213> 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시형태에 의거하여 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되지 않으며, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능하다는 것은 말할 필요도 없다.

<214> 예를 들면, 상기 실시형태에서는, 배선층이 접속되는 플러그를 텅스텐막으로 구성하였지만, 동막으로 구성해도

된다. 동막으로 구성되는 플러그는 이하와 같이 하여 형성할 수 있다. 우선, 접속공의 내부를 포함하는 반도체 기판의 전면에, 동의 확산을 방지하는 기능을 갖는 배리어 금속층을 형성하고, 다시 접속공을 매립하는 동막을 형성한다. 그 후, 접속공 이외의 영역의 동막 및 배리어 금속층을 CMP법에 의해 제거하여 플러그를 형성한다. 동막은, 예를 들면 도금법으로 형성할 수 있다. 도금층의 형성 전에 시드층으로서 얇은 동막을 스퍼터법에 의해 형성할 수 있다. 또한, 동막은, 스퍼터법에 의해 형성해도 된다. 이 경우, 스퍼터법에 의해 동막을 형성한 후, 열처리에 의해 동막을 유동화시켜, 접속공으로의 매립특성을 향상하도록 해도 된다.

<215> 또한, 상기 실시형태에서는, 배선층의 형성공정에 적용한 경우에 대하여 설명하였지만, 상하 배선층간을 접속하는 플러그의 형성공정에 적용해도 되며, 동일한 효과가 얻어진다.

<216> 또한, 상기 실시형태에서는, 다층배선을 구성하는 제2 배선층 이상의 임의의 배선층에 적용한 경우에 대하여 설명하였지만, 반도체기판의 주면상에 형성된 반도체 영역 또는 전극에 접속되는 배선층에 적용해도 되며, 동일한 효과가 얻어진다.

발명의 효과

<217> 본원에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 이하와 같다.

<218> 본 발명에 의하면, 상하 배선층의 사이에 설치되는 절연막의 막질의 변화를 방지할 수 있다. 또한, 배선층과 이 배선층의 하층에 설치된 플러그와의 접착성을 향상할 수 있다. 이것에 의해, 다마씬 배선의 신뢰도를 향상시킬 수 있다.

<219> 본 발명에 의하면, 배선층을 둘러싸는 절연막을 비유전율이 상대적으로 낮은 절연재료로 구성함으로써, 배선간의 용량이 저감하고, 반도체장치의 성능향상을 도모할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일실시형태(실시형태 1)인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<2> 도2는 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<3> 도3은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<4> 도4는 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<5> 도5는 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<6> 도6은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<7> 도7은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<8> 도8은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<9> 도9는 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<10> 도10은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<11> 도11은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<12> 도12는 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<13> 도13은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<14> 도14는 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<15> 도15는 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<16> 도16은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<17> 도17은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<18> 도18은 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<19> 도19는 본 실시형태 1인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<20> 도20은 본 발명의 다른 실시형태(실시형태 2)인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<21> 도21은 본 실시형태 2인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<22> 도22는 본 실시형태 2인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<23> 도23은 본 실시형태 2인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<24> 도24는 본 실시형태 2인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<25> 도25는 본 실시형태 2인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<26> 도26은 본 실시형태 2인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<27> 도27은 본 실시형태 2인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<28> 도28은 본 실시형태 2인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<29> 도29는 본 발명의 또다른 실시형태(실시형태 3)인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<30> 도30은 본 실시형태 3인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<31> 도31은 본 실시형태 3인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<32> 도32는 본 실시형태 3인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<33> 도33은 본 실시형태 3인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<34> 도34는 본 실시형태 3인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<35> 도35는 본 실시형태 3인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<36> 도36은 본 실시형태 3인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<37> 도37은 본 실시형태 3인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<38> 도38은 본 발명의 또다른 실시형태(실시형태 4)인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<39> 도39은 본 실시형태 4인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<40> 도40은 본 실시형태 4인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<41> 도41은 본 실시형태 4인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<42> 도42은 본 실시형태 4인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<43> 도43은 본 실시형태 4인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

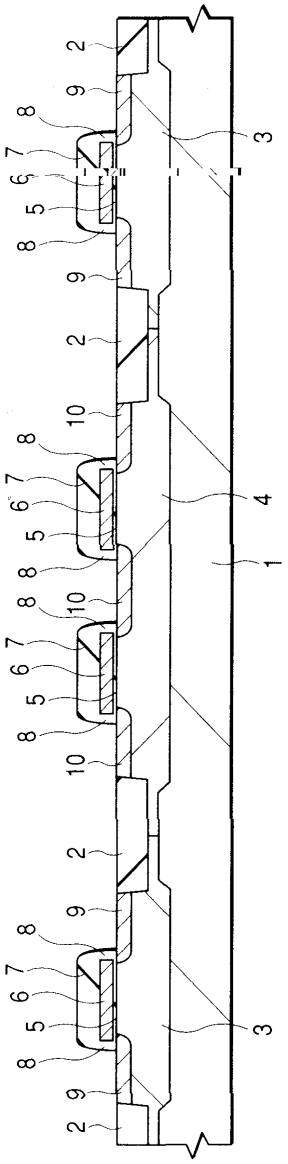
<44> 도44는 본 실시형태 4인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

<45> 도45는 본 실시형태 4인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도,

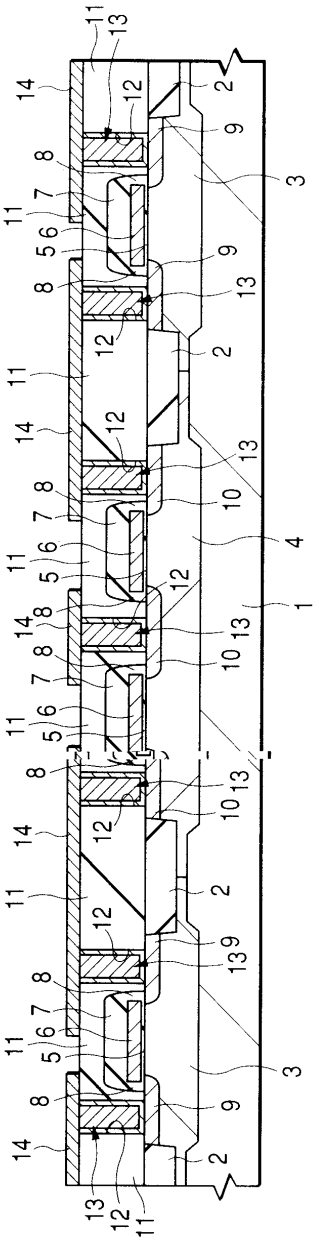
<46> 도46은 본 실시형태 4인 반도체장치의 제조방법의 일예를 그 공정순으로 나타낸 반도체기판의 요부 단면도이다.

도면

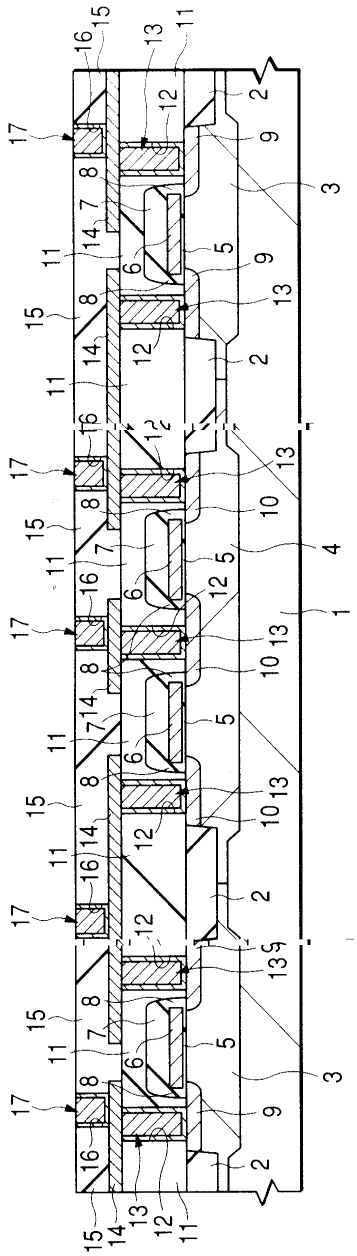
도면1



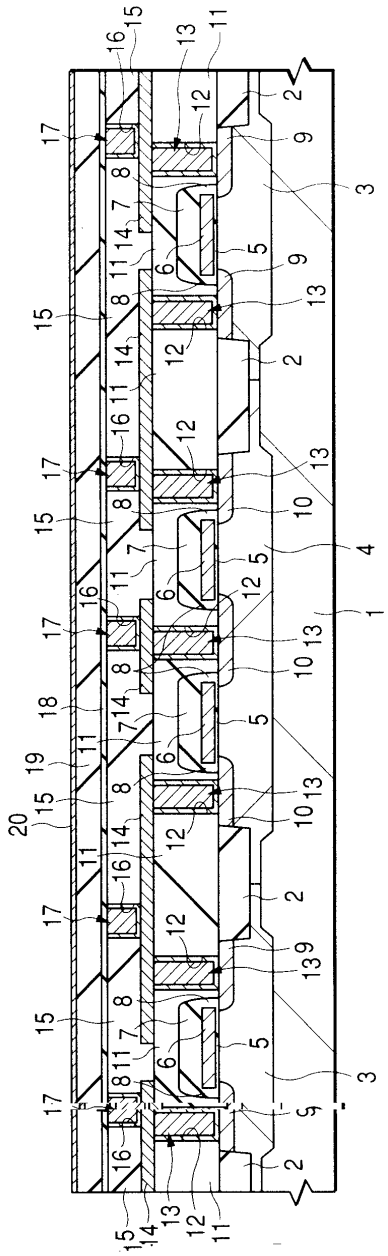
도면2



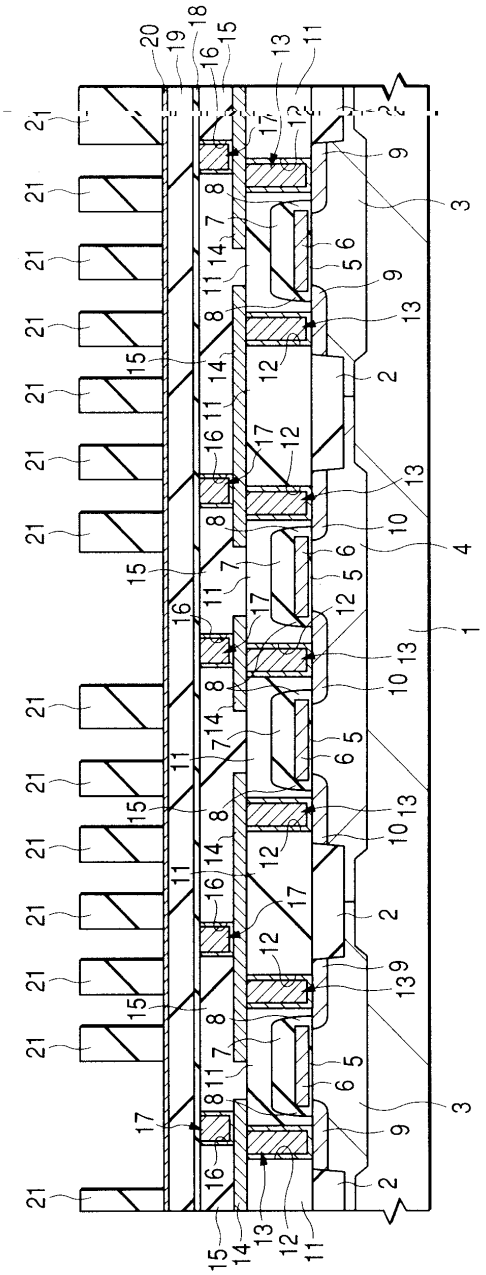
도면3



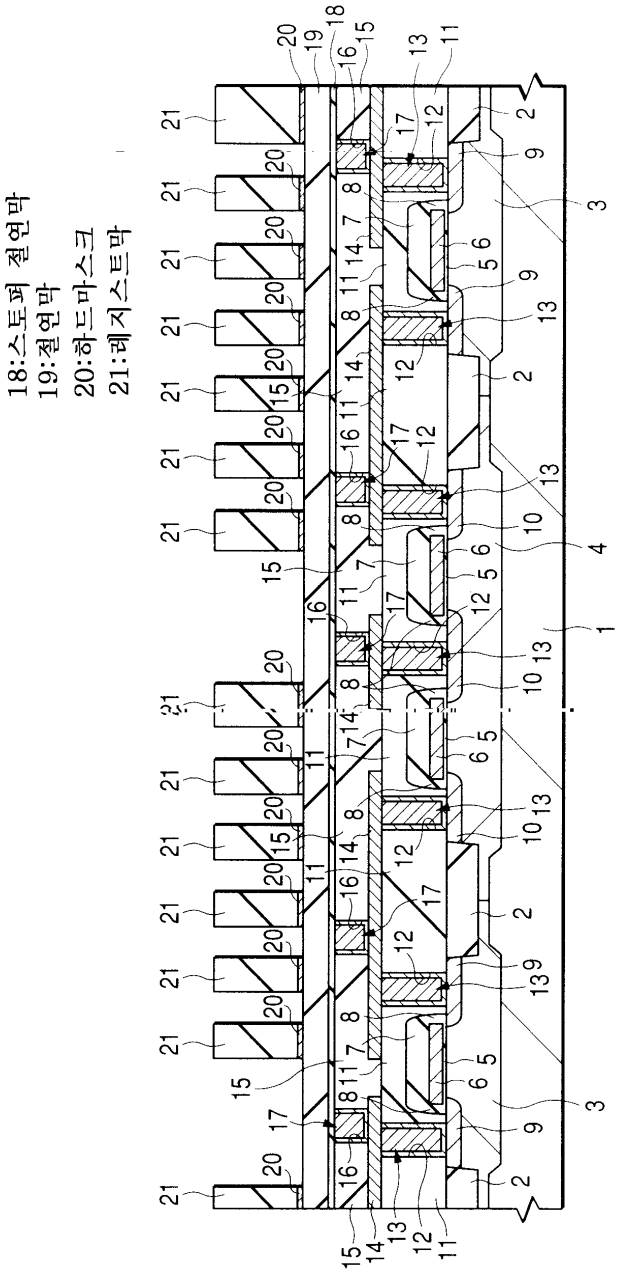
도면4



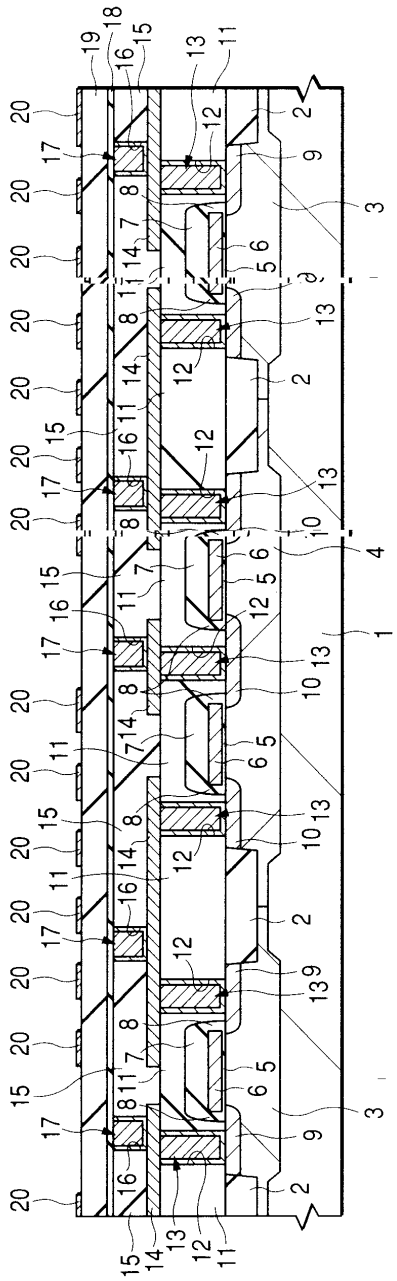
도면5



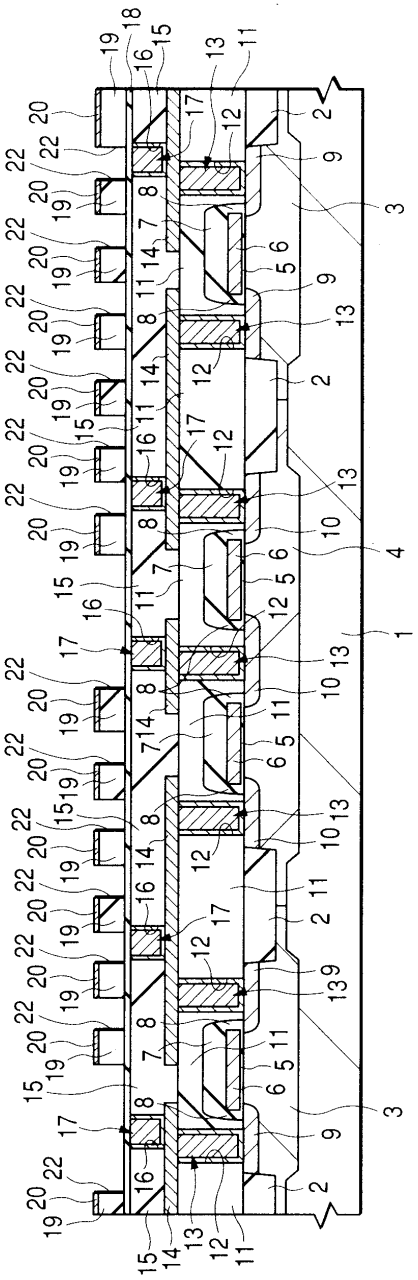
도면6



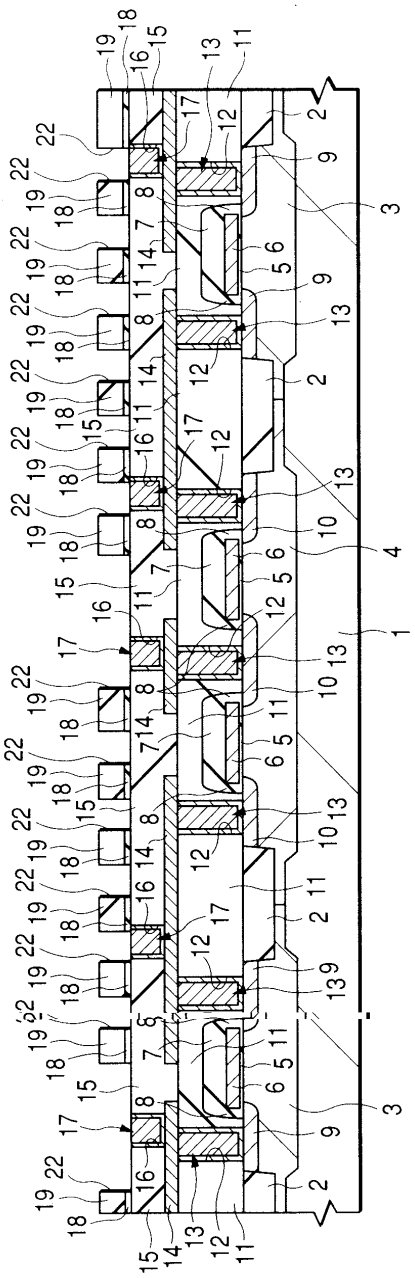
도면7



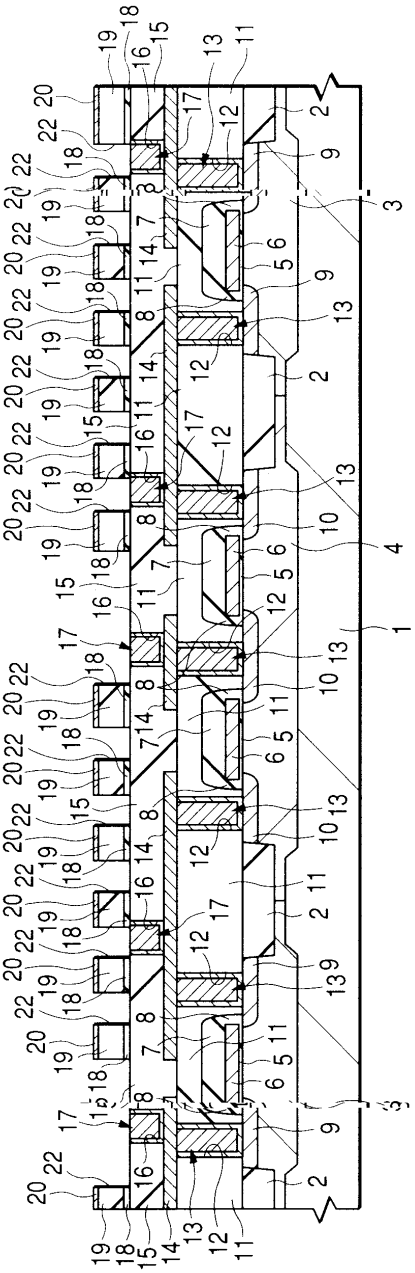
도면8



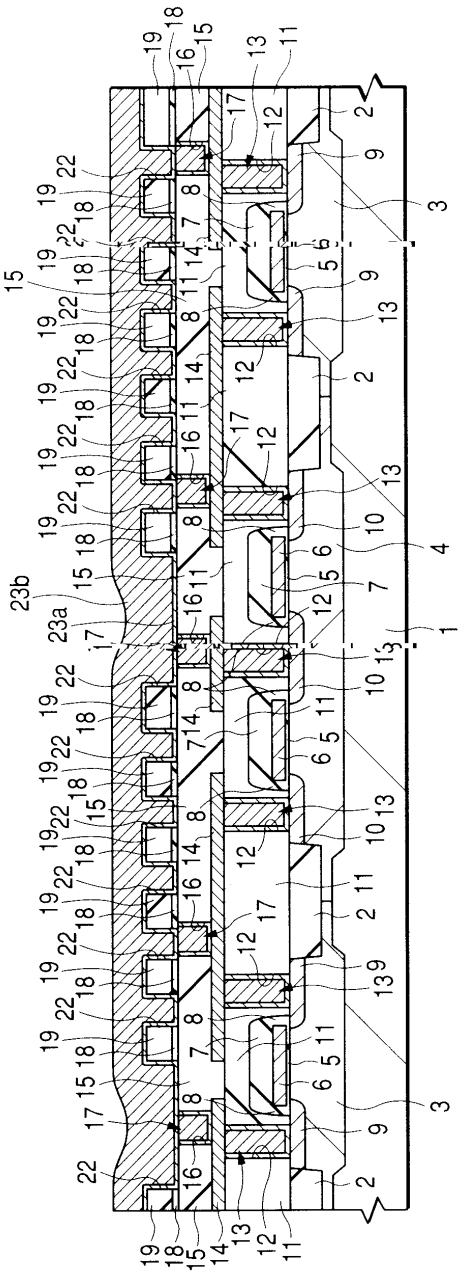
도면9



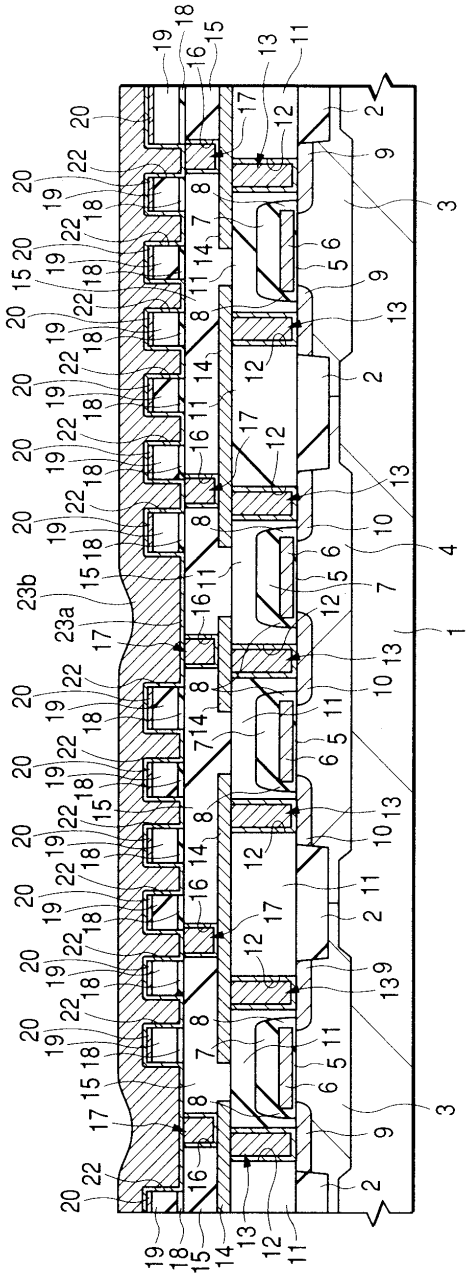
도면10



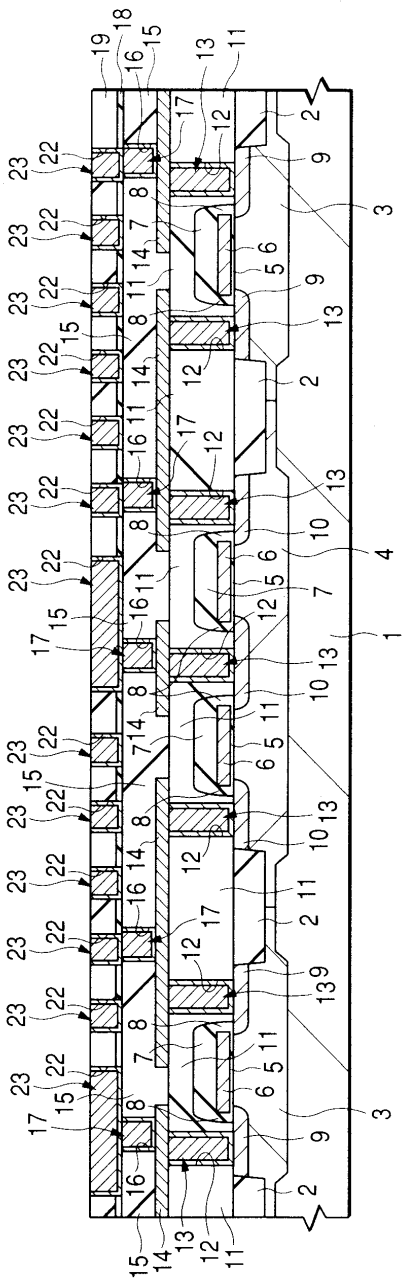
도면11



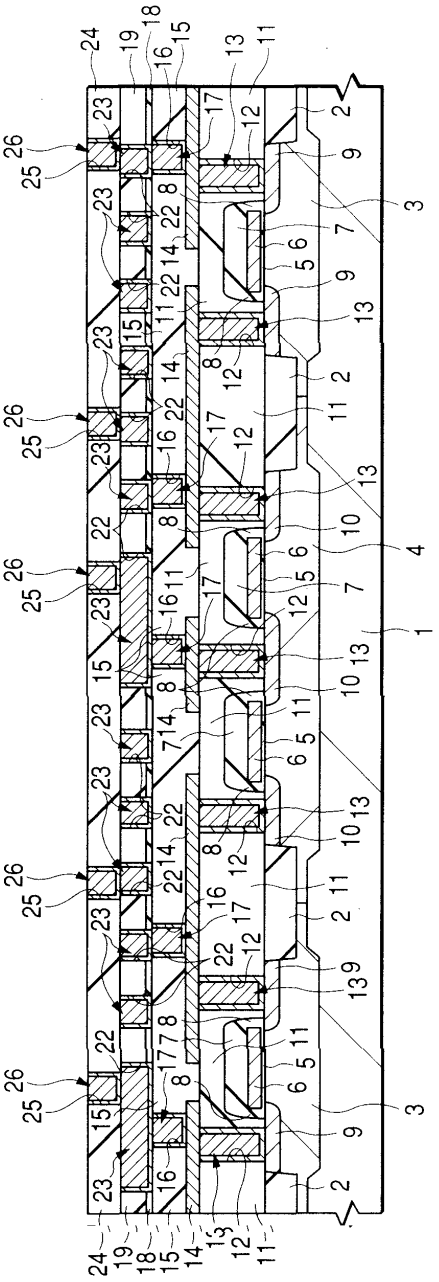
도면12



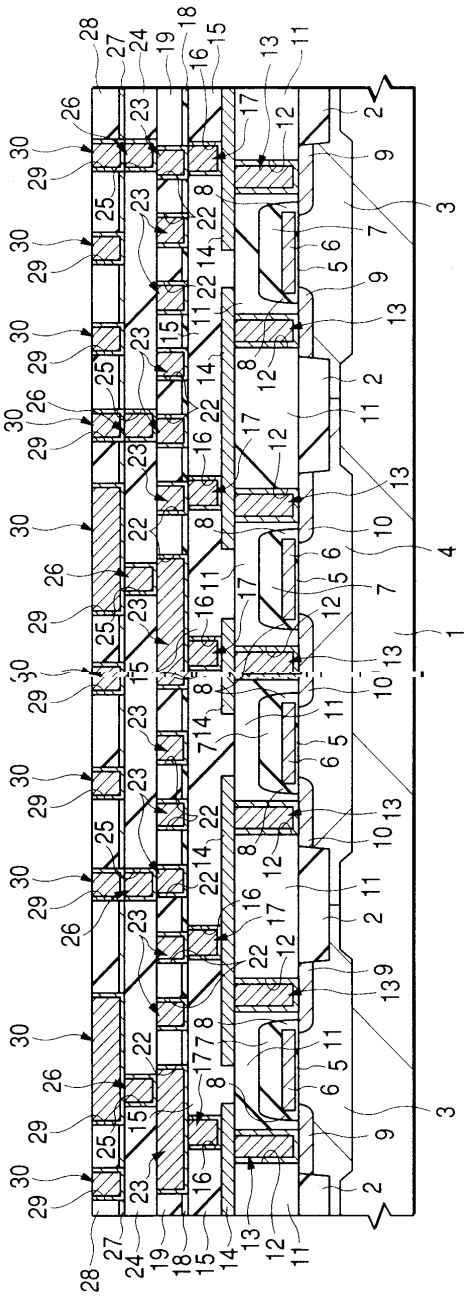
도면13



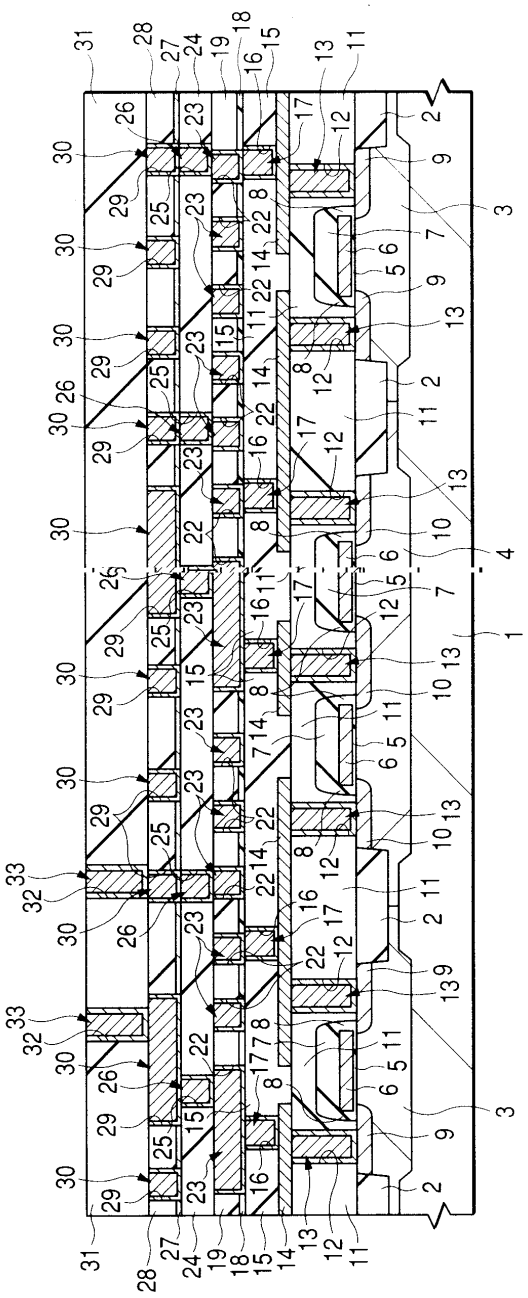
도면14



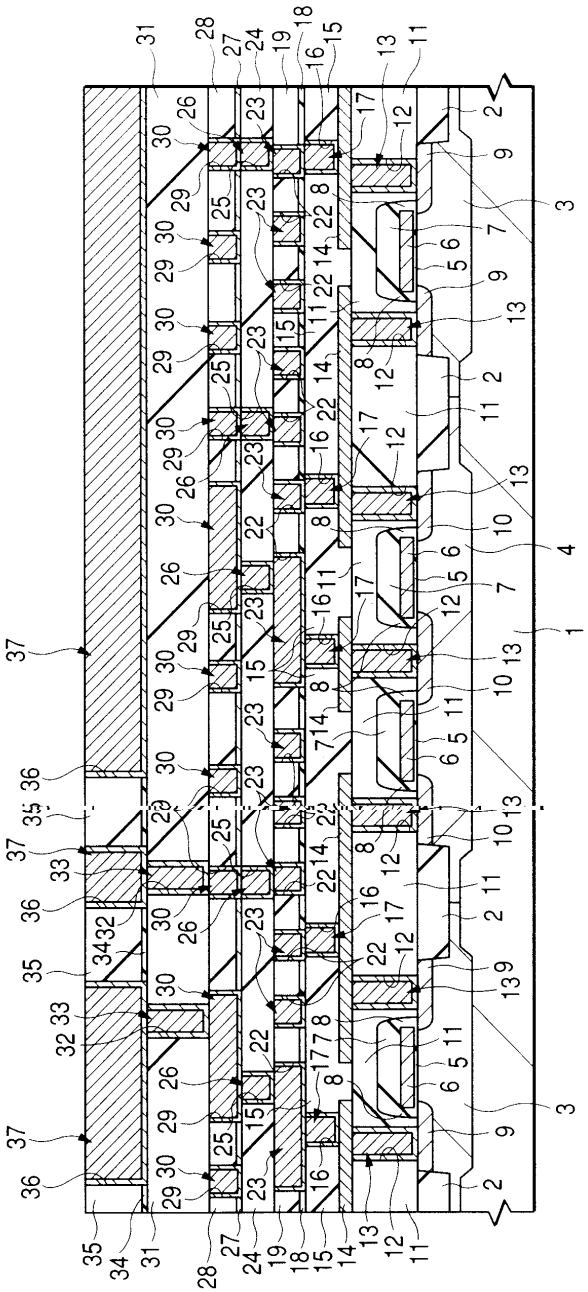
도면15



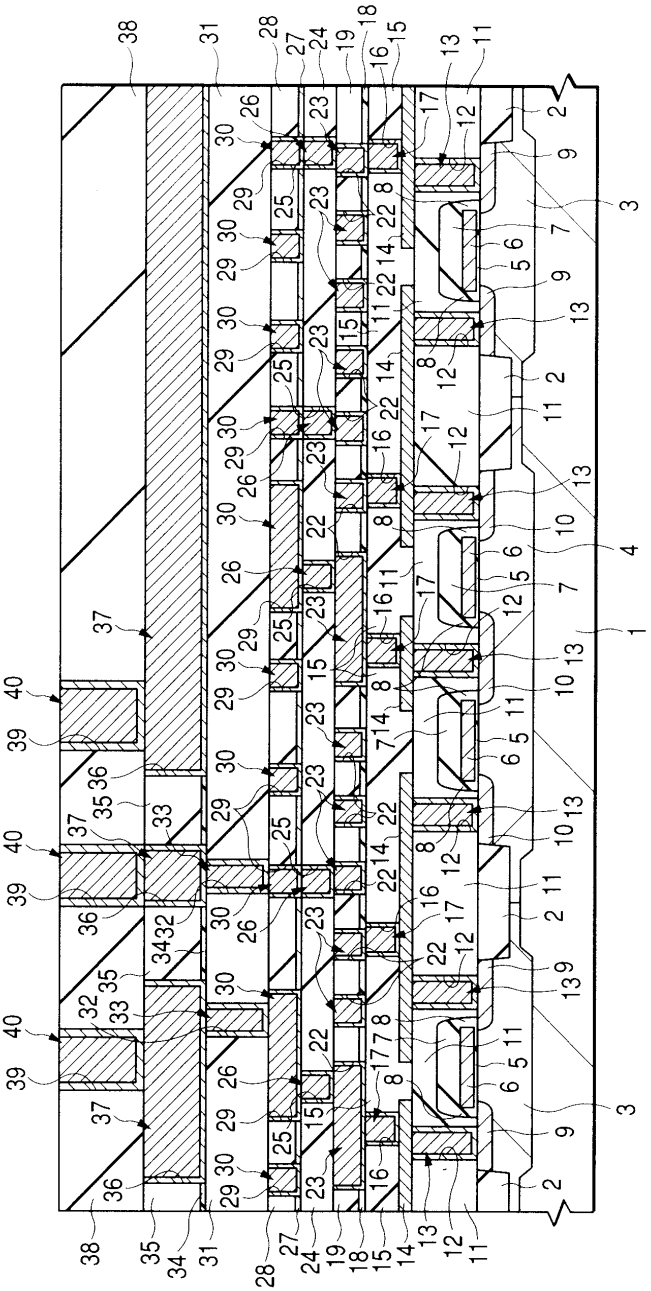
도면16



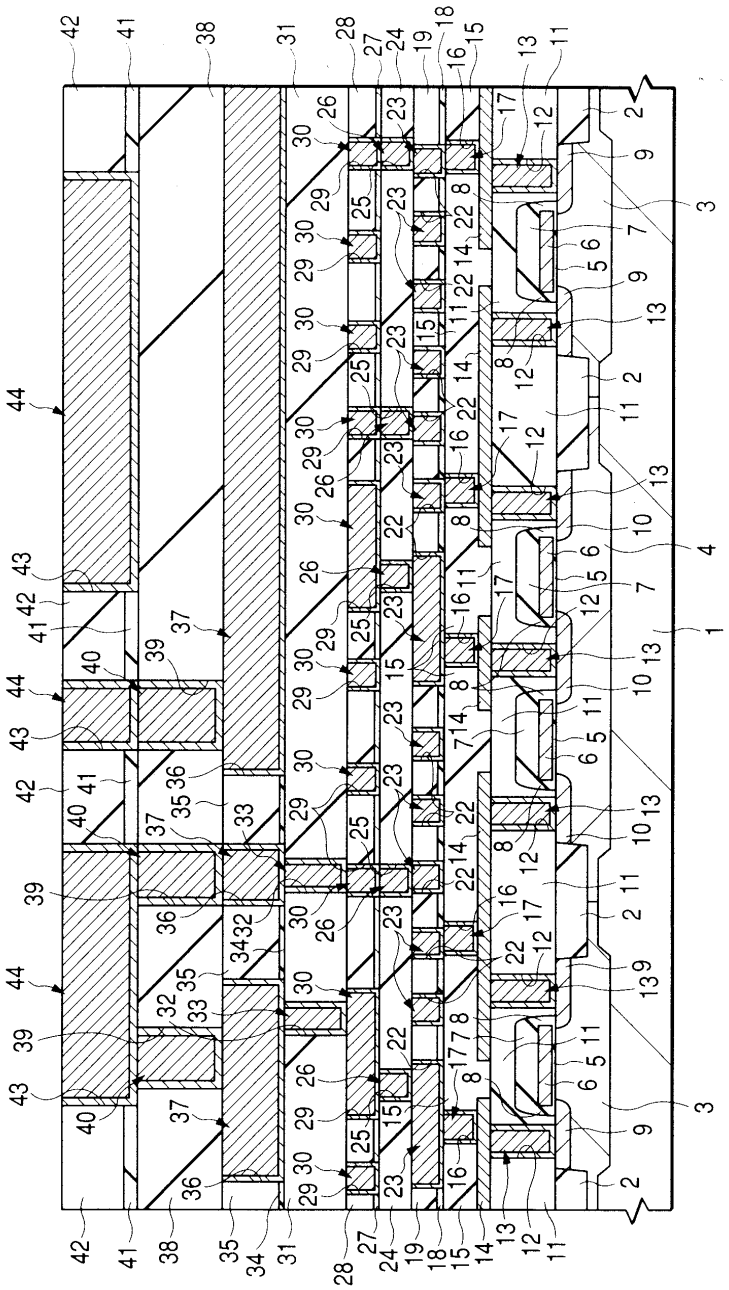
도면17



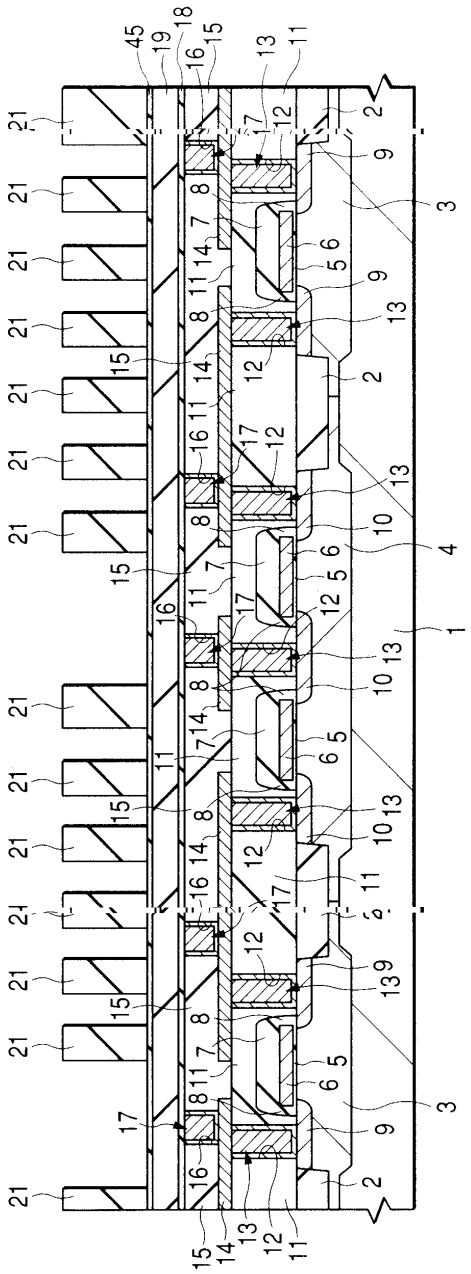
도면18



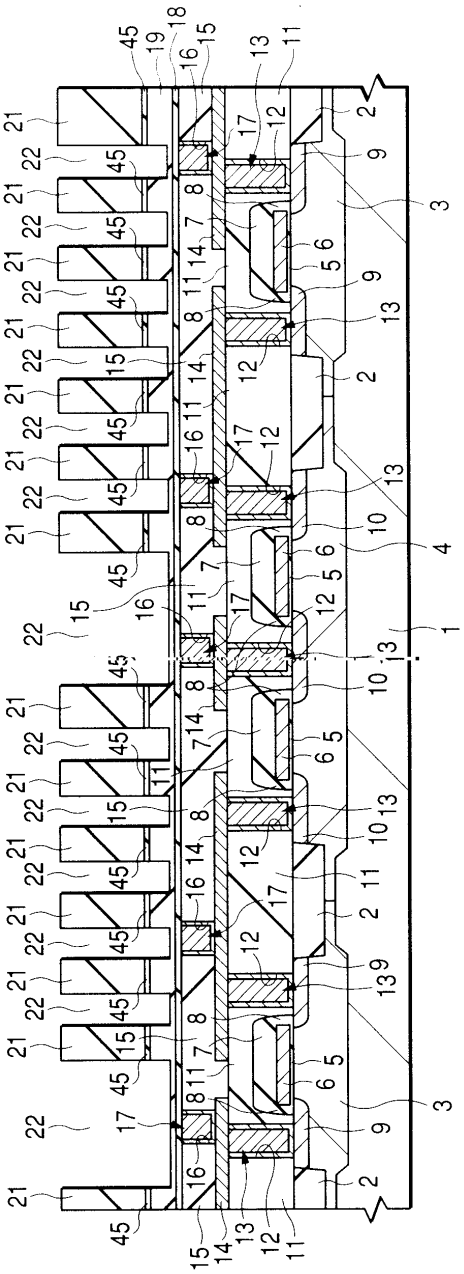
도면19



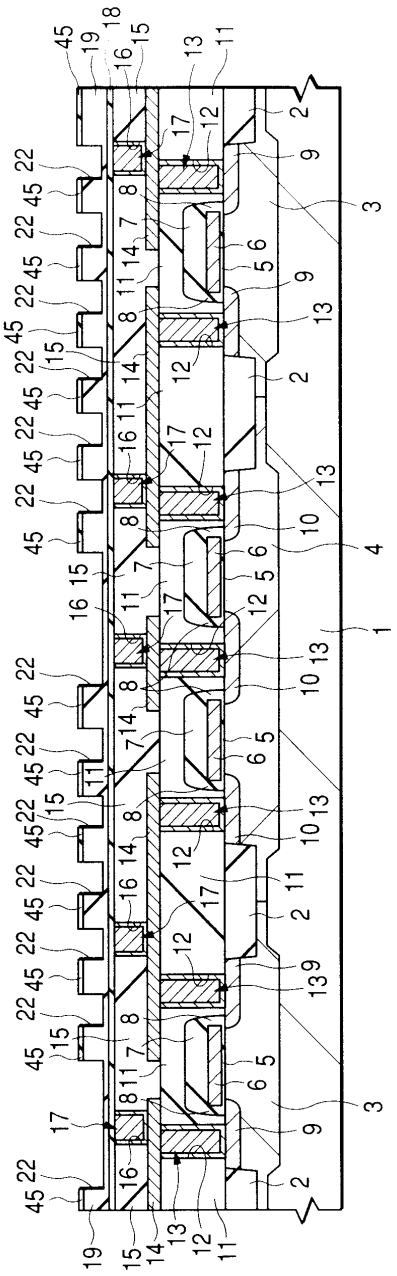
도면20



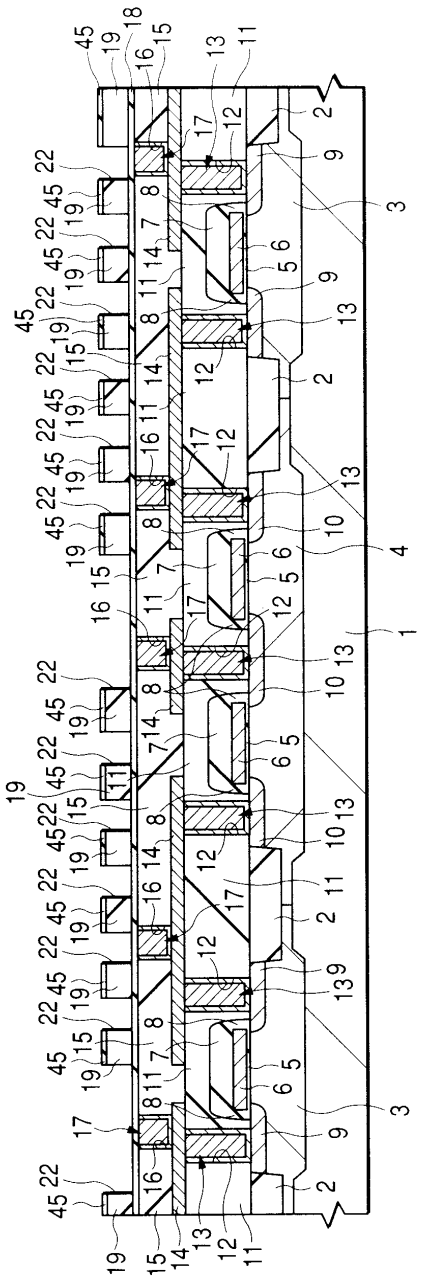
도면21



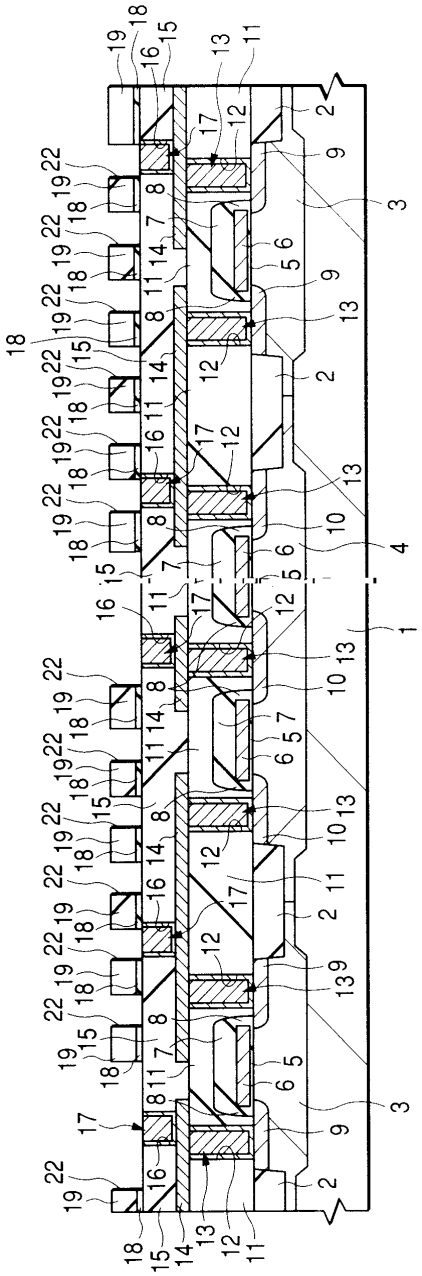
도면22



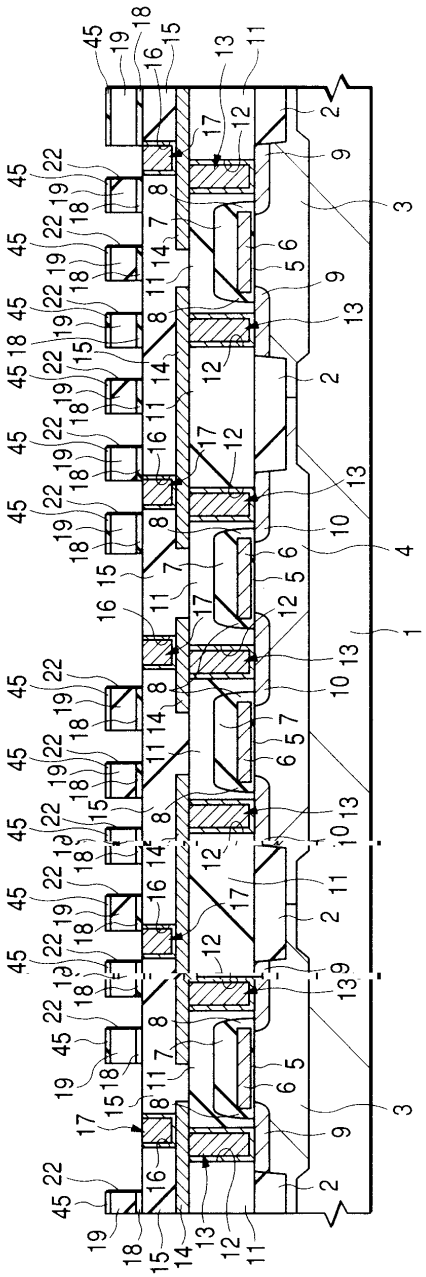
도면23



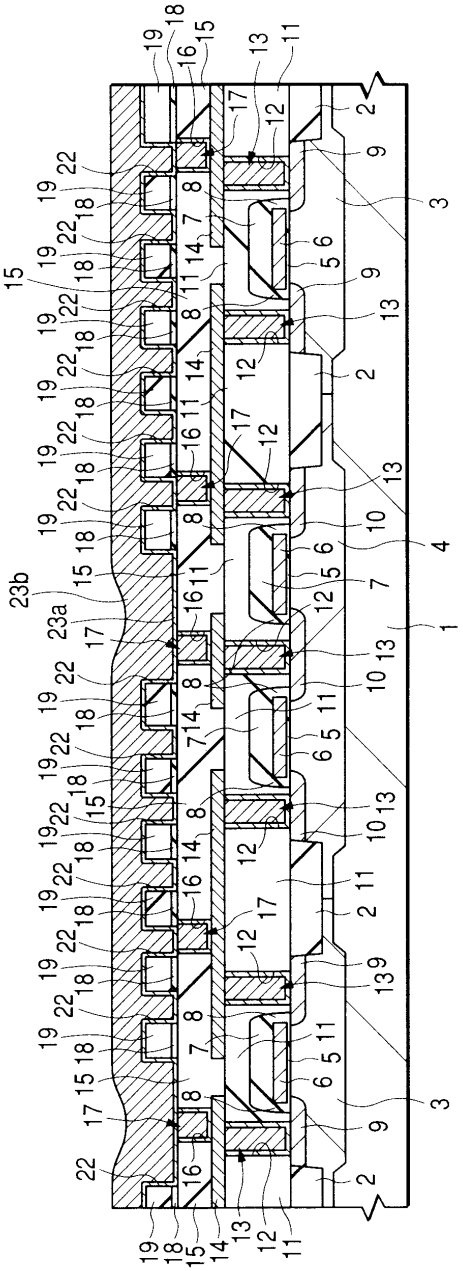
도면24



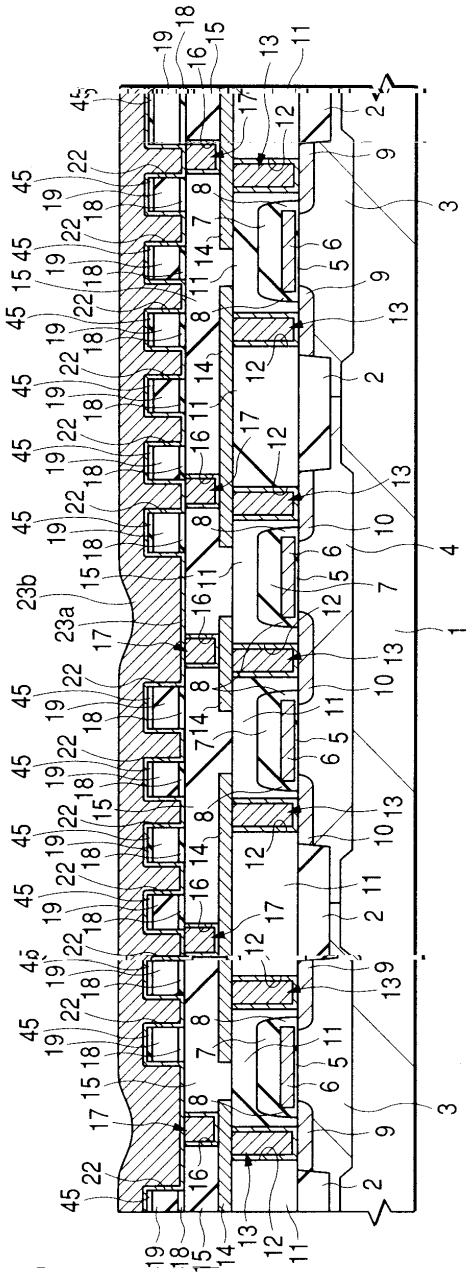
도면25



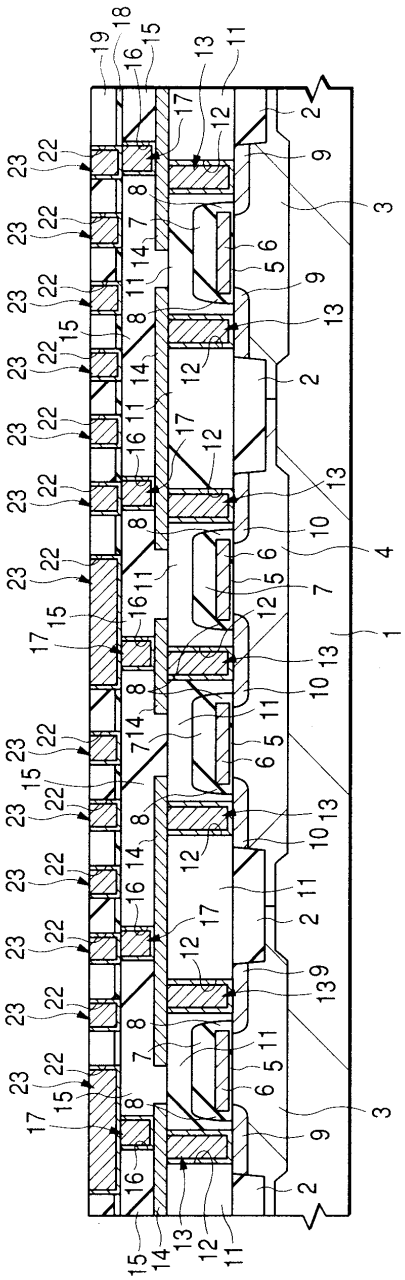
도면26



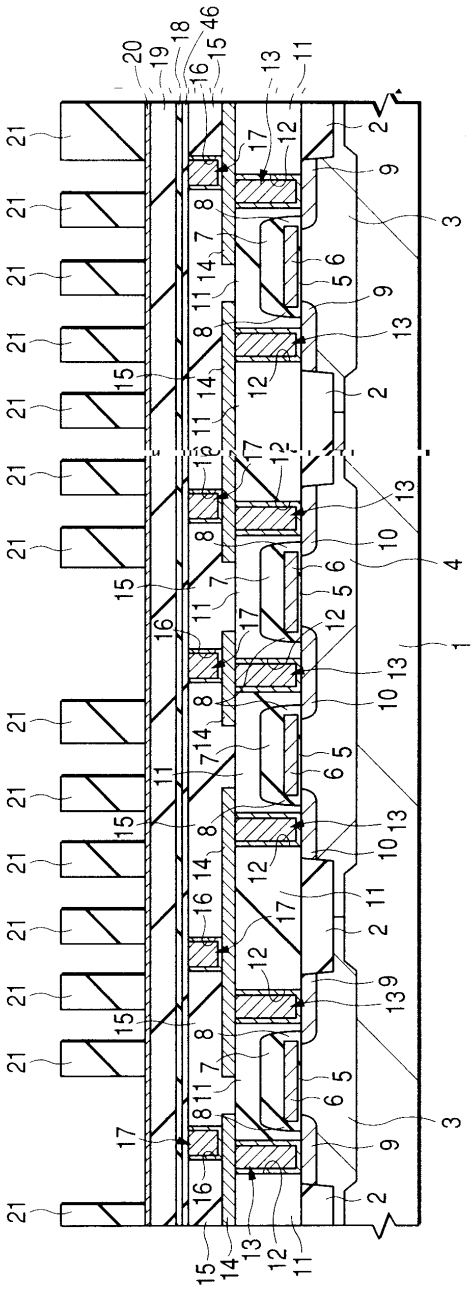
도면27



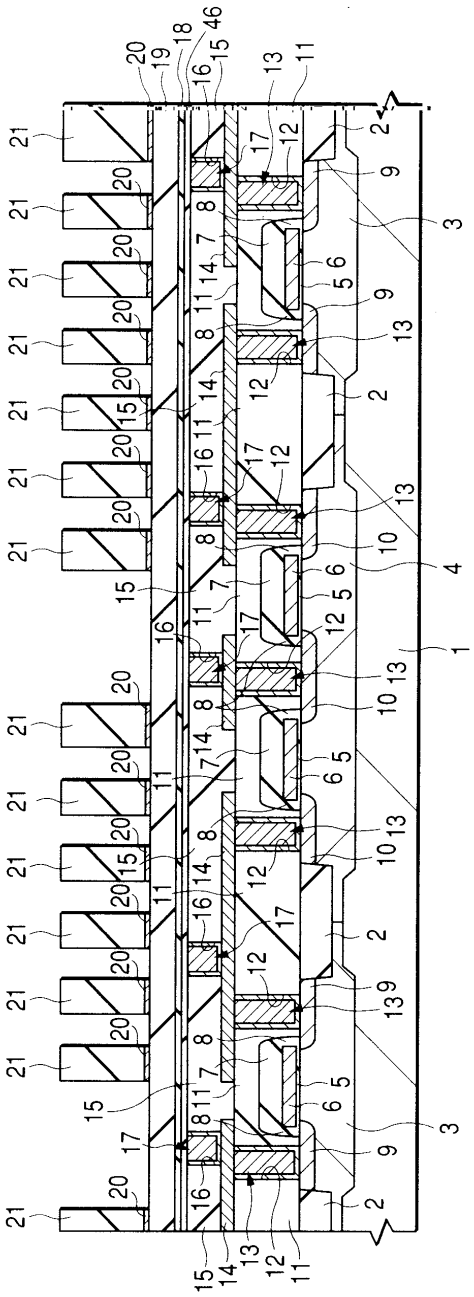
도면28



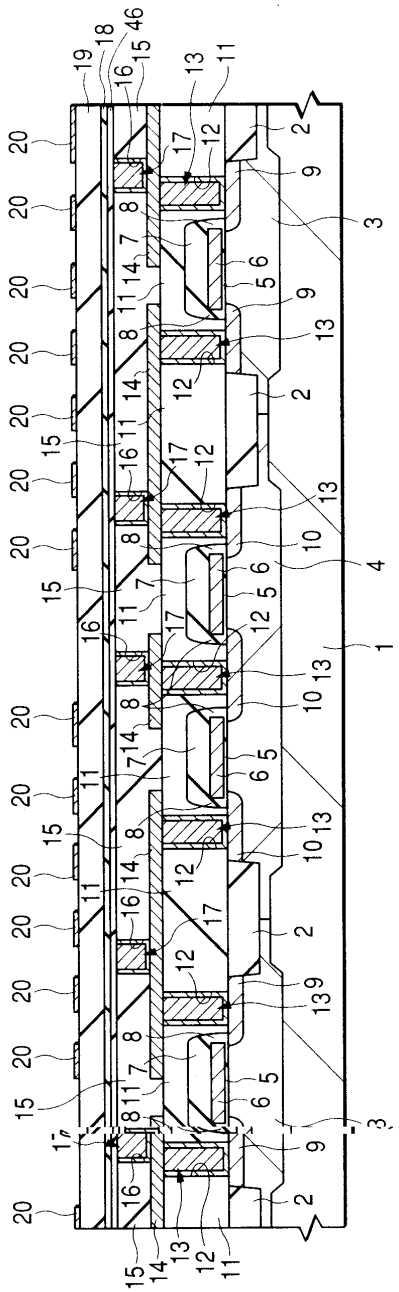
도면29



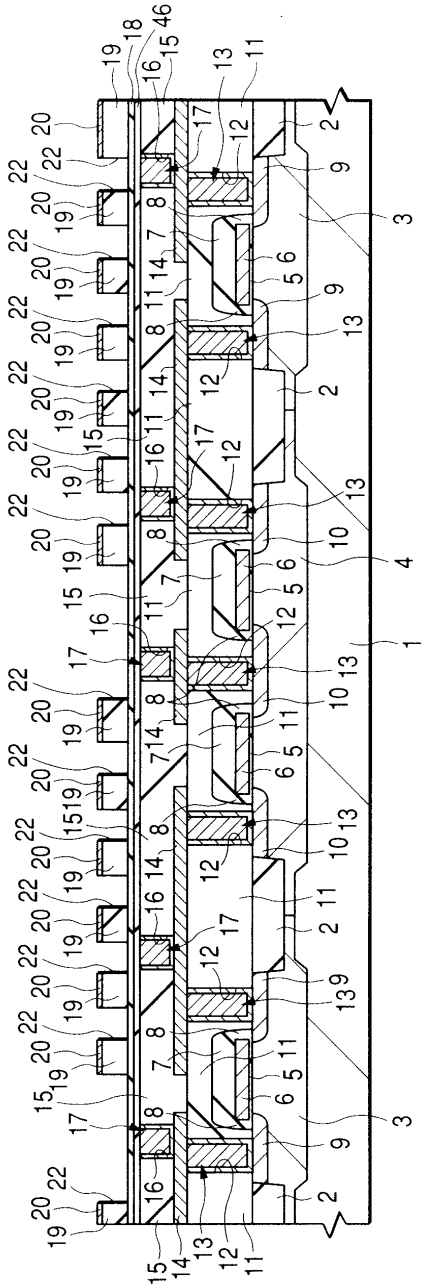
도면30



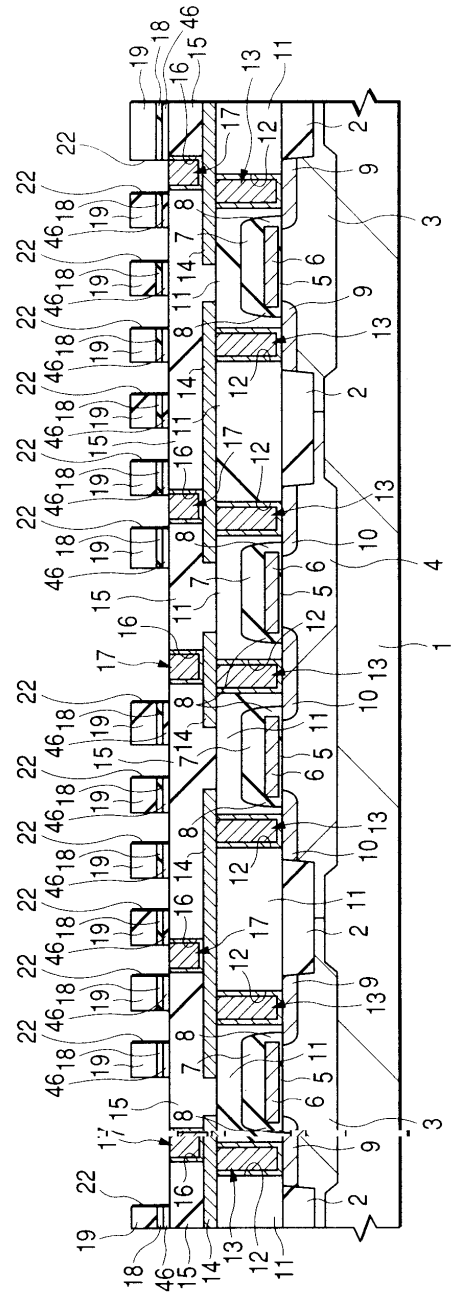
도면31



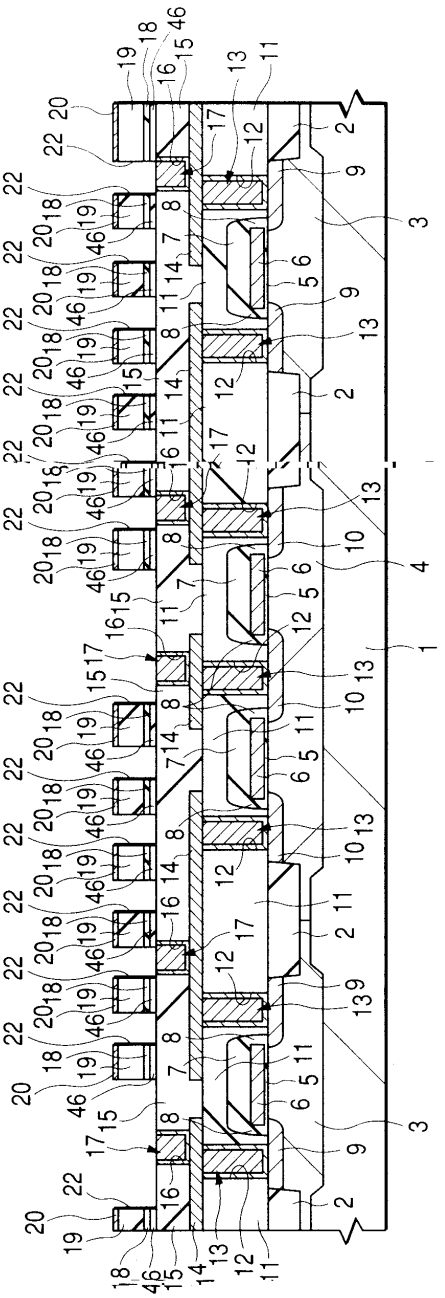
도면32



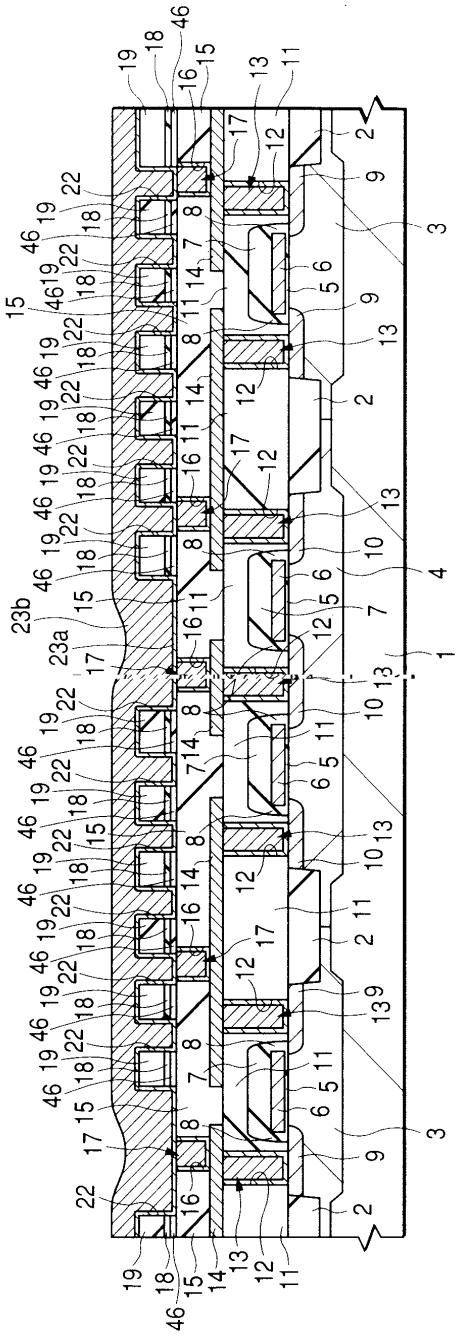
도면33



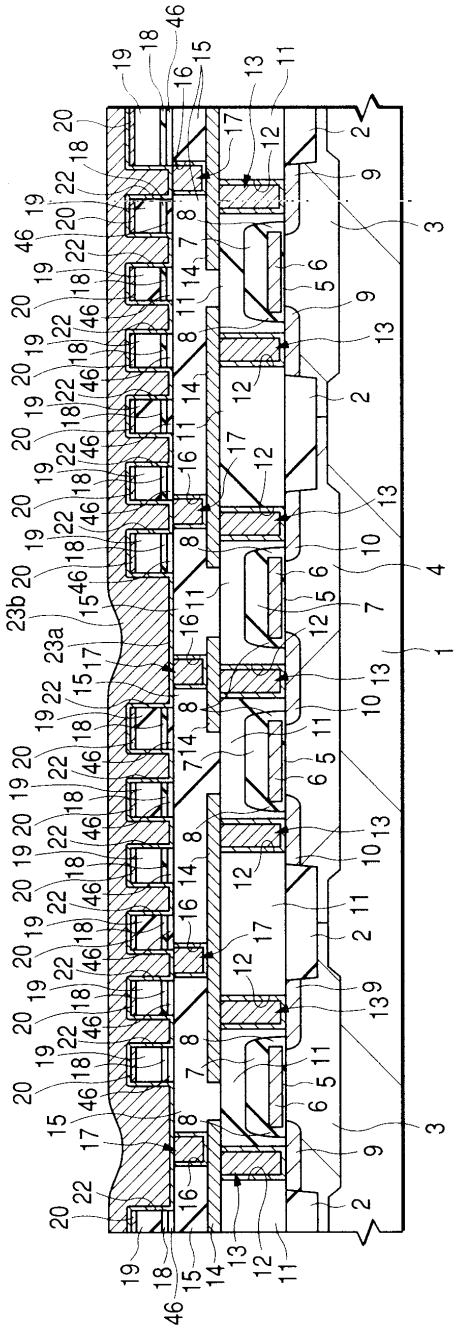
도면34



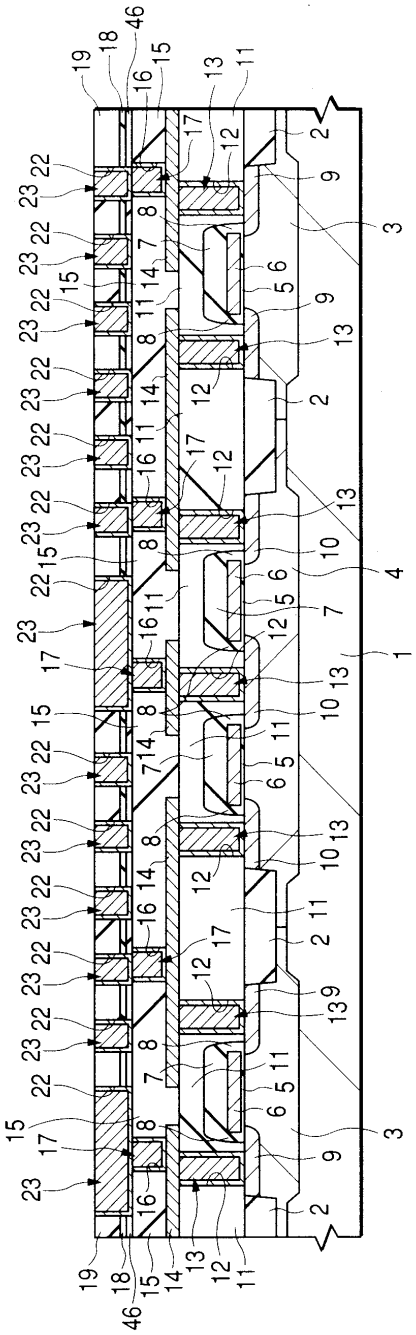
도면35



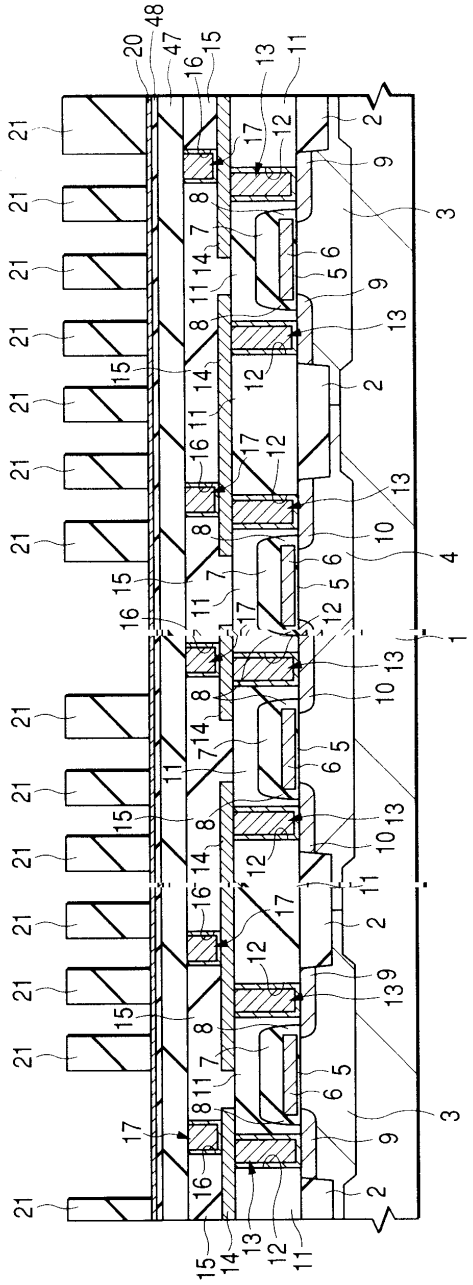
도면36



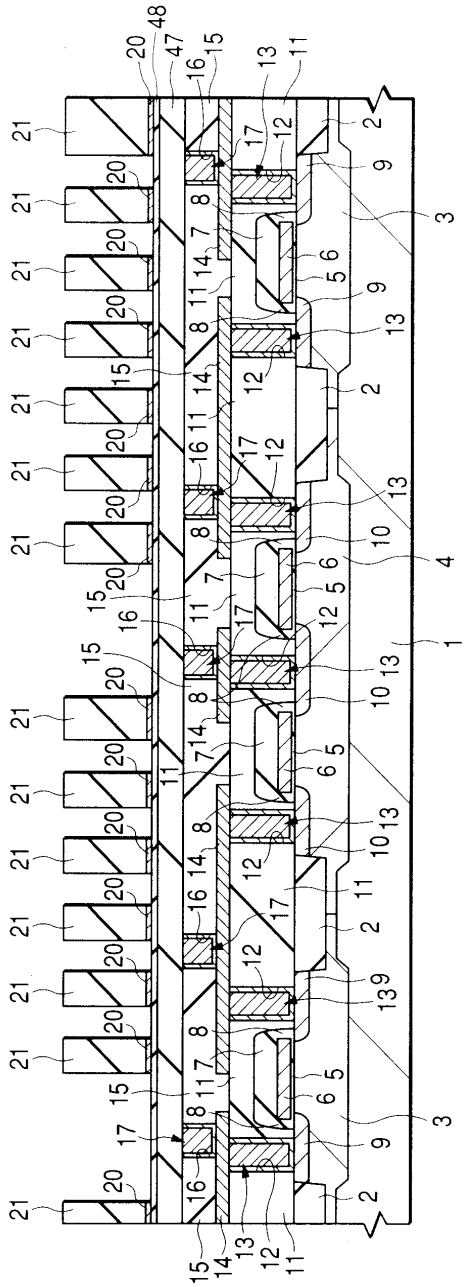
도면37



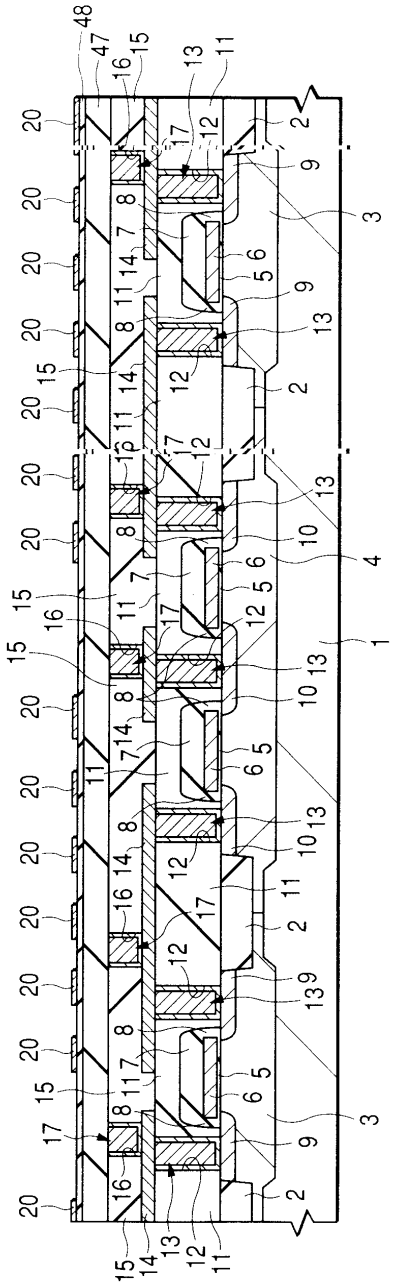
도면38



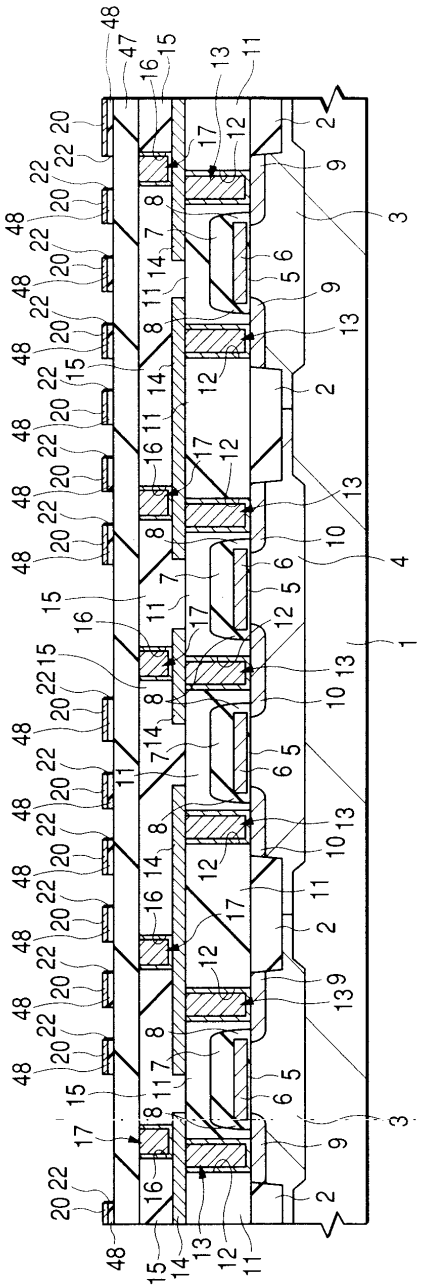
도면39



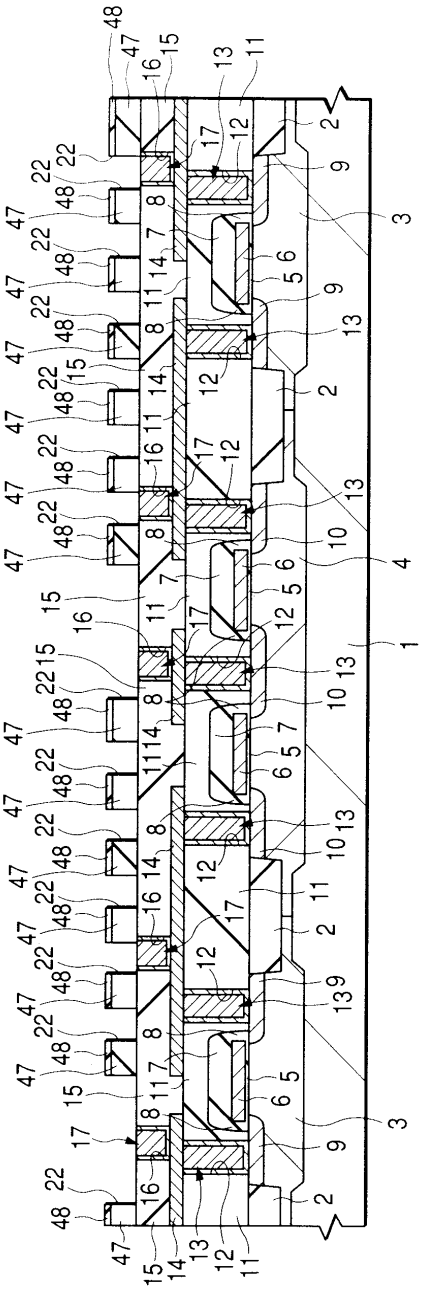
도면40



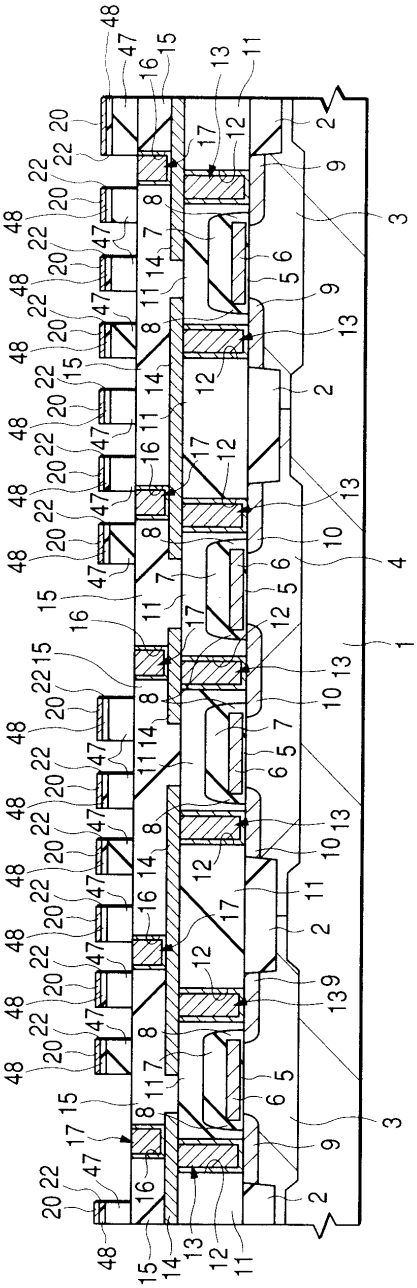
도면41



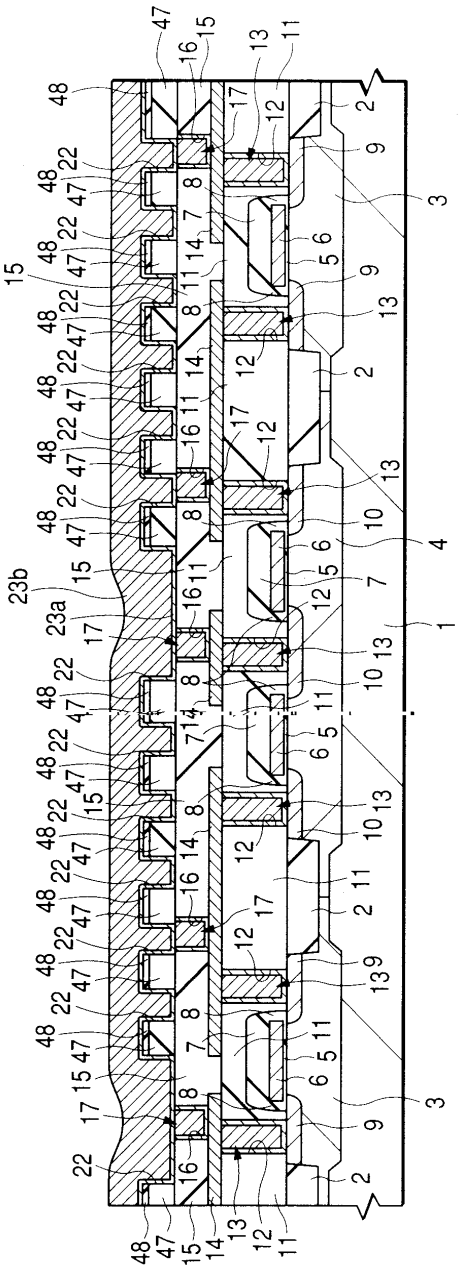
도면42



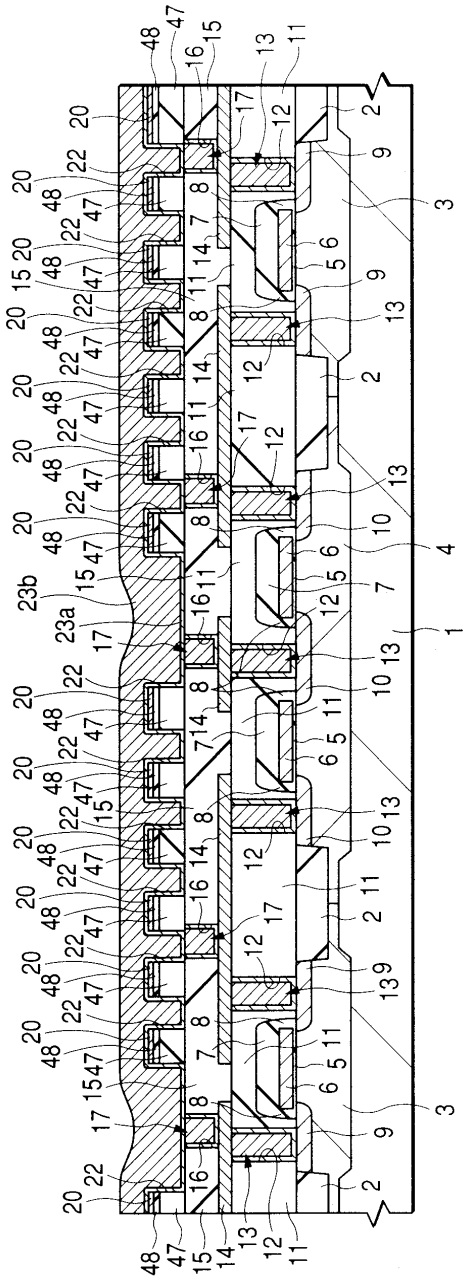
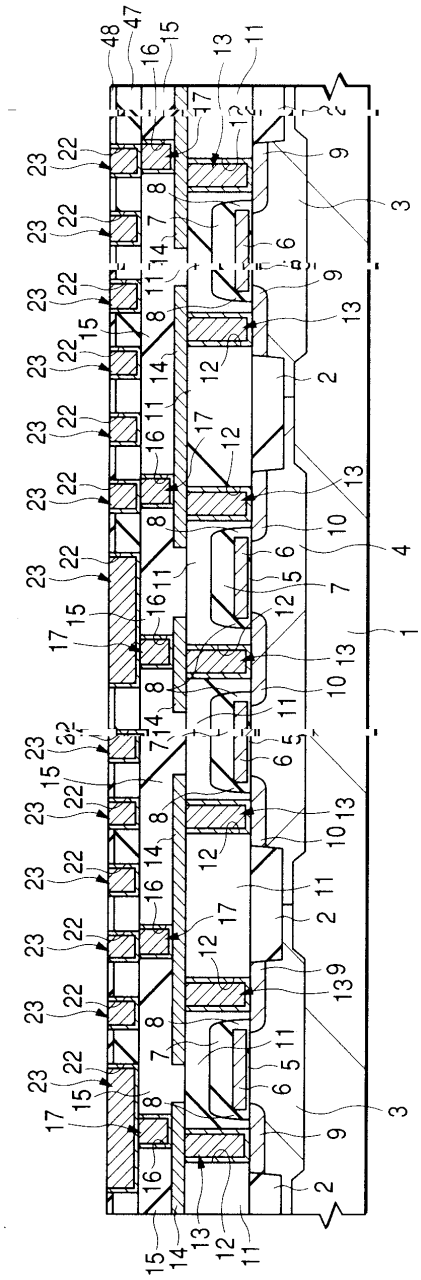
도면43



도면44



도면45



도면46