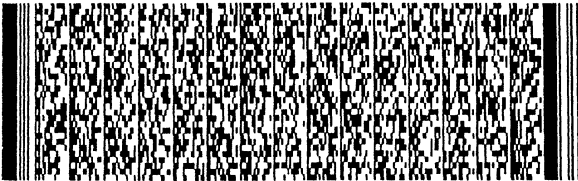


申請日期: 88-7-9	案號: 88 111684
類別: H05K 3/62 H05K 3/38 H05K 3/10	

(以上各欄由本局填註)

公告本		發明專利說明書	480902
一、 發明名稱	中文	形成導電路徑之改良方法及藉其製得之印刷電路	
	英文	IMPROVED METHOD FOR FORMING CONDUCTIVE TRACES AND PRINTED CIRCUITS MADE THEREBY	
二、 發明人	姓名 (中文)	1. 溫蒂 A. 赫里克 2. 迪瑞克 卡賓	
	姓名 (英文)	1. WENDY A. HERRICK 2. DEREK CARBIN	
	國籍	1. 美國 2. 英國	
	住、居所	1. 美國紐約州克里佛頓公園市凱報路22號 2. 美國維蒙特州班寧頓市黑莓道10號	
三、 申請人	姓名 (名稱) (中文)	1. OAK三井有限公司	
	姓名 (名稱) (英文)	1. OAK-MITSUI, INC.	
	國籍	1. 美國	
	住、居所 (事務所)	1. 美國紐約州胡西克菲爾斯市	
	代表人 姓名 (中文)	1. 羅傑 H. 克里斯	
	代表人 姓名 (英文)	1. ROGER H. CRISS	
			

本案已向

國(地區)申請專利

美國 US

申請日期

案號

主張優先權

1998/07/09 09/113,043

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

相關申請案前後對照

此申請案係1997年4月30日登記目前待審之美國申請案第08/846,380號部分連續申請案，美國申請案第08/846,380號申請1996年5月1日登記之Provisional Application第60/016,665號之益處。

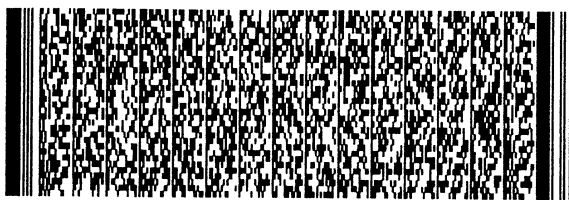
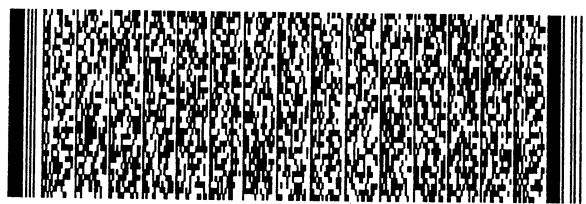
發明背景

本發明大致有關製造印刷電路板之方法以及由此方法製備之印刷電路板。特別是，其有關一種形成細微電路線路以及具有細微電路線路印刷電路板之新穎方法。

印刷電路板之代表性製造方法中，將銅箔層壓於一種絕緣基板上，最常見的是一種玻璃強化環氧樹脂預浸料胚。另外處理該層壓結構，藉由化學蝕刻選擇性去除該銅箔某些部分，將該銅箔層轉換成電路圖型。圖1與圖2分別顯示在印刷電路板上形成電路線路之習用圖型電鍍法橫斷面與處理步驟。

金屬箔通常係由一種包含陽極、陰極、含金屬離子之電解質溶液與電壓源之電池中之電化學方法產生。在該陽極與陰極間施加電壓時，來自該溶液之金屬離子會沉積於陰極上而形成該箔。形成期間，該箔與該陰極相鄰之表面於此處稱為該箔之閃亮面。形成該箔期間面對陽極以及該電解質溶液之對面於此處稱為該箔之無澤面。

自一鋁承載層將薄銅箔覆於基板上，蝕刻掉該鋁形成一種包鍍銅基板。使用鋁作為承載層之缺點係需要高度腐蝕性之蝕刻劑以蝕刻掉該鋁。此外，蝕刻該鋁承載層之後，



五、發明說明 (2)

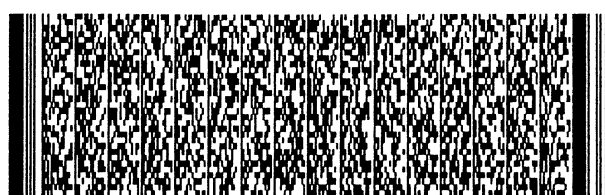
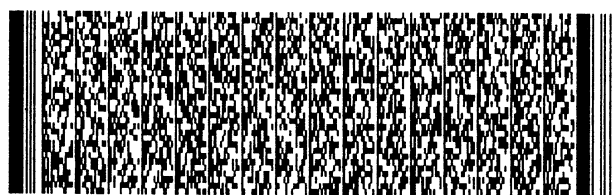
需要一個去污步驟。需要避免去污步驟與其他處理步驟中發生已溶解鋁污染該蝕刻劑。

如圖1所示，塗覆一種保護抗蝕層，並於蝕刻之前使之固化，如此可將一種蝕刻劑塗覆於該銅箔上，產生所需電路圖型。以理想狀況而言，該蝕刻劑可能以此方式去除未經保護之銅箔，如此留下具有垂直側面之電路線路。

不過，圖1與圖2所示該方法之缺點係該蝕刻劑事實上無法產生電路線路之垂直側面。反之，該蝕刻劑可能因鑽蝕該光阻而蝕刻過多該電路線路上之銅，留下稍微梯形之電路線路。結果，該電路線路最小寬度受到對此不均勻蝕刻作用寬容度需求之限制。

於美國專利第5,437,914號(該" '914專利")中討論此問題，而且其指示出該經蝕刻電路線路之形狀受到銅箔顆粒結構影響。根據'914專利，藉由處理該銅箔至光滑或是閃亮面，然後使該光滑或是"閃亮面向下將該銅箔層壓於該基板(此與習用方法相反)可以獲得經改良蝕刻精確性。如圖1所示，習用方法有關使銅箔無澤完工面與該基板相鄰將該銅箔層壓於該基板上。'914專利中由該銅箔獲得之改良蝕刻因素顯示出該電路線路側面更接近垂直。

改良電路線路精確性之其他途徑係使用較薄銅箔，距為其可以迅速蝕刻而較無鑽蝕作用。不過，此種箔不易處理。因此，已提出在承載板上沉積銅薄層，該箔層壓於基板後可以移開該箔。於美國專利第3,998,601號中發現實例之一，其中將2-12微米之銅層沉積於習用厚度之銅箔



五、發明說明 (3)

(即35-70微米)上，並使用一隔離層分離該較厚箔。將該複合箔層壓於基板之後，機械性除去該承載銅箔，留下可以加工成電子電路之2-12微米薄箔。此途徑缺點之一係除去該承載箔時，此種製程可能會形成該薄箔之去除部分。

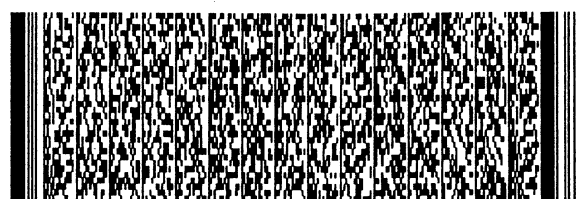
其他習知製造細微電路線路之替代方法示於Whewell等人提出之美國專利第5,017,271號。根據Whewell等人之技術，將一層第一金屬(諸如鉻或鎳)沉積於銅箔未經處理無澤面上，製得一種複合物。然後將該複合物層壓於一承載層，該鉻層夾在銅箔與該承載層之間。其次，去除所有銅箔，並於露出之鉻層上塗覆一種光阻。然後對該光阻上掩模、照射並顯影，露出根據所需圖型之鉻層。然後將銅沉積於該露出之鉻層，去除殘留光阻與下層鉻層，製得一種完工細微電路線路。美國專利第5,017,271號之內容以提及的方式併入本文中。

如對照實例所示，Whewell等人所示技術之缺點係該鉻/銅複合物無法充分黏附於該承載層。該承載層上複合物之剝離強度必須超過6磅/英吋。Whewell等人所示技術之另一缺點係該沉積銅層無法充分黏附於露出之鉻層。該沉積銅層必須黏附於該鉻層，否則抗蝕劑會自該鉻層剝離。

因此需要一種形成導電軌跡之改良方法以及由彼製得之印刷電路。

發明總結

根據本發明第一方面，提出一種具有細微電路線路之印刷電路。將一種導電金屬、數種金屬以及合金之粗糙薄層



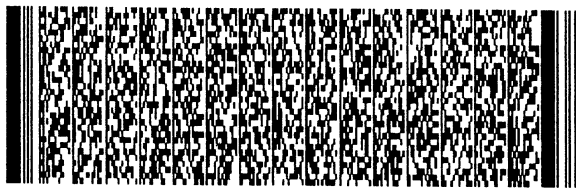
五、發明說明 (4)

覆於一種非導電性基板上形成該印刷電路。先將導電金屬、數種金屬以及合金覆於經處理銅箔之板上，然後將該銅箔覆於該基板上，使薄導電金屬層位於該銅與基板之間。處理該層壓板期間，蝕刻掉該銅箔，該基板上留下導電金屬之粗糙薄層。可能自導電金屬薄層去除任何存在氧化物層並露出導電金屬。

根據本發明第二方面，提出一種在非導電性基板上形成細微電路線路之方法。該方法包括以將銅層覆在以一种經固化光阻界定區中之薄導電層上。對該薄導電層進行調整步驟之後將該銅層覆在該薄導電層上為佳。該調整步驟可能包括自該薄導電層去除一種氧化物層。可以使用一種箔載體將該薄導電層覆在該基板上。若處理該箔以加強其與該基板之黏附力，可於此種處理之前或之後將該薄導電層覆於該箔上。

然後覆蓋一光阻、成像並固化之。可以去除該未經固化抗蝕劑，如此在欲形成電路線路之基板表面上界定曝露區或是"溝渠"。因為該導電層現已露出，可以選擇性在此等曝露區形成電路線路。最後，可能去除該經固化光阻，然後以化學蝕刻作用去除該光阻下之露出導電金屬層，留下完工電路。

熟知本技藝者明白可以任何習用方法將該銅與導電金屬覆蓋於個別表面，此等方法包括但不受限於電鍍、電解沉積、化學蒸氣沉積、無電沉積、濺鍍、擴散黏合或是焊接。



五、發明說明 (5)

圖式簡述

圖1顯示在印刷電路板上形成電路線路習用方法各步驟之基板橫斷面。

圖2係圖1所示習用方法之流程圖。

圖3顯示本發明較佳具體實例中各步驟中基板之橫斷面。

圖4係本發明較佳具體實例之流程圖。

圖5A與5B分別顯示以習用銅箔以及本發明較佳具體實例形成之鍍敷通孔。

圖6A與6B分別顯示與此等較佳具體實例相較之習用電路線路橫斷面。

圖7A與7B分別為根據本發明較佳具體實例製得之第一樣本箔與層壓板橫斷面。

圖8A與8B分別為根據本發明其他較佳具體實例製得之第二樣本箔與層壓板橫斷面。

圖9A係圖8A所示箔無澤面之SEM照片。

圖9B係根據習知技術製得之箔無澤面之SEM照片。

目前較佳具體實例詳述

使用習知技術可以將金屬電沉積於銅箔上。例如，美國專利第5,437,914號(其內容以提及的方式併入本文中)中，在一銅箔閃亮(即，光滑)面形成結節沉積物以粗糙化該箔，並於隨後覆蓋於一絕緣基板上時改良其黏合性。其他途徑揭示於美國專利第5,482,784號(其內容以提及的方式併入本文中)，其顯示對銅箔兩面進行處理。通常，此



五、發明說明 (6)

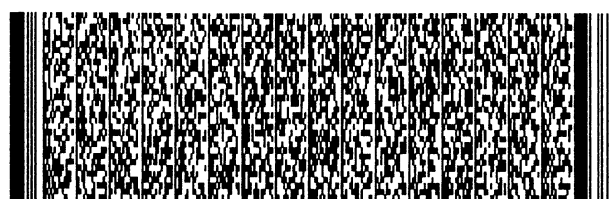
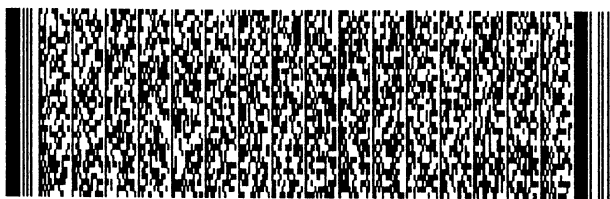
等處理增加該箔經處理面之表面積。

此外，已知在印刷電路板表面產生電阻器之技術。技術之一一開始係將在該銅箔表面電沉積一層鎳磷，然後將其蝕壓於一層壓基板。該鎳磷與習用導電層作用不同，藉由選擇性蝕刻該電路設計所需電阻器處之覆蓋銅材料使該鎳磷層露出。以習用蝕刻製程將殘留銅層轉換成導電性電路線路。此種技術描述於美國專利第4,808,967號，其係以提及的方式併入本文中。

根據本發明較佳具體實例，提出一種與習用電路板製造方法對照之添加方法，其中選擇性蝕刻掉銅形成該電路線路。如前文解釋，化學蝕刻具有固有限制，當電路線路變得更窄而且其間距更小時（即，形成細微電路線路），此等限制變得特別麻煩。相反地，較佳具體實例方法將該電路線路直接沉積於使用蝕刻劑與光阻產生之預定空間，其留下可以藉由電沉積銅裝填之開放性溝渠。

雖然該電路軌跡由銅形成為佳，不過另外可以使用其他金屬，諸如金。因為此等軌跡係選擇性添加形成，例如將銅添加於預定空間，此較佳具體實例稱為一種"添加"方法。此處所述之方法可使用平面電鍍或是圖型電鍍技術。

一般而言，電沉積銅無法與基板材料良好黏合。不過，其他較佳具體實例利用去除覆蓋銅箔後殘留在該基板表面之薄導電層。特別是，使用該薄導電層作為基礎，在該基板上電沉積呈光阻所界定圖型之細微電路線路。於該薄導電層曝露部分電沉積銅之前，如下文詳述對該薄導電層施



五、發明說明 (7)

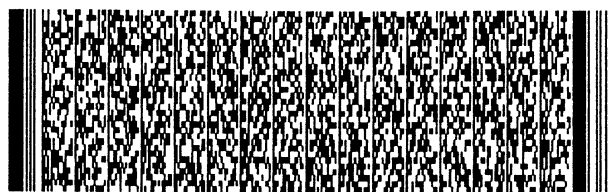
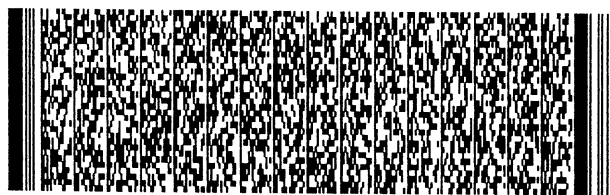
加一種調整處理改良該電沉積銅對於該薄導電層之黏合性為佳。此外，如下述，以一經處理表面形成該薄導電層以改良材料黏附於其上之能力。

圖3與圖4所示之較佳具體實例步驟說明當覆蓋印刷電路板最外層時，較佳具體實例處理期間層壓板橫斷面以及處理步驟。用於製造多層電路板之外層電路時，該方法特別有利，但是其亦可用於內層，包括包埋穿孔等，或是一面或是雙面電路板。此等其他應用亦可使用相同方法。

第一步驟中，銅箔通過一種導電金屬、多種金屬或合金（此處可替換稱為"導電金屬"）可溶性化合物槽，並於該箔一側表面電沉積該導電金屬至厚度約0.05至5微米。該電沉積方法之條件係電鑄與電鍍之一般工業用條件。

該導電金屬可沉積在該箔無澤或是閃亮面。不過，根據較佳具體實例之一，於處理該閃亮面以改良其對基板黏附性之前或之後將該導電金屬沉積於該箔之閃亮面。下文詳述此種處理。根據其他較佳具體實例，使用0.05至5微米範圍之子集。尤其是，就此處所述細微電路線路應用而言，電沉積層厚度在0.1至1微米為佳。

如上述，覆蓋該薄導電層之前或之後，可以處理該鹼以改良其對於該絕緣基板之黏合性。該較佳處理係在一原料箔之閃亮面或是無澤面形成結節沉積物。下文描述一種較佳方法，其中於覆蓋薄導電金屬前以結節沉積物處理一銅箔之閃亮面。該薄導電金屬可為錫、鎳、錫-鋅、鋅-鎳、錫-銅與其他金屬，其先決條件係此等金屬對於用以去除



五、發明說明 (8)

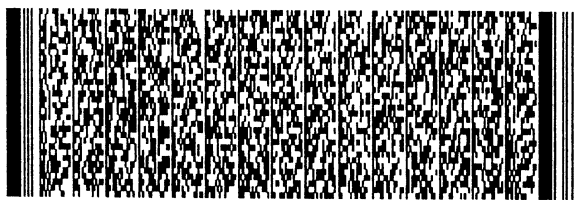
後續步驟用以去除銅之蝕刻劑具有抗性。較佳導電金屬係鎳。此外，該填料箔上所形成之結節大小小於約3微米為佳。該較佳具體實例優點之一係在該薄導電金屬具有銅箔經處理面之表面加工。

次一步驟中，使用習用技術將具有該薄導電金塗層之銅箔載體層壓於一絕緣基板，諸如常用之玻璃環氧樹脂。該薄導電金屬位於該基板旁。使用導電金屬箔與一基板形成層壓板之習用技術示於例如美國專利第5,017,271號與第3,98,601號，其內容以提及的方式併入本文中。

次一步驟係蝕刻該銅箔，留下包埋於該基板表面之薄導電金屬。就此目的而言，由可以去除銅但是不會明顯去除該薄導電金屬、數種金屬或是合金之蝕刻劑選擇該蝕刻劑。就該薄導電金屬係鎳之情況而言，此等蝕刻劑之實例包括含氮或是鹼性蝕刻劑。

蝕刻該銅之後，留下該薄導電金屬與該基板之導電性層壓板。若於該薄導電金屬覆蓋於該銅箔之前該銅箔受到結節處理，該層壓板上之薄導電金屬表面加工通常會符合該經處理銅箔之表面加工。必須注意，因為對該箔施加處理之故，該層壓板上之薄導電金屬顯示逆結節處理。

較佳具體實例之優點係該經蝕刻銅可回收，而且避免受到經溶解鋁之污染，若前述方法中以鋁代替銅可能會產生此種污染。特別是，不使用鋁所需要之高度腐蝕性蝕刻劑即可蝕刻該銅箔。此外，可以完全避免蝕刻鋁承載層後所需之後續去污步驟。



五、發明說明 (9)

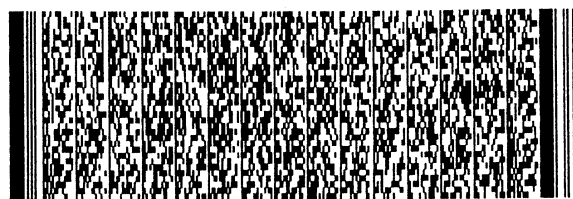
蝕刻該銅載體之後，可以穿過該薄導電金屬層與該基板鑽孔。因為鑽孔作用會產生碎屑以及可能塗擦之樹脂，於鑽孔後清潔該導電性層壓板板。清潔作用通常包括去塗擦作用，其包括浸於一種過鎂酸鹽溶液，然後沖洗之。

雖然以一種含氮或鹼性蝕刻劑蝕刻該銅箔以及鑽孔之後進行一種調整步驟為佳，但是該調整步驟可於覆蓋、成像以及固化一抗蝕劑層後進行。若該薄導電層係例如鎳，而且其曝露於空氣中，該薄導電層上可能形成一種其他物薄膜。此外，於鑽孔後對該導電層壓板進行清潔處理可能會導致進一步氧化。此氧化物累積可能會對於後續覆蓋導電軌跡之黏合性造成負面影響。藉由調整該鎳表面可以去除該氧化層，如此改良該銅對於鎳層之黏合能力。

較佳調整步驟係陰極化方法，其可如下進行。於去離子水中清洗該包鍍基板與經固化抗蝕劑之後，將該整流器之負末端連接於該薄導電層。該薄導電層變成此陰極化步驟之陰極。將該整流器之正末端連接於具有10%硫酸溶液槽之形穩陽極。形穩陽極係由不會溶解於該溶液中之任何材料形成。

除了10%硫酸溶液外，該溶液可為可以承載電流但是不會沉積金屬之其他任何鹽溶液。

於陰極化步驟期間，該陰極放出氫並去除該薄導電層表面之氧化物層。雖然時間視氧化物累積數量而定，但是該基板與薄導電層可以40 amps/平方英吋("asf")陰極化10秒。



五、發明說明 (10)

可以使用其他調整步驟。例如，可於濃縮氫氯酸中浸漬或是清洗該曝露薄導電層，以自該薄導電層表面去除氧化物。

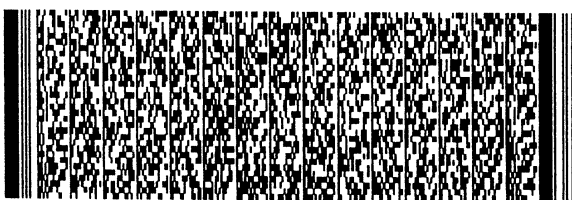
陰極化之後，若有任何孔，可使用無電電鍍技術鍍上例如銅以活化此等孔。該無電銅沉積作用於該陰極化步驟後即進行為佳，避免該薄導電層上再產生該氧化物層。

圖5A顯示以習用銅箔形成之經鍍敷通孔。在該銅箔上形成一鍍銅層，並穿過該基板材料中之孔。

相對地，圖5B顯示以本發明較佳具體實例形成之經鍍敷通孔。在該薄導電層係由鎳形成之情況中，該層與該基板相鄰。先以無電銅鍍該孔，然後電沉積銅層，如圖3與4之方法所示。雖然該圖5A所示之經鍍敷通孔上下兩面之銅累積比該通孔中厚時，不過圖5B所示之基板與經鍍敷通孔銅厚度較均勻。

再次參考圖3與4，然後覆蓋抗蝕劑層，根據該細微電路線路所需圖型成像並固化之。特別是，去除該抗蝕劑之未固化部分，如此界定該基板表面之曝露區或是"溝渠"。以經固化抗蝕劑形成該溝渠側面，該溝渠底部係薄導電金屬層(若該基板中有孔的話，其還有無電銅)。此等溝渠將會使後續沉積之銅形成或是成型為細微電路線路。此等抗蝕劑材料可為液態或是薄膜光阻。

蝕刻該銅箔之後，去除該氧化物層，覆蓋該無電銅，並覆蓋該抗蝕劑，固化並選擇性去除之，曝露出已可用以製圖經鍍敷銅之薄導電金屬層。使用習用製程電沉積該經鍍



五、發明說明 (11)

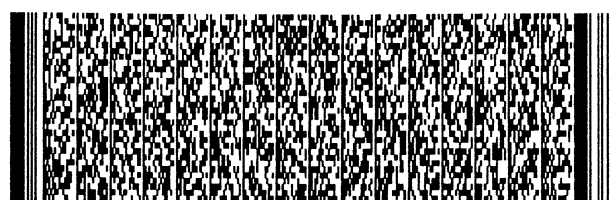
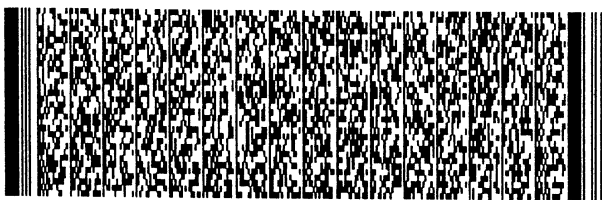
數銅為佳，諸如通常用以將銅鍍於多層電路板之製程。例如，可於硫酸中以25 asf鍍具有該光阻溝渠之層壓板。當包埋於該基板表面之金屬薄層具有充分導電性時亦可進行此作用。可以累積至所需之銅厚度，最高達界定該溝渠形狀之高度。可以使用習用電沉積條件。若使用極薄銅電路線路，可以較低電流密度開始電鍍，然後當該銅層累積時提高。

閱讀此詳細描述時，熟知本技藝者明白經固化光阻可以更精確界定該電路線路，以及填滿該溝渠之銅比蝕刻掉曝露區之銅所形成之電路線路更接近理想長方形。此意指因為其形狀不由蝕刻處理決定，所以可以製得更細微電路線路。結果，不僅4密耳(100微米)，此處所述方法可以將線寬與間隙降至約1密耳(25微米)。

至此，已形成電路線路。剩下的係以習用方法去除殘留抗蝕劑，然後使用蝕刻劑去除當該固化光阻後露出之薄導電金屬層。可以使用鹼基氯或是過氧化硫酸去除該薄導電金屬層與無電銅層。較佳蝕刻劑係鹼基氯化銅。

圖3顯示圖4方法中各步驟之基板橫斷想。如上述以及圖3所示，該調整步驟可以在該抗蝕劑覆蓋、成像及固化作之前或之後。

必須注意本發明特定步驟(例如圖3與4所示者)可以任何說業可行順序進行。特別是，將導電金屬覆蓋於該層壓板之後，可以對操作者而言方便之任何順序進行該步驟。例如，該調整步驟可於該抗蝕劑成像與固化之後而非之前進



五、發明說明 (12)

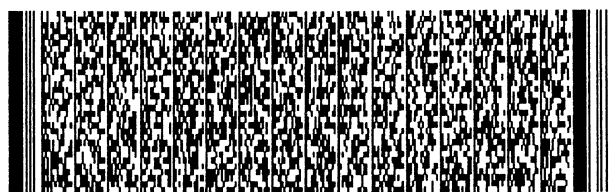
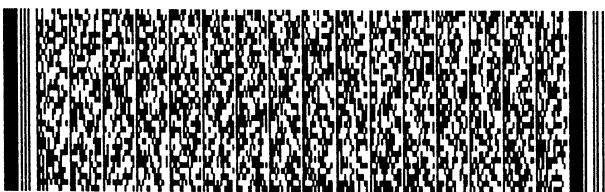
行。此外，雖然上述有關一種製圖電鍍技術，但是該較佳具體實例亦可與一種平面電鍍方法併用。

雖然該較佳具體實例大致適於製造導電性層壓板，不過其對於製造多層電路板之外層特別有價值。

習用製程示於圖2之流程圖與圖1之橫斷面中。將銅箔與一預浸料胚之中間層層壓於該內砲電路層，但是不將其蝕刻掉。使用無電電鍍在該箔上與連接此等層之孔中沉積銅。然後，覆蓋一種抗蝕劑，並電沉積該銅電路。此時，必須藉由蝕刻去除過多銅箔。不過，必須電沉積一種抗蝕金屬（諸如錫）保護該電路線路與該經鍍敷孔。然後，可以去除該抗蝕劑，並蝕刻該曝露銅箔。可以明瞭此步驟亦使未以錫保護之電路側面沒到侵襲。相對地，本具體實例中，圍為僅需去除該薄導電層，其可以極迅速完成之故，不需要覆蓋錫。重要的是，可以避免覆蓋與去除該錫層所需之沉積溶液實質成本。

圖6A顯示以習用蝕刻方法在多層電路板外層形成電路線路之橫斷面圖，將其與使用本發明方法且顯示大致為長方形線路之圖6B相較。因為形成該電路線路後需要蝕刻掉銅箔（以錫塗層保護其頂部），該先前技藝之電路線路受到嚴重鑽蝕。

本發明方法可以更精確製造電路線路，因此電路設計者不必補償蝕刻該電路線路之固有不精確性。此意指所形成電路可以更小而且更緻密。該方法使用與製造電路板類似之技術。事實上，預期採用本發明方法時可以簡化該製造



五、發明說明 (13)

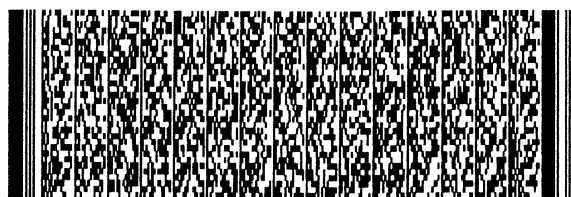
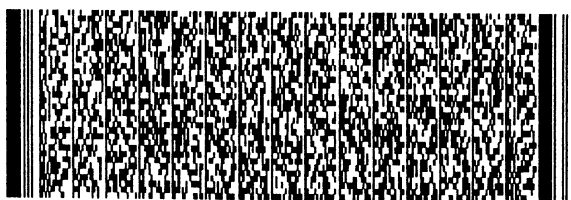
方法。

如上述，該較佳具體實例之其他優點係經改良黏合性。根據一般工業規定，室溫下1/2盎司銅箔之最小剝離強度必須為6.0磅/英吋。軍用標準MIL-S-13949/4d規定輪廓淺(<400微米)之箔於熱應力、高溫以及曝於處理溶液後之最小剝離強度為4磅/英吋。

實施例

根據該較佳具體實例形成之銅箔樣本符合並超過此等需求。如下文製備該樣本。對於一薄銅箔之閃亮面進行黏合處理形成第一樣本。該黏合處理在該箔之閃亮面產生之結節沉積物。然後將鎳沉積於該銅箔之經處理閃亮面。以最大尖峰至凹陷處距離表示，黏合處理後該箔閃亮面之粗糙度約為70至200微英吋。第二樣本上，將鎳沉積於一銅箔無澤面，其已經處理產物一種沉積於該無澤面之結節。黏合處理後，該箔無澤之粗糙度約少於350微英吋。已嘗試應用美國專利第5,017,271號之技術，將鎳沉積在一銅箔無澤面形成第三樣本。沉積在三個樣本上之鎳厚度為0.5微米。然後將該箔層壓於預浸料胚基板，使鎳表面與該基板相鄰。

下表1與表2分別提供樣本1與2之電鍍槽與進行條件。槽1-該鍍銅槽-中在該銅箔上形成結節沉積物。第二槽中，鎳沉積於經處理銅箔上。該鍍鎳溶液包括375克/升之 $\text{Ni}(\text{SO}_3\text{NH}_2)_2$ 、8克/升之 $\text{NiCl}_2 \cdot 6\text{H}_2\text{O}$ 以及35克/升之 H_2BO_3 。使用 $\text{H}_2\text{NSO}_3\text{H}$ 將該鍍鎳溶液之pH值調整至4。



五、發明說明 (14)

表 1

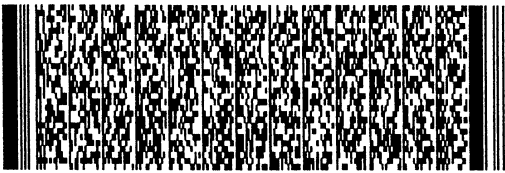
實施例 #1-處理閃亮面					電流密度 (ASF)	
鍍銅 槽 1	Cu(克/升)	酸(克/升)	溫度(F)	pH 值		時間
	13.5	119	80		185	10 秒
鍍鎳 槽 2	Ni(克/升)	Cl(克/升)	溫度(F)	pH 值		時間
	88	7.0	130	4	110	11 秒
鉻酸鹽 浸液	Cr(克/升)		溫度(F)	pH 值		時間
	0.5		85	12.5	20	4 秒

表 2

實施例 #2-處理無澤面					電流密度 (ASF)	
鍍銅 槽 1	Cu(克/升)	酸(克/升)	溫度(F)	pH 值		時間
	13.5	119	80		165	10 秒
鍍鎳 槽 2	Ni(克/升)	Cl(克/升)	溫度(F)	pH 值		時間
	88	7.0	130	4	110	11 秒
鉻酸鹽 浸液	Cr(克/升)		溫度(F)	pH 值		時間
	0.5		85	12.5	20	4 秒

在表1與2之相同條件下，使第三樣本通過該鍍鎳槽以及鉻酸鹽浸液，但是不通過該鍍銅槽。

在該樣本上進行數個試驗。此等試驗包括條件A剝離、條件B剝離、沸騰、高溫以及再鍍黏合性。條件A剝離強度係於室溫下測量剝離強度。條件剝離強度係浮於550°F焊錫十秒之後測量之剝離強度。沸騰剝離強度係於水中剝離兩小時之後測量。高溫剝離強度係將樣本浸於125℃熱油



五、發明說明 (15)

之後測量。

其結果如下：

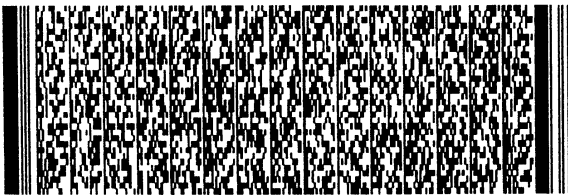
表 3

	剝離強度			
	條件 A 磅 / 英吋	條件 B 磅 / 英吋	沸騰 磅 / 英吋	高溫 磅 / 英吋
樣本 #1	6.5	6.3	6.2	N/A
樣本 #2	7.6	7.3	7.3	6.0
樣本 #3	3.2	3.5	3.8	3.7

亦於再鍍後試驗此等樣本。再鍍作用意指自該導電層去除銅箔後自一種鹽溶液將銅電沉積於該層壓板。如上述於藉由陰極化再鍍之前調整樣本1與2。樣本#3情況下，於再鍍之前不調整該導電表面。就三個樣本而言，用以再鍍之銅溶液濃度係48克/升銅以及62克/升酸。該溶液溫度係120 °F，電流密度/時間為1小時25 asf。該再鍍步驟係欲模倣於經蝕刻層壓板上之電路累積。蝕刻掉三個樣本上之銅箔，然後陰極化樣本1與2中之鎳，以銅鍍鎳表面以模倣電路累積，以測量再鍍黏合性。

表 4

	剝離強度		
	條件 A 磅 / 英吋	條件 B 磅 / 英吋	沸騰 磅 / 英吋
樣本 #1	6.4	N/A	N/A
樣本 #2	10.4	10.3	9.1
樣本 #3	0.0	0.0	0.0



五、發明說明 (16)

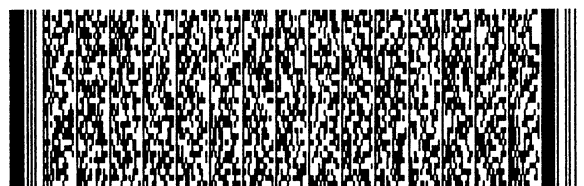
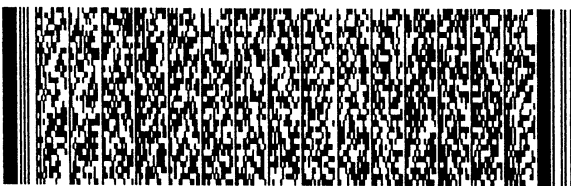
如上述，樣本1與2在剝離強度與再鍍黏合性方面之性能優於習知箔類。樣本1與2在熱陳化試驗中亦顯示出較佳性能，該試驗中於350°F爐中加熱該樣本數日。

圖7A係用以製造樣本1之經處理箔橫斷面。圖7A中，該無澤面朝向該圖形與該閃亮面定向，而該結節處理係朝向該圖形底部定向。鎳之薄導電層位於該箔之閃亮面。圖7B係使用圖7A所示箔製得之導電性層壓板橫斷面。圖7B中，已蝕刻該銅以曝露出該層壓板表面上之鎳層。值得注意的是，圖7B所示之鎳層表面加工通常與圖7A所示之箔閃亮面之表面加工配合。

圖8A與8B分別為處理箔與導電性層壓板，其用以製造樣本。如上述，樣本2係處理箔無澤面並使其與該基板相鄰形成。

圖9A係該經處理箔(包括該薄導電金屬層)無澤面之SEM照片，其係用以製造樣本2，而且示於圖7B之橫斷面上。相對地，圖9B係該未經處理箔(包括該薄導電金屬層)無澤面之SEM照片，其係用以製造樣本3。圖9A與9B中，已將該薄導電金屬層(於此等樣本中其係由鎳形成)覆蓋於該箔之無澤面。圖9A中箔之表面積明顯增加。

上述結果說明，樣本1與2之剝離強度與再鍍黏合性方面性能優於樣本3。樣本3顯示出之剝離強度差，以及可忽視之再鍍黏合性。此外，樣本1與2符合而且超過剝離強度與再鍍黏合性之工業規定，然而樣本3不符合該工業規定。一般認為使用原有之剝離強度低於工業標準環氧化合物之

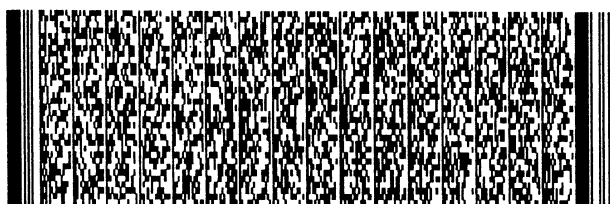


五、發明說明 (17)

高級材料時會擴大此等失敗。

就細微電路線路應用而言，樣本1優於樣本2。尤其是，一般認為至少一部分歸因於其表面過於粗糙之故，樣本2顯示出箔材料可能殘留在該導電性層壓板表面所形成之洞中。難以自結節處理而在該鍍層中形成之洞完全蝕刻該銅。圖7B至8B之比較顯示樣本1鍍層中之洞(如圖7B所示)比圖8B所示之樣本2鍍層中之洞較小，而且對於表面更開放。一般認為此差異至少部分係樣本1表面粗糙度更適當之故。該銅層之不完全蝕刻可能導致細微電路線路短之故，所以存在問題。

前述詳細敘述係用以說明而非限制，而且本發明範圍由下列申請專利範圍界定，包括其任何相當者。



四、中文發明摘要 (發明之名稱：形成導電路徑之改良方法及藉其製得之印刷電路)

一種使用一銅箔載體在一種基板上覆蓋一種粗糙導電金屬層形成電路線路之方法。將銅箔蝕刻掉，留下包埋在該基板表面之粗糙導電金屬。可以處理該導電金屬以去除氧化物層。亦可以在該經處理導電金屬層上塗覆一種光阻以界定細微線路電路圖型。然後去除界定該細微線路電路圖型光阻，露出根據所需電路圖型之溝渠。將銅覆蓋於該露出導電金屬上之溝渠，去除該殘留光阻以及在該殘留光阻下之導電金屬，完成細微線路電路圖型。

英文發明摘要 (發明之名稱：IMPROVED METHOD FOR FORMING CONDUCTIVE TRACES AND PRINTED CIRCUITS MADE THEREBY)

A method of forming circuit lines on a substrate by applying a roughened conductive metal layer using a copper foil carrier. The copper foil is etched away, leaving the roughened conductive metal embedded in the surface of the substrate. The conductive metal may be treated to remove an oxide layer. A photoresist may also be applied over the treated conductive metal layer to define a fine line circuit pattern. The photoresist defining the fine line circuit pattern is then



四、中文發明摘要 (發明之名稱：形成導電路徑之改良方法及藉其製得之印刷電路)

英文發明摘要 (發明之名稱：IMPROVED METHOD FOR FORMING CONDUCTIVE TRACES AND PRINTED CIRCUITS MADE THEREBY)

removed to expose trenches in accordance with the desired circuit pattern. Copper is applied into the trenches over the exposed conductive metal, and the remaining photoresist, and conductive metal underlying the remaining photoresist, is removed to finish the fine line circuit pattern.



六、申請專利範圍

1. 一種製備導電性層壓板之方法，包括下列步驟：

處理一具有一閃亮面和一無光澤面之銅箔以增加該銅箔一面之表面積；

在該銅箔經處理面形成一薄導電金屬層，其中該薄導電金屬層由一不為銅之金屬製成；

將該具有薄導電金屬層之銅箔層壓於一基板上，其中該薄導電金屬層位於該銅箔與該基板間；以及

自該層壓板去除銅箔，如此製造該導電性層壓板。

2. 如申請專利範圍第1項之方法，其中該導電性層壓板之導電金屬層具有與該銅箔經處理面相配之表面加工。

3. 如申請專利範圍第2項之方法，其中導電金屬層之表面加工特徵為粗糙度小於350微米。

4. 如申請專利範圍第1項之方法，其中該經銅箔處理面係該銅箔之閃亮面。

5. 如申請專利範圍第4項之方法，其中該處理步驟包括粗糙化該銅箔。

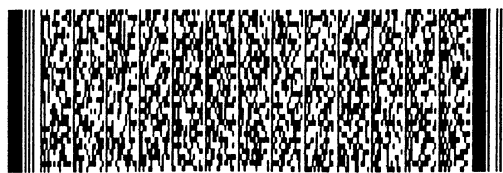
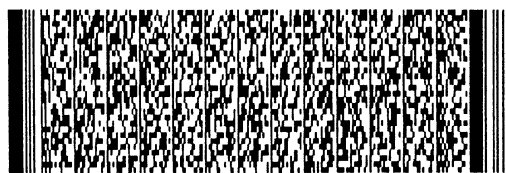
6. 如申請專利範圍第1項之方法，其中該處理步驟包括於該銅箔側沉積銅結節。

7. 如申請專利範圍第6項之方法，其中該小結大小約小於3微米。

8. 如申請專利範圍第1項之方法，其另外包括下列步驟：

於該薄導電金屬層上覆蓋並成一種光阻；

固化一部分光阻，如此形成該光阻之未固化部分；



六、申請專利範圍

去除該光阻未固化部分，形成具有曝露導電金屬之溝渠；以及

將銅覆蓋於該曝露導電金屬層上以製造電路線路。

9. 如申請專利範圍第8項之方法，於將銅覆蓋於該曝露之導電金屬層步驟之前，另外包括一個調整該層壓板步驟，以自曝露之導電金屬層去除氧化物層。

10. 如申請專利範圍第9項之方法，其中該調整步驟包括陰極化該導電金屬層。

11. 如申請專利範圍第1項之方法，其另外包括將一銅層電積於該導電金屬層上。

12. 如申請專利範圍第11項之方法，其中該電沉積步驟包括將該銅層沉積於該導電金屬層之預定區內。

13. 一種於基板上形成電路線路之方法，包括下列步驟：

(a) 將一層導電金屬覆蓋於一種箔片上；

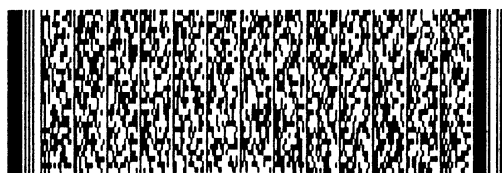
(b) 將含該導電金屬之箔片層壓於該基板；

(c) 自(b)製得之層壓板蝕刻掉該箔，留下包埋於該基板表面之導電金屬；

(d) 調整該層壓板以去除該曝露導電金屬上之氧化物層；

(e) 於該層壓板上覆蓋一種光阻、成像以及固化其中一部分，如此形成該光阻之未固化部分；

(f) 去除該(e)之光阻未固化部分，留下具有曝露導電金屬之溝渠；以及



六、申請專利範圍

(g) 將第二金屬覆蓋於(f)之曝露導電金屬上，以製造電路線路。

14. 如申請專利範圍第13項之方法，另外包括去除(e)之固化光阻以露出該導電金屬，並蝕刻掉該曝露導電金屬之步驟，如此在該基板上製造一種電路。

15. 如申請專利範圍第13項之方法，其中該調整步驟包括對於該曝露導電金屬進行陰極化方法。

16. 如申請專利範圍第15項之方法，其中該陰極化方法包括下列步驟：

連接一整流器之負末端與該導電金屬；

連接該整流器之正末端與一個形穩陽極；以及

將該基板與導電金屬浸於一種10%硫酸溶液中。

17. 一種導電性層壓板，包括

一非導電性基板層；

一銅層；以及

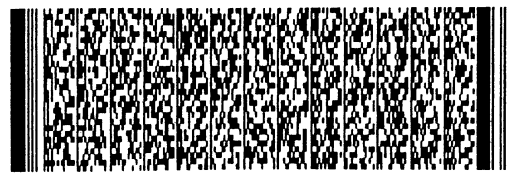
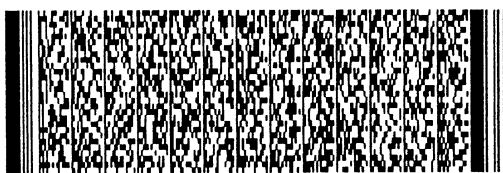
一與該銅層以及該基板層二者接觸之薄導電金屬層，其中介於該薄導電金屬層與該基板間之黏合剝離強度至少6磅/英吋，其中該薄導電金屬層由一不為銅之金屬製成。

18. 一種導電性層壓板，包括

一非導電性基板層；

導電銅電路軌跡；以及

一與該導電銅電路軌跡以及該基板層二者接觸之薄導電金屬層，其中介於該導電電路軌跡與該薄導電金屬層之黏合剝離強度至少6磅/英吋，其中該薄導電金屬層由一不



六、申請專利範圍

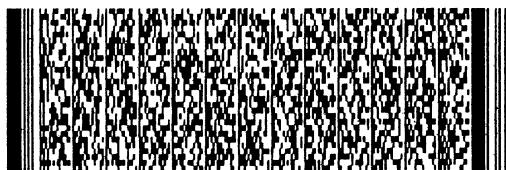
為銅之金屬製成。

19. 一種導電性層壓板，包括

一基板；以及

一黏合於該基板之薄導電金屬層，其中該薄導電金屬層係由鎳形成，其表面加工具有數個尖峰以及凹陷，其中尖峰至凹陷最大距離約70-200微英吋。

20. 如申請專利範圍第19項之導電性層壓板，其中該薄導電金屬層之表面顯示一逆結節處理。



圖式

先前技藝



銅箔



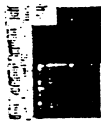
層壓



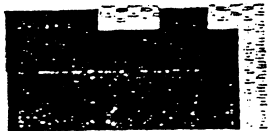
鑽孔,無電鍍銅



覆蓋光阻,成像,固化以及露出線路



製圖鍍銅



於電路上覆蓋錫抗蝕劑



剝離鍍敷之抗蝕劑,蝕刻不要之銅



剝離錫/鉛

圖 1

圖式

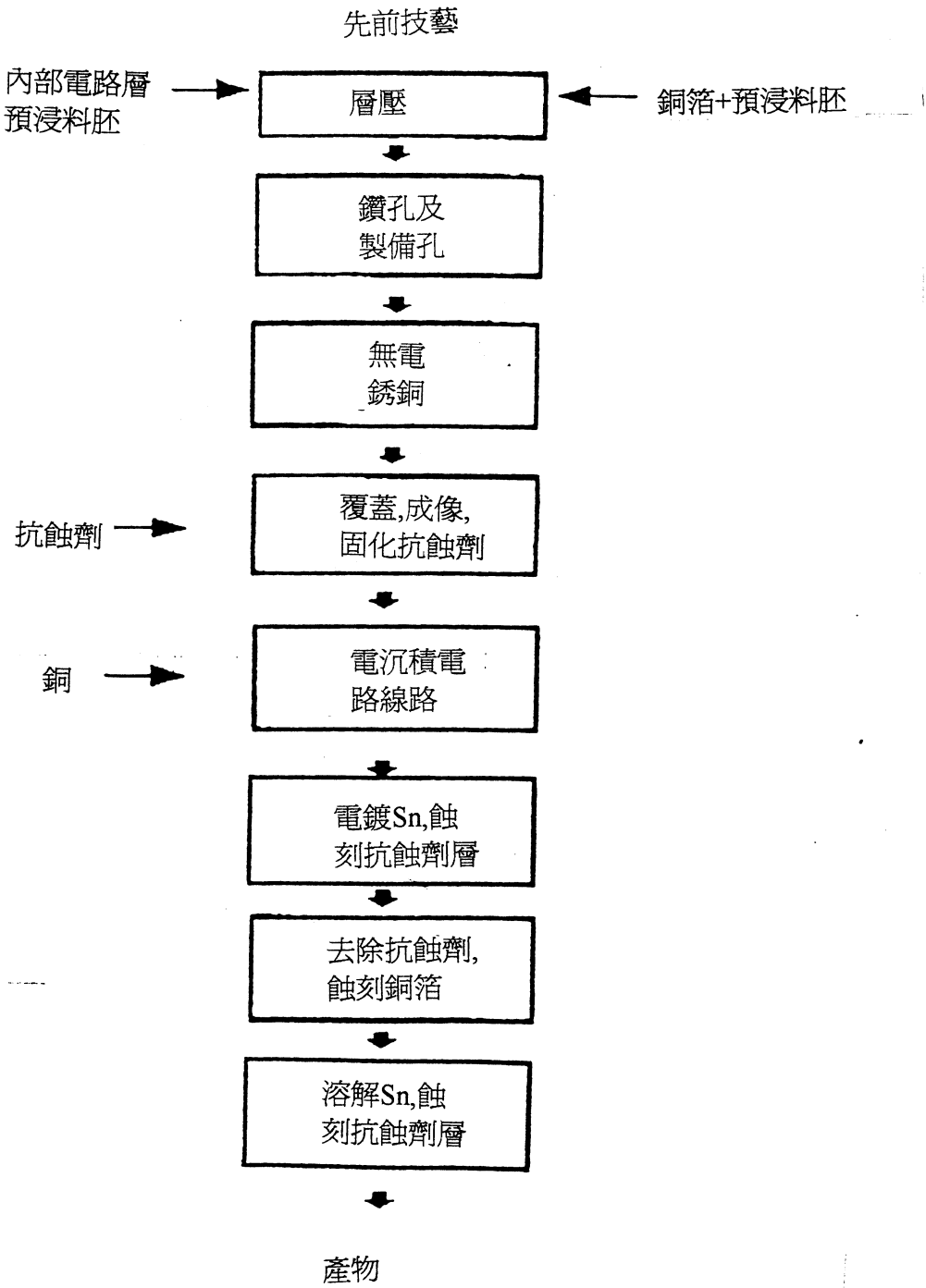


圖2

圖式

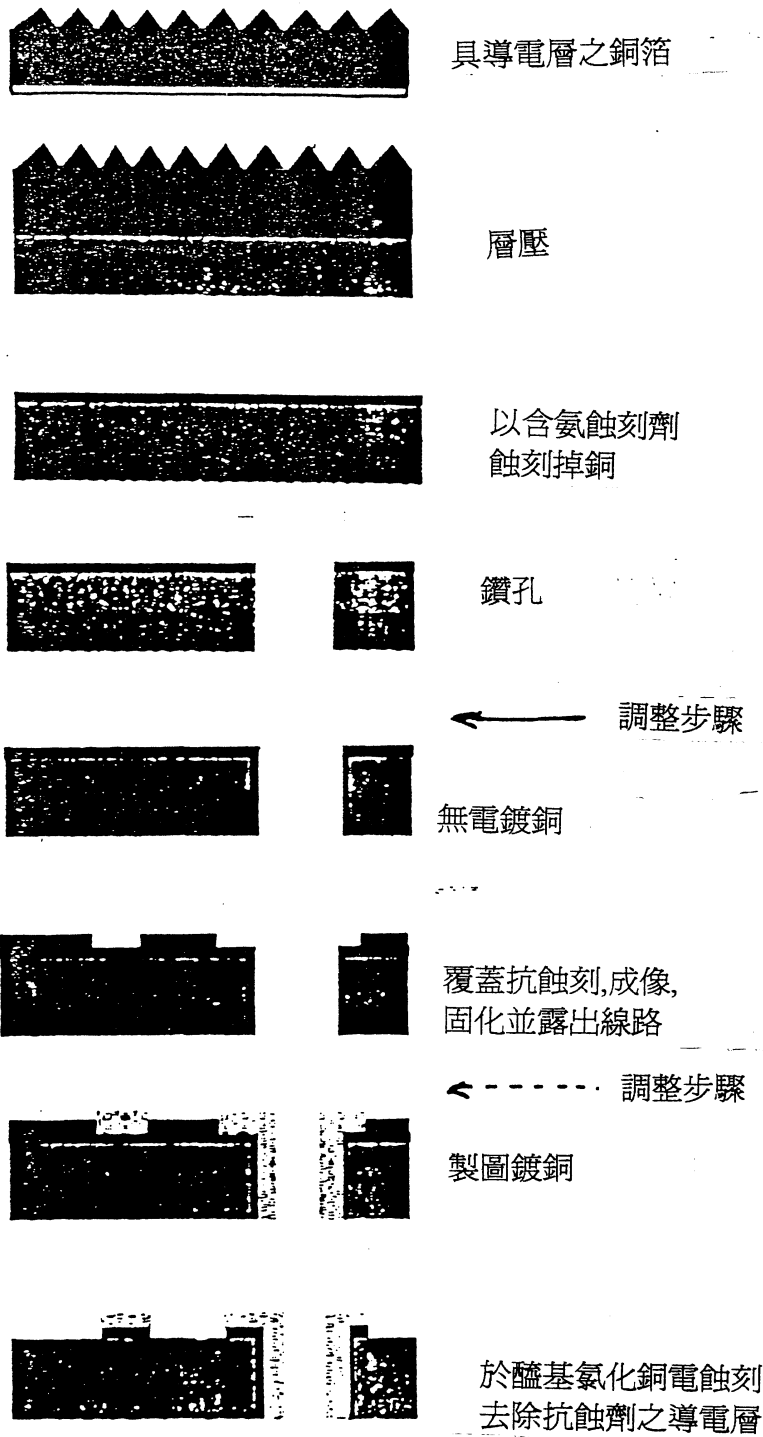


圖3

圖式

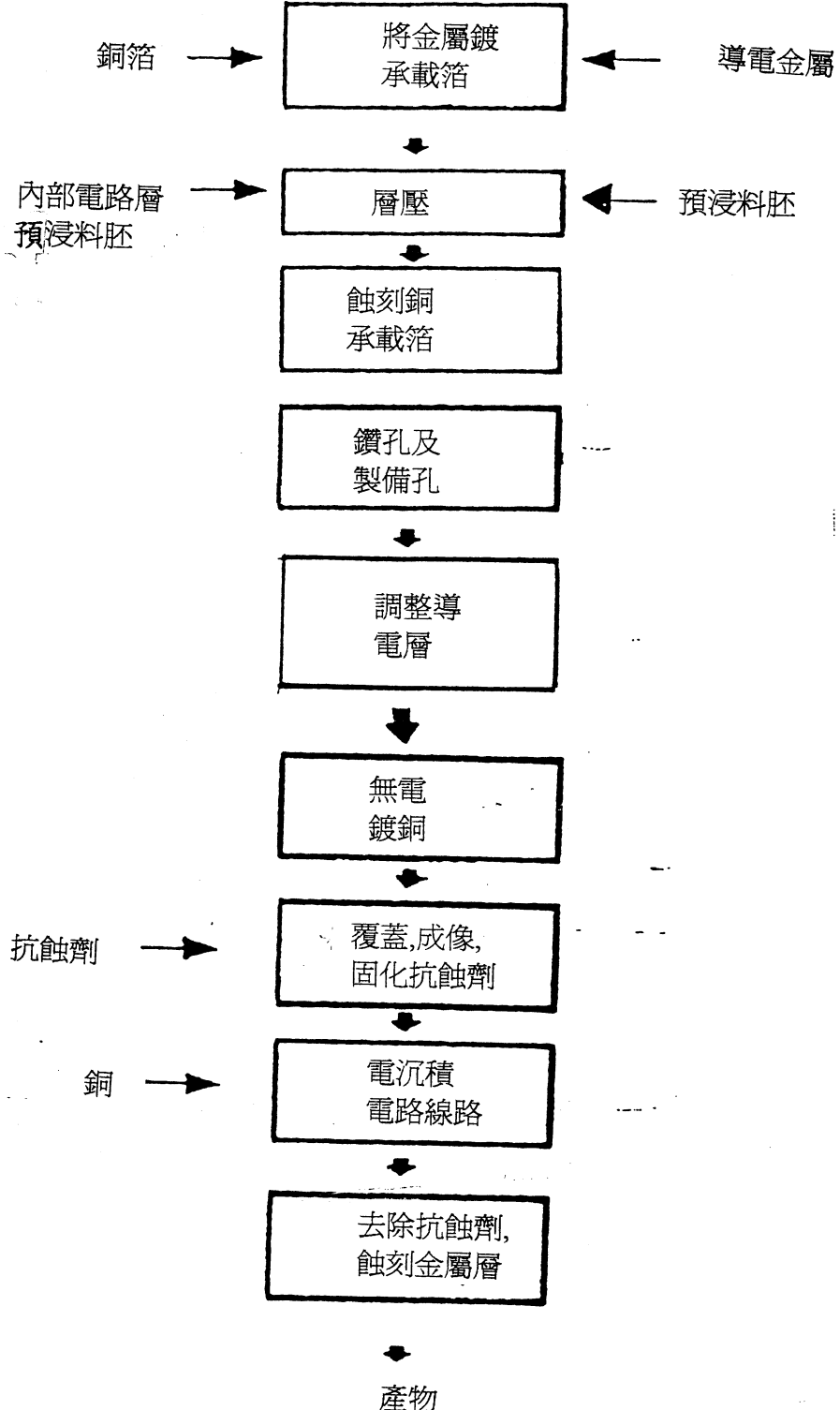


圖4

圖式

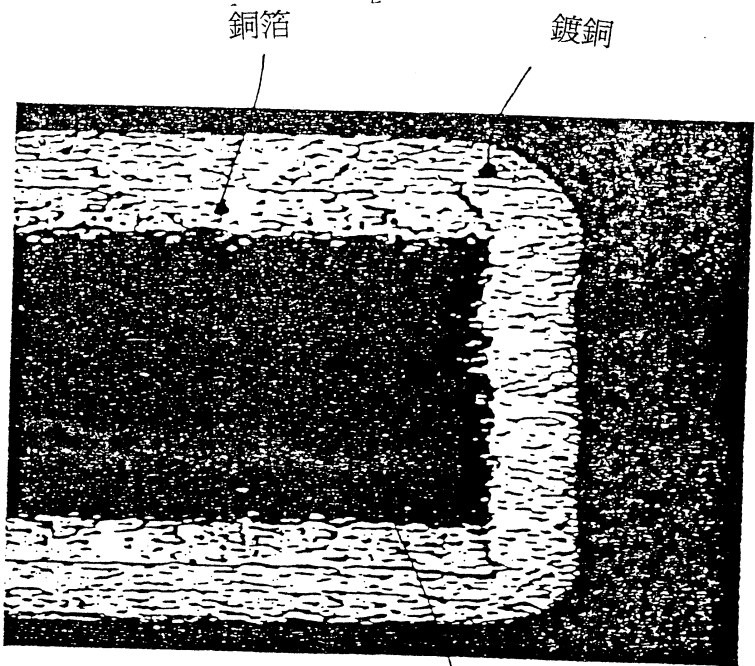


圖5A

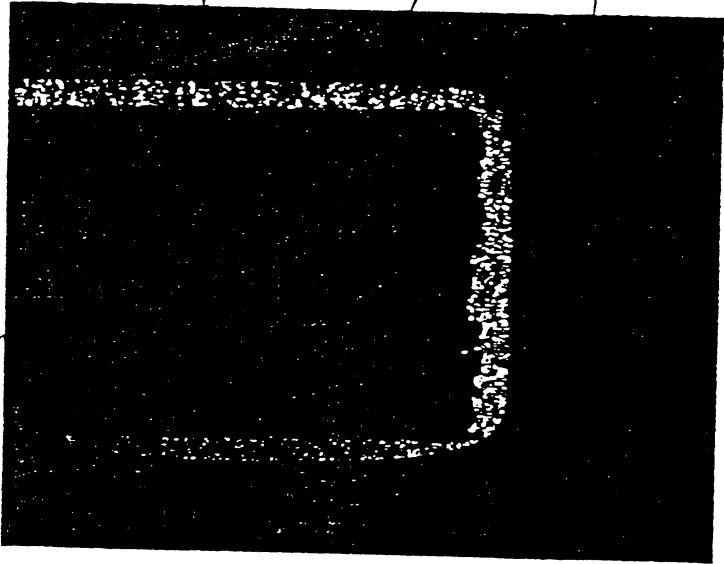
基板

電沉積銅

鍍

無電銅

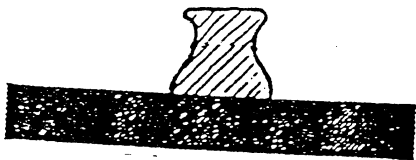
基板



經鍍敷通孔
200倍

圖5B

圖式



先前技藝

圖6A

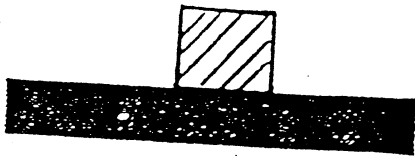


圖6B

圖式

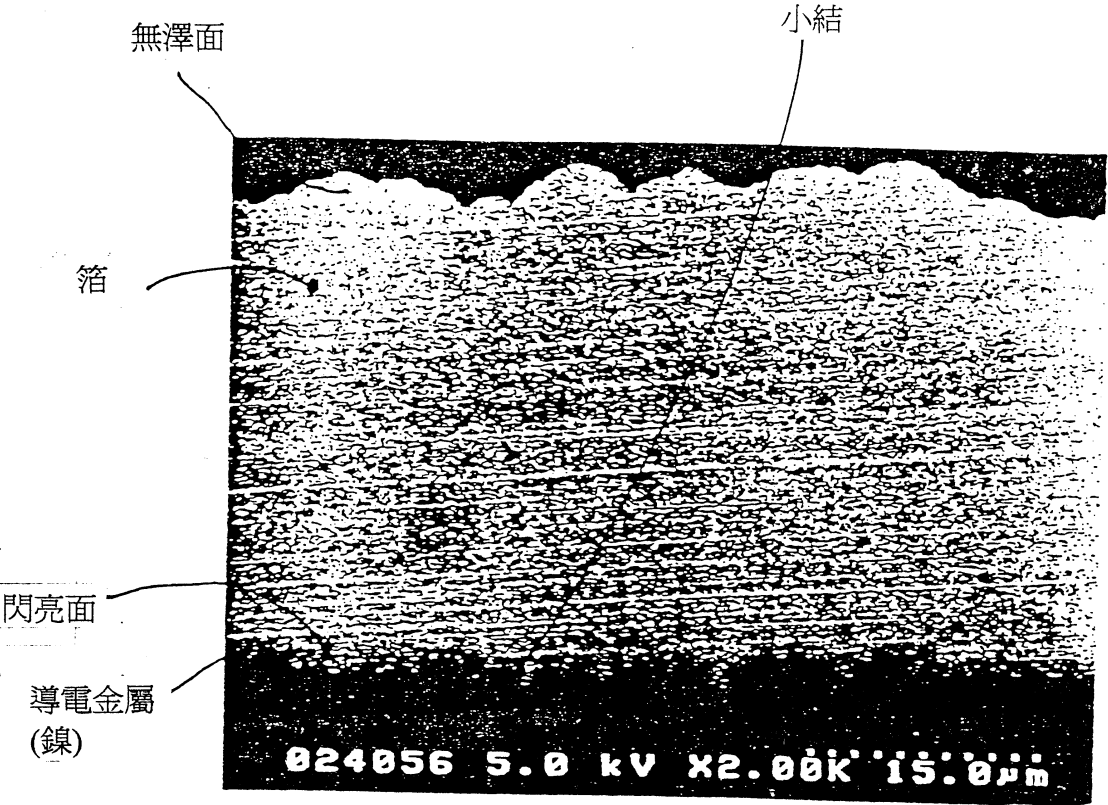


圖7A

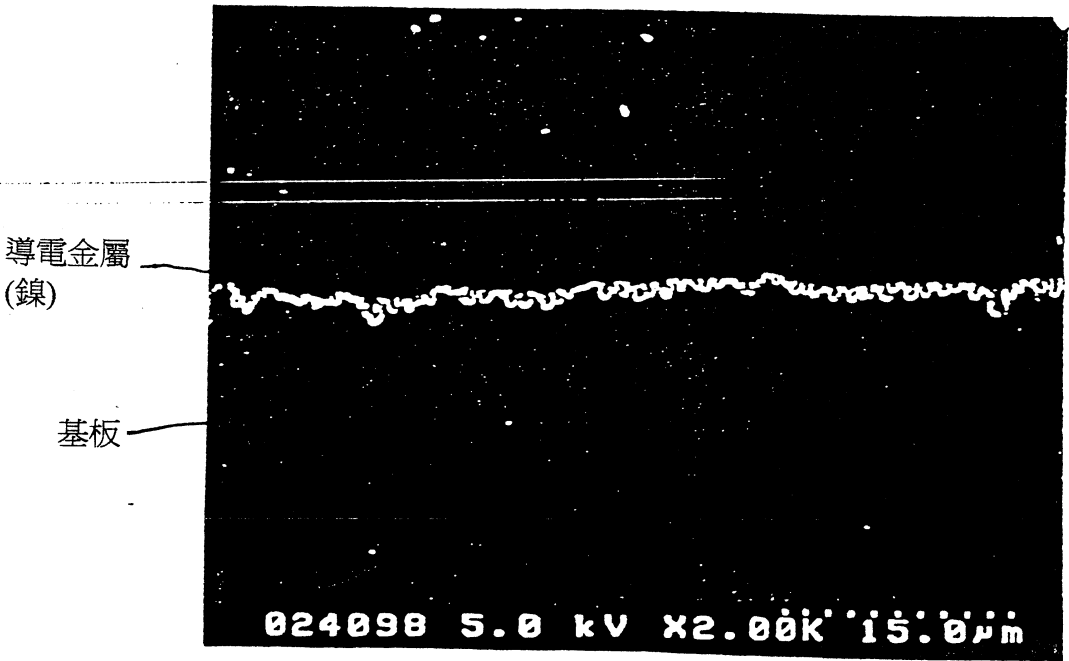


圖7B

圖式

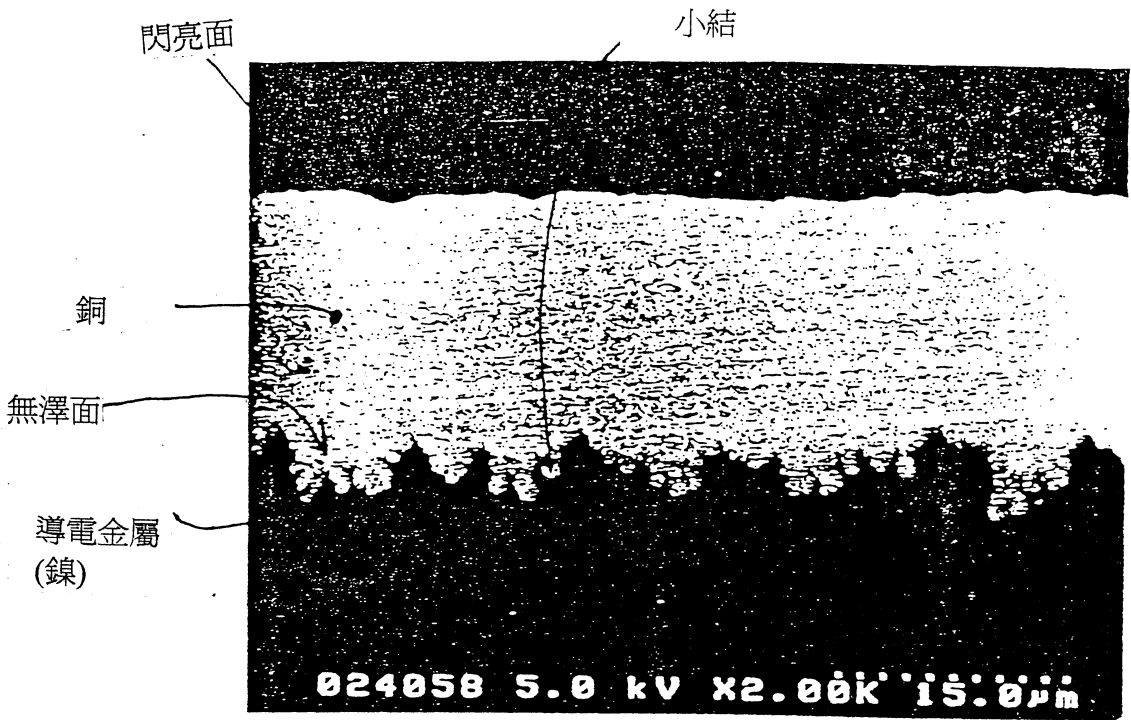


圖8A

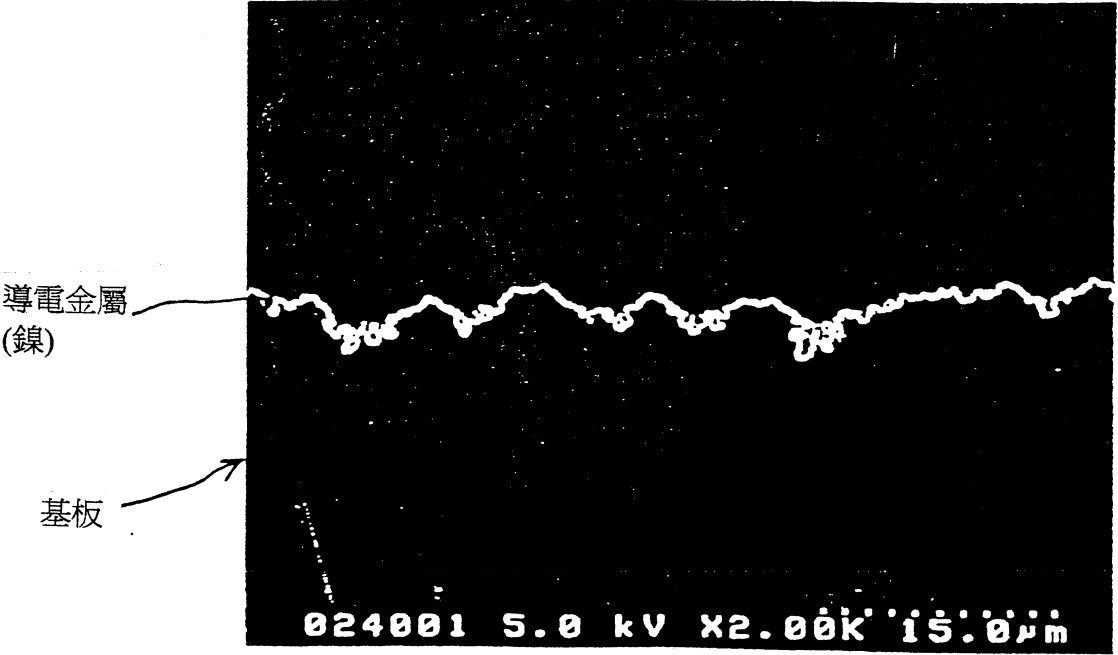


圖8B

圖式

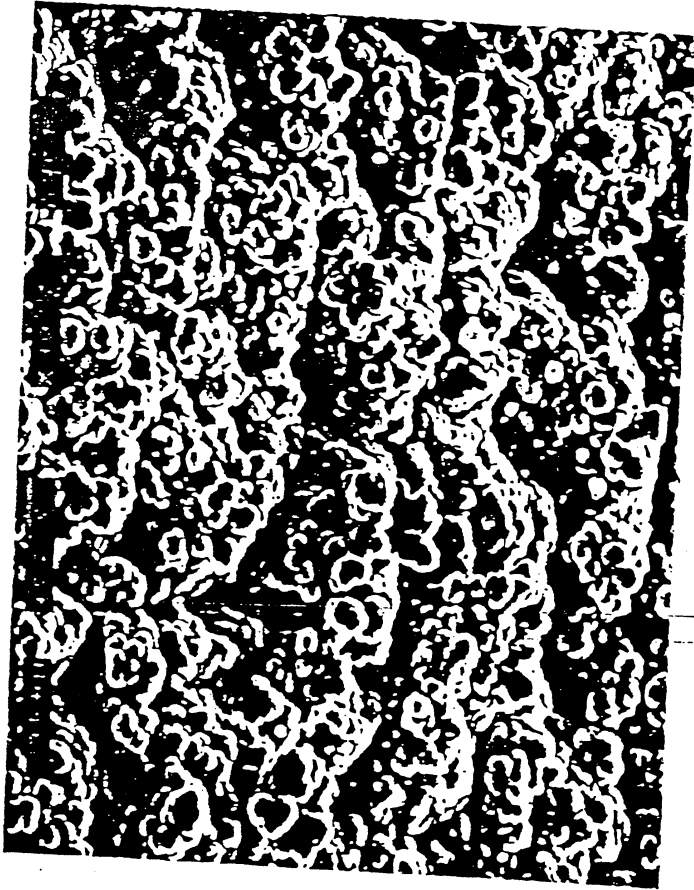
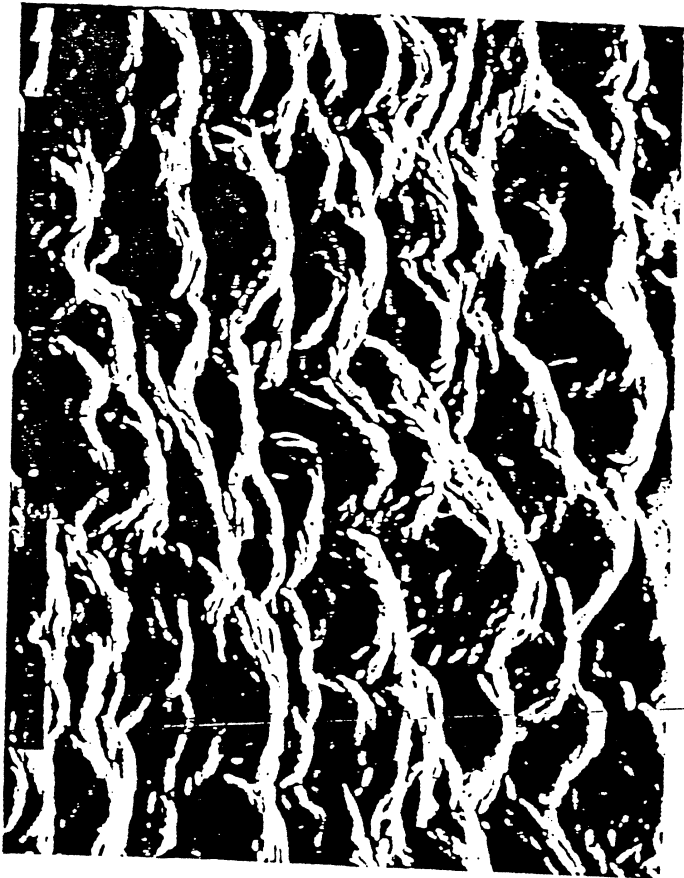


圖 9A

(無澤面)

圖式

圖 9B



(無澤面)