



(12) 发明专利申请

(10) 申请公布号 CN 105097897 A

(43) 申请公布日 2015. 11. 25

(21) 申请号 201410218947. X

(22) 申请日 2014. 05. 22

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 陈金明

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

代理人 吴贵明 张永明

(51) Int. Cl.

H01L 29/423(2006. 01)

H01L 27/115(2006. 01)

H01L 21/8247(2006. 01)

H01L 21/28(2006. 01)

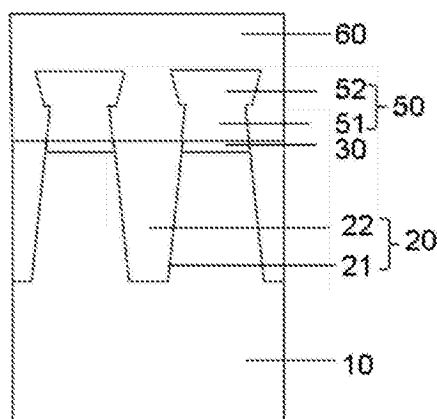
权利要求书2页 说明书7页 附图7页

(54) 发明名称

一种栅极、半导体器件及其制作方法

(57) 摘要

本申请公开了一种栅极、半导体器件及其制作方法。其中,该栅极包括:第一栅极部,设置在衬底上;第二栅极部,设置在第一栅极部上,且第一栅极部的上表面的面积小于第二栅极部的下表面的面积。上述栅极通过第一栅极与第二栅极的设置,使其外表面面积得以增大,进而增大了栅极和周围的器件之间的耦合比例,提高了半导体器件的性能。



1. 一种栅极,其特征在于,包括:
第一栅极部,设置在衬底上;
第二栅极部,设置在所述第一栅极部上,且所述第一栅极部的上表面的面积小于所述第二栅极部的下表面的面积。
2. 根据权利要求1所述的栅极,其特征在于,所述第二栅极部的上表面宽度大于等于其下表面的宽度。
3. 根据权利要求1所述的栅极,其特征在于,所述第一栅极部的上表面的宽度小于等于其下表面的宽度。
4. 根据权利要求1所述的栅极,其特征在于,所述第一栅极部和第二栅极部为六面体,优选为梯形体或立方体。
5. 根据权利要求1所述的栅极,其特征在于,所述第一栅极部的高度与所述第二栅极部的高度之比为 0.25 ~ 4 :1,优选为 1。
6. 一种半导体器件,其特征在于,所述半导体器件包括:
衬底;
沟槽隔离结构,形成于所述衬底中;
第一功能栅极,形成于相邻所述沟槽隔离结构之间衬底表面上,为权利要求1至5中任一项所述的栅极。
7. 根据权利要求6所述的半导体器件,其特征在于,所述半导体器件还包括形成于所述第二栅极部和所述沟槽隔离结构外露表面上的第二功能栅极。
8. 根据权利要求6所述的半导体器件,其特征在于,所述半导体器件还包括形成在所述第一栅极部和所述衬底之间的介质层,所述介质层优选为氧化物层。
9. 一种半导体器件的制作方法,其特征在于,所述制作方法包括:
提供衬底;
在所述衬底中形成浅沟槽和位于所述浅沟槽中的隔离预备层;
刻蚀所述隔离预备层以形成隔离过渡层和位于相邻的所述隔离过渡层之间的位于所述衬底上方的第一凹槽和第二凹槽,所述第一凹槽和第二凹槽沿远离所述衬底的方向依次形成,且所述第一凹槽的顶部的面积小于所述第二凹槽的底部的面积;
在所述第一凹槽和第二凹槽中填充栅极材料,以在所述第一凹槽中形成第一栅极部,并在所述第二凹槽中形成第二栅极部,所述第一栅极部和第二栅极部共同构成第一功能栅极。
去除部分所述隔离过渡层,形成沟槽隔离结构。
10. 根据权利要求9所述的制作方法,其特征在于,在刻蚀所述隔离预备层之前,在所述隔离预备层之间衬底表面上形成可牺牲材料层,且所述可牺牲材料层的表面低于所述隔离预备层的表面;在刻蚀所述隔离预备层之后,去除所述可牺牲材料层。
11. 根据权利要求10所述的制作方法,其特征在于,形成所述可牺牲材料层的步骤包括:
在形成所述浅沟槽前,在所述衬底上形成可牺牲材料预备层;
刻蚀所述可牺牲材料预备层和衬底,形成所述浅沟槽;
在所述浅沟槽中形成与所述可牺牲材料预备层的表面齐平的所述隔离预备层;

去除部分可牺牲材料预备层形成上表面低于所述隔离预备层的所述可牺牲材料层。

12. 根据权利要求 11 所述的制作方法,其特征在于,去除所述可牺牲材料预备层和可牺牲材料层的工艺为湿法刻蚀。

13. 根据权利要求 11 所述的制作方法,其特征在于,在形成所述可牺牲材料预备层之前,在所述衬底上形成介质层,所述介质层优选为氧化物层。

14. 根据权利要求 9 所述的制作方法,其特征在于,刻蚀所述隔离预备层的工艺为湿法刻蚀和 / 或离子轰击。

15. 根据权利要求 9 所述的制作方法,其特征在于,所述制作方法还包括:在所述第二栅极部和所述沟槽隔离结构外露表面上形成第二功能栅极。

一种栅极、半导体器件及其制作方法

技术领域

[0001] 本申请涉及半导体集成电路制作技术领域,具体而言,涉及一种栅极、半导体器件及其制作方法。

背景技术

[0002] 随着半导体集成电路中的集成度越来越高,半导体器件中的栅极越来越小,导致栅极和周围的器件之间的耦合比例下降,进而导致半导体器件的性能下降。比如,在非易失性存储器的制作过程中,栅极(包括浮栅和形成于浮栅之上的耦合栅)的尺寸很小,导致浮栅和耦合栅之间电容耦合的范围减小,进而降低非易失性存储器的读写速率。

[0003] 图 1 至图 3 示出了在现有半导体器件的制作过程。在现有半导体器件的制作中,形成栅极和栅极之间的沟槽隔离结构的步骤包括:首先,在衬底 10' 中形成浅沟槽 21' 和位于浅沟槽 21' 中的隔离预备层 22' ',其中衬底 10' 上还形成有氧化物层 30',进而形成如图 1 所示的基体结构;然后,在相邻的隔离预备层 22' ' 之间的衬底 10' 表面上形成栅极预备层 50' ',进而形成如图 2 所示的基体结构;最后,平坦化栅极预备层 50' ' 以形成栅极 50',并去除部分隔离预备层 22' ',形成隔离层 22' 以及沟槽隔离结构 20',进而形成如图 3 所示的基体结构。

[0004] 在上述半导体器件的制作过程中,所形成栅极的上表面面积小于或等于栅极的下表面面积,导致栅极和周围器件之间的耦合比例较小。目前,技术人员尝试通过增大栅极的尺寸以增加栅极和周围器件之间的耦合比例。然而栅极尺寸的增加会降低半导体器件的集成度,进而限制半导体集成电路的进一步发展。

发明内容

[0005] 本申请旨在提供一种栅极、半导体器件及其制作方法,以增加相邻栅极之间或者栅极和周围的器件之间的耦合比例,进而提高半导体器件的性能。

[0006] 为了实现上述目的,根据本申请的一个方面,提供了一种栅极,该栅极包括:第一栅极部,设置在衬底上;第二栅极部,设置在第一栅极部上,且第一栅极部的上表面的面积小于第二栅极部的下表面的面积。

[0007] 进一步地,在上述栅极中,第二栅极部的上表面宽度大于等于其下表面的宽度。

[0008] 进一步地,在上述栅极中,第一栅极部的上表面的宽度小于等于其下表面的宽度。

[0009] 进一步地,在上述栅极中,第一栅极部和第二栅极部为六面体,优选为梯形体或立方体。

[0010] 进一步地,在上述栅极中,第一栅极部的高度与第二栅极部的高度之比为 0.25 ~ 4:1,优选为 1。

[0011] 本申请还提供了一种半导体器件,该半导体器件包括:衬底;沟槽隔离结构,形成于衬底中;第一功能栅极,形成于相邻沟槽隔离结构之间衬底表面上,为本申请上述的栅极。

[0012] 进一步地,在本申请上述的半导体器件中,半导体器件还包括形成于第二栅极部和沟槽隔离结构外露表面上的第二功能栅极。

[0013] 进一步地,在本申请上述的半导体器件中,半导体器件还包括形成在第一栅极部和衬底之间的介质层,介质层优选为氧化物层。

[0014] 本申请还提供了一种半导体器件的制作方法,该制作方法包括:提供衬底;在衬底中形成浅沟槽和位于浅沟槽中的隔离预备层;刻蚀隔离预备层以形成隔离过渡层和位于相邻的隔离过渡层之间的位于衬底上方的第一凹槽和第二凹槽,第一凹槽和第二凹槽沿远离衬底的方向依次形成,且第一凹槽的顶部的面积小于第二凹槽的底部的面积;在第一凹槽和第二凹槽中填充栅极材料,以在第一凹槽中形成第一栅极部,并在第二凹槽中形成第二栅极部,第一栅极部和第二栅极部共同构成第一功能栅极;去除部分隔离过渡层,形成沟槽隔离结构。

[0015] 进一步地,在上述半导体器件的制作方法中,在刻蚀隔离预备层之前,在隔离预备层之间衬底表面上形成可牺牲材料层,且可牺牲材料层的表面低于隔离预备层的表面;在刻蚀隔离预备层之后,去除可牺牲材料层。

[0016] 进一步地,在上述半导体器件的制作方法中,形成可牺牲材料层的步骤包括:在形成浅沟槽前,在衬底上形成可牺牲材料预备层;刻蚀可牺牲材料预备层和衬底,形成浅沟槽;在浅沟槽中形成与可牺牲材料预备层的表面齐平的;去除部分可牺牲材料预备层形成上表面低于隔离预备层的可牺牲材料层。

[0017] 进一步地,在上述半导体器件的制作方法中,去除可牺牲材料预备层和可牺牲材料层的工艺为湿法刻蚀。

[0018] 进一步地,在上述半导体器件的制作方法中,在形成可牺牲材料预备层之前,在衬底上形成介质层,介质层优选为氧化物层。

[0019] 进一步地,在上述半导体器件的制作方法中,刻蚀隔离预备层的工艺为湿法刻蚀和/或离子轰击。

[0020] 进一步地,在上述半导体器件的制作方法中,制作方法还包括:在第二栅极部和沟槽隔离结构外露表面上形成第二功能栅极。

[0021] 应用本申请的技术方案一种栅极、半导体器件及其制作方法,在半导体基材上依次设置第一栅极部和第二栅极部,且第一栅极的上表面为所述第二栅极的部分下表面。这种栅极结构的外表面面积得以增大,进而增大了栅极和周围的器件之间的耦合比例,提高了半导体器件的性能。

附图说明

[0022] 构成本申请的一部分的说明书附图用来提供对本申请的进一步理解,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0023] 图 1 示出了在现有半导体器件的制作方法中,在衬底中形成浅沟槽和位于浅沟槽中的隔离物质层后基体的剖面结构示意图;

[0024] 图 2 示出了图 1 所述相邻隔离物质层之间形成栅极后的基体的剖面结构示意图;

[0025] 图 3 示出了去除图 2 所述部分隔离物质层,并将剩余隔离物质层和浅沟槽作为沟槽隔离结构后的基体的剖面结构示意图;

- [0026] 图 4 示出了根据本申请的实施方式所提供的栅极的剖面结构示意图；
- [0027] 图 5 示出了根据本申请的实施方式所提供的半导体器件的剖面结构示意图；
- [0028] 图 6 示出了在本申请的实施方式所提供的半导体器件的制作方法流程示意图；
- [0029] 图 7 示出了在本申请的实施方式所提供的半导体器件的制作方法中，提供衬底后基体的剖面结构示意图；
- [0030] 图 8 示出了在图 7 所示的衬底中形成浅沟槽和位于浅沟槽中的隔离预备层，并在相邻隔离预备层之间的衬底表面上形成可牺牲材料预备层后的基体的剖面结构示意图；
- [0031] 图 9 示出了刻蚀去除部分图 8 所示的可牺牲预备层以形成可牺牲材料层后的基体的剖面结构示意图；
- [0032] 图 10 示出了刻蚀图 9 所示的隔离预备层，形成隔离过渡层后的基体的剖面结构示意图；
- [0033] 图 11 示出了去除图 10 所示的可牺牲材料层后的基体的剖面结构示意图；
- [0034] 图 12 示出了在图 11 所示的相连的隔离过渡层之间的衬底上形成包括第一栅极部和第二栅极部的第一功能栅极后的基体的剖面结构示意图；
- [0035] 图 13 示出了去除图 12 所示的部分隔离过渡层，形成沟槽隔离结构后的基体的剖面结构示意图；以及
- [0036] 图 14 示出了在图 13 所示的第二栅极部和沟槽隔离结构外露表面上形成第二功能栅极后的基体的剖面结构示意图。

具体实施方式

[0037] 需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0038] 需要注意的是，这里所使用的术语仅是为了描述具体实施方式，而非意图限制根据本申请的示例性实施方式。如在这里所使用的，除非上下文另外明确指出，否则单数形式也意图包括复数形式，此外，还应当理解的是，当在本说明书中使用属于“包含”和/或“包括”时，其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

[0039] 为了便于描述，在这里可以使用空间相对术语，如“在……之上”、“在……上方”、“在……上表面”、“上面的”等，用来描述如在图中所示的一个器件或特征与其他器件或特征的空间位置关系。应当理解的是，空间相对术语旨在包含除了器件在图中所描述的方位之外的在使用或操作中的不同方位。例如，如果附图中的器件被倒置，则描述为“在其他器件或构造上方”或“在其他器件或构造之上”的器件之后将被定位为“在其他器件或构造下方”或“在其他器件或构造之下”。因而，示例性术语“在……上方”可以包括“在……上方”和“在……下方”两种方位。该器件也可以其他不同方式定位（旋转 90 度或处于其他方位），并且对这里所使用的空间相对描述作出相应解释。

[0040] 下面将更详细地描述根据本申请的示例性实施方式。然而，这些示例性实施方式可以由多种不同的形式来实施，并且不应当被解释为只限于这里所阐述的实施方式。应当理解的是，提供这些实施方式是为了使得本申请的公开彻底且完整，并且将这些示例性实施方式的构思充分传达给本领域普通技术人员，在附图中，为了清楚起见，扩大了层和区域的厚度，并且使用相同的附图标记表示相同的器件，因而将省略对它们的描述。

[0041] 正如背景技术中所介绍的,随着半导体集成电路中的集成度越来越高,半导体器件中的栅极越来越小,导致栅极和周围的器件之间的耦合比例下降,进而导致半导体器件的性能下降。本申请的发明人针对上述问题进行研究,提出了一种栅极、半导体器件及其制作方法。如图 4 所示,该栅极包括:第一栅极部 51,设置在衬底 10 上;第二栅极部 52,设置在第一栅极部 51 上,且第一栅极的上表面的面积小于第二栅极的下表面的面积。上述栅极的外表面面积得以增大,进而增大了栅极和周围的器件之间的耦合比例,提高了半导体器件的性能。

[0042] 在上述栅极中,优选第二栅极部 52 的上表面宽度大于等于其下表面的宽度。当第二栅极部 52 的上表面宽度大于下表面的宽度时,第二栅极部 52 可以为梯形;当第二栅极部 52 的上表面宽度等于下表面的宽度时,第二栅极部 52 可以为立方体。具有上述形状的第二栅极部 52 具有最优的表面面积,使得栅极和周围的器件之间的耦合比例达到最优值。

[0043] 在上述栅极中,优选第一栅极部 51 的上表面的宽度小于等于其下表面的宽度。当第一栅极部 51 的上表面的宽度小于下表面的宽度时,第一栅极部 51 可以为梯形;当第一栅极部 51 的上表面的宽度等于下表面的宽度时,第一栅极部 51 可以为立方体。具有上述形状的第一栅极部 51 能够与第二栅极部 52 结合形成具有最优值的外表面面积的栅极,使得栅极和周围的器件之间的耦合比例达到最优值。

[0044] 在上述栅极中,第一栅极部 51 的高度和第二栅极部 52 的高度比会影响半导体器件的性能。在本申请的一种优选实施方式中,第一栅极部 51 的高度与第二栅极部 52 的高度之比为 $0.25 \sim 4:1$,更优选为 1。具有上述比例的栅极具有最优的外表面面积,使得栅极和周围的器件之间的耦合比例达到最优值。

[0045] 上述栅极还可以包括其他的栅极部,例如第三栅极部、第四栅极部,以进一步增加栅极的外表面面积,以及栅极和周围的器件之间的耦合比例。当然,随着栅极部数量的增加,栅极的结构越来越复杂,使得栅极的工艺也越复杂、成本越高。可选地,上述栅极仅由第一栅极部 51 和第二栅极部 52 组成,以在半导体器件的性能和工艺成本之间取得平衡。

[0046] 在上述栅极 50 和衬底 10 之间进一步包括介质层 30,以在栅极 50 和衬底 10 之间形成一层薄的绝缘层。同时,相邻的栅极 50 之间可以形成沟槽隔离结构 20,上述沟槽隔离结构 20 包括浅沟槽 21 和设置于浅沟槽 21 中的隔离物质层 22。

[0047] 同时,本申请还提供了一种半导体器件。如图 5 所示,该半导体器件包括衬底 10,形成于衬底 10 中沟槽隔离结构 20,以及形成于相邻沟槽隔离结构 20 之间的衬底 10 表面上的第一功能栅极 50,其中第一功能栅极 50 为本申请上述提供的栅极。该半导体器件中第一功能栅极 50 和周围的器件之间的耦合比例得以提高,进而使得半导体器件的性能得到提高。

[0048] 上述半导体器件还包括形成于第二栅极部 52 和沟槽隔离结构外露表面上的第二功能栅极 60。上述第二功能栅极 60 可以与第一栅极部 51 相耦合,并形成层叠栅极。例如在存储器中,上述第一功能栅极 50 作为浮栅,第二功能栅极 60 作为控制栅或耦合栅,两者层叠形成存储器件的栅极。

[0049] 上述半导体器件还包括形成在第一栅极部 51 和衬底 10 之间的介质层 30,以在栅极和衬底 10 之间形成一层薄的绝缘层。上述介质层 30 可以为本领域中常见的介质材料,本领域的技术人员可以根据半导体器件的实际性能需求选择介质层 30 的种类。优选地,上

述介质层 30 为氧化物层,例如 SiO_2 。上述氧化物层具有较高的介电常数,能够在第一栅极部 51 和衬底 10 之间形成良好的绝缘层,且氧化物与衬底 10 和第一栅极部 51 之间能够形成良好的界面结合。

[0050] 本申请上述栅极(第一功能栅极 50)可以采用后栅工艺形成,即先形成沟槽隔离结构以及源漏极,再形成栅极。以下将以半导体器件的制作方法为例,进一步说明栅极(第一功能栅极 50)的制作方法。如图 6 所示,该制作制作方法包括:提供衬底;在衬底中形成浅沟槽和位于浅沟槽中的隔离预备层;刻蚀隔离预备层以形成隔离过渡层和位于相邻的隔离过渡层之间的位于衬底上方的第一凹槽和第二凹槽,第一凹槽和第二凹槽沿远离衬底的方向依次形成,且第一凹槽的顶部的面积小于第二凹槽的底部的面积;在第一凹槽和第二凹槽中填充栅极材料,以在第一凹槽中形成第一栅极部,并在第二凹槽中形成第二栅极部,第一栅极部和第二栅极部共同构成第一功能栅极;去除部分隔离过渡层,形成沟槽隔离结构。

[0051] 上述制作方法通过在半导体基材上依次形成第一栅极部和第二栅极部,且第一栅极的上表面为所述第二栅极的部分下表面,使得栅极结构的外表面面积得以增大,进而增大了栅极和周围的器件之间的耦合比例,提高了半导体器件的性能。

[0052] 图 7 至图 14 示出了本申请提供的半导体器件的制作方法中,经过各个步骤后得到的基体的剖面结构示意图。下面将结合图 7 至图 14,进一步说明本申请所提供的半导体器件的制作方法。

[0053] 首先,提供如图 7 所示的衬底 10。上述衬底 10 可以为单晶硅(Si)、单晶锗(Ge)、硅锗(GeSi)或碳化硅(SiC),也可以是绝缘体上硅(SOI),绝缘体上锗(GOI),或者还可以为其它的材料,例如砷化镓等 III-V 族化合物。

[0054] 完成提供衬底 10 的步骤之后,在衬底 10 中形成浅沟槽 21 和位于浅沟槽 21 中的隔离预备层 22'。在该步骤中,一种优选实施方式为:在衬底 10 表面上形成可牺牲材料预备层 40';刻蚀可牺牲材料预备层 40' 和衬底 10,在衬底 10 中形成浅沟槽 21;在浅沟槽 21 中形成表面与可牺牲材料预备层 40' 的表面齐平的隔离预备层 22' 进而形成如图 8 所示的基体结构。在形成上述隔离预备层 22' 后可以去除部分可牺牲材料预备层 40',形成上表面低于隔离预备层 22' 的可牺牲材料层 40,进而形成如图 9 所示的基体结构。

[0055] 在上述步骤中,所形成的浅沟槽 21 和隔离预备层 22' 的形状可以为本领域中常见的形状,例如梯形体或立方体。作为示意例,在本申请中的浅沟槽 21 和隔离预备层 22' 为梯形体。需要注意的是,后续形成的栅极(第一栅极部 51 和第二栅极部 52) 的形状与隔离预备层 22' 的形状相关,也可以为梯形体或立方体。作为示例,在本申请中的第一栅极部 51 和第二栅极部 52 为梯形体。

[0056] 在上述步骤中,在形成上述可牺牲材料预备层 40' 前,需要先在衬底 10 上形成介质层 30,以在栅极和衬底 10 之间形成一层薄的绝缘层。优选地,介质层 30 为氧化物层,例如 SiO_2 。上述氧化物层具有较高的介电常数,能够在栅极和衬底 10 之间形成良好的绝缘层,且氧化物与衬底 10 和栅极之间能够形成良好的界面结合。形成上述介质层 30 的工艺可以为化学气相沉积、热氧化等,本领域的技术人员可以根据实际工艺选择制作工艺及其工艺参数。

[0057] 在上述步骤中,可牺牲材料预备层 40' 和可牺牲材料层 40 可以为本领域中常见

的可牺牲材料,例如 SiN、SiO₂ 等,其制作工艺可以为化学气相沉积或溅射等。去除可牺牲材料预备层 40' 的工艺可以为湿法刻蚀,刻蚀液可以为磷酸溶液等。当采用磷酸刻蚀去除可牺牲材料预备层 40' 时,一种可选实施方式中,磷酸溶液中 H₃PO₄ 和 H₂O 的体积比为 1:200 ~ 500,刻蚀的温度为 20 ~ 45℃,刻蚀的时间为 30 ~ 360s。

[0058] 完成在衬底 10 中形成浅沟槽 21 和位于浅沟槽 21 中的隔离预备层 22' 的步骤之后,刻蚀隔离预备层 22' 以形成隔离过渡层 22' ',进而形成如图 10 所示的基体结构。优选地,刻蚀隔离预备层 22' 的工艺为湿法刻蚀和 / 或离子轰击。当采用湿法刻蚀隔离预备层 22' 时,一种可选的实施方式为 ;当采用离子轰击刻蚀隔离预备层 22' 时,一种可选的实施方式为 :以 CF₄ 和 CHF₃ 刻蚀气体为,溅射功率为 400 ~ 1000 瓦,刻蚀温度为 25 ~ 60℃,刻蚀时间为 30 ~ 360 秒。

[0059] 在形成上述隔离过渡层 22' ' 后,需要去除可牺牲材料层 40,以在位于相邻的隔离过渡层 22' ' 之间的衬底 10 上沿远离衬底 10 的方向依次形成第一凹槽 71 和第二凹槽 72,且第一凹槽 71 的顶部的面积小于第二凹槽 72 的底部的面积,进而形成如图 11 所示的基体结构。去除可牺牲材料层 40 的工艺可以为湿法刻蚀,刻蚀液可以为磷酸溶液等。当采用磷酸去除可牺牲材料预备层 40' 时,一种可选实施方式中,磷酸溶液中 H₃PO₄ 和 H₂O 的体积比为 1:200 ~ 500,刻蚀的温度为 20 ~ 45℃,刻蚀的时间为 30 ~ 360s。

[0060] 完成刻蚀隔离预备层 22' 以形成隔离过渡层 22' ' 和位于相邻的隔离过渡层 22' ' 之间的衬底 10 上的第一凹槽 71 和第二凹槽 72 的步骤之后,在第一凹槽和第二凹槽中填充栅极材料,以在第一凹槽中形成第一栅极部,并在第二凹槽中形成第二栅极部,第一栅极部和第二栅极部共同构成第一功能栅极,进而形成如图 12 所示的基体结构。上述第一功能栅极 50 可以为多晶硅或金属(例如 Cu),形成上述第一功能栅极 50 的工艺可以为化学气相沉积或电镀。当采用电镀工艺形成 Cu 时,一种可选实施方式为 :以 Cu₂P₂O₇ 为电镀液中的 Cu 源,电镀过程中的电流密度为 1 ~ 5A/dm²,电镀液的温度为 5 ~ 80℃。

[0061] 完成形成包括第一栅极部 51 和第二栅极部 52 的第一功能栅极 50 的步骤之后,去除部分隔离过渡层 22' ' ,形成沟槽隔离结构,进而形成如图 13 所示的基体结构。去除上述隔离过渡层 22' ' 的工艺可以为湿法刻蚀,本领域的技术人员可以根据实际工艺需求选择合适的工艺及其参数。需要注意的是,去除部分隔离预备层 22' 后,所形成沟槽隔离结构中隔离层 22 的表面可以高于或低于衬底 10 的表面,也可以与衬底 10 的表面齐平。

[0062] 在形成上述沟槽隔离结构的步骤之后,上述制作方法还包括 :在第二栅极部 52 和沟槽隔离结构外露表面上形成第二功能栅极 60,进而形成如图 14 所示的基体结构。上述第二功能栅极 60 可以为多晶硅或金属(例如 Cu),形成上述第二功能栅极 60 的工艺可以为化学气相沉积或电镀。当采用电镀工艺形成 Cu 时,一种可选实施方式为 :以 Cu₂P₂O₇ 为电镀液中的 Cu 源,电镀过程中的电流密度为 1 ~ 5A/dm²,电镀液的温度为 5 ~ 80℃。

[0063] 从以上的描述中,可以看出,本申请上述的实施例实现了如下技术效果 :在半导体基材上依次设置第一栅极部和第二栅极部,且第一栅极的上表面为所述第二栅极的部分下表面。上述栅极的外表面面积得以增大,进而增大了栅极和周围的器件之间的耦合比例,提高了半导体器件的性能。

[0064] 以上所述仅为本申请的优选实施例而已,并不用于限制本申请,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修

改、等同替换、改进等,均应包含在本申请的保护范围之内。

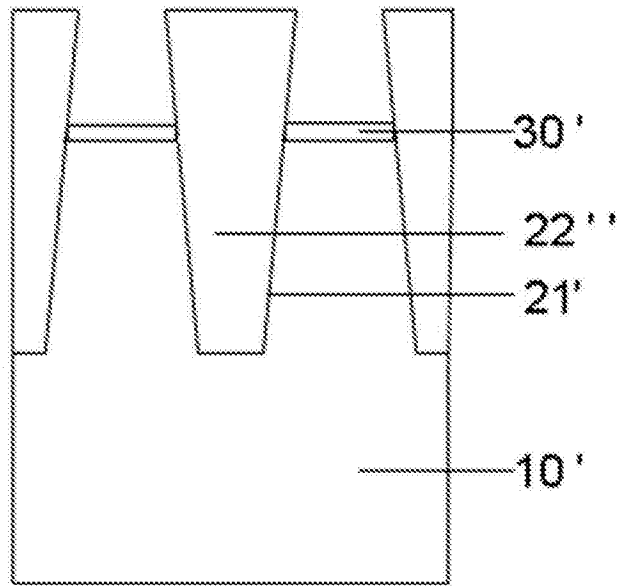


图 1

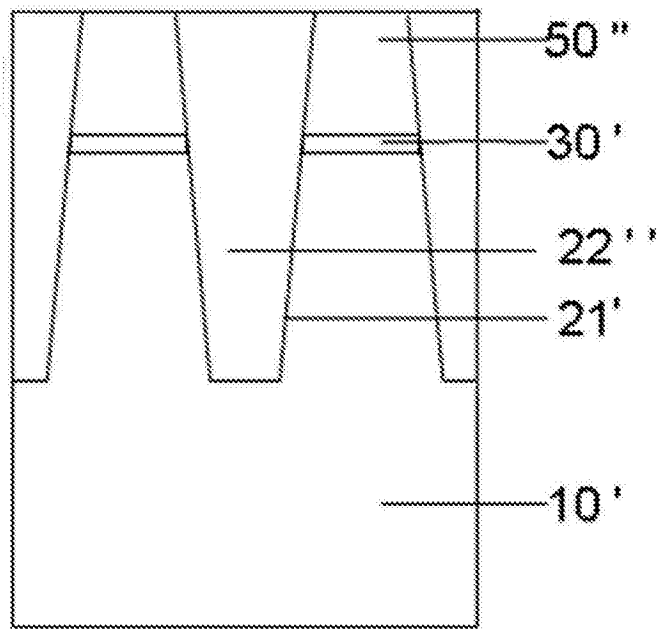


图 2

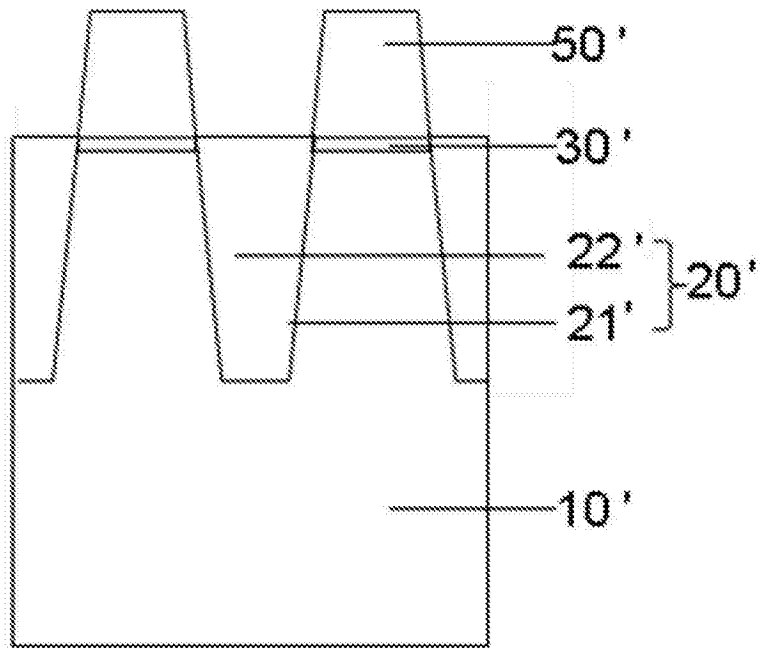


图 3

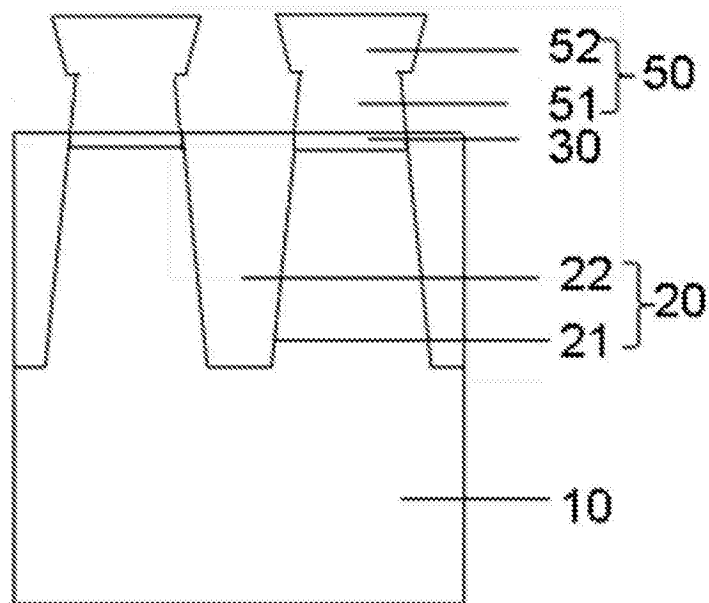


图 4

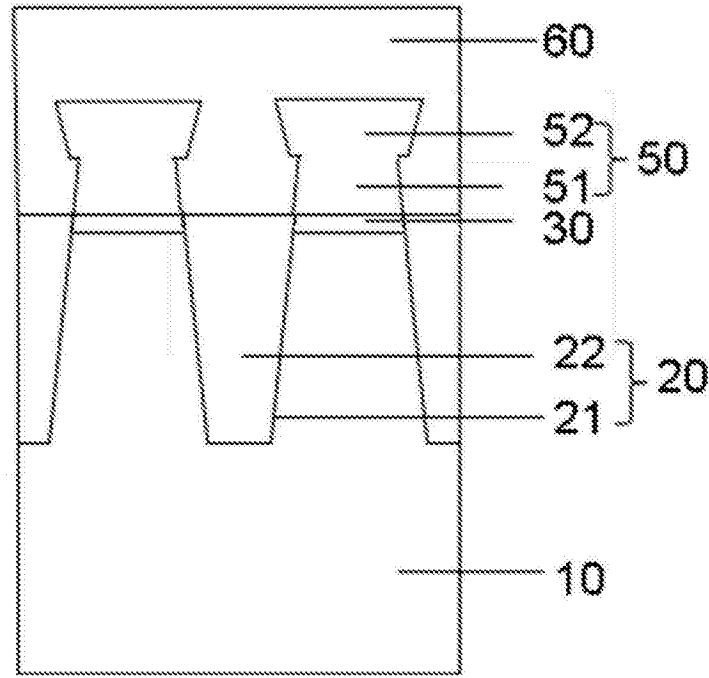


图 5

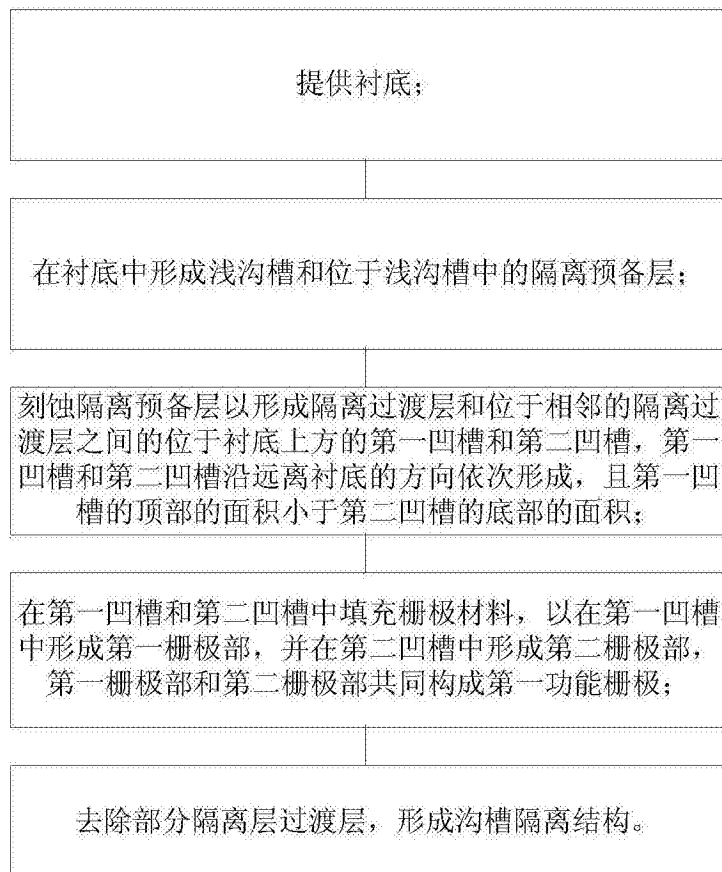


图 6

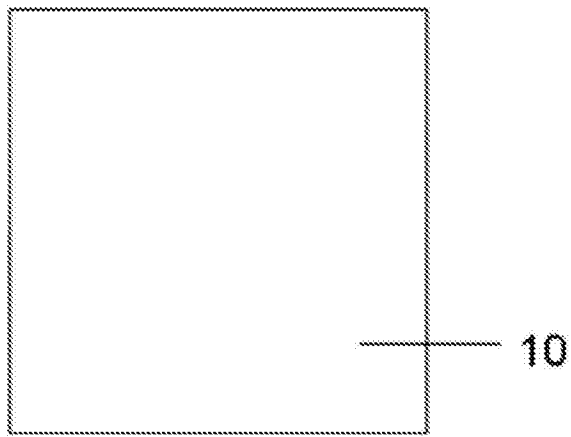


图 7

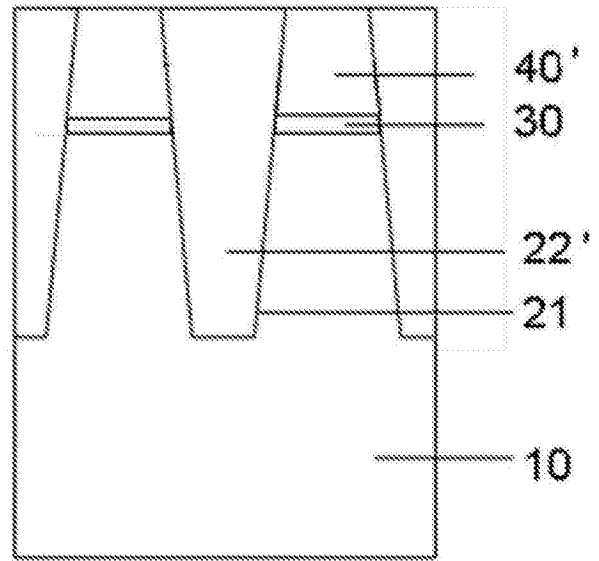


图 8

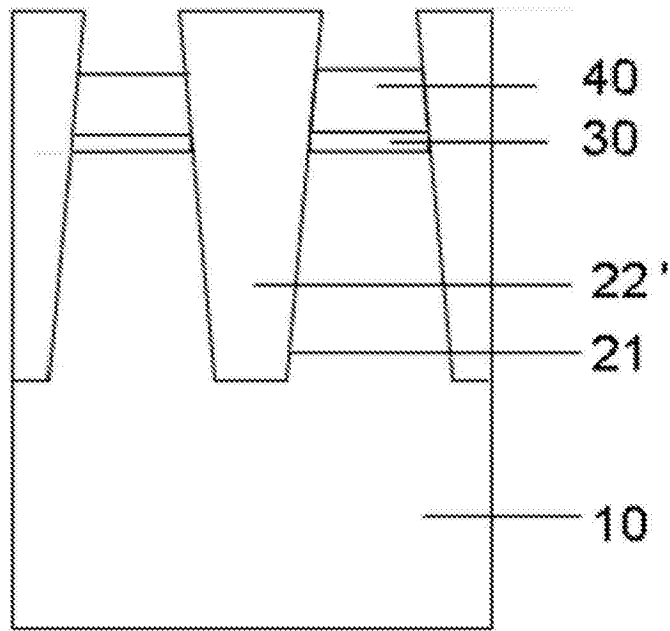


图 9

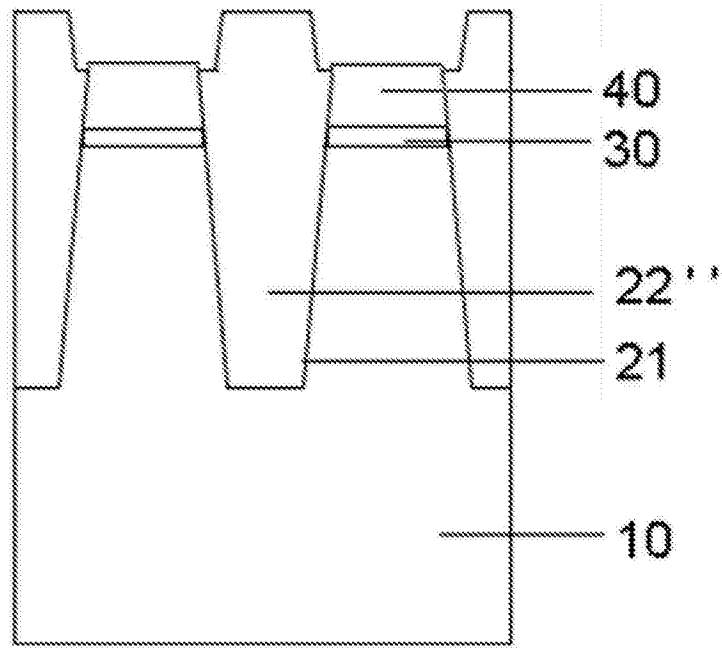


图 10

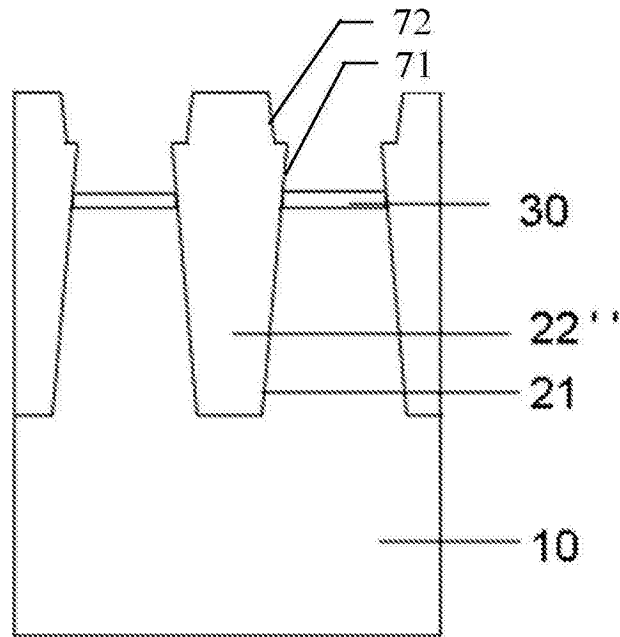


图 11

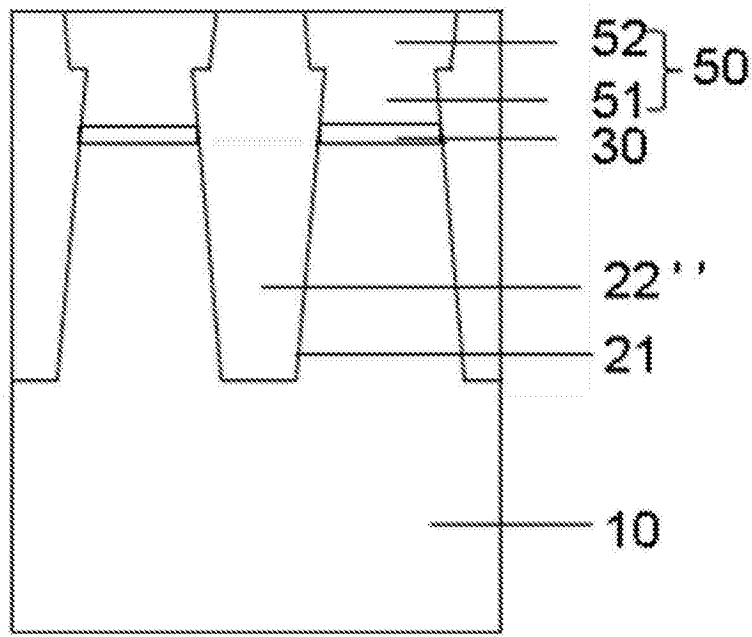


图 12

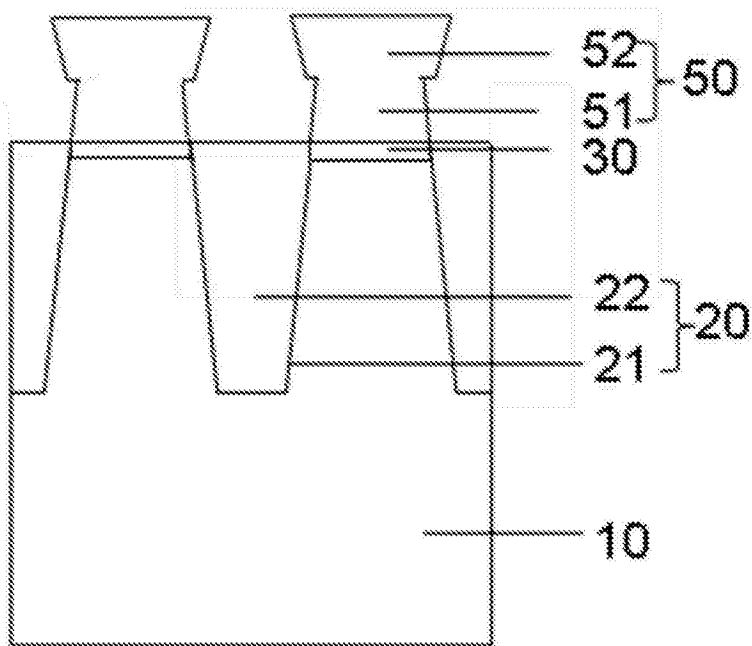


图 13

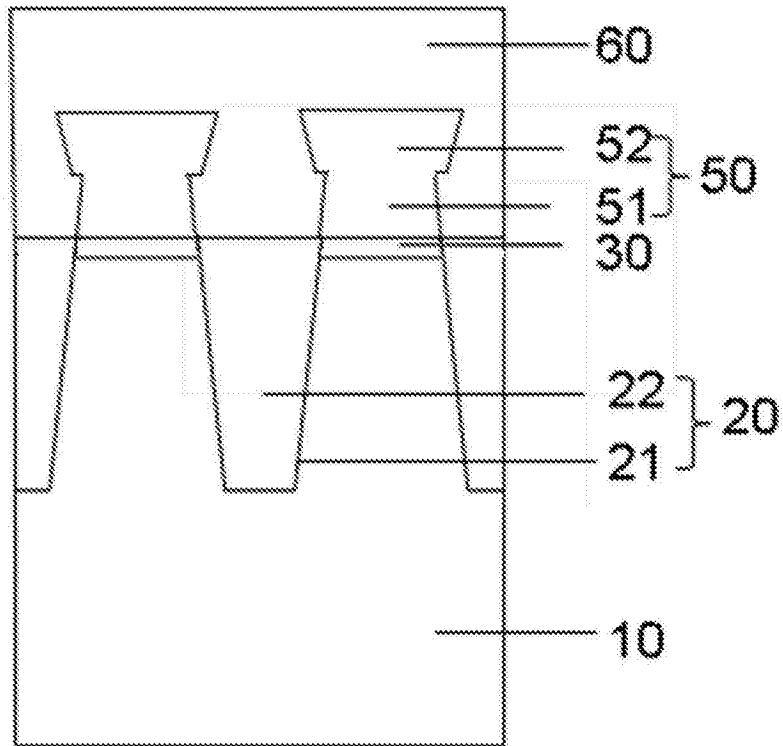


图 14