

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-514233

(P2009-514233A)

(43) 公表日 平成21年4月2日(2009.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 21/337 (2006.01)</b>	H O 1 L 29/80 C	5 F 0 4 8
<b>H O 1 L 29/808 (2006.01)</b>	H O 1 L 27/08 1 O 2 A	5 F 0 8 2
<b>H O 1 L 21/8234 (2006.01)</b>	H O 1 L 27/06 F	5 F 1 0 2
<b>H O 1 L 27/088 (2006.01)</b>	H O 1 L 27/06 1 O 1 U	
<b>H O 1 L 21/8232 (2006.01)</b>	H O 1 L 29/80 E	
審査請求 未請求 予備審査請求 未請求 (全 36 頁) 最終頁に続く		

(21) 出願番号	特願2008-538040 (P2008-538040)	(71) 出願人	508127616
(86) (22) 出願日	平成18年10月30日 (2006.10.30)		ディーエスエム ソリューションズ, イン
(85) 翻訳文提出日	平成20年4月25日 (2008.4.25)		コーポレイテッド
(86) 国際出願番号	PCT/US2006/042139		アメリカ合衆国, カリフォルニア州 95
(87) 国際公開番号	W02007/053485		032, ロス・ガトス, ノウルズ・ドライ
(87) 国際公開日	平成19年5月10日 (2007.5.10)		ヴ 130, スイート ビー
(31) 優先権主張番号	11/261, 873	(74) 代理人	100070150
(32) 優先日	平成17年10月28日 (2005.10.28)		弁理士 伊東 忠彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100091214
			弁理士 大貫 進介
		(74) 代理人	100107766
			弁理士 伊東 忠重
		最終頁に続く	

(54) 【発明の名称】 シリコン及びシリコン合金内の相補型接合型電界効果トランジスタ及びMOSトランジスタを用いた集積回路

# (57) 【要約】

シリコン内の接合型電界効果トランジスタを用いて相補型論理回路を構築する方法が開示される。本発明は、理想的に、好ましくは65nm未満のディープサブミクロンの寸法に適したものである。本発明の基礎となるものは、エンハンスメントモードで動作する相補型接合型電界効果トランジスタである。このJFETの速度-パワー性能はサブ70nm寸法のCMOSデバイスに匹敵するものになる。しかしながら、JFETの最大電源電圧は依然として内蔵電位(ダイオードの電圧降下)より小さく制限される。より高い電圧レベルまで駆動される外部回路へのインターフェースを必要とする一定の用途を満足させるため、本発明は、JFETと同一基板上にCMOSデバイスを構築する構造及び方法を含む。

**【特許請求の範囲】****【請求項 1】**

接合型電界効果トランジスタであって：

第 1 導電型の半導体基板；

前記半導体基板の表面に隣接して前記半導体基板内に形成された、第 1 導電型とは逆の第 2 導電型のウェル領域；

前記半導体基板の表面に隣接して前記半導体基板内に形成された、誘電体材料から成る絶縁領域であり、前記ウェル領域を囲んでいる絶縁領域；

前記半導体基板の表面に隣接して前記ウェル領域内に形成された、第 1 導電型の互いに重なり合わない第 1 及び第 2 の領域であり、それぞれ、当該接合型電界効果トランジスタのソース領域及びドレイン領域を形成する第 1 及び第 2 の領域；

前記ソース領域と前記ドレイン領域との間で前記半導体基板上に位置する第 1 部分と、前記ソース領域及び前記ドレイン領域の一部上に位置する第 2 部分と、前記絶縁領域の一部上に位置する第 3 部分とを有する、第 2 導電型のゲート電極領域；

前記ゲート電極領域の前記第 1 部分全体の直下で前記ウェル領域内に形成された、第 2 導電型のゲート領域であり、前記ゲート電極領域からドーピングされ、或る不純物濃度を有するゲート領域；及び

前記ゲート領域全体の直下で前記ウェル領域内に形成された、第 1 導電型のチャンネル領域；

を有する接合型電界効果トランジスタ。

**【請求項 2】**

前記半導体基板は、シリコン、ゲルマニウム、シリコンカーバイド、及びシリコン - ゲルマニウム - カーボン合金から成るグループから選択された材料を有する、請求項 1 に記載の接合型電界効果トランジスタ。

**【請求項 3】**

前記チャンネル領域及び前記ゲート領域は、前記半導体基板上にエピタキシャル成長されたシリコン - ゲルマニウム - カーボン合金材料で形成されている、請求項 2 に記載の接合型電界効果トランジスタ。

**【請求項 4】**

前記ゲート電極領域は多結晶シリコンを有する、請求項 1 に記載の接合型電界効果トランジスタ。

**【請求項 5】**

前記ゲート電極領域はシリコン - ゲルマニウム - カーボン合金を有する、請求項 1 に記載の接合型電界効果トランジスタ。

**【請求項 6】**

前記ゲート電極領域は複数のシリコン - ゲルマニウム - カーボン合金層を有する、請求項 1 に記載の接合型電界効果トランジスタ。

**【請求項 7】**

前記ゲート電極領域の前記第 3 部分上に形成されたゲートコンタクト領域、を更に有する請求項 1 に記載の接合型電界効果トランジスタ。

**【請求項 8】**

前記ソース領域上に形成されたソースコンタクト領域；

前記ドレイン領域上に形成されたドレインコンタクト領域；及び

前記ウェル領域上に形成されたウェルコンタクト領域；

を更に有する請求項 1 に記載の接合型電界効果トランジスタ。

**【請求項 9】**

前記ゲート電極領域の頂面、前記ソース領域の頂面、前記ドレイン領域の頂面、及び前記ウェル領域の頂面の上に位置するシリサイド層；及び

前記ゲート電極領域の 1 つ以上の側壁に位置する、誘電体材料で形成されたスペーサ層

；

10

20

30

40

50

を更に有する請求項 8 に記載の接合型電界効果トランジスタ。

【請求項 10】

前記半導体基板の頂部に形成され且つ前記ソースコンタクト領域、前記ドレインコンタクト領域、前記ゲート電極領域、及び前記ウェルコンタクト領域の上に位置する誘電体層、を更に有し；

前記ソースコンタクト領域、前記ドレインコンタクト領域、前記ゲート電極領域、及び前記ウェルコンタクト領域は、多結晶シリコン層から形成されており；

前記多結晶シリコン層は実質的に平坦であり；

前記多結晶シリコン層は、前記ソースコンタクト領域、前記ドレインコンタクト領域、前記ゲート電極領域、及び前記ウェルコンタクト領域を形成するように、パターニングされ且つエッチングされており；且つ

前記誘電体層は、前記ソースコンタクト領域、前記ドレインコンタクト領域、前記ゲート電極領域、及び前記ウェルコンタクト領域まで実質的に同一の深さを有するコンタクトホールを形成するように、パターニングされ且つエッチングされている；

請求項 8 に記載の接合型電界効果トランジスタ。

【請求項 11】

前記ソース領域は第 1 ソース領域及び第 2 ソース領域を有し；

前記第 1 ソース領域は前記第 2 ソース領域と前記チャネル領域とを接続しており；

前記第 1 ソース領域の不純物濃度は、前記ソースコンタクト領域とは独立に、ドーピング工程によって制御されており；

前記第 2 ソース領域は前記ソースコンタクト領域の下にのみ形成されており；

前記第 2 ソース領域は前記チャネル領域と接触しておらず；

前記第 2 ソース領域は、前記ソースコンタクト領域、イオン注入された領域、及び前記ソースコンタクト領域とイオン注入された領域との組み合わせから成るグループから選択されたドーパント源からドーパされた不純物濃度を有し；

前記ドレイン領域は第 1 ドレイン領域及び第 2 ドレイン領域を有し；

前記第 1 ドレイン領域は前記第 2 ドレイン領域と前記チャネル領域とを接続しており；

；

前記第 1 ドレイン領域の不純物濃度は、前記ドレインコンタクト領域とは独立に、ドーピング工程によって制御されており；

前記第 2 ドレイン領域は前記ドレインコンタクト領域の下にのみ形成されており；

前記第 2 ドレイン領域は前記チャネル領域と接触しておらず；

前記第 2 ドレイン領域は、前記ドレインコンタクト領域、イオン注入された領域、及び前記ドレインコンタクト領域とイオン注入された領域との組み合わせから成るグループから選択されたドーパント源からドーパされた不純物濃度を有する；

請求項 8 に記載の接合型電界効果トランジスタ。

【請求項 12】

前記第 2 ソース領域と前記チャネル領域との間の離隔距離は、前記第 2 ドレイン領域と前記チャネル領域との間の離隔距離に依存していない、請求項 11 に記載の接合型電界効果トランジスタ。

【請求項 13】

MOS トランジスタであって；

第 1 導電型の半導体基板；

前記半導体基板の表面に隣接して前記半導体基板内に形成された、第 1 導電型とは逆の第 2 導電型のウェル領域；

前記半導体基板の表面に隣接して前記半導体基板内に形成された、誘電体材料から成る絶縁領域であり、前記ウェル領域を囲んでいる絶縁領域；

前記半導体基板の表面に隣接して前記ウェル領域内に形成された、第 1 導電型の互いに重なり合わない第 1 及び第 2 の領域であり、それぞれ、当該 MOS トランジスタのソース領域及びドレイン領域を形成する第 1 及び第 2 の領域；

半導体の酸化物又は窒化酸化物で形成されたゲート誘電体層であり、前記ソース領域と前記ドレイン領域との間で前記半導体基板の直上に形成されたゲート誘電体層；

前記ゲート誘電体層上に位置する第１部分と、前記ソース領域及び前記ドレイン領域の一部上に位置する第２部分と、前記絶縁領域の一部上に位置する第３部分とを有する、第２導電型のゲート領域；

前記ゲート電極領域の前記第１部分全体の直下で前記ウェル領域内に形成された、第２導電型のゲート領域であり、前記ゲート電極領域からドーピングされ、或る不純物濃度を有するゲート領域；

前記ソース領域上に形成されたソースコンタクト領域；

前記ドレイン領域上に形成されたドレインコンタクト領域；及び

前記ウェル領域上に形成されたウェルコンタクト領域；

を有し、

前記ソース領域は第１ソース領域及び第２ソース領域を有し；

前記第１ソース領域は、前記第２ソース領域と前記ゲート誘電体層の直下の領域とを接続しており；

前記第１ソース領域の不純物濃度は、前記ソースコンタクト領域とは独立に、ドーピング工程によって制御されており；

前記第２ソース領域は前記ソースコンタクト領域の下にのみ形成されており；

前記第２ソース領域は前記ゲート誘電体層の直下の領域と接触しておらず；

前記第２ソース領域は、前記ソースコンタクト領域、イオン注入された領域、及び前記ソースコンタクト領域とイオン注入された領域との組み合わせから成るグループから選択されたドーパント源からドーピングされた不純物濃度を有し；

前記ドレイン領域は第１ドレイン領域及び第２ドレイン領域を有し；

前記第１ドレイン領域は、前記第２ドレイン領域と前記ゲート誘電体層の直下の領域とを接続しており；

前記第１ドレイン領域の不純物濃度は、前記ドレインコンタクト領域とは独立に、ドーピング工程によって制御されており；

前記第２ドレイン領域は前記ドレインコンタクト領域の下にのみ形成されており；

前記第２ドレイン領域は前記ゲート誘電体層の直下の領域と接触しておらず；

前記第２ドレイン領域は、前記ドレインコンタクト領域、イオン注入された領域、及び前記ドレインコンタクト領域とイオン注入された領域との組み合わせから成るグループから選択されたドーパント源からドーピングされた不純物濃度を有する；

M O S トランジスタ。

#### 【請求項１４】

前記第１ソース領域と前記ゲート誘電体層の直下の領域との間の離隔距離は、前記第１ドレイン領域と前記ゲート誘電体層の直下の領域との間の離隔距離に依存していない、請求項１３に記載のM O S トランジスタ。

#### 【請求項１５】

前記半導体基板は、シリコン、ゲルマニウム、シリコンカーバイド、及びシリコン - ゲルマニウム - カーボン合金から成るグループから選択された材料を有する、請求項１３に記載のM O S トランジスタ。

#### 【請求項１６】

前記半導体基板の頂部に形成され且つ前記ソースコンタクト領域、前記ドレインコンタクト領域、前記ゲート領域、及び前記ウェルコンタクト領域の上に位置する誘電体層、を更に有し；

前記ソースコンタクト領域、前記ドレインコンタクト領域、前記ゲート領域、及び前記ウェルコンタクト領域は、多結晶シリコン層から形成されており；

前記多結晶シリコン層は実質的に平坦であり；

前記多結晶シリコン層は、前記ソースコンタクト領域、前記ドレインコンタクト領域、前記ゲート領域、及び前記ウェルコンタクト領域を形成するように、パターンニングされ且

10

20

30

40

50

つエッチングされており；且つ

前記誘電体層は、前記ソースコンタクト領域、前記ドレインコンタクト領域、前記ゲート領域、及び前記ウェルコンタクト領域まで実質的に同一の深さを有するコンタクトホールを形成するように、パターニングされ且つエッチングされている；

請求項 13 に記載の MOS トランジスタ。

【請求項 17】

1 つ以上のデバイスを有する電子回路であって、当該電子回路内の少なくとも 1 つのデバイスは請求項 1 に記載の接合型電界効果トランジスタを有する、電子回路。

【請求項 18】

当該電子回路内の少なくとも 1 つのデバイスは MOS トランジスタを有する、請求項 17 に記載の電子回路。

【請求項 19】

当該電子回路内の少なくとも 1 つのデバイスはバイポーラトランジスタを有する、請求項 17 に記載の電子回路。

【請求項 20】

1 つ以上のデバイスを有する電子回路であって、当該電子回路内の少なくとも 1 つのデバイスは請求項 13 に記載の MOS トランジスタを有する、電子回路。

【請求項 21】

当該電子回路内の少なくとも 1 つのデバイスは請求項 1 に記載の接合型電界効果トランジスタを有する、請求項 20 に記載の電子回路。

【請求項 22】

当該電子回路内の少なくとも 1 つのデバイスはバイポーラトランジスタを有する、請求項 20 に記載の電子回路。

【請求項 23】

1 つ以上の半導体デバイスを製造する方法であって；

第 1 導電型の半導体基板内に、誘電体材料で充填された 1 つ以上の分離領域を形成する工程；

第 1 導電型の 1 つ以上のウェル領域、及び第 1 導電型とは逆の第 2 導電型の 1 つ以上のウェル領域を形成するように、前記半導体基板内の 1 つ以上の領域をドーピングする工程；

前記 1 つ以上のウェル領域内に 1 つ以上のチャネル領域を形成する工程であり、各チャネル領域は対応するウェル領域の導電型とは逆の導電型を有する工程；

前記半導体基板上に第 1 の半導体層を堆積する工程；

1 つ以上のドレインコンタクト領域、1 つ以上のソースコンタクト領域、1 つ以上のゲート電極領域、及び 1 つ以上のウェルコンタクト領域をドーピングするために、各ウェル領域上の前記第 1 の半導体層を選択的にドーピングする工程であり、各ドレインコンタクト領域及びソースコンタクト領域は、対応するウェル領域の導電型とは逆の導電型にドーブされ、；各ゲート電極領域及びウェルコンタクト領域は、対応するウェル領域の導電型にドーブされる工程；

阻止層を形成するために、前記第 1 の半導体層の頂部に第 1 の誘電体層を堆積する工程；

1 つ以上のドレインコンタクト領域、1 つ以上のソースコンタクト領域、1 つ以上のゲート電極領域、及び 1 つ以上のウェルコンタクト領域を形成するように、前記第 1 の半導体層をマスクし、エッチングするマスクング・エッチング工程；

イオン注入によって前記 1 つ以上のウェル領域内に、1 つ以上の第 1 ソース領域及び 1 つ以上の第 1 ドレイン領域を形成する工程であり；

各第 1 ソース領域は、ソースコンタクト領域の直下の領域とチャネル領域との間を接続し；

各第 1 ドレイン領域は、ドレインコンタクト領域の直下の領域とチャネル領域との間を接続し；且つ

10

20

30

40

50

各第 1 ソース領域及び各第 1 ドレイン領域は、対応するウェル領域の導電型とは逆の導電型にイオン注入される；

工程；

前記第 1 の半導体層及び前記第 1 の誘電体層を有する前記半導体基板をアニールするアニール工程；

前記マスキング・エッチング工程中にエッチング除去された前記第 1 の半導体層内の領域を、平坦な表面を形成するために、誘電体材料で充填する工程；

前記阻止層を非選択的に除去する工程；

前記第 1 の半導体層の頂部に選択的にシリサイドを形成する工程；

前記半導体基板上に第 2 の誘電体層を堆積し、コンタクトホールを形成するようにエッチングする工程；及び

相互接続を形成するために、前記半導体基板上に 1 つ以上の金属層を堆積し、エッチングする工程；

を有する方法。

#### 【請求項 2 4】

前記アニール工程は；

各ゲート電極領域の下に、該ゲート電極領域からドーブされた不純物濃度を有するゲート領域を形成する工程；

各ソースコンタクト領域の下に、該ソースコンタクト領域からドーブされた不純物濃度を有し且つ第 1 ソース領域と接続された第 2 ソース領域を形成する工程；及び

各ドレインコンタクト領域の下に、該ドレインコンタクト領域からドーブされた不純物濃度を有し且つ第 1 ドレイン領域と接続された第 2 ドレイン領域を形成する工程；

を有する、請求項 2 3 に記載の方法。

#### 【請求項 2 5】

前記半導体基板はシリコンから成り；

前記第 1 の半導体層は多結晶シリコンから成り；且つ

前記第 1 の誘電体層は窒化シリコンから成る；

請求項 2 4 に記載の方法。

#### 【請求項 2 6】

前記 1 つ以上のチャネル領域を形成する工程の後に、更に；

前記半導体基板の頂部にゲート誘電体層を形成し、且つ MOS トランジスタを形成するためのソース領域、ドレイン領域、及びウェル領域の上の前記ゲート誘電体層を選択的に除去する工程；及び

接合型電界効果トランジスタを形成するためのチャネル領域、ソース領域、ドレイン領域、及びウェル領域の上の前記ゲート誘電体層を選択的に除去する工程；

を有する請求項 2 3 に記載の方法。

#### 【請求項 2 7】

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって；

少なくとも 1 つのデータ構造はネットリストを有し；

前記電子回路内の少なくとも 1 つのデバイスは請求項 1 に記載の接合型電界効果トランジスタを有する；

コンピュータ読み取り可能媒体。

#### 【請求項 2 8】

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって；

少なくとも 1 つのデータ構造はセルライブラリの構成要素を有し；

前記電子回路内の少なくとも 1 つのデバイスは請求項 1 に記載の接合型電界効果トランジスタを有する；

コンピュータ読み取り可能媒体。

#### 【請求項 2 9】

前記セルライブラリの前記構成要素は、タイミング、パワー及びサイズに関する情報を

10

20

30

40

50

含む、請求項 28 に記載のコンピュータ読み取り可能媒体。

【請求項 30】

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって：  
少なくとも 1 つのデータ構造はネットリストを有し；  
前記電子回路内の少なくとも 1 つのデバイスは請求項 13 に記載の MOS トランジスタを有する；  
コンピュータ読み取り可能媒体。

【請求項 31】

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって：  
少なくとも 1 つのデータ構造はセルライブラリの構成要素を有し；  
前記電子回路内の少なくとも 1 つのデバイスは請求項 13 に記載の MOS トランジスタを有する；  
コンピュータ読み取り可能媒体。

10

【請求項 32】

前記セルライブラリの前記構成要素は、タイミング、パワー及びサイズに関する情報を含む、請求項 31 に記載のコンピュータ読み取り可能媒体。

【請求項 33】

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって：  
少なくとも 1 つのデータ構造は前記電子回路の物理レイアウトの表現を有し；  
前記電子回路内の少なくとも 1 つのデバイスは請求項 1 に記載の接合型電界効果トランジスタを有する；  
コンピュータ読み取り可能媒体。

20

【請求項 34】

少なくとも 1 つのデータ構造はセルライブラリである、請求項 33 に記載のコンピュータ読み取り可能媒体。

【請求項 35】

前記セルライブラリは、タイミング、パワー及びサイズに関する情報を含む、請求項 34 に記載のコンピュータ読み取り可能媒体。

【請求項 36】

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって：  
少なくとも 1 つのデータ構造は前記電子回路の物理レイアウトの表現を有し；  
前記電子回路内の少なくとも 1 つのデバイスは請求項 13 に記載の MOS トランジスタを有する；  
コンピュータ読み取り可能媒体。

30

【請求項 37】

少なくとも 1 つのデータ構造はセルライブラリの構成要素である、請求項 36 に記載のコンピュータ読み取り可能媒体。

【請求項 38】

前記セルライブラリは、タイミング、パワー及びサイズに関する情報を含む、請求項 37 に記載のコンピュータ読み取り可能媒体。

40

【請求項 39】

電子回路の物理レイアウトを表示する電子ディスプレイであって、前記電子回路内の少なくとも 1 つのデバイスは請求項 1 に記載の接合型電界効果トランジスタを有する、電子ディスプレイ。

【請求項 40】

電子回路の物理レイアウトを表示する電子ディスプレイであって、前記電子回路内の少なくとも 1 つのデバイスは請求項 13 に記載の MOS トランジスタを有する、電子ディスプレイ。

【請求項 41】

電子回路の物理レイアウトを作成する物理設計自動化システムであって、前記電子回路

50

内の少なくとも１つのデバイスは請求項１に記載の接合型電界効果トランジスタを有する、物理設計自動化システム。

【請求項４２】

電子回路の物理レイアウトを作成する物理設計自動化システムであって、前記電子回路内の少なくとも１つのデバイスは請求項１３に記載のＭＯＳトランジスタを有する、物理設計自動化システム。

【請求項４３】

少なくとも１つの接合型電界効果トランジスタは、外部パッドに結合されたｐウェルコンタクト領域を有するｎＪＦＥＴである、請求項４１に記載の物理設計自動化システム。

【請求項４４】

少なくとも１つの接合型電界効果トランジスタは、外部パッドに結合されたｎウェルコンタクト領域を有するｐＪＦＥＴである、請求項４１に記載の物理設計自動化システム。

【請求項４５】

少なくとも１つの接合型電界効果トランジスタは、外部パッドに結合されたｐウェルコンタクト領域を有するｎＪＦＥＴであり；

前記外部パッドにバイアス電圧が印加されて、製造上の欠陥により発生されるリーク電流が特定される；

請求項１７に記載の電子回路。

【請求項４６】

少なくとも１つの接合型電界効果トランジスタは、外部パッドに結合されたｎウェルコンタクト領域を有するｐＪＦＥＴであり；

前記外部パッドにバイアス電圧が印加されて、製造上の欠陥により発生されるリーク電流が特定される；

請求項１７に記載の電子回路。

【請求項４７】

電子回路を設計する方法であって；

前記電子回路内に少なくとも１つのｎＪＦＥＴデバイスを設ける段階；及び

前記電子回路内の全てのｎＪＦＥＴに結合された外部パッドを設ける段階；

を有し、

前記電子回路が製造され、且つ前記外部パッドにバイアス電圧が印加されて、製造上の欠陥により発生されるリーク電流が特定される、

方法。

【請求項４８】

電子回路を設計する方法であって；

前記電子回路内に少なくとも１つのｐＪＦＥＴデバイスを設ける段階；及び

前記電子回路内の全てのｐＪＦＥＴに結合された外部パッドを設ける段階；

を有し、

前記電子回路が製造され、且つ前記外部パッドにバイアス電圧が印加されて、製造上の欠陥により発生されるリーク電流が特定される、

方法。

【請求項４９】

電子回路を試験する方法であって；

前記電子回路内の少なくとも１つのｐＪＦＥＴを特定する段階；

前記電子回路内の全てのｐＪＦＥＴに結合された外部パッドを特定する段階；

前記外部パッドにバイアス電圧を印加する段階；及び

製造上の欠陥により発生されるリーク電流を決定する段階；

を有する方法。

【請求項５０】

電子回路を試験する方法であって；

前記電子回路内の少なくとも１つのｎＪＦＥＴを特定する段階；

10

20

30

40

50



前記電子回路内の全ての $n$ JFETに結合された外部パッドを特定する段階；  
前記外部パッドにバイアス電圧を印加する段階；及び  
製造上の欠陥により発生されるリーク電流を決定する段階；  
を有する方法。

【請求項 5 1】

第 1 のゲート回路及び第 2 の回路を有する、キャパシタンスが低減された接合型電界効果トランジスタであって：

前記第 1 のゲート回路は、ポリシリコンゲート電極領域、及びゲート領域を有し；

前記ゲート領域は前記ポリシリコンゲート電極領域と近接しており；且つ

前記ゲート領域は、前記ポリシリコンゲート電極領域からドーブされた不純物濃度を有する；  
接合型電界効果トランジスタ。

【請求項 5 2】

ソース、ドレイン、ゲート、ソース連結領域、及びドレイン連結領域を有する、キャパシタンスが低減されたMOSトランジスタであって：

前記ソース連結領域は、前記ソースと前記ゲートとの間を隔離しており；

前記ドレイン連結領域は、前記ドレインと前記ゲートとの間を隔離しており；且つ

前記ソース連結領域の寸法は、前記ドレイン連結領域の寸法に依存していない；  
MOSトランジスタ。

【請求項 5 3】

シリコン又はシリコン合金を用いて製造された少なくとも 1 つの $n$ JFET及び $p$ JFETを有する電子回路であって、電源電圧を前記シリコン又はシリコン合金の内蔵電位より小さく制限することによってゲートリーク電流が制限される、電子回路。

【請求項 5 4】

最小寸法が 70 nm 以下である、請求項 5 3 に記載の電子回路。

【請求項 5 5】

$n$ JFET及び $p$ JFETを有する電子回路であって：

前記 $n$ JFETのドレイン端子は前記 $p$ JFETのドレイン端子に結合されており；

前記 $n$ JFETのゲート端子は前記 $p$ JFETのゲート端子に結合されており；且つ

前記 $n$ JFET及び $p$ JFETは相補的モードで動作する；

電子回路。

【請求項 5 6】

第 1 の回路及び第 2 の回路を有する電子回路であって：

前記第 1 の回路は $n$ JFET及び $p$ JFETを有し；且つ

前記 $n$ JFETは、インバータ、NAND、NOR、ラッチ、フリップフロップ、カウンタ、マルチプレクサ、符号器、復号器、加算器、乗算器、演算論理ユニット、プログラム可能論理セル、メモリセル、マイクロコントローラ、JPEG復号器、及びMPPEG復号器から成るグループから選択された論理ゲートを実現するように、前記 $p$ JFETに結合されている；

電子回路。

【請求項 5 7】

前記第 2 の回路はMOSトランジスタを有する、請求項 5 6 に記載の電子回路。

【請求項 5 8】

前記第 2 の回路はバイポーラトランジスタを有する、請求項 5 6 に記載の電子回路。

【請求項 5 9】

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって：

少なくとも 1 つのデータ構造はネットリストを有し；

前記電子回路は $n$ JFET及び $p$ JFETを有し；

前記 $n$ JFETのドレイン端子は前記 $p$ JFETのドレイン端子に結合されており；

前記 $n$ JFETのゲート端子は前記 $p$ JFETのゲート端子に結合されており；且つ

10

20

30

40

50

前記 n J F E T 及び p J F E T は相補的モードで動作する；  
コンピュータ読み取り可能媒体。

【請求項 60】

前記電子回路は更に M O S トランジスタを有する、請求項 59 に記載のコンピュータ読み取り可能媒体。

【請求項 61】

前記電子回路は更にバイポーラトランジスタを有する、請求項 59 に記載のコンピュータ読み取り可能媒体。

【請求項 62】

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって： 10

少なくとも 1 つのデータ構造はセルライブラリの構成要素を有し；

前記電子回路は n J F E T 及び p J F E T を有し；

前記 n J F E T のドレイン端子は前記 p J F E T のドレイン端子に結合されており；

前記 n J F E T のゲート端子は前記 p J F E T のゲート端子に結合されており；且つ

前記 n J F E T 及び p J F E T は相補的モードで動作する；

コンピュータ読み取り可能媒体。

【請求項 63】

前記セルライブラリの前記構成要素は、タイミング、パワー及びサイズに関する情報を含む、請求項 62 に記載のコンピュータ読み取り可能媒体。

【請求項 64】

20

電子回路を表す 1 つ以上のデータ構造を含むコンピュータ読み取り可能媒体であって：

少なくとも 1 つのデータ構造は前記電子回路の物理レイアウトの表現を有し；

前記電子回路は n J F E T 及び p J F E T を有し；

前記 n J F E T のドレイン端子は前記 p J F E T のドレイン端子に結合されており；

前記 n J F E T のゲート端子は前記 p J F E T のゲート端子に結合されており；且つ

前記 n J F E T 及び p J F E T は相補的モードで動作する；

コンピュータ読み取り可能媒体。

【請求項 65】

電子回路の物理レイアウトを表示する電子ディスプレイであって：

前記電子回路は n J F E T 及び p J F E T を有し； 30

前記 n J F E T のドレイン端子は前記 p J F E T のドレイン端子に結合されており；

前記 n J F E T のゲート端子は前記 p J F E T のゲート端子に結合されており；且つ

前記 n J F E T 及び p J F E T は相補的モードで動作する；

電子ディスプレイ。

【請求項 66】

電子回路の物理レイアウトを作成する物理設計自動化システムであって：

前記電子回路は n J F E T 及び p J F E T を有し；

前記 n J F E T のドレイン端子は前記 p J F E T のドレイン端子に結合されており；

前記 n J F E T のゲート端子は前記 p J F E T のゲート端子に結合されており；且つ

前記 n J F E T 及び p J F E T は相補的モードで動作する； 40

物理設計自動化システム。

【請求項 67】

電子回路を設計する方法であって：

前記電子回路内に少なくとも 1 つの n J F E T デバイス及び p J F E T デバイスを設ける段階；

前記 n J F E T のドレイン端子を前記 p J F E T のドレイン端子に結合させる段階；

前記 n J F E T のゲート端子を前記 p J F E T のゲート端子に結合させる段階；及び

前記電子回路内に少なくとも 1 つのネットに結合された少なくとも 1 つの外部パッドを設ける段階であり、前記電子回路が製造され、且つ前記少なくとも 1 つの外部パッドにバイアス電圧が印加されて、製造上の欠陥により発生されるリーク電流が特定される段階； 50

を有し、

前記 n J F E T 及び p J F E T は相補的モードで動作する；

方法。

【請求項 68】

前記ゲート領域の寸法は前記ゲートコンタクト領域の最小寸法より小さい、請求項 7 に記載の接合型電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、集積回路及びデバイスに関し、特に、M O S トランジスタ、接合型電界効果トランジスタ ( J F E T ) 及び回路に関する。

【背景技術】

【0002】

超大規模集積回路は、ここ 30 年の動向として継続的に、より高い実装密度及び速度を得るために、より小さい寸法へとスケールアップされてきた。現在、2005 年において、C M O S 技術はサブ 100 nm の最小寸法で製造されている。100 nm 未満の最小線幅を有するように C M O S をスケールアップすることは、集積回路の設計者に数多くの問題を提起する。100 nm 未満までスケールアップされた C M O S トランジスタの問題の幾つかは、以下のように明らかになっている。

【0003】

1. ゲート誘電体の厚さがスケールアップされるに連れて単位面積当たりのゲートキャパシタンスが増大することにより生じる高いスイッチング負荷のために、C M O S における電力消費が大きな問題となる。

【0004】

2. M O S トランジスタで使用されるゲート誘電体の厚さは 20 nm 未満までスケールアップされてきている。ゲート誘電体の薄層化により、ゲート電極に電圧が印加されるときに有意な量のゲート誘電体貫通電流がもたらされている。この電流はゲートリークと称される。

【0005】

3. ゲート電圧がゼロまで低下させられたときであっても、トランジスタのドレインとソースとの間で有限の電流が流れる。この電流はソースドレインリークと称される。

【0006】

4. 上述の効果の結果は、非活動時であっても C M O S 回路に意量の電流 ( 静電流 ) が流れるということであり、このことは C M O S の主な利点を損なうものである。静電流のため、静電力すなわち非活動時に C M O S チップによって消費される電力は非常に大きくなっており、100 °C 近くの温度においては、静的な電力消費は C M O S 回路の動的な電力消費にほぼ等しくなり得る。C M O S 技術が 65 nm までスケールアップされると、リークの問題が一層と厳しくなる。技術が更に線幅 45 nm やそれ未満にスケールアップされるときにも、この傾向は続く。

【0007】

5. C M O S の設計ルールの横方向スケールアップは、形状サイズの縦方向スケールアップを伴っておらず、極めて大きいアスペクト比を有する 3 次元構造がもたらされている。例えば、ポリシリコンゲートの高さは 50 % しか低減されていないが、ポリシリコンゲートの横方向寸法は 90 % 以上も低減されている。“スペース” ( ゲートを高濃度ドーピングされたソース及びドレイン領域から分離する C M O S トランジスタの構成要素 ) の寸法は、ポリシリコンの高さに依存するので、横方向寸法に比例してスケールアップされない。縦方向寸法のスケールアップに伴い困難となるプロセス工程には、浅いソース及びドレイン領域の形成、接合リークを生じさせることがないような、これらソース及びドレイン領域のシリサイド化、及びソース及びドレイン領域へのコンタクトホールのエッチング及び充填が含まれる。

10

20

30

40

50

## 【0008】

6. デバイスの製造中に導入された欠陥を検出するための有効なスクリーニングとして、電源のリーク電流を測定することが当業者に周知である。この方法は当業者から  $I_{ddq}$  試験と呼ばれることがある。この方法は  $350\text{nm}$  より大きい最小線幅を有する CMOS に有効である。 $350\text{nm}$  未満の最小線幅まで CMOS をスケールアップすると、内在リーク電流が欠陥誘起リーク電流に匹敵するレベルまで増大し、 $I_{ddq}$  試験は効果のないものになる。内在リーク電流を除去するために MOS デバイスのウェルの電圧をバイアスすることは、例えばゲートリークや接合トンネルリーク等の新たなリーク要素をもたらす。

## 【0009】

接合型電界効果トランジスタの先行技術は、それが最初に報告された 1950 年代までさかのぼる。それ以来、接合型電界効果トランジスタは、例えば、Simon Sze 著、「Physics of Semiconductor Devices」及び Andy Grove 著、「Physics and Technology of Semiconductor Devices」等の数多くの教科書で取り上げられてきた。接合型電界効果デバイス、元素半導体及び化合物半導体の双方で報告されている。接合型電界効果トランジスタを用いた数多くの回路が、例えば非特許文献 1 - 5 にて報告されている。

## 【0010】

さらに、非特許文献 6 が従来技術として引用される。その著者らは非特許文献 7 も発表している。

## 【0011】

図 8 は、従来の  $n$  チャネル JFET の典型的な構造を示している。この JFET は  $n$  型基板 810 に形成されており、 $p$  ウェル領域 815 内に含まれている。JFET のボディは 820 として示されており、ソース領域 832、チャネル領域 838 及びドレイン領域 834 を含む  $n$  型拡散領域である。ゲート領域 836 は  $p$  型であり、基板への拡散によって形成されている。ソース領域、ドレイン領域及びゲート領域へのコンタクトは、それぞれ、841、842 及び 840 で示されている。この JFET のクリティカルディメンションはゲート長 855 である。これは、最小のコンタクトホール寸法 850 に、ゲート領域がゲートコンタクトを取り囲むことを確実にするのに必要な必須の重なりを足し合わせたものによって決定される。ゲート長 855 は 850 より有意に大きい。従来技術に係る JFET 構造のこの形状は、チャネル長が最小形状寸法より実質的に大きいので、これらデバイスの性能を制限する。さらに、ゲート拡散の縦方向の側壁の、ドレイン領域及びソース領域それぞれに対するキャパシタンス 861 及び 862 は非常に大きい。ゲート - ドレイン間側壁キャパシタンスはミラーキャパシタンス（これは、当業者に既知の用語である）を形成し、高周波数におけるデバイス性能を大きく制限してしまう。

## 【0012】

従って、幾何学形状が引き続き縮小されるときに上述の問題を解決する集積回路、デバイス構造及び製造方法を提供することが望まれる。また、場合により、既存の設備・装置基盤を活用するために、この新しい集積回路及びデバイス構造を CMOS デバイスの製造方法と同様の方法を用いて製造することが望ましい。

【非特許文献 1】Nanver、Goudena 著、「Design considerations for Integrated High-Frequency p-Channel JFET's」、IEEE Transactions Electron Devices、第 35 巻、第 11 号、1988 年、p.1924-1933

【非特許文献 2】O.Ozawa 著、「Electrical Properties of a Triode Like Silicon Vertical Channel JFET」、IEEE Transactions Electron Devices、第 ED-27 巻、第 11 号、1980 年、p.2115-2123

【非特許文献 3】H.Takanagi、G.Kano 著、「Complementary JFET Negative-Resistance Devices」、IEEE Journal of Solid State Circuits、第 SC-10 巻、第 6 号、1975 年 12 月、p.509-515

【非特許文献 4】A.Hamade、J.Albarran 著、「A JFET/Bipolar Eight-Channel Analog Multiplexer」、IEEE Journal of Solid State Circuits、第 SC-16 巻、第 6 号、19

10

20

30

40

50

78年12月

【非特許文献5】K.Xehovec、R.Zuleeg著、「Analysis of GaAs FET's for Integrated Logic」、IEEE Transaction on Electron Devices、第ED-27巻、第6号、1980年6月

【非特許文献6】R.Zuleeg著、「Complementary GaAs Logic」、1985年8月4日

【非特許文献7】R.Zuleeg著、「Double Implanted GaAs Complementary JFET's」、IEEE Electron Device Letters、1984年

【発明の開示】

【発明が解決しようとする課題】

【0013】

10

本発明は、幾何学形状が引き続き縮小されるときに上述の問題を解決する集積回路、デバイス構造及び製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明は、シリコン内の接合型電界効果トランジスタ（JFET）を用いて相補型論理回路を構築する方法を開示する。本発明は、理想的に、好ましくは65nm未満のディープサブミクロンの寸法に適したものである。

【0015】

上述のような現在のCMOS及び接合型電界効果トランジスタ技術の問題を解決するため、本発明は、特に65nm以下の最小形状寸法において、これらの問題を改善する半導体デバイスのシステムを開示する。本発明は、CMOSデバイスで使用されるものと同様の半導体デバイス及び回路を構築する複数の方法及び構造を開示する。本発明の特徴により、VLSI回路の設計及び製造のためのシステム全体を有意に変化させることなく、既存のVLSI設計及び製造フローに組み込むことが可能になる。本発明は以下のような主特性を有する：

20

- 1．回路の電力消費の有意な削減を可能にする
- 2．ゲートキャパシタンスの有意な低減を可能にする
- 3．ゲートのリーク電流の有意な低減を可能にする
- 4．ソース・ドレイン間のリーク電流の有意な低減を可能にする
- 5．VLSI製造プロセスの有意な簡易化を可能にする

30

6．CMOS技術用に開発された設計基盤を活用するものである。従来のCMOSセルライブラリで利用可能な全ての複雑な論理機能が本発明に係るデバイスを用いて実現され得る。これらの複雑な論理機能は、これらに限られないが、インバータ、NAND、NOR、ラッチ、フリップフロップ、カウンタ、マルチプレクサ、符号器、復号器、加算器、乗算器、演算論理ユニット、プログラム可能セル、メモリセル、マイクロコントローラ、JPEG復号器、及びMPEG復号器を含む

7．CMOSに使用される既存の製造基盤及び試験基盤を活用するものである

8．デバイスの製造中に導入された欠陥を検出するための有効なスクリーニングとして、電源のリーク電流を測定する方法を可能にする。

【0016】

40

本発明の基礎となるものは、エンハンスメントモードで動作する相補型接合型電界効果トランジスタ（JFET）である。当業者に知られているように、エンハンスメントモードは、ゲート端子とソース端子との間の電位差がゼロであるときにトランジスタが“OFF”状態にあることを意味する。この状態においては、nチャネル（pチャネル）JFETのドレイン端子に正（負）バイアスが印加されるとき、ドレイン・ソース間には殆ど、あるいは全く、電流が流れない。ゲートの電位が上昇（下降）させられると、nチャネル（pチャネル）JFETは高導電率領域に入る。このモードにおいては、ドレインへの正（負）バイアスの印加を受けて、ドレイン・ソース間に有限な電流が流れる。伝統的なエンハンスメントモードJFETデバイスの制約は、その電流駆動が、1つのダイオードの電圧降下より小さい電圧である最大ゲート電圧によって制限されることである。1つのダ

50

イオードの電圧降下（内蔵電位）を上回るゲート電圧は、ゲート - チャネル間ダイオードをターンオンさせる。これは、J F E T に関して望ましくない動作モードである。本発明においては、バイアス電圧  $V_{DD}$  を 1 つのダイオードの電圧降下より小さい電圧に制限することにより、この制約が解消される。J F E T の電流駆動が低くなる問題は、J F E T のチャネル長をサブ 100 nm の寸法まで縮小することによって解決される。J F E T のゲート長が 70 nm 未満であり且つ電源電圧が 0.5 V であるとき、相補型 J F E T デバイスの電流出力、及び相補型 J F E T デバイスを用いて製造されたインバータのスイッチング速度は、好ましいことに、従来の C M O S デバイスに匹敵するものになる。

#### 【0017】

なお、J F E T の速度 - パワー性能はサブ 70 nm 寸法の C M O S デバイスに匹敵するものになるが、J F E T の最大電源電圧は依然としてダイオードの電圧降下より小さく制限される。より高い電圧レベルまで駆動される外部回路へのインターフェースを必要とする一定の用途を満足させるため、本発明は、C M O S デバイスを構築する構造及び方法をも含む。本発明にて開示される C M O S デバイスは、以下の点で従来の C M O S と異なるものである：

1. C M O S が相補型 J F E T と集積される
2. 本発明の一実施形態において、C M O S は如何なる“スペーサ”をも用いずに構築される
3. 本発明の上記実施形態において、C M O S の端子群へのコンタクトは平坦であり、すなわち、同一高さにあり、デバイスの製造し易さが向上される
4. この C M O S デバイスのその他の際だった特徴は上述されている。

#### 【発明を実施するための最良の形態】

#### 【0018】

本発明の上述の特徴、効果及び課題が実現され且つ詳細に理解されるよう、以上で簡潔にまとめられた本発明を、添付の図面に例示された実施形態を参照しながら一層具体的に説明する。

#### 【0019】

なお、添付図面は本発明の典型的な実施形態を例示するものにすぎず、本発明はその他の等しく効果的な実施形態をも認めるものであるから、添付図面は本発明の範囲を限定するものと見なされるべきではない。

#### 【0020】

図 1 は、本発明を用いて構築されたインバータの回路図を示している。オン（ON）及びオフ（OFF）状態での 2 つのトランジスタの動作端子電圧が表 1 に示されている。

#### 【0021】

#### 【表 1】

表1: ON及びOFF状態でのCFETゲートの端子電圧

$V_{in}$	$V_{out}$	FT1	FT2
0	$V_{dd}$	ON	OFF
$V_{dd}$	0	OFF	ON

#### 【0022】

図 1 に示された回路の動作は、対応する C M O S 回路の動作と非常に似通っている。本発明においては、J F E T は従来の C M O S 技術の電圧レベルと同様の電圧レベルで動作する。入力電圧は 0 と  $V_{dd}$  との間で変化する。出力電圧は、入力電圧とは逆の関係で  $V$

$V_{dd}$ と0との間で変化する。故に、インバータの2状態に関し、入力端子の印加電圧が0、 $V_{dd}$ のとき、それぞれ、出力電圧は $V_{dd}$ 、0である。これは、表1に記載されたようにON/OFFに切り換えられる2つのトランジスタFT1及びFT2によって達成される。

#### 【0023】

当業者に知られているように、JFETは、ソース領域とドレイン領域との間のチャネルの導電特性を制御するゲートに制御信号が印加されることによって動作する。ゲートはチャネルとともにp-n接合を形成する。ソースに対するゲートの電圧が、ゲート-チャネル接合の空乏領域の幅を制御する。空乏化されていないチャネル部分は導通のために使用可能である。故に、JFETトランジスタのゲート端子及びソース端子に適切な電圧を印加することによって、チャネルはON/OFFに変化させられる。チャネルがONにされ、且つドレインに適切な電圧が印加されると、ソースとドレインとの間で電流が流れることになる。

#### 【0024】

JFETインバータ内のJFETトランジスタFT1及びFT2は、CMOSインバータのMOSトランジスタと非常に似通ったようにして機能する。CMOSインバータの動作は当業者に周知である。pチャネルJFET(FT1)は、そのソース端子で電源に接続されている。nチャネルJFET(FT2)は、そのソース端子でグランドに接続されている。これら2つのトランジスタのドレイン端子は互いに接続されるとともに、ゲートの出力端子にも接続されている。pチャネルJFET(FT1)のゲート、及びnチャネルJFET(FT2)のゲートは、図1に示されているように、互いに接続されるとともにゲートの入力端子にも接続されている。以下においては、この回路構成のことをCFETインバータと呼ぶこととする。一般に、同様にしてpチャネル及びnチャネルのJFETを用いて形成されたゲートをCFETゲートと呼ぶ。

#### 【0025】

ここで、本発明の完全なる実現法を明らかにするため、インバータの機能を詳細に説明する。これは、先ず、表2に示されたトランジスタのソース端子及びドレイン端子の電圧を説明することによって為される。典型的且つ非限定的な例において、電源電圧は0.5Vに固定されている。

#### 【0026】

#### 【表2】

表2: CFETゲート内のJFETの接合電圧

$V_{in}$	$V_{out}$	FT1		FT2	
		VGS	VDS	VGS	VDS
0.5	0	0V	-0.5	0.5	0
0	0.5	-0.5	0	0	0.5

#### 【0027】

pチャネルJFETのゲートはn型シリコンで形成され、p型にドーピングされる。pチャネルJFETのドーピングプロファイルは、ソース端子に対するゲート端子の電圧が0Vであるときにチャネルを介しての導通をオフするように設計されている。このデバイスはエンハンスメントモードデバイスである。pチャネルJFETのこの特性は、ゲート(p

型)とチャネル(n型)との間のp-n接合における内蔵電位(ビルトインポテンシャル)に拠るものである。FT1のソースは0.5VにあるVDDに結合されているので、FT1のゲートも0.5Vにあるとき、n型チャネルとp型ゲートとの間の外部バイアスは0.0Vである。これは、OFF状態のFT1を表している。pチャネルトランジスタのゲートのバイアスが0.0Vに低下させられると、ゲート端子とソース端子との間の電圧が-0.5Vに変化し、それにより、空乏層が消滅し、ソースからドレインに電流が流れることが可能になる。これは、ON状態のFT1を表している。

#### 【0028】

本発明による重要な教示は、FT1がON状態にあるときに、どのようにしてゲート電流を制限するかということである。チャネル-ゲート間のダイオードはこの条件下では0.5Vで順バイアスされるので、トランジスタのゲートを貫通して流れる有限なリーク電流が存在する。これはゲートリークと称される。ゲートリークの大きさはゲート-チャネル接合の内蔵電位によって制御される。内蔵電位は、シリコンベースの回路の場合、このCFETインバータが0.5V以下の電源電圧(VDD)で動作させられるとき、ゲートリーク電流を非常に小さい量に制限する。故に、CFETインバータは設計及び動作特性の何れにおいてもCMOSインバータと同様に機能する。電源電圧の制限は、内蔵電位の相違により、その他の材料の場合には異なり得る。同様に、nチャネルJFETのバイアス電圧は逆であり、このトランジスタは、ゲート-ソース間バイアスがゼロに低下させられたときにOFFにされ、ゲート-ソース間バイアスが電源電圧VDD(ゲート電流を抑制するために0.5Vまでに制限される)に等しいときにONにされる。典型的なゲート-チャネル接合のゲート電流は、 $1\mu\text{A}/\text{cm}^2$ から $100\text{mA}/\text{cm}^2$ の範囲内であると見積もられる。これに対し、45nmのリソグラフィと適切にスケールされたゲート誘電体厚さを用いて製造されるMOSTランジスタでは、ゲート電流は $1000\text{A}/\text{cm}^2$ を上回ると見積もられる。

#### 【0029】

JFETトランジスタの入力キャパシタンスは、ゲート-チャネル端子によって形成されるダイオードの接合キャパシタンスである。このダイオードのキャパシタンスは $10^{-8}\text{F}/\text{cm}^2$ から $10^{-6}\text{F}/\text{cm}^2$ の範囲内であり、100から3000の範囲内である接合の空乏層厚さによって決定される。45nm設計ルール及び100nm厚さの酸化膜を用いて製造されるMOSTランジスタの入力キャパシタンスは、対応するJFETの入力キャパシタンスより1桁大きい。この特徴は、低電力動作の観点からJFETを極めて魅力的なものにする。

#### 【0030】

このJFETトランジスタはまた、第4の電氣的端子すなわちウェルを有している。図2aは、双方のJFETにおいてウェルがソース端子に接続された本発明の一実施形態を示している。

#### 【0031】

図2bは、ウェルがゲートに結合され、頂部及び底部の双方からチャネルの導電率を変調するために使用される、本発明の代替的な一実施形態を示している。

#### 【0032】

図2cは、nチャネルJFETのウェルが、JFETに何らかの信号を印加するために使用され得る外部端子に接続された、本発明の他の一実施形態を示している。本発明の更に他の一実施形態においては、nチャネルJFETのウェルはフローティングのままにされる。対応する説明がpチャネルJFETにも当てはまる。デバイスの製造中に導入された欠陥を検出するための有効なスクリーニングとして、電源のリーク電流を測定することが当業者に周知である。この方法は当業者から $I_{ddq}$ 試験と呼ばれることがある。この方法は350nmより大きい最小線幅を有するCMOSに有効である。350nm未満の最小線幅までCMOSをスケールすると、内在リーク電流が欠陥誘起リーク電流に匹敵するレベルまで増大し、 $I_{ddq}$ 試験は効果のないものになる。100nm未満の最小線幅を有するMOSデバイスの場合、内在リーク電流を除去するためにMOSデバイスの

10

20

30

40

50



ウェル電圧をバイアスすることは、例えばゲートリークや接合トンネルリーク等の新たなリーク要素をもたらす。本発明においては、JFETのウェル電圧をバイアスすることにより、内在リーク電流をピコアンペアの領域まで効果的に低減させることができる。これにより、 $I_{ddq}$ 試験は、100nm未満の最小線幅を有するデバイスの製造中に導入された欠陥を検出するための有効なスクリーニングになる。

#### 【0033】

図3aは、この回路構造を構築するために使用されるJFETトランジスタの典型的且つ非限定的なレイアウトを示している。nチャネルJFETのソース、ドレイン、ゲート及びウェルのタップが、それぞれ、330、340、375及び368によって指し示されている。これらの端子のコンタクトは、それぞれ、372、374、373及び371によって指し示されている。

10

#### 【0034】

図3bは、ソース330、ゲート370、ドレイン340及びpウェル310の4端子を有するnチャネルJFET構造の断面図を示している。このJFETはシリコン領域315内に形成されている。JFETは領域320によって周囲の半導体から分離されている。領域320は例えば二酸化シリコン等の絶縁材料で充填されている。ソースとドレインとの間のチャンネルが物体350として示されている。nチャネルJFETでは、ソース及びドレインは高濃度にドーピングされたn型領域であり、例えばリン、ヒ素又はアンチモン等のドナー型不純物でシリコンをドーピングすることによって形成されている。ウェルは、例えばボロン又はインジウム等のアクセプタ不純物によってドーピングされている。チャンネルは、n型にドーピングされた狭い領域であり、ソースとドレインとを接続している。ゲートは浅いp型領域370であり、例えば高濃度のp+ドーフトポリシリコン領域375からのドーパントの拡散などの方法によってチャンネル内に形成されている。

20

#### 【0035】

図3cは、シリコン表面からゲート370及びチャンネル350を通して様々な深さでのトランジスタのドーピングプロファイルを示している。曲線381は、シリコン表面から始まるゲート領域の典型的なドーピングプロファイルである。曲線382、383及び384は、チャンネル、ウェル及びバルク領域のドーピングプロファイルを表している。nJFETの場合、381はp型ゲート領域のドーピングプロファイルであり、382はn型チャンネル領域のドーピングプロファイルであり、383はp型ウェル領域のドーピングプロファイルであり、そして384は周囲のn型バルク領域のドーピングプロファイルである。ゲート-チャンネル接合は385によって指し示され、チャンネル-ウェル接合は386によって指し示され、そしてウェル-バルク領域接合は387によって指し示されている。ゲートとチャンネルとの間の接合のシリコン表面からの深さ(385)は、チャンネルとpウェルとの間の接合の深さ(386)より小さい。

30

#### 【0036】

また、本発明により、例えばイオン注入など、p型ゲート接合を形成するための他の方法も教示される。本発明はまた、当業者に周知のプラズマ浸漬(immersion)イオン注入など、ゲートをドーピングするその他の方法にも及ぶものである。

#### 【0037】

図3bにおいて、領域375は、高濃度にp型にドーピングされ、ゲート370のドーピング源として作用する厚板状のポリシリコンである。このp型ゲートはソースからドレインへのチャンネルを横切った導通を制御するために使用される。この新規の構造化技術により、ゲートは、該ゲートとのオーミックコンタクトをも形成する高濃度にドーピングされたポリシリコンから、チャンネル領域に拡散する。これにより、このポリシリコンはゲートを外部回路に接続するために使用され得る。

40

#### 【0038】

ウェルへのオーミックコンタクトは、物体368として示されたウェルタップによって形成される。JFETの4端子、すなわち、ウェル、ソース、ゲート及びドレインへのコンタクトは、図3bにおいて、それぞれ、物体371、372、373及び374として

50

示されている。p ウェルトップ 3 6 8 の下の領域は、良好なオーミックコンタクトを形成するために p 型不純物で高濃度にドーピングされている。J F E T の p ウェルが分離されなければならない用途の場合、p ウェル 3 1 0 は n ウェル 3 1 5 内に形成される。p ウェルがグランド電位に接続される用途の場合、n ウェルは不要である。本発明はこれらの何れの場合にも及ぶものである。

#### 【0039】

p チャネル J F E T の場合、ドーピング型は図 3 b 及び 3 c にて説明されたものに対して逆にされる。すなわち、p 型領域及び n 型領域は互いに置き換えられる。なお、ポリシリコン 3 7 5 を用いて J F E T のゲートをドーピングするという本発明の構成は、p チャネル J F E T に対しても維持される。

#### 【0040】

図 4 は、J F E T の代替的な一実施形態を示している。この図は、M O S トランジスタに非常に似通っている n チャネル J F E T の断面図を示している。この n チャネル J F E T の構造を説明する。なお、この構造は、上述のようにドーピングを適切に変更して、p チャネル J F E T にも複製される。この J F E T は物体 4 0 0 として示されている。J F E T が形成される p ウェルは物体 3 1 0 として示されている。J F E T の分離は、物体 3 2 0 内の、例えば二酸化シリコン又はその他の好適材料などの絶縁材料で充填された領域によって実現されている。この構造は図 3 に示された対応する構造に似通っている。高濃度にドーピングされた n 型領域がソース領域 4 2 0 及びドレイン領域 4 3 0 を形成している。ソースとドレインとの間のチャネル領域 4 5 0 は低濃度に n 型にドーピングされている。ゲート領域 4 4 0 は p 型にドーピングされている。この領域は、高濃度に p 型ドーピングされたポリシリコン 4 6 0 から拡散されたものである。ここでは、ゲートを取り囲む絶縁領域 4 6 5 が挿入されている。絶縁領域 4 6 5 はシリコンの酸化物と窒化物との組み合わせから成っている。本願においては、これを“スペーサ”と呼ぶこととする。本発明の一実施形態において、領域 4 2 0、4 3 0、4 6 0 及び 3 6 8 の頂面は、シリサイドと呼ばれる金属化合物 4 6 2 の 1 つから成る高導電率層で覆われている。シリサイド層は、ウェルトップ、ソース、ドレイン及びゲート領域に自己整合される。すなわち、シリサイドは、露出されたシリコン又はポリシリコンが存在する領域にのみ形成される。スペーサによって果たされる主な目的は、自己整合シリサイドが形成されるときに、ソース及びドレイン領域をゲート領域から分離することである。これはまた、デバイス内のコンタクトからの電流の効率的な分配を可能にする。ウェルトップ、ソース、ドレイン及びゲート領域へのコンタクトは、図 3 においてと同様にして行われ、それぞれ、3 7 1、3 7 2、3 7 3 及び 3 7 4 として示されている。

#### 【0041】

J F E T の代替的な一実施形態においては、図 5 に示されているように、J F E T の全端子すなわち、ソース、ゲート、ドレイン及びウェル、へのコンタクトは全て、ポリシリコンで形成される。この構造は、全ての端子へのコンタクト群を同一高さに有するという望ましい特性を有する。この n チャネル J F E T は、絶縁領域 3 2 0 によって全ての側から分離された p ウェル 3 1 0 内に形成されている。この構造は、図 3 に示された対応する構造と似通っている。J F E T のソースは、高濃度に n 型ドーピングされた領域 5 2 0 と 5 2 2 との組み合わせによって形成されている。J F E T のドレインもまた、高濃度に n 型ドーピングされた領域 5 2 4 と 5 2 6 との組み合わせによって形成されている。チャネル 5 5 0 はドレインとソースとの間の浅い n 型ドーピング領域である。シリコン内に拡散された p 型ゲート領域 5 4 0 が示されている。ブロック 5 3 0 及び 5 3 2 は高濃度の n 型ドーピングポリシリコン領域である。領域 5 2 0 はこのポリシリコンからシリコン内に n 型不純物を拡散させることによって形成されている。同様に、領域 5 2 4 はポリシリコン領域 5 3 2 からシリコン内への n 型不純物の拡散によって形成されている。ゲート領域 5 4 0 は p 型ポリシリコン 5 6 0 からシリコン内への p 型不純物の拡散によって形成されている。領域 5 2 2 及び 5 2 6 は、それぞれ、ソース領域 5 2 0 及びドレイン領域 5 2 4 をチャネル 5 5 0 に接続している。ポリシリコン領域 5 3 0、5 3 2 及び 5 6 0 は、それぞれ、領域 5 2

10

20

30

40

50

0、524及び540とオーミック接触している。領域522及び526は、例えばイオン注入、プラズマ浸漬イオン注入、又はその他の同様のドーピング方法などの外的ドーピングによって形成されている。ウェルタップは、高濃度にp型ドーピングされたポリシリコン562とp型領域368との間のオーミックコンタクトによって形成されている。トランジスタへのコンタクトは、物体530、532、560及び562の頂部に設けられる。これらの領域のオーミックコンタクト抵抗を低減するため、ポリシリコン層の頂部に自己整合シリサイド580が形成されている。本発明の代替的な一実施形態においては、トランジスタの端子へのコンタクトはポリシリコンに対して直接的に設けられてもよい。

#### 【0042】

本発明の代替的な一実施形態において、シリコン基板の頂面は、図6に示されるように、チャンネル及びゲートを形成するように適切にドーピングされたシリコン-ゲルマニウム合金をエピタキシャル成長させることによって形成される。この構造は、分離領域320を備えたウェル310内に構築されている。この実施形態の主な特徴は、エピタキシャル成長されたシリコン-ゲルマニウム合金の層670上にJFETのチャンネルが形成されていることである。シリコン-ゲルマニウム合金の移動度はシリコンより遙かに高く、これは特に高周波数においてJFETの性能を向上させる。エピタキシャル層は、ウェハへの分離構造の形成後にトランジスタ上に堆積される。エピタキシャル層は、この実施形態においては、チャンネルが形成されるべきアイランド上にのみ選択的に堆積されている。nJFETのチャンネルのためのエピタキシャル層が1つの工程において堆積され、pJFETのチャンネルのためのエピタキシャル層が次の工程において堆積される。他の一実施形態においては、エピタキシャル層は分離構造の形成に先立ってウェハ上に堆積される。本発明の更に他の一実施形態においては、チャンネル領域は歪みシリコン-ゲルマニウム合金によって形成される。本発明の他の一実施形態による教示によれば、JFETのチャンネル領域を構築するためにシリコン-ゲルマニウム-カーボンが使用される。シリコン-ゲルマニウム合金及び歪み合金という用語は、当業者に周知である。シリコン-ゲルマニウム合金は、シリコン基板上へのシリコン及びゲルマニウムの原子の混合物のエピタキシャル成長によって形成される。JFETの残りの構造は、図5に示された構造と同様である。エピタキシャル成長されたチャンネルのドーピングは、例えばイオン注入などの外的ドーピングによって制御される。他の例では、エピタキシャル成長された材料は、例えば原子層エピタキシ法及び同様な技術などの方法によって、堆積中にドーピングされる。エピタキシャル成長工程は図3及び4に示されたJFET構造にも適用可能である。

#### 【0043】

図7に示された本発明の他の一実施形態は、ゲートコンタクト領域744を形成するために、例えばシリコンカーバイド又はシリコンゲルマニウムカーバイド等のワイドバンドギャップ材料を使用することを含んでいる。この特徴は、本発明においては、ゲート640-チャンネル650接合において形成されるp-n接合の障壁高さを高めるために用いられる。ゲート領域640に近接するゲートコンタクト領域744のワイドバンドギャップ材料は、ゲート640-チャンネル650接合において形成されるp-n接合の障壁高さを効果的に増大させる。ゲート-チャンネル接合の内蔵電位が高いほど、この接合の飽和電流が低減され、有意量のゲート電流がゲート-チャンネル間ダイオードを流れることを生じさせることなく該ダイオードを順バイアスするように、該ダイオードに印加され得る最大電圧を高めることが可能になる。ゲートにおける最大電圧はインバータの電源電圧に等しいので、トランジスタの駆動力が増大する一層高い電源電圧が可能になり、それにより、インバータの一層の高速スイッチングがもたらされる。この実施形態に関して図7に示されるように、電極を形成するために、ポリシリコンに代えて多結晶シリコンカーバイド材料が使用される。例えば多結晶シリコンカーバイド等のワイドバンドギャップ材料は、トランジスタのON状態においてゲート-チャンネル間ダイオードが弱く順バイアスされるときに、ゲート接合のリーク電流を低減させる。本発明による教示によれば、この目的のために3C、4H及び6Hという様々な相のシリコンカーバイドが使用される。さらに、本発明による教示によれば、シリコン基板と整流接合を形成するために使用されることが可能

な、シリコン - ゲルマニウム - カーボンの三元合金、及びガリウム - アルミニウム - ヒ素 - リン等のその他の様々な化合物半導体を含む、その他の様々な電極材料が使用される。本発明の代替的な一実施形態においては、例えばシリコンカーバイド等のゲート材料が、例えばシリコン - ゲルマニウム等のエピタキシャル成長された高移動度材料と同時に使用される。ゲート材料の組成は堆積中に変化させられる。ソース、ドレイン、ゲート及びウェルトップの電極拡張部 730、732、744 及び 752 は、例えばシリコンカーバイド等のワイドバンドギャップ半導体材料で形成されている。これらの電極の頂部には自己整合された導電層 750 が形成されている。多結晶半導電性材料は上述のように適切にドーピングされている。このトランジスタのその他の要素は、図 6 にて説明された n J F E T 構造と同様のままである。

10

#### 【0044】

本発明の典型的な一実施形態による教示によれば、シリコン表面付近に 10 から 1000 の範囲の深さにシリコンカーバイド層が使用され、それに続いて、ポリシリコンが 10 から 2500 の深さに堆積される。この多結晶層の組成は、多結晶材料が該層の底部の印となる組成が検出されるまで高速にエッチングされ、その後、全ての多結晶材料がエッチングされるまで選択的エッチングプロセスを用いて低速にエッチングされるエッチングプロセスを、正確に監視することが容易になるように変化させられる。多結晶シリコンカーバイドを用いた製造プロセスは、この明細書内で詳細に後述される。

#### 【0045】

次に、図 5 に示された相補型 J F E T 構造を構築する典型的且つ非限定的な方法が、フローチャートとして図 9 に例示されている。フローチャート内の各工程は更に図 10 - 20 に例示されている。工程 905 は図 10 に例示されている。工程 910 は図 11 に例示されている。工程 915 は図 12 に例示されている。工程 920 及び 925 は図 13 に例示されている。工程 930 は図 14 に例示されている。工程 935 は図 15 に例示されている。工程 940 は図 16 に例示されている。工程 950 は図 17 に例示されている。工程 955 は図 18 に例示されている。工程 960 は図 19 に例示されている。工程 965 は図 20 に例示されている。

20

#### 【0046】

図 10 は、活性デバイスが形成されることになる様々な領域の分離を達成するために、エッチング、熱酸化及び二酸化シリコンの堆積の組み合わせによって、製造における準備工程が完了した後の半導体基板の断面図を示している。領域 1001 - 1005 は、エッチング、堆積及び熱成長の組み合わせによってシリコンの酸化物及び窒化物から成る絶縁材料で充填された領域群を表している。これらの領域の形成のためのプロセスの詳細は当業者に周知であり、この開示の範囲を超えるものである。領域 1011 - 1014 は後続の工程群にて活性トランジスタが形成される領域群を表している。

30

#### 【0047】

図 11 は、領域 1101 及び 1102 において適切な不純物で活性領域をドーピングすることによる、n ウェル及び p ウェルの形成を示している。領域 1102 内の n ウェルにはリン又はヒ素原子が注入されている。注入物のドーピングレベルは、 $1.0 \times 10^{11} / \text{cm}^2$  と  $1.0 \times 10^{14} / \text{cm}^2$  との間で様々である。イオン注入のエネルギーは 10 keV と 400 keV との間で様々である。領域 1101 内の p ウェルにはボロンがイオン注入によって、 $1.0 \times 10^{11} / \text{cm}^2$  と  $1.0 \times 10^{14} / \text{cm}^2$  との間で様々であるドーズ量と、10 keV と 400 keV との間で様々であるイオン注入エネルギーとで導入されている。所望の不純物ドーピングプロファイルを達成するために多重注入が用いられてもよい。n 型不純物及び p 型不純物を有する領域群を選択的にイオン注入するため、イオン注入は、注入物を受け入れるように設計されていない領域をシールドするためのフォトレジストマスクを用いて行われる。酸化物の真下の領域のドーピングを高め、2つの隣接し合う n ウェル間の如何なるリーク電流をも抑制するため、分離領域 1001 - 1005 の下に更なるボロン注入が行われる。所望の不純物ドーピングプロファイルを達成するようにウェハが熱処理される。

40

50

## 【 0 0 4 8 】

図 1 2 a 及び 1 2 b は、それぞれ、 $n$  J F E T のチャンネル領域 1 2 0 2 及び  $p$  J F E T のチャンネル領域 1 2 2 2 の形成を示している。チャンネル領域はフォトレジストマスクを用いた選択的なイオン注入によって形成されている。 $n$  J F E T では、チャンネルは、図 1 2 a に領域 1 2 0 2 として示されるように、例えばヒ素、リン又はアンチモン等の  $n$  型ドーパントを用いたイオン注入によって、 $2.0 \times 10^{11} / \text{cm}^2$  から  $1.0 \times 10^{14} / \text{cm}^2$  の注入ドーズ量と、 $1 \text{ keV}$  と  $100 \text{ keV}$  との間の注入エネルギーとで形成されている。 $n$  チャンネル注入が阻止されるべき領域群を覆うフォトレジスト 1 2 1 0 も図示されている。図 1 2 b の領域 1 2 2 2 は、 $p$  J F E T のチャンネルを形成するように、例えばボロン、インジウム又はタリウム等の  $p$  型ドーパントでイオン注入されている。本発明の代替的な一実施形態においては、チャンネル領域はプラズマ浸漬ドーピングによって形成される。他の例では、チャンネルは、シリコン、シリコン-ゲルマニウム二元合金、又はシリコン-ゲルマニウム-カーボン三元合金から成るチャンネル領域のエピタキシャル成長によって形成される。本発明により、 $n$  チャンネル及び  $p$  チャンネルのチャンネル領域の選択的エピタキシャル成長や、 $n$  J F E T 及び  $p$  J F E T の双方のチャンネル領域の単一堆積とそれに続く選択ドーピング、によるエピタキシャル領域の形成の変形例も教示される。本発明の更に他の一実施形態は、チャンネル領域が例えば原子層エピタキシ等の方法によって堆積中にドーブされる例にも及ぶ。

10

## 【 0 0 4 9 】

次に、図 1 3 に示されているように、ウェハ全体にポリシリコンの層が堆積される。ウェハ上に堆積されるポリシリコンの厚さは  $100$  と  $10000$  との間で様々である。このポリシリコンは、最終的に J F E T のソース、ドレイン、ゲート及びウェルコンタクトになる領域を形成するために、フォトレジストをマスクとして用いて選択的にドーブされている。ここでは簡潔さのため、フォトリソグラフィプロセスの詳細については省略する。1 3 0 0 にて示されるように、領域 1 3 1 0 は高濃度のボロン注入を用いて  $1.0 \times 10^{13} / \text{cm}^2$  と  $1.0 \times 10^{16} / \text{cm}^2$  との間の範囲のドーズ量にドーブされている。これは、 $n$  J F E T のウェル領域へのコンタクトとして作用するように設計されている。領域 1 3 1 4 は  $n$  J F E T のゲートコンタクトとして作用するように設計されている。これは、領域 1 3 1 0 のパラメータと同様のパラメータを用いて  $p$  型に高濃度ドーブされている。領域 1 3 1 2 及び 1 3 1 6 は、 $n$  型ドーパント（リン、ヒ素、及びアンチモン）を用いて  $1.0 \times 10^{13} / \text{cm}^2$  と  $1.0 \times 10^{16} / \text{cm}^2$  との間の範囲のドーズ量に高濃度ドーブされている。

20

30

## 【 0 0 5 0 】

$p$  J F E T は、それぞれソース及びドレインとして作用する領域 1 3 2 0 及び 1 3 2 4、並びにウェルトップ（ $n$  型）へのコンタクトとしての領域 1 3 2 6 で形成されている。領域 1 3 2 0 及び 1 3 2 4 は、高濃度のボロン原子を用いて  $1.0 \times 10^{13} / \text{cm}^2$  と  $1.0 \times 10^{16} / \text{cm}^2$  との間の範囲のドーズ量でドーブされており、それぞれ、 $p$  J F E T のソースコンタクト及びドレインコンタクトとして作用するように設計されている。同様に、領域 1 3 2 2 及び 1 3 2 6 は、 $n$  型に高濃度ドーブされており、 $p$  J F E T のゲートコンタクト及びウェルコンタクトとして作用するように設計されている。代替的な一実施形態においては、イオン注入を行う前に、ポリシリコン層の頂部に酸化物の層が堆積される。この層の厚さは  $20$  と  $500$  との間で様々である。他の一実施形態においては、イオン注入に先立ってポリシリコンの頂部に、酸化物及び窒化物の層群が  $10$  と  $500$  との間で様々である酸化膜及び窒化膜の厚さで堆積される。

40

## 【 0 0 5 1 】

図 1 4 は、不純物をドーブされたポリシリコン層、及びポリシリコン層の頂部の保護層 1 4 1 0 を備えたシリコンウェハの断面図を示している。様々な領域に不純物注入されたポリシリコン層は、これら不純物をシリコン中に間接的に拡散させる拡散源として使用され、ソース、ドレイン及びゲートの接合とウェルへのオーミック接続とが形成される。領域 1 4 2 2 及び 1 4 2 6 は、ポリシリコン領域 1 3 1 2 及び 1 3 1 6 から拡散された  $n$  J

50

F E Tのソース領域及びドレイン領域である。領域1424はn型チャネルである。ゲート領域1428は、p型ドーパントポリシリコンからシリコン内に拡散されたものである。領域1420は、ポリシリコン領域1310からの拡散によってシリコン内に形成されたp型領域（ウェルトップ）であり、n J F E Tを包含するpウェルへのオーミックコンタクトを形成している。同様に、シリコン内のp J F E Tのコンタクトが、p J F E Tの、ソースとしての領域1430、チャネルとしての領域1432、ドレインとしての領域1434、ウェルコンタクトとしての領域1436、及びゲート領域としての領域1438によって形成されている。代替的な一実施形態においては、ウェルコンタクト、ソース、ドレイン及びゲート領域を形成するように、様々な注入ドーズ量及び注入エネルギーの、n型及びp型ドーパントのポリシリコンへの多重イオン注入が行われる。

10

#### 【0052】

シリコン中へのJ F E Tの様々な領域の拡散後、ゲートのパターニング工程が行われる。光リソグラフィプロセスを用い、反射防止コーティングの層、及びそれに続くフォトレジストの層がウェハ上にコーティングされる。これらの層の厚さは、当業者に知られているように、フォトレジストの選択に依存する。フォトレジストは露光され、図15に1510として表された様々な端子がフォトレジストに描写される。本発明の代替実施形態は、インプリントリソグラフィ及び電子ビームリソグラフィを含む、フォトレジストをパターニングするその他の方法を含む。フォトレジスト層をマスクとして、先ず、ポリシリコン上の保護層がエッチングされる。次に、例えば1512等の溝がポリシリコン層の底面に到達するようにポリシリコン層がエッチングされる。この工程により、1500として示されるように様々な端子が電氣的に分離される。フォトレジストをパターニングすることには、例えば光リソグラフィ、液浸リソグラフィ、インプリントリソグラフィ、直接描写電子ビームリソグラフィ、x線リソグラフィ、又は極紫外線リソグラフィ等の様々なプロセスが用いられる。

20

#### 【0053】

図16aは、pチャネルJ F E Tのゲートとドレイン/ソースとの間の連結領域をドーピングした後のシリコンウェハを示す断面図である。ポリシリコン層をエッチングした後、高濃度ドーパント領域群とチャネルとの間の領域がドーブされ、ソースとチャネルとの間、及びドレインとチャネルとの間に低導電率経路が形成される。ここでは、これを連結領域（1620、1622、1652及び1654）と呼ぶ。図16aはp J F E Tの連結領域の形成を示している。この工程中、n J F E Tを含むウェハ部分はフォトレジスト1610によって覆われており、p J F E Tの連結領域1620及び1622をドーブするために、例えばイオン注入又はプラズマ浸漬イオン注入などの好適なドーピングプロセスが用いられる。これら連結領域は、隣接するソース領域及びドレイン領域の深さとは独立の接合深さまで形成され、ソース/ドレインとチャネルとの間に非常に低い抵抗率の接続をもたらすように設計される。

30

#### 【0054】

図16bは、nチャネルJ F E Tのゲートとドレイン/ソースとの間の連結領域をドーピングした後のシリコンウェハを示す断面図である。物体1650は、イオン注入が阻止される領域であるp J F E Tを含む領域を覆っているフォトレジストである。シリコン内の領域1652及び1654は、n型ドーパントの注入によって形成された連結領域である。イオン注入後、ドーパントは急速熱アニールプロセスによって活性化される。エッチング中にダメージを受けたシリコン領域を酸化するために、700と950との間の範囲の温度、且つ10秒と20分との間の範囲の時間の酸化工程が実行される。

40

#### 【0055】

図17は、ポリシリコンブロック間の空所が例えば二酸化シリコン等の絶縁材料で充填され、そして、ポリシリコン層と同一面にほぼ平坦な表面をもたらすように例えば化学機械研磨などの方法を用いて処理された後のシリコンウェハの断面図を示している。化学気相成長法又はプラズマ促進化学気相成長法を用いて二酸化シリコンを堆積することによって、ポリシリコンブロック間に絶縁材料を充填する技術は、半導体の製造において広く使

50

用されている技術である。このようなプロセスの１つは、気体状のシランと酸素との間の低温プラズマ励起反応による酸化物の堆積を用いるものである。保護層１４１０は最終的に除去され、ペアのポリシリコン表面が露出される。

【００５６】

図１８は、露出されたポリシリコン表面への自己整合シリサイドの形成後のシリコンウェハを示す断面図である。例えばニッケル、コバルト、チタン、白金、パラジウム、又はその他の高融点金属などの金属層がポリシリコン表面上に堆積され、ポリシリコンの露出領域が“金属シリサイド”として知られる金属層との二化合物を形成するようにアニールされる。金属シリサイドは非常に高導電性の物質である。堆積される金属の好適厚さは、原子的に清浄なポリシリコン表面上で５０と１０００との間である。ウェハが急速アニール炉内で２００と８００との間の温度で１０秒と３０分との間の時間にわたって加熱され、金属がシリコン又はポリシリコンの層と接触しているところでシリサイドが選択的に形成される。金属層とシリコンとの反応が行われた後、シリサイド層に影響を及ぼさない化学的なエッチングプロセスによって、余分な金属がウェハから除去される。未反応の金属は適切な溶液を用いて選択的にエッチング除去され、露出されたシリコン及びポリシリコン領域上の金属シリサイド１８１０のみが残される。チタン及びコバルトの場合、１：０．１から１：１０の比率の過酸化水素と水酸化アンモニウムとの混合液が、必要に応じて室温で使用されるが、室温より高い温度も使用され得る。斯くして、自己整合されたシリサイド層がポリシリコン上に形成される。図１８は、ポリシリコンのソース、ドレイン、ゲート及びウェルトップの端子上にシリサイドが形成された後のデバイスの断面図を示している。このポリシリコン層はまた、局所的な相互接続としても使用され、それにより、シリサイド化されたｎ型ポリシリコン及びｐ型ポリシリコンの領域群は、オーミックコンタクトを形成するために使用される。

【００５７】

次のプロセス工程は、誘電体（酸化物）層を堆積すること、この酸化物層内にコンタクトホールをエッチングすること、ソース、ドレイン、ゲート及びウェルトップの端子用のコンタクトホールを形成すること、並びに、半導体チップの形成にて行われるような従来からの金属相互接続形成プロセスを続けることから成る。誘電体の堆積及びコンタクトホールのエッチングの後のウェハの断面図が図１９に示されている。金属の堆積及びエッチングが図２０に示されている。

【００５８】

このプロセスはＪＦＥＴとともにＭＯＳトランジスタを形成するように適応され得る。この適応の１つの用途は、チップにＣＭＯＳ互換Ｉ／Ｏを含ませることである。続いて、ＭＯＳトランジスタを製造するプロセスを説明する。図２１は、ＪＦＥＴ及びＭＯＳＦＥＴのｎウェル及びｐウェルの形成後のウェハの断面図を示している。ＭＯＳＦＥＴの閾値（ $V_t$ ）調整イオン注入も完了されている。さらに、ＪＦＥＴのチャネル領域の形成も完了されている。ウェハ上にゲート誘電体（酸化物、又は窒化酸化物）の層が形成される。この酸化物層は、ＭＯＳＦＥＴのゲートを取り囲む領域内を除いて、ウェハからエッチング除去される。この酸化物層は物体２１１０として示されている。本発明の代替的な一実施形態においては、酸化物が成長された直後に、ゲート誘電体の頂部に薄いアモルファスシリコン層が堆積される。この非晶質層の厚さは、下に位置するゲート誘電体が次のフォトリソグラフィ及びエッチング工程中にダメージを受けることを防止するのに十分な厚さにされる。このアモルファスシリコン層の好適厚さは１０と５０００との間である。本発明の代替的な一実施形態においては、この酸化物層が先に形成され、ＪＦＥＴのチャネルがその後形成される。

【００５９】

次に、図２２に示されているように、ウェハ上にポリシリコン層が堆積される。このポリシリコン層は、酸化物から成る保護層２２２０によって覆われている。ウェハ上に一定の領域を画成するためにフォトリソグラフィが用いられ、フォトリソグレイ層が選択的にウェハから除去され、露出された領域群にｎ型ドーパント及びｐ型ドーパントが注入される

。この図は、選択的にドーピングされた領域群を有するポリシリコン層を示している。領域 2 2 1 0 は p 型にドーピングされ、領域 2 2 1 2 は n 型にドーピングされ、領域 2 2 1 4 は p 型にドーピングされ、そして領域 2 2 1 6 は n 型にドーピングされている。これらの領域をドーピングするパラメータは、図 1 3 にて説明されたパラメータと同一である。

【 0 0 6 0 】

次の工程は、図 2 3 に示されているように、ポリシリコン上でのゲート及び残りの電極の画成である。これは、最初にフォトレジスト層 2 3 3 0 にパターンを画成することによって行われる。次に、フォトレジスト層をマスクとして用いて、電極群を画成するようにポリシリコン層がエッチングされる。領域 2 3 1 0 は N M O S のウェルタップを形成し、領域 2 3 1 2 は N M O S のソースを形成し、領域 2 3 1 4 は N M O S のゲートを形成し、領域 2 3 1 6 は N M O S のドレインを形成し、領域 2 3 2 0 は P M O S のソースを形成し、領域 2 3 2 2 は P M O S のゲートを形成し、領域 2 3 2 4 は P M O S のドレインのドレイン領域を形成し、そして領域 2 3 2 6 は P M O S のウェルタップを形成する。ポリシリコン層をエッチングした後、シリコン表面に 2 0 と 5 0 0 との間の厚さを有する酸化物を形成するため、短い酸化サイクルが実行される。ポリシリコンからゲート誘電体及びチャネル領域へのドーパントの拡散を制御しながら、ドレイン、ソース及びウェルタップ領域のポリシリコンからシリコン内にドーパントを拡散させるために、更なる加熱サイクルが実行される。

【 0 0 6 1 】

図 2 4 は、イオン注入によるソース、ドレインとチャネル領域との間の連結部の形成を示している。N M O S では、ソースとチャネルとの間、及びドレインとチャネルとの間の連結部は、それぞれ、2 4 1 0 及び 2 4 1 2 で表された n 型ドーパントのイオン注入によって形成される。P M O S では、ソースとチャネルとの間、及びドレインとチャネルとの間の連結部は、それぞれ、2 4 2 0 及び 2 4 2 2 で表された p 型ドーパントのイオン注入によって形成される。注入物を活性化させるために急速熱アニールが行われる。このウェハの断面図は、図 1 7 に示された断面図に非常に似通っている。ウェハは図 1 7 乃至 2 0 にて説明された方法によって処理される。

【 0 0 6 2 】

図 2 5 は、同一ウェハ上に J F E T 及び M O S F E T を形成するための全体フローを示している。このようにして製造される M O S トランジスタは、ここで説明されるように、M O S トランジスタを構築する従来方法に対して複数の利点を有する。

【 0 0 6 3 】

従来の M O S トランジスタは、高濃度にドーピングされたソース/ドレイン領域をゲートから隔てるために使用されるスペーサを有している。スペーサの寸法は縦方向のポリシリコン寸法及びその他の処理パラメータに依存し、横方向にスケールアップされることができない。この実施形態に係る M O S トランジスタは、ソース/ドレインとゲート領域とを隔てるためにリソグラフィを使用しており、この構造を横方向にスケールアップ可能なものにする。

【 0 0 6 4 】

従来の M O S トランジスタは、スペーサの下に低濃度にドーピングされたソース及びドレイン領域を有しており、これがソースの注入効率、又はトランジスタによって制御され得る最大電流を制限してしまっている。この実施形態に係る M O S トランジスタは、ソース及びドレインの接合として連結領域を使用しており、この領域のドーピングが独立に制御されることを可能にする。

【 0 0 6 5 】

従来の M O S トランジスタは対称なソース及びドレイン領域を有している。この実施形態は、ソース及びドレインのポリシリコンコンタクトをゲートから非対称に隔てることによって、非対称なソース及びドレイン接合が形成されることを可能にする。

【 0 0 6 6 】

従来の M O S トランジスタは、ソース/ドレイン端子及びゲート端子まで異なるコンタ

10

20

30

40

50



クト深さを有している。すなわち、ソース/ドレイン端子へのコンタクトは直接的にシリコンに対してとられる一方で、ゲート端子へのコンタクトはソース/ドレイン接合より高い位置のポリシリコンに対してとられている。この実施形態に係るMOSトランジスタは、全てのコンタクトホールをポリシリコンまでエッチングしており、これら全てのコンタクトホールの深さを同一に保っている。

#### 【0067】

従来のMOSトランジスタは、浅いソース/ドレイン接合、及びこれら接合の頂部へのシリサイド形成によって課される制約のため、短チャネル性に関して妥協せざるを得なかった。この実施形態に係るMOSトランジスタは、全ての接合に関してポリシリコンの頂部にシリサイドを配置することによって、この制約を排除している。また、シリコン内の浅いソース/ドレイン接合は、より低速であり且つより十分に制御され得るプロセスであるポリシリコンからのドーパント拡散によって形成される。

10

#### 【0068】

JFET及びMOSFETを構築するためのこの方法により、コンタクトホールのエッチングに先立って平坦な表面を存在させることが可能になる。この方法はまた、除去されるポリシリコンの量が制限されることを保証する。このことは、均一なプラズマエッチングを実現するために重要なことである。周知のように、シリコンウェハ上のポリシリコンパターンの密度のバラつきは、ポリシリコンのエッチングレートのバラつきの要因となる。この方法においては、ポリシリコンのパターン密度が従来のプロセス技術においてより遙かに高いことにより、この問題が解決される。また、様々な接合へのコンタクトはポリシリコン層によって隔てられており、このことは、浅いソース及びドレイン接合の形成を極めて簡易なものにする。

20

#### 【0069】

図25の工程群は更に図26 - 30に例示されている。

#### 【0070】

図26は、分離領域2610、NMOSトランジスタを形成するためのpウェル2601、及びnJFETを形成するための更なるpウェル2602の形成後のシリコンウェハの断面図を示している。PMOSトランジスタ及びpJFETを形成するための対応するウェル構造も形成されているが、ここでは簡潔さのために省略されている。MOSトランジスタのためのシリコンへの $V_t$ 調整イオン注入が実行された後、ウェハ全体でゲート酸化が行われ、10と100との間の範囲の適切な厚さを有するゲート誘電体層がウェハ上に成長される。これは、この図においては層2620として示されている。本発明の代替実施形態においては、ゲート誘電体は、例えばハフニウムシリケートや当業者に知られた同様の材料などの高誘電率材料を用いて形成される。

30

#### 【0071】

図27は、後続工程が実行された後のウェハの断面図を示している。まず、ゲート誘電体が、ウェットエッチング又は例えばプラズマエッチング等の好適技術によって、JFETのチャネルが形成されるべき領域から選択的に除去される。次に、JFETのチャネル2710がイオン注入によって形成される。チャネルの形成後、ウェハ上に多結晶材料の層2720が堆積される。JFET及びMOSトランジスタのゲート電極が適切なドーパントを用いてイオン注入される。NMOSトランジスタ及びpJFETのゲート領域は、ヒ素、リン又はアンチモンでn型に高濃度ドーパされる。PMOSトランジスタ及びnJFETのゲート電極領域は、とりわけボロンであるp型ドーパントでイオン注入される。これらゲート電極領域は、 $1 \times 10^{14} / \text{cm}^2$  から  $1 \times 10^{16} / \text{cm}^2$  の範囲の高いドーパントドーズ量でイオン注入される。本発明の代替的な一実施形態は、MOSトランジスタ及びJFETのゲート電極領域を形成するために多重注入工程を含む。ポリシリコン層全体にドーパントを分布させるためにウェハは加熱される。

40

#### 【0072】

ウェハ上にフォトリソマスクが配置され、図28に示されているようにトランジスタのゲート電極を画成するようにポリシリコン層がエッチングされる。物体2810はNMOST

50

ランジスタのゲート電極を形成し、物体 2820 は n J F E T のゲート電極を形成する。N M O S トランジスタのゲート電極は n 型ポリシリコンで形成されており、n J F E T のゲートは p 型ポリシリコンで形成されている。ゲートを画成した後、ポリシリコン表面からダメージを除去するために短い酸化サイクルが実行される。次に酸化物及び窒化物の層群が堆積され、ゲート電極に隣接するスペースを形成するように異方性エッチングされる。スペース形成の終了時において、ウェハの断面は、両側をスペースによって囲まれたゲート電極を示す。物体 2830 はゲートを囲むスペースである。なお、n J F E T アイランド（物体 2602）上のポリシリコンは、その下にエッチングを停止させるための酸化物層を有していない。従って、ポリシリコンのエッチングプロセスは、ポリシリコンをオーバーエッチングしてシリコン内までエッチングしないように、非常に注意深く行われなければならない。ポリシリコンをオーバーエッチングすることを防止するためのプロセス工程は上述されている。

10

20

30

40

50

#### 【0073】

図 29 は、M O S トランジスタ及び J F E T のソース領域及びドレイン領域が形成された後のシリコンウェハの断面図を示している。このプロセス工程は、N M O S トランジスタのライトリー・ドープト・ドレイン（L D D）領域を形成することを有している。これは、N M O S トランジスタ領域 2601 に n 型ドーパントを選択的にイオン注入することによって行われる。この工程はまた、ドレイン及びソースの空乏領域が互いに接触して“パンチスルー”として知られる現象を引き起こすことを防止するために、逆極性（p 型）のドーパントを注入することを伴っている。この工程は、“アンチパンチスルー”インプラとして知られている。L D D 及びアンチパンチスルーのイオン注入は、完全に垂直から、垂直から 60% の傾きまでの範囲のウェハへの入射角で行われる。これらの領域は図 29 において 2910 として示されている。J F E T のチャネルとソース及びドレイン領域との間に低抵抗領域（連結部）を作り出すために、同様のプロセスが実行される。連結部 2920 は J F E T のゲートに隣接するように形成される。N M O S トランジスタ及び n J F E T の双方に対して、ソース及びドレイン領域は n 型不純物のイオン注入によって形成される。N M O S のソース及びドレイン端子を形成するための n 型イオン注入は十分に確立されたプロセスである。n J F E T の場合、ソース及びドレインのドーピング型はゲートのそれと逆である。ソース及びドレインの注入パラメータは、これらの端子を形成するために使用される n 型ドーパントがゲート領域の極性を反転させないことを確保するように調整される。J F E T のゲートドーピングは、n 型又は p 型ドーパントを  $1 \times 10^{14} / \text{cm}^2$  から  $1 \times 10^{16} / \text{cm}^2$  のドーズ量まで注入することによって高い濃度に維持される。注入エネルギーはポリシリコンの厚さに基づいて選定される。J F E T のソース及びドレインのドーピングは、ゲートドーピングの反転が起こらないことを確保するためにゲートドーピングより低濃度に留められる。N M O S トランジスタのソース及びドレイン領域はそれぞれ 2950 及び 2952 として示されており、n J F E T のソース及びドレインはそれぞれ 2954 及び 2956 として示されている。

#### 【0074】

図 30 a は、コンタクトホール及び金属接続が形成された後のシリコンウェハの断面図を示している。ソース及びドレインの形成に続いて、自己整合シリサイド形成が行われる。これは、例えばコバルト、ニッケル、チタン、白金などの金属の層を形成し、且つ、露出されたシリコン表面と金属が反応することを可能とするようにウェハを加熱して、シリサイド化合物を形成することによって行われる。使用されていない金属はウェット化学エッチングによって洗い落とされる。これに続いて、図 30 a に示されているように、ウェハ全体を覆う誘電体層として酸化物の層が 600 未満の温度で堆積される。そして、この誘電体層内にコンタクトホール 3010 がエッチングされる。単一あるいは複数の層の金属合金がウェハを覆うように堆積され、フォトリソグラフィプロセスによってパターンニングされる。それに続いて金属層のエッチングが行われ、物体 3020 として示されたトランジスタの相互接続が形成される。図 30 b は、これら N M O S 及び n J F E T のレイアウトを示している。N M O S トランジスタのソース、ドレイン及びゲート領域は、30

50、3051及び3054として示されている。それらそれぞれのコンタクトホールは、3060、3061及び3064として示されている。同様に、nJFETのソース、ドレイン及びゲート領域は、物体3052、3053及び3055として示されており、それらのコンタクトホールはそれぞれ3062、3063及び3065として示されている。

【図面の簡単な説明】

【0075】

【図1】相補型JFETインバータを例示する図である。

【図2a】ウェルがソースに結合された相補型JFETインバータを示す図である。

【図2b】ウェルがゲートに結合された相補型JFETインバータを示す図である。

【図2c】ウェルが外部パッドに結合された相補型JFETインバータを示す図である。

【図3a】JFETのレイアウトを示す図である。

【図3b】図3aに対応するポリゲートJFETを示す断面図である。

【図3c】ゲート及びチャネルを通して見たときのJFETのドーピングプロファイルを示すグラフである。

【図4】従来のMOSFETに似たポリゲートJFETを示す断面図である。

【図5】全てのコンタクトがポリシリコンによって形成されたポリゲート・プレーナ型JFETを示す断面図である。

【図6】チャネル領域がエピタキシャル成長されたポリゲート・プレーナ型JFETを示す断面図である。

【図7】チャネル領域がエピタキシャル成長され、且つ多結晶半導体合金ゲートが炭素、シリコン及びゲルマニウムを有する、ポリゲート・プレーナ型JFETを示す断面図である。

【図8】従来のnチャネルJFETを示す断面図である。

【図9】図5に示された相補型JFET構造を構築する方法を示すフローチャートである。このフローチャートの各工程は更に図10 - 20にて例示されている。

【図10】分離領域の形成後のシリコンウェハを示す断面図である。

【図11】nウェル及びpウェルの形成後のシリコンウェハを示す断面図である。

【図12a】nJFETのチャネル領域の形成後のシリコンウェハを示す断面図である。

【図12b】pJFETのチャネル領域の形成後のシリコンウェハを示す断面図である。

【図13】ポリシリコン堆積及びポリシリコンの選択ドーピング後のシリコンウェハを示す断面図である。

【図14】ポリシリコン層上への保護被膜の堆積後のシリコンウェハを示す断面図である。

【図15】リソグラフィ及びエッチングによるポリシリコンの画成後のシリコンウェハを示す断面図である。

【図16a】pチャネルJFETのゲートとドレイン/ソースとの間の連結領域をドーピングした後のシリコンウェハを示す断面図である。

【図16b】nチャネルJFETのゲートとドレイン/ソースとの間の連結領域をドーピングした後のシリコンウェハを示す断面図である。

【図17】ポリシリコン構造間の空所を充填し、且つ平坦化を実行した後のシリコンウェハを示す断面図である。

【図18】露出されたポリシリコン表面への自己整合シリサイドの形成後のシリコンウェハを示す断面図である。

【図19】ポリシリコン上への誘電体層の堆積、及びそれ続くコンタクトホールのエッチング後のシリコンウェハを示す断面図である。

【図20】金属の堆積及び画成後のシリコンウェハを示す断面図である。

【図21】図21 - 24は、図9から適応されたプロセスを用いてのMOSトランジスタの形成を説明する図であり、図21は、分離領域、ウェル構造、閾値注入及びゲート誘電体の形成後のシリコンウェハを示す断面図である。ゲート誘電体が成長され、MOSゲー

10

20

30

40

50

ト領域を取り囲む領域を除いてウェハからエッチングされている。

【図 2 2】ポリシリコンの堆積、ポリシリコンのドーピング、及びポリシリコンの頂部上への保護層の形成後のシリコンウェハを示す断面図である。

【図 2 3】ポリシリコンの画成後のシリコンウェハを示す断面図である。

【図 2 4】イオン注入によってゲートとソース/ドレインとの間に連結領域が形成された後のシリコンウェハを示す断面図である。

【図 2 5】同一ウェハ上に J F E T 及び M O S F E T を形成するための全体フローを示す図である。各工程は更に図 2 6 - 3 0 にて例示されている。

【図 2 6】n ウェル及び p ウェルが形成された後のシリコンウェハを示す断面図である。

【図 2 7】J F E T のチャネルが形成された後のシリコンウェハを示す断面図である。

【図 2 8】M O S のチャネルが形成された後のシリコンウェハを示す断面図である。

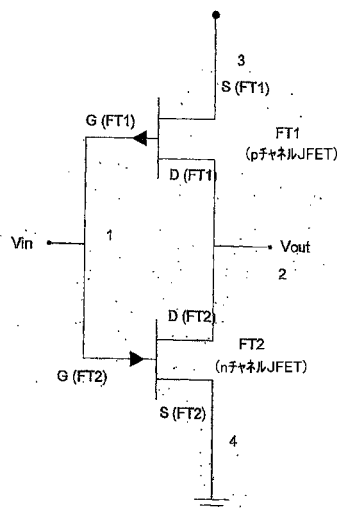
【図 2 9】M O S 及び J F E T のソース領域及びドレイン領域が形成された後のシリコンウェハを示す断面図である。

【図 3 0 a】コンタクトホール及び金属接続が形成された後のシリコンウェハを示す断面図である。

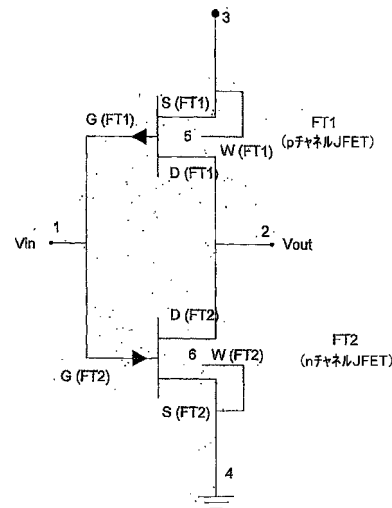
【図 3 0 b】コンタクトホール及び金属接続が形成された後の N M O S 及び n J F E T のレイアウトを示す図である。

10

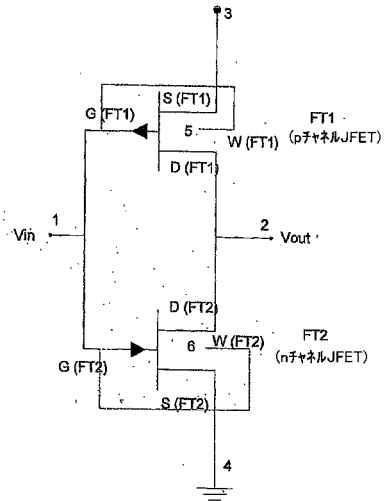
【図 1】



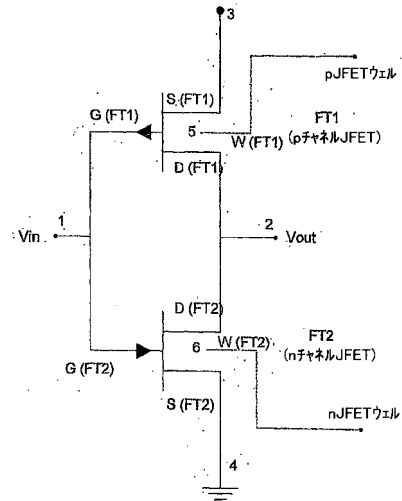
【図 2 a】



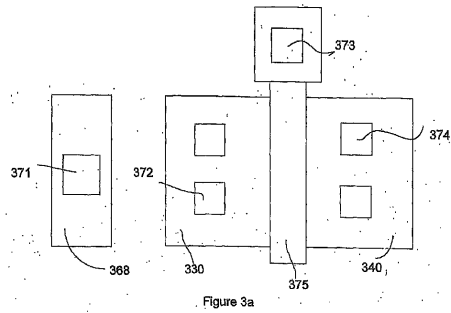
【図 2 b】



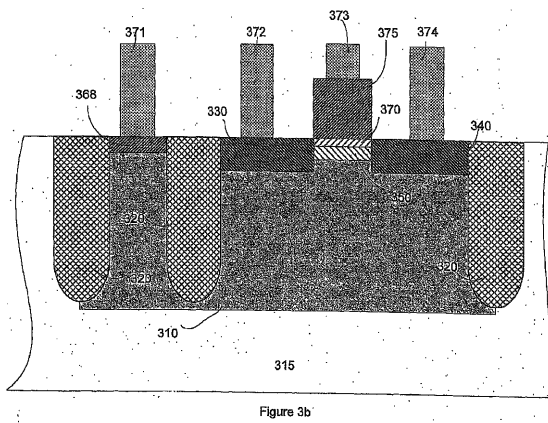
【図 2 c】



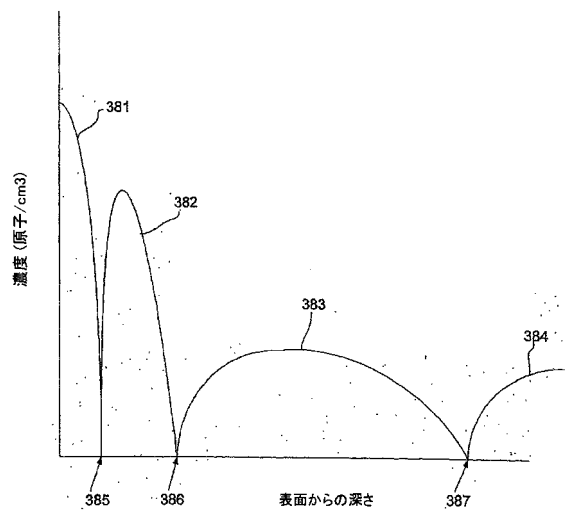
【図 3 a】



【図 3 b】



【図 3 c】



【 図 4 】

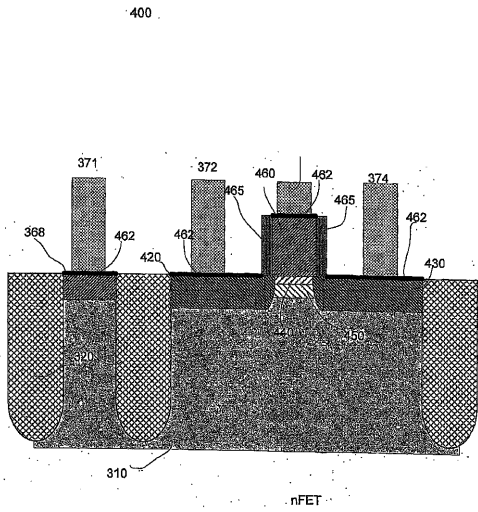


Figure 4

【 図 5 】

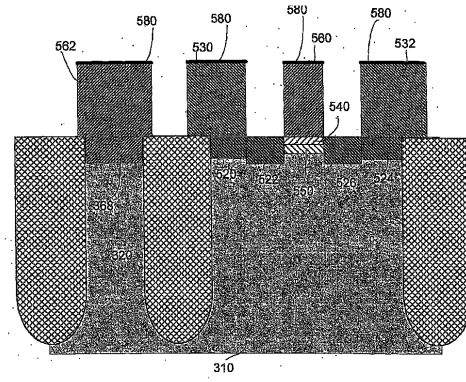


Figure 5

【 図 6 】

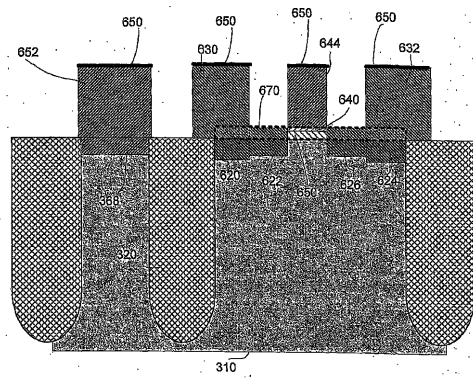


Figure 6

【 図 7 】

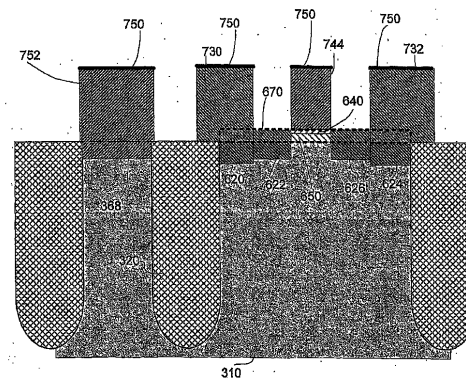


Figure 7

【図 8】

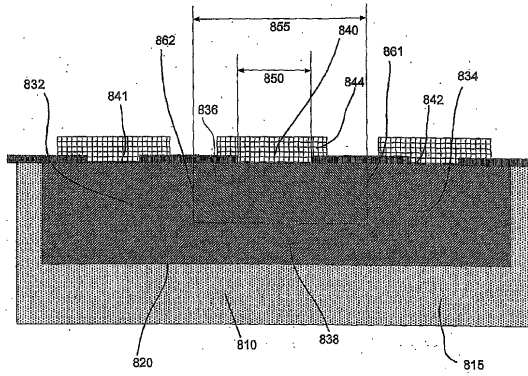
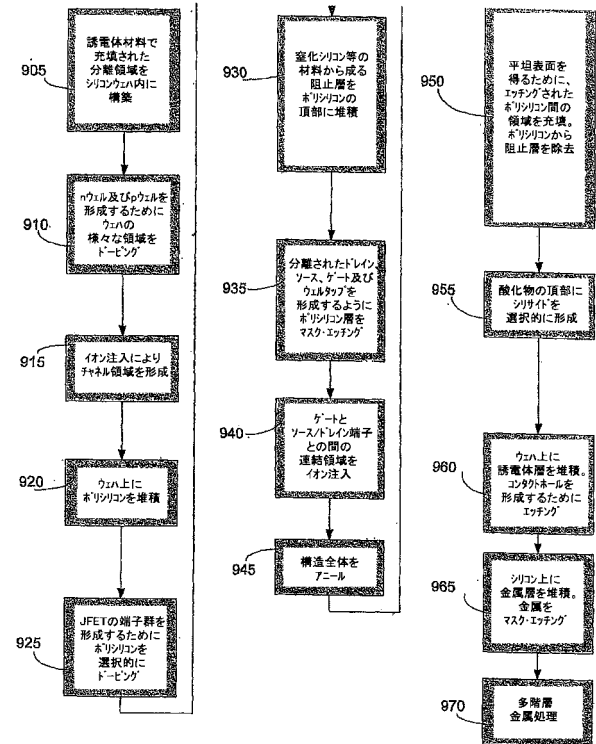


Figure 8

【図 9】



【図 10】

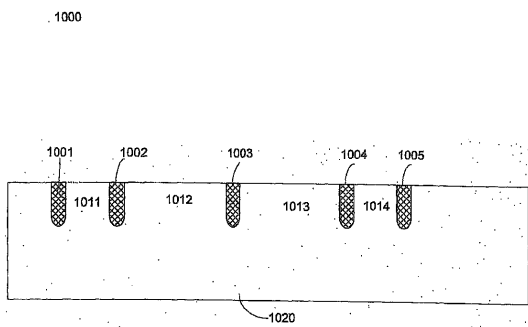


Figure 10

【図 11】

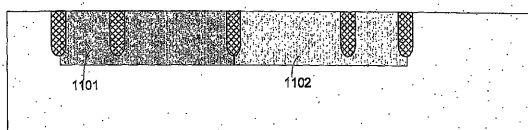


Figure 11

【図 12 a】

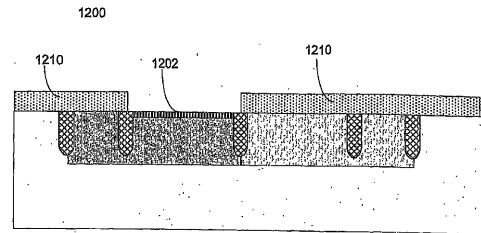


Figure 12a

【図 12 b】

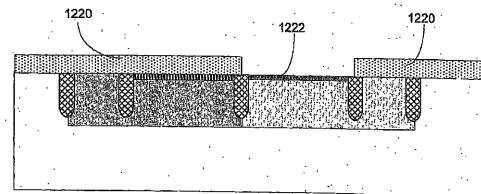
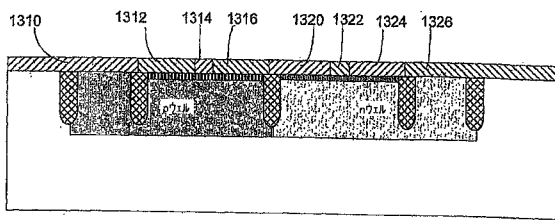


Figure 12b

【図 13】



【図 15】

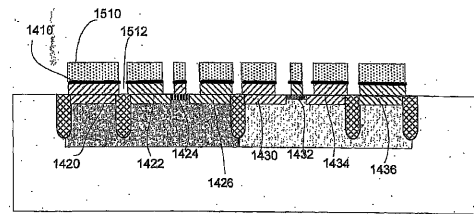


Figure 15

【図 14】

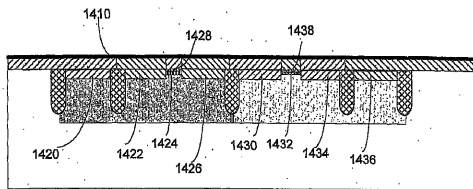


Figure 14

【図 16 a】

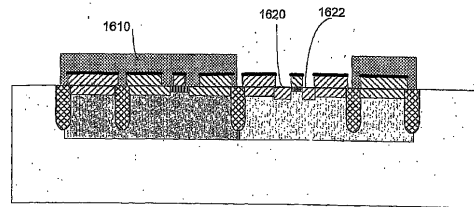


Figure 16a

【図 16 b】

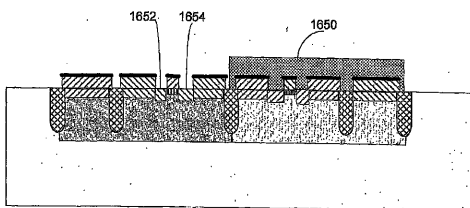


Figure 16b

【図 18】

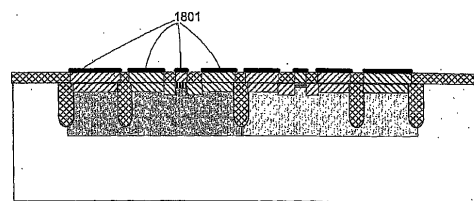


Figure 18

【図 17】

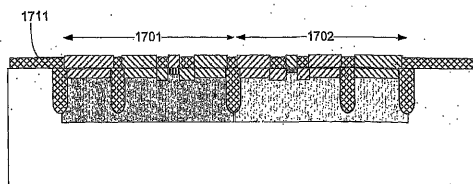


Figure 17

【図 19】

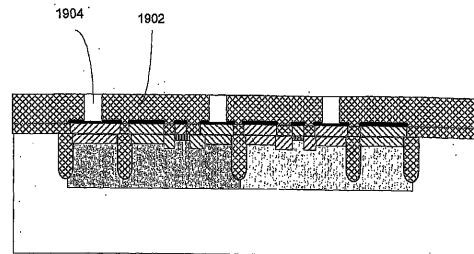


Figure 19



【図 20】

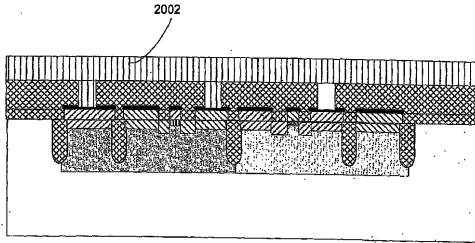


Figure 20

【図 21】

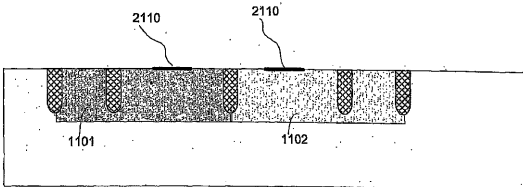


Figure 21

【図 22】

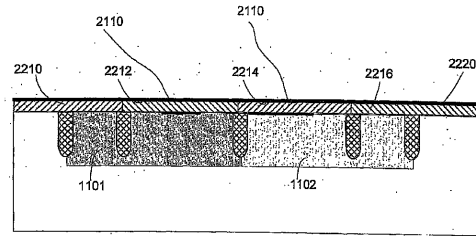


Figure 22

【図 23】

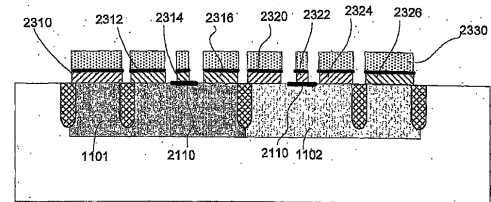


Figure 23

【図 24】

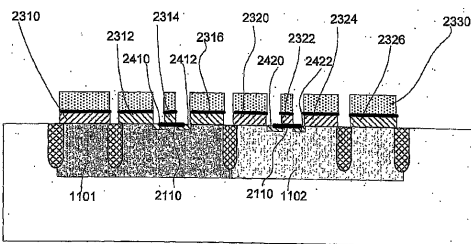
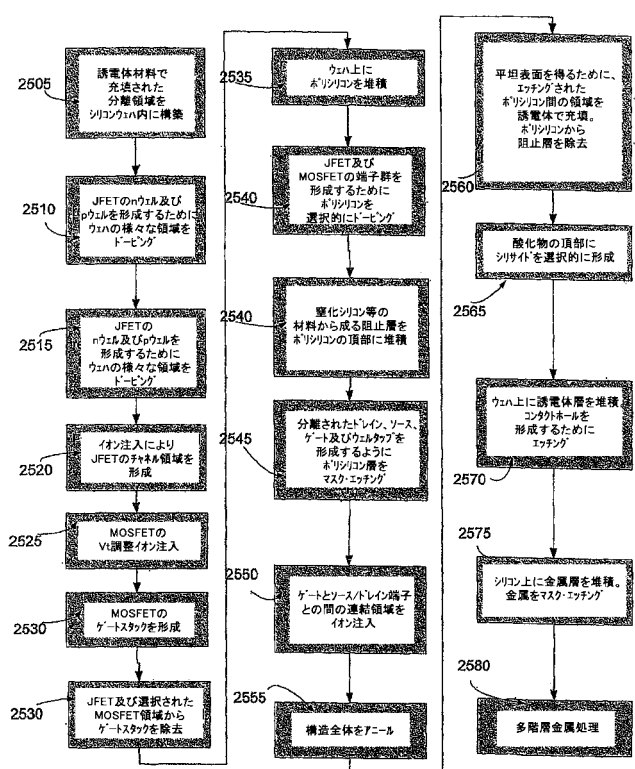


Figure 24

【図 25】



【図 26】

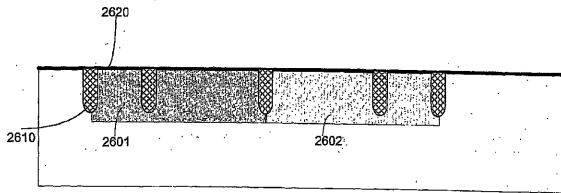


Figure 26

【図 29】

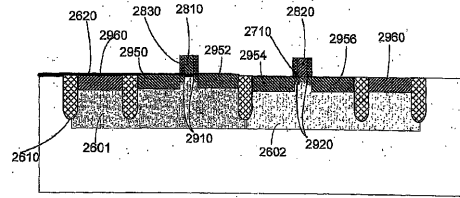


Figure 29

【図 27】

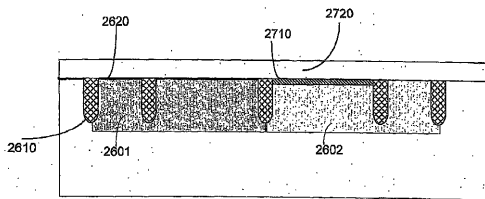


Figure 27

【図 30 a】

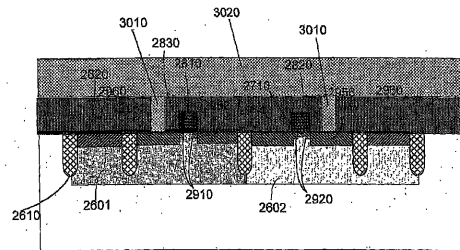


Figure 30a

【図 28】

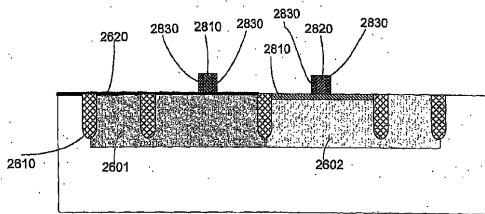


Figure 28

【図 30 b】

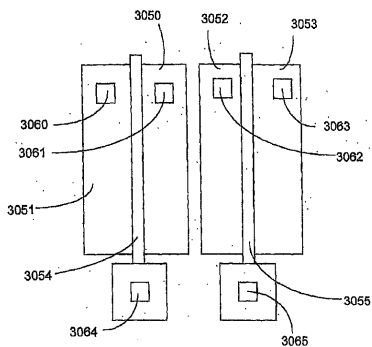


Figure 30b

## 【国際調査報告】

60800610015



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US06/42139

## A. CLASSIFICATION OF SUBJECT MATTER

IPC: H01L 27/11(2006.01)

USPC: 257/903

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
U.S. : 257/903

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/0004298 (Madurawe) 08 January 2004 (08.01.2004), figs. 1-20 and corresponding text.	1-46 and 68
X	US 2004/0004298 (Madurawe) 08 January 2004 (08.01.2004), figs. 1-20 and corresponding text.	47-67

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"A"

document member of the same patent family

Date of the actual completion of the international search

05 May 2008 (05.05.2008)

Date of mailing of the international search report

28 JUL 2008

Name and mailing address of the ISA/US

Mail Stop PCT, Attn: ISA/US  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Facsimile No. (571) 273-3201

Authorized officer

Dao Nguyen

Telephone No. 571-272-1791

04.11.2008

## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8222 (2006.01)

H 0 1 L 21/8248 (2006.01)

H 0 1 L 27/095 (2006.01)

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 カプール, アショク, ケイ  
アメリカ合衆国, カリフォルニア州 9 4 3 0 3, パロ・アルト, アマリロ・アヴェニュー 1 0  
5 6

Fターム(参考) 5F048 AA01 AA09 AB04 AC03 AC05 AC09 BA01 BB06 BB07 BB11  
BC06 BD04 BE03 BE04 BE09 BF06 BF16 BF18 BG13  
5F082 AA08 BA05 BA47 BC01 BC08 BC09 CA01 DA10 EA09 FA05  
GA02 GA04  
5F102 GA01 GA03 GA05 GA12 GB01 GC01 GD04 GJ02 GJ03 GL02  
GL03 GM02 GR08 GR09 HC07