

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成17年10月27日(2005.10.27)

【公開番号】特開2003-194883(P2003-194883A)

【公開日】平成15年7月9日(2003.7.9)

【出願番号】特願2002-317430(P2002-317430)

【国際特許分類第7版】

G 0 1 R 31/28

【F I】

G 0 1 R 31/28

G

【手続補正書】

【提出日】平成17年9月7日(2005.9.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

状態データのシーケンス(14及び16)を使用して集積回路(IC)のスキャンテストに関する情報を記憶する方法であって、

前記状態データをテスト対象である装置(DUT)(18)と交換するために使用されるスキャンテスタ(34)のテストサイクル速度を識別するステップと、

前記DUTの装置サイクル速度を識別するステップであって、前記装置サイクル速度が前記テストサイクル速度よりも高いことからなる、ステップと、

複数の前記状態データを複数の個別にアクセス可能なメモリ位置(42及び44)にグループ化するステップであって、複数の前記状態データが個々の前記メモリ位置内に存在するように、少なくともいくつかの前記状態データを前記メモリ位置に多重化するステップを含む、ステップを含み、

前記多重化するステップが、

(1)前記個々のメモリ位置(42及び44)の記憶容量と、

(2)前記テストサイクル速度の複数倍(m倍)である実効的な状態データ交換速度を可能にする(mは、1より大きく、前記個々のメモリ位置(42及び44)における前記状態データの数を表わす)

ことに基づくことからなる、方法。

【請求項2】

前記グループ化が、前記スキャンテストの間に、入力刺激として前記DUT(18)内に入る入力状態データとして前記状態データを多重化するステップをさらに含み、それぞれの前記入力状態データが、個別のスキャンイン状態であり、かつ、前記DUTの装置サイクル(64)の間に、前記DUT内に入ることからなる、請求項1に記載の方法。

【請求項3】

前記グループ化が、予測された状態データとして前記状態データを多重化するステップをさらに含み、それぞれの前記予測された状態データが、それぞれの前記装置サイクル(64)においてスキャンアウト状態と比較される、個別の予測された状態である、請求項1又は2に記載の方法。

【請求項4】

前記テストサイクル速度で生じるそれぞれのテストサイクル(52)にわたって、mの

数の前記入力状態データが、前記個々のメモリ位置（42及び44）と前記DUT（18）との間で交換されるように、かつ、前記DUTが、それぞれの装置サイクル（64）に対して1つの前記スキャンイン状態を処理するようにするために、前記多重化するステップが、前記倍数（m）を選択するステップを含むことからなる、請求項1又は2に記載の方法。

【請求項5】

前記装置サイクル速度が、前記テスタサイクル速度の整数倍であり、前記整数倍がm倍に等しく、それにより、前記グループ化するステップが、それぞれの前記テスタサイクル（52）において前記個々のメモリ位置（42及び44）にmの数の前記状態データを多重化するステップを含むことからなる、請求項1、2、3又は4のいずれかに記載の方法。

【請求項6】

mが、前記スキャンテスタ（34）によって生じうることが可能にされた論理レベルパラメータの数を越えていない場合には、前記グループ化するステップは、前記それぞれのテスタサイクル（52）の前記複数の状態データを、論理レベルパラメータとしてデータベース（32）に記録するステップを含むことからなる、請求項1に記載の方法。

【請求項7】

mが、生じる可能性のある前記論理レベルパラメータの数を越えていない場合には、前記それぞれのテスタサイクル（52）の前記複数の状態データを、論理レベルパラメータとして表示するステップをさらに含む、請求項1又は6に記載の方法。

【請求項8】

mが、前記スキャンテスタ（34）によって生じうることが可能にされた論理レベルパラメータの数を越える場合には、前記グループ化するステップが、前記それぞれのテスタサイクル（52）の前記複数の状態データを、論理レベル波形としてデータベース（32）に記録するステップを含むことからなる、請求項1に記載の方法。

【請求項9】

mが、生じる可能性のある前記論理レベルパラメータの数を越える場合には、前記それぞれのテスタサイクル（52）の前記複数の状態データを、波形指標（24及び28）として表示するステップをさらに含む、請求項1又は8に記載の方法。

【請求項10】

テストを受ける集積回路（IC）（18）の装置サイクル速度より遅いテスタサイクル速度を有するスキャンテスタ（34）用の状態データのシーケンス（14及び16）を記憶するシステム（10）において、

あるフォーマットのスキャンイン状態データの複数の前記シーケンス（14及び16）のソースであって、前記フォーマットにおいて、各前記スキャンイン状態データは、論理状態を表わすビットであることからなる、ソースと

前記ソースからのスキャンイン状態データの前記複数のシーケンス（14及び16）を操作するために結合されたプロセッサ（30）であって、前記IC（18）と協働して、スキャンイン状態データの前記シーケンス（14及び16）が前記テスタサイクル速度で操作され、かつ前記シーケンス内における各前記スキャンイン状態データが前記装置サイクル速度で操作されるように、多重化された状態データの交換を行うことが可能なプロセッサと、

前記テスタサイクル速度でスキャンイン状態データの前記シーケンスを受け取るように前記プロセッサに結合された記憶部であって、前記スキャンイン状態データが、前記それぞれの装置サイクル（64）において前記ICによって処理されるように、個別の前記シーケンスが、それぞれのテスタサイクル（52）において前記IC（18）に入力されることからなる、記憶部

を備える、システム。

【請求項11】

前記記憶部が、複数の個別にアドレス指定可能なテスタメモリ位置（42及び44）内

に構成され、それぞれの前記テスタメモリ位置が、状態データの前記シーケンス（14及び16）の1つを記憶するように構成される、請求項10に記載のシステム。

【請求項12】

各前記テスタメモリ位置（42及び44）が、少なくとも3つの多重化された状態データを含む、請求項11に記載のシステム。

【請求項13】

前記テスタサイクル（52）が、複数（m）の多重化された状態データを含み、前記装置サイクル速度が前記テスタサイクル速度のm倍である、請求項10に記載のシステム。