

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】平成 17 年 10 月 27 日 (2005.10.27)

【公開番号】特開 2003-194883 (P2003-194883A)

【公開日】平成 15 年 7 月 9 日 (2003.7.9)

【出願番号】特願 2002-317430 (P2002-317430)

【国際特許分類第 7 版】

G 0 1 R 31/28

【 F I 】

G 0 1 R 31/28

G

【手続補正書】

【提出日】平成 17 年 9 月 7 日 (2005.9.7)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

状態データのシーケンス ( 1 4 及び 1 6 ) を使用して集積回路 ( I C ) のスキャンテストに関する情報を記憶する方法であって、

前記状態データをテスト対象である装置 ( D U T ) ( 1 8 ) と交換するために使用されるスキャンテスト ( 3 4 ) のテストサイクル速度を識別するステップと、

前記 D U T の装置サイクル速度を識別するステップであって、前記装置サイクル速度が前記テストサイクル速度よりも高いことからなる、ステップと、

複数の前記状態データを複数の個別にアクセス可能なメモリ位置 ( 4 2 及び 4 4 ) にグループ化するステップであって、複数の前記状態データが個々の前記メモリ位置内に存在するように、少なくともいくつかの前記状態データを前記メモリ位置に多重化するステップを含む、ステップ

を含み、

前記多重化するステップが、

( 1 ) 前記個々のメモリ位置 ( 4 2 及び 4 4 ) の記憶容量と、

( 2 ) 前記テストサイクル速度の複数倍 ( m 倍 ) である実効的な状態データ交換速度を可能にする ( m は、1 より大きく、前記個々のメモリ位置 ( 4 2 及び 4 4 ) における前記状態データの数を表わす )

ことに基づくことからなる、方法。

【請求項 2】

前記グループ化が、前記スキャンテストの間に、入力刺激として前記 D U T ( 1 8 ) 内に入る入力状態データとして前記状態データを多重化するステップをさらに含み、それぞれの前記入力状態データが、個別のスキャンイン状態であり、かつ、前記 D U T の装置サイクル ( 6 4 ) の間に、前記 D U T 内に入ることからなる、請求項 1 に記載の方法。

【請求項 3】

前記グループ化が、予測された状態データとして前記状態データを多重化するステップをさらに含み、それぞれの前記予測された状態データが、それぞれの前記装置サイクル ( 6 4 ) においてスキャンアウト状態と比較される、個別の予測された状態である、請求項 1 又は 2 に記載の方法。

【請求項 4】

前記テストサイクル速度で生じるそれぞれのテストサイクル ( 5 2 ) にわたって、m の

数の前記入力状態データが、前記個々のメモリ位置（４２及び４４）と前記ＤＵＴ（１８）との間で交換されるように、かつ、前記ＤＵＴが、それぞれの装置サイクル（６４）に対して１つの前記スキャンイン状態を処理するようにするために、前記多重化するステップが、前記倍数（ｍ）を選択するステップを含むことからなる、請求項１又は２に記載の方法。

【請求項５】

前記装置サイクル速度が、前記テストサイクル速度の整数倍であり、前記整数倍がｍ倍に等しく、それにより、前記グループ化するステップが、それぞれの前記テストサイクル（５２）において前記個々のメモリ位置（４２及び４４）にｍの数の前記状態データを多重化するステップを含むことからなる、請求項１、２、３又は４のいずれかに記載の方法。

【請求項６】

ｍが、前記スキャンテスト（３４）によって生じることが可能にされた論理レベルパラメータの数を越えていない場合には、前記グループ化するステップは、前記それぞれのテストサイクル（５２）の前記複数の状態データを、論理レベルパラメータとしてデータベース（３２）に記録するステップを含むことからなる、請求項１に記載の方法。

【請求項７】

ｍが、生じる可能性のある前記論理レベルパラメータの数を越えていない場合には、前記それぞれのテストサイクル（５２）の前記複数の状態データを、論理レベルパラメータとして表示するステップをさらに含む、請求項１又は６に記載の方法。

【請求項８】

ｍが、前記スキャンテスト（３４）によって生じることが可能にされた論理レベルパラメータの数を越える場合には、前記グループ化するステップが、前記それぞれのテストサイクル（５２）の前記複数の状態データを、論理レベル波形としてデータベース（３２）に記録するステップを含むことからなる、請求項１に記載の方法。

【請求項９】

ｍが、生じる可能性のある前記論理レベルパラメータの数を越える場合には、前記それぞれのテストサイクル（５２）の前記複数の状態データを、波形指標（２４及び２８）として表示するステップをさらに含む、請求項１又は８に記載の方法。

【請求項１０】

テストを受ける集積回路（ＩＣ）（１８）の装置サイクル速度より遅いテストサイクル速度を有するスキャンテスト（３４）用の状態データのシーケンス（１４及び１６）を記憶するシステム（１０）において、

あるフォーマットのスキャンイン状態データの複数の前記シーケンス（１４及び１６）のソースであって、前記フォーマットにおいて、各前記スキャンイン状態データは、論理状態を表わすビットであることからなる、ソースと

前記ソースからのスキャンイン状態データの前記複数のシーケンス（１４及び１６）を操作するために結合されたプロセッサ（３０）であって、前記ＩＣ（１８）と協働して、スキャンイン状態データの前記シーケンス（１４及び１６）が前記テストサイクル速度で操作され、かつ前記シーケンス内における各前記スキャンイン状態データが前記装置サイクル速度で操作されるように、多重化された状態データの交換を行うことが可能なプロセッサと、

前記テストサイクル速度でスキャンイン状態データの前記シーケンスを受け取るように前記プロセッサに結合された記憶部であって、前記スキャンイン状態データが、前記それぞれの装置サイクル（６４）において前記ＩＣによって処理されるように、個別の前記シーケンスが、それぞれのテストサイクル（５２）において前記ＩＣ（１８）に入力されることからなる、記憶部を備える、システム。

【請求項１１】

前記記憶部が、複数の個別にアドレス指定可能なテストメモリ位置（４２及び４４）内

に構成され、それぞれの前記テストメモリ位置が、状態データの前記シーケンス（１４及び１６）の１つを記憶するように構成される、請求項１０に記載のシステム。

【請求項１２】

各前記テストメモリ位置（４２及び４４）が、少なくとも３つの多重化された状態データを含む、請求項１１に記載のシステム。

【請求項１３】

前記テストサイクル（５２）が、複数（ $m$ ）の多重化された状態データを含み、前記装置サイクル速度が前記テストサイクル速度の $m$ 倍である、請求項１０に記載のシステム。