



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I711146 B

(45)公告日：中華民國 109 (2020) 年 11 月 21 日

(21)申請案號：107130177

(22)申請日：中華民國 98 (2009) 年 09 月 09 日

(51)Int. Cl. : **H01L23/528 (2006.01)****H01L27/12 (2006.01)****H01L29/786 (2006.01)**

(30)優先權：2008/09/12 日本

2008-234603

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 秋元健吾 AKIMOTO, KENGO (JP) ; 小森
茂樹 KOMORI, SHIGEKI (JP) ; 魚地秀貴 UOCHI, HIDEKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200822226A

TW 200823817A

JP 2005-215343A

JP 2008-203856A

審查人員：趙芝婷

申請專利範圍項數：12 項 圖式數：27 共 116 頁

(54)名稱

半導體裝置及半導體裝置的製造方法

(57)摘要

本發明的一個方式的目的是在於：提供具有電特性及可靠性高的薄膜電晶體的半導體裝置、以及量產性高地製造該半導體裝置的方法。其要旨在於：在閘極絕緣層上形成汲極電極層或源極電極層，然後形成用作源區或汲區的低電阻的氧化物半導體層，在其上形成用作半導體層的氧化物半導體膜。較佳的是，將具有過量的氧的氧化物半導體層用作半導體層，並將缺乏氧的氧化物半導體層用作源區及汲區。

An object is to provide a semiconductor device including a thin film transistor with excellent electrical characteristics and high reliability and a method for manufacturing the semiconductor device with high mass productivity. A main point is to form a low-resistance oxide semiconductor layer as a source or drain region after forming a drain or source electrode layer over a gate insulating layer and to form an oxide semiconductor film thereover as a semiconductor layer. It is preferable that an oxygen-excess oxide semiconductor layer be used as a semiconductor layer and an oxygen-deficient oxide semiconductor layer be used as a source region and a drain region.

指定代表圖：

符號簡單說明：

- 110 . . . 像素電極
- 128 . . . 透明導電膜
- 129 . . . 透明導電膜

圖2A

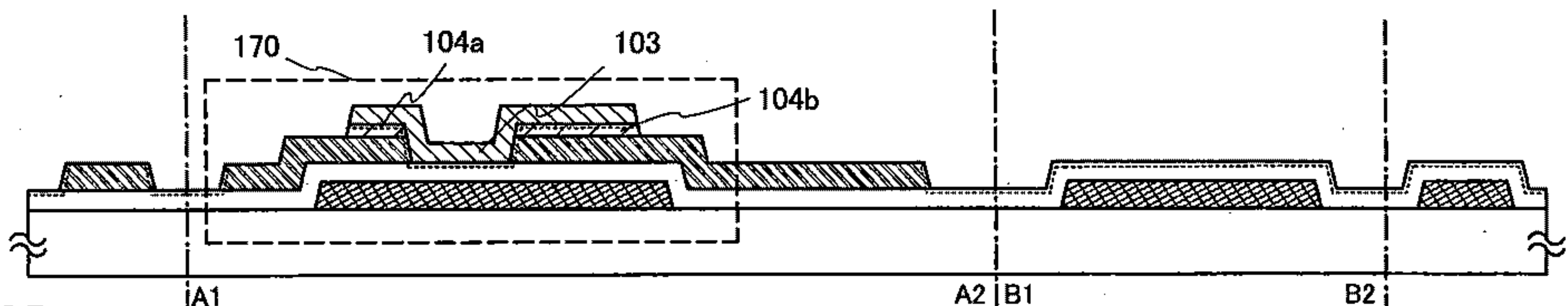


圖2B

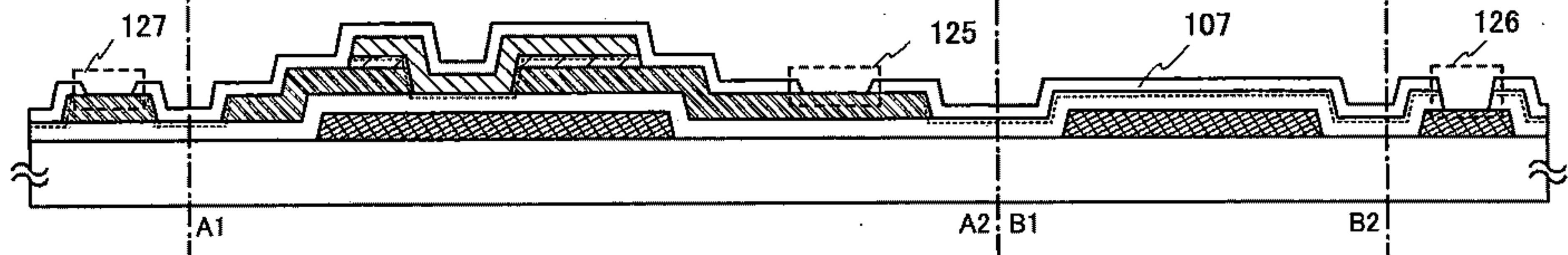
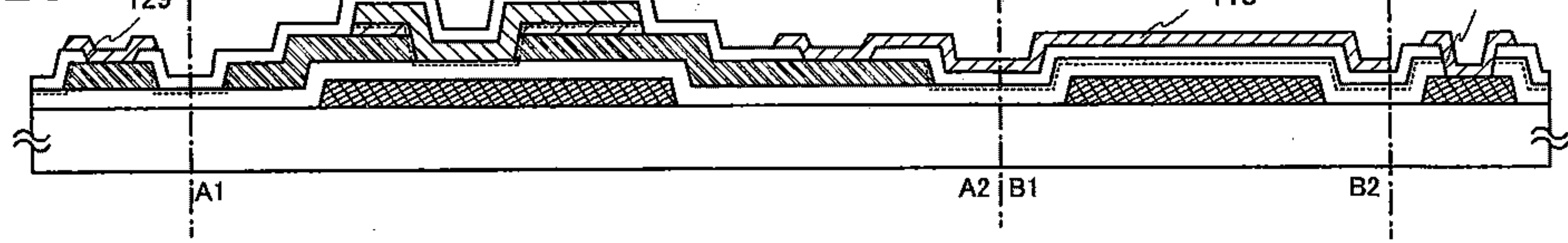


圖2C



發明摘要

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

【中文】

本發明的一個方式的目的是在於：提供具有電特性及可靠性高的薄膜電晶體的半導體裝置、以及量產性高地製造該半導體裝置的方法。其要旨在於：在閘極絕緣層上形成汲極電極層或源極電極層，然後形成用作源區或汲區的低電阻的氧化物半導體層，在其上形成用作半導體層的氧化物半導體膜。較佳的是，將具有過量的氧的氧化物半導體層用作半導體層，並將缺乏氧的氧化物半導體層用作源區及汲區。

【 英文 】

An object is to provide a semiconductor device including a thin film transistor with excellent electrical characteristics and high reliability and a method for manufacturing the semiconductor device with high mass productivity. A main point is to form a low-resistance oxide semiconductor layer as a source or drain region after forming a drain or source electrode layer over a gate insulating layer and to form an oxide semiconductor film thereover as a semiconductor layer. It is preferable that an oxygen-excess oxide semiconductor layer be used as a semiconductor layer and an oxygen-deficient oxide semiconductor layer be used as a source region and a drain region.

【代表圖】

【本案指定代表圖】：第(2C)圖。

【本代表圖之符號簡單說明】：

110：像素電極

128：透明導電膜

129：透明導電膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

【技術領域】

本發明關於一種具有由將氧化物半導體膜用作通道形成區的薄膜電晶體（以下，稱為 TFT）構成的電路的半導體裝置及其製造方法。例如，關於將以液晶顯示面板為代表的電光裝置或具有有機發光元件的發光顯示裝置作為部件而安裝的電子設備。

另外，本發明說明中的半導體裝置是指藉由利用半導體特性能夠工作的所有裝置，因此電光裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

近年來，對在配置為矩陣狀的每個顯示像素中設置由 TFT 構成的開關元件的主動矩陣型顯示裝置（液晶顯示裝置、發光顯示裝置或電泳顯示裝置）正在積極地進行研究開發。由於主動矩陣型顯示裝置在各個像素（或每個點）中設置開關元件，與單純矩陣方式相比，在增加其像素密度的情況下能夠以低電壓進行驅動而具有優勢。

另外，將氧化物半導體膜用作通道形成區來形成薄膜電晶體（TFT）等，並且將其應用於電子裝置或光裝置的技術受到關注。例如，可以舉出將氧化鋅（ZnO）用作氧化物半導體膜的 TFT、或使用 $\text{InGaO}_3(\text{ZnO})_m$ 的 TFT。在專利文獻 1 和專利文獻 2 中公開有如下技術：將使用這些氧化物半導體膜的 TFT 形成在具有透光性的基板上，並將其應用於圖像顯示裝置的開關元件等。

[專利文獻 1] 日本專利申請公開 2007-123861 號公報

[專利文獻 2] 日本專利申請公開 2007-096055 號公報

對於將氧化物半導體膜用作通道形成區的薄膜電晶體，要求工作速度快，製造步驟相對簡單，並且具有充分的可靠性。

在形成薄膜電晶體時，源極電極和汲極電極使用低電阻的金屬材料。尤其是，在製造用於進行大面積顯示的顯示裝置時，起因於佈線的電阻的信號遲延問題較為顯著。所以，作為佈線或電極的材料較佳使用電阻值低的金屬材料。當薄膜電晶體採用由電阻值低的金屬材料構成的源極電極和汲極電極與氧化物半導體膜直接接觸的結構時，有可能導致接觸電阻增大。可以認為以下原因是導致接觸電阻增大的要因之一：在源極電極和汲極電極與氧化物半導體膜的接觸面上形成有肖特基結。

並且，在源極電極和汲極電極與氧化物半導體膜直接接觸的部分中形成電容，並且頻率特性（稱為 f 特性）降低，有可能妨礙薄膜電晶體的高速工作。

【發明內容】

本發明的一個方式的目的之一在於提供一種使用氧化物半導體膜的薄膜電晶體，其中減少了源極電極或汲極電極的接觸電阻，而且還提供該薄膜電晶體的製造方法。

此外，本發明的一個方式的目的之一還在於提高使用氧化物半導體膜的薄膜電晶體的工作特性及可靠性。

另外，本發明的一個方式的目的之一還在於降低使用氧化物半導體膜的薄膜電晶體的電特性的不均勻性。尤其是，在液晶顯示裝置中，在各元件間的不均勻性較大的情況下，有可能發生起因於該 TFT 特性的不均勻性的顯示不均勻。

此外，在具有發光元件的顯示裝置中，當以在像素電極中有一定的電流流過的方式配置的 TFT（配置在驅動電路中或向像素中的發光元件供給電流的 TFT）的導通電流（ I_{on} ）的不均勻性較大時，有可能引起在顯示畫面中的亮度的不均勻。

如上所述，本發明的一個方式的目的在於解決上述課題中之至少一個。

本發明的一個方式的要旨在於：在閘極絕緣層上形成源極電極層或汲極電極層，然後形成低電阻的氧化物半導體層作為源區或汲區，並且在其上形成氧化物半導體膜作為半導體層。較佳的是，使用具有過量的氧的氧化物半導體層作為半導體層，並使用缺乏氧的氧化物半導體層作為

源區及汲區。用作該源區及汲區的缺乏氧的氧化物半導體層也可以具有直徑為 1nm 至 10nm，典型地為 2nm 至 4nm 左右的晶粒。

此外，也可以在閘極絕緣層和源極電極層及汲極電極層之間設置由低電阻的氧化物半導體層構成的源區及汲區。在此情況下，源極電極層及汲極電極層的上下被第一源區或第一汲區及第二源區或第二汲區夾住。

用作半導體層的氧化物半導體層（第一氧化物半導體層）的氧濃度高於用作源區及汲區的氧化物半導體層（第二氧化物半導體層）的氧濃度。第一氧化物半導體層可以說是具有過量的氧的氧化物半導體層，而第二氧化物半導體層可以說是缺乏氧的氧化物半導體層。

第二氧化物半導體層呈現 n 型導電型，且其導電率比第一氧化物半導體層的導電率高。因此，源區及汲區的電阻比半導體層的電阻低。

此外，第一氧化物半導體層具有非晶結構，第二氧化物半導體層有時在非晶結構中包括晶粒。

注意，為方便起見附加了第一、第二等序數詞，但其並不表示步驟順序或層疊順序。此外，在本發明說明中之序數詞不表示用來特定發明的事項的特殊名稱。

源極電極層和氧化物半導體層需要歐姆接觸，而且還需要儘量減少其接觸電阻。同樣，汲極電極層和氧化物半導體層需要歐姆接觸，而且還需要儘量減少其接觸電阻。

於是，藉由在源極電極層及汲極電極層和閘極絕緣層

之間意圖性地設置其載流子濃度比氧化物半導體層高的源區及汲區，而形成歐姆接觸。用作源區及汲區的低電阻的氧化物半導體層具有 n 型導電型，也稱為 n^+ 區。此外，當將源區及汲區稱為 n^+ 區時，用作通道形成區的氧化物半導體層也稱為 I 型區。

本發明的半導體裝置的一個方式包括薄膜電晶體，該薄膜電晶體包括：閘極電極層；閘極電極層上的閘極絕緣層；閘極絕緣層上的源極電極層及汲極電極層；源極電極層及汲極電極層上的源區及汲區；以及閘極絕緣層、源極電極層、汲極電極層、源區及汲區上的氧化物半導體層，其中，氧化物半導體層隔著閘極絕緣層與閘極電極層重疊，並且，氧化物半導體層的氧濃度高於源區及汲區的氧濃度。

本發明的半導體裝置的另一個方式包括薄膜電晶體，該薄膜電晶體包括：閘極電極層；閘極電極層上的閘極絕緣層；閘極絕緣層上的第一源區及第一汲區；第一源區及第一汲區上的源極電極層及汲極電極層；源極電極層及汲極電極層上的第二源區及第二汲區；以及閘極絕緣層、第一源區、第一汲區、源極電極層、汲極電極層、第二源區及第二汲區上的氧化物半導體層，其中，氧化物半導體層隔著閘極絕緣層與閘極電極層重疊，並且，氧化物半導體層的氧濃度高於第一源區、第一汲區、第二源區及第二汲區的氧濃度。

本發明解決上述課題中的至少一個。

在上述結構中，源區及汲區（第一源區、第一汲區、第二源區及第二汲區）是包含銦、鎵及鋅的氧化物半導體層，且是有時包括尺寸為 1nm 以上且 10nm 以下的晶粒的與半導體層相比低電阻的膜。此外，源區（第一源區、第二源區）的端面和與該端面相對的汲區（第一汲區、第二汲區）的端面與半導體層接觸。

作為半導體層或源區及汲區（第一源區、第一汲區、第二源區及第二汲區），可以使用包含 In、Ga 以及 Zn 的氧化物半導體膜。另外，也可以使用鎢、鉬、鈦、鎳或鋁代替 In、Ga 以及 Zn 中的任何一種。

在本發明說明中，也將使用包含 In、Ga 及 Zn 的氧化物半導體膜形成的半導體層表示為“IGZO 半導體層”。IGZO 半導體層是非單晶半導體層，它至少包含非晶成分。

此外，半導體裝置的製造方法也是本發明之一，在形成源極電極層及汲極電極層和源區及汲區之後，進行電漿處理。再者，在進行電漿處理之後不接觸大氣地藉由濺射法形成半導體層。當被成膜基板在形成半導體層之前接觸大氣時有如下憂慮：水分附著而對介面狀態造成負面影響，因此引起臨界值的不均勻、電特性的退化、成為常導通狀態（normally on）的 TFT 的情況。至於電漿處理，使用氧氣體或氬氣體。也可以使用其他稀有氣體代替氬氣體。

本發明的半導體裝置的製造方法的一個方式包括如下

步驟：在基板上形成閘極電極層；在閘極電極層上形成閘極絕緣層；在閘極絕緣層上形成源極電極層及汲極電極層；在源極電極層及汲極電極層上形成源區及汲區；對閘極絕緣層、源極電極層、汲極電極層、源區及汲區進行電漿處理；在與閘極電極層重疊且受到電漿處理的閘極絕緣層、源極電極層、汲極電極層、源區及汲區上不暴露於大氣地形成氧化物半導體層；以及將氧化物半導體層的氧濃度設定為高於源區及汲區的氧濃度。

本發明的半導體裝置的製造方法的另一個方式包括如下步驟：在閘極電極層上形成閘極絕緣層；在閘極絕緣層上形成第一源區及第一汲區；在第一源區及第一汲區上形成源極電極層及汲極電極層；在源極電極層及汲極電極層上形成第二源區及第二汲區；對閘極絕緣層、第一源區、第一汲區、源極電極層、汲極電極層、第二源區及第二汲區進行電漿處理；在與閘極電極層重疊且受到電漿處理的閘極絕緣層、第一源區、第一汲區、源極電極層、汲極電極層、第二源區、第二汲區上不暴露於大氣地形成氧化物半導體層；以及將氧化物半導體層的氧濃度設定為高於第一源區、第一汲區、第二源區及第二汲區的氧濃度。

藉由電漿處理，可以對露出的閘極絕緣層的表面、源極電極層的表面、汲極電極層的表面、源區及汲區的表面進行清洗。由於在形成半導體層（IGZO 半導體層）之前，藉由光微影技術對源極電極層、汲極電極層、源區及汲區進行蝕刻加工，因此進行與殘留在表面的有機物發生

反應來去除有機物等的碎屑的電漿處理是有效的。

特別是，爲了在電漿處理之後不接觸大氣地藉由濺射法形成半導體層（IGZO 半導體層），較佳進行稱爲反濺射（reverse sputtering）的電漿處理中之一種，該反濺射可以在相同的處理室中進行電漿處理和半導體層（IGZO 半導體層）的成膜。反濺射是指一種方法，其中不對靶材一側施加電壓，而在氧或氧和氬的氣氛下對基板一側施加電壓並在基板上形成電漿來對表面進行改性。

當在處理室中使用氧氣體進行電漿處理時，藉由對閘極絕緣層表面照射氧自由基，將閘極絕緣層表面改變爲具有過量的氧的區域並提高在與後面形成的半導體層（IGZO 半導體層）的界面的氧濃度。藉由對閘極絕緣層進行氧自由基處理來層疊半導體層，並進行熱處理，也可以將半導體層（IGZO 半導體層）的閘極絕緣層一側的氧濃度成爲高濃度。因此，閘極絕緣層和半導體層（IGZO 半導體層）的界面具有氧濃度的峰值，且閘極絕緣層的氧濃度具有濃度梯度，該梯度隨著靠近閘極絕緣層和半導體層（IGZO 半導體層）的界面而增加。包括具有過量的氧的區域的閘極絕緣層和具有過量的氧的氧化物半導體層（IGZO 半導體層）的親和性高，所以可以獲得良好的界面特性。

既可利用包含氧的氣體由電漿產生裝置供給氧自由基，又可由臭氧產生裝置供給氧自由基。藉由將所供給的氧自由基或氧照射到薄膜，能夠對膜表面進行改性。

另外，也可以進行氬和氧的自由基處理，而不局限於氧自由基處理。氬和氧的自由基處理是指藉由引入氬氣體和氧氣體而產生電漿以對薄膜表面進行改性。

藉由施加電場而產生有放電電漿的反應空間中的 Ar 原子 (Ar) 被放電電漿中的電子 (e) 激發或電離，而成為氬自由基 (Ar^*)、氬離子 (Ar^+) 或電子 (e)。氬自由基 (Ar^*) 處於能量高的準穩定狀態，並與其周圍的同種或異種原子起反應而使該原子激發或電離以回到穩定狀態時發生如雪崩現象那樣的反應。此時，若其周圍存在有氧，則使氧原子 (O) 激發或電離而成為氧自由基 (O^*)、氧離子 (O^+) 或氧 (O)。進行一種電漿處理，其中該氧自由基 (O^*) 與被處理物的薄膜表面的材料起反應而對表面進行改性，並與存在於表面上的有機物起反應而去除有機物。另外，與反應性氣體 (氧氣體) 的自由基相比，氬氣體的自由基可以長時間地維持準穩定狀態，從而通常使用氬氣體以產生電漿。

此外，在使用氧氣體的情況下，根據電漿處理的條件，源極電極層及汲極電極層的表面受到氧化。由於在本發明中，在源極電極層及汲極電極層上形成源區及汲區之後進行電漿處理，因此只主動電極層及汲極電極層的露出的端部受到氧化。由此，只主動電極層及汲極電極層的與半導體層接觸的區域受到氧化，而其他區域不受到氧化，從而可以保持為低電阻。另外，源區及汲區和半導體層的接觸面積大，源區或汲區可以與半導體層電連接。

此外，藉由縮減所使用的光掩模的數量，也可以在源區和汲區的蝕刻加工之後，以源區和汲區為掩模自對準地形成源極電極層及汲極電極層。在此情況下，源區（或汲區）的端面和源極電極層（或汲極電極層）的端面大致一致，所以源區和汲區的間隔與源極電極層和汲極電極層的間隔大致一致。

藉由濺射法形成 IGZO 半導體層、源極電極層及汲極電極層、源區及汲區，即可。

作為濺射法具有如下方法：作為濺射用電源使用高頻電源的 RF 濺射法、DC 濺射法以及以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用來形成絕緣膜，而 DC 濺射法主要用來形成金屬膜。

另外，還有可以設置多個材料不同的靶材的多源濺射裝置（multi-source sputtering apparatus）。多源濺射裝置既可以在同一個處理室中層疊形成不同的材料膜，又可以在同一個處理室中同時對多種材料進行放電而進行成膜。

另外，還有在處理室中具備磁鐵機構的使用磁控濺射法的濺射裝置和使用 ECR 濺射法的濺射裝置，該 ECR 濺射法採用不使用輝光放電而使用微波產生的電漿。

此外，作為採用濺射法的成膜方法，還有在成膜時使靶材物質和濺射氣體成分發生化學反應來形成它們的化合物薄膜的反應濺射法、以及在成膜時還對基板施加電壓的偏壓濺射法。

採用這些各種濺射法來形成半導體層、源區及汲區、

源極電極層及汲極電極層。

另外，在將 IGZO 半導體層用作半導體層的情況下，源區及汲區也是包含銦、鎵及鋅的氧化物層，以與 IGZO 半導體層的成膜條件不同的成膜條件形成。源區及汲區的成膜條件包括在剛形成之後含有尺寸為 1nm 以上且 10nm 以下的晶粒的條件。例如，當採用使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 1$ 的靶材並藉由 DC 濺射法以氬流量：氧流量為 2：1 的比例引入到處理室的成膜條件、或只引入氬氣體的成膜條件時，有時獲得在剛形成之後含有尺寸為 1nm 以上且 10nm 以下的晶粒的膜。另外，由於設定為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 1$ 的靶材是為獲得非晶狀的氧化物半導體膜而以該比例意圖性地設計的，因此可以改變靶材的組成比，以獲得結晶性更高的膜作為源區及汲區。為了實現工藝的簡單化、低成本，較佳的是，僅藉由改變引入的氣體，使用相同的靶材分別形成用於 IGZO 半導體層的膜和用於源區及汲區的膜。

藉由積極地將缺乏氧的氧化物半導體層作為源區及汲區設置，可以使金屬層的源極電極層或汲極電極層和 IGZO 膜之間進行良好的接合，與肖特基結相比在熱方面上也可以穩定工作。此外，為了供給通道的載流子（源極一側），穩定地吸收通道的載流子（汲極一側），或不在與源極電極層（或汲極電極層）的介面產生電阻成分，積極地設置源區或汲區十分重要。為了在汲電壓高的情況下也保持良好的遷移率，低電阻化是重要的。

另外，較佳使用鈦膜作為源極電極層和汲極電極層。例如，當使用鈦膜、鋁膜、鈦膜的疊層時，實現低電阻且在鋁膜中不容易產生小丘。

此外，因為濺射法對靶材施加 Ar 離子的強能量，所以可以認為本來在所形成的 IGZO 半導體層中存在著強的應變能。較佳以 200℃ 至 600℃，典型地以 300℃ 至 500℃ 進行熱處理，以便釋放該應變能。藉由進行該熱處理，進行原子能級的重新排列。由於藉由進行該熱處理而釋放阻礙載流子遷移的應變能，所以成膜和熱處理（還包括光退火）是重要的。

根據本發明的一個方式，可以獲得一種光電流少，寄生電容小且導通截止比高的薄膜電晶體，從而可以製造具有良好的動態特性的薄膜電晶體。所以，可以提供具有電特性高且可靠性高的薄膜電晶體的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 是說明半導體裝置的製造方法的圖；

圖 2A 至 2C 是說明半導體裝置的製造方法的圖；

圖 3 是說明半導體裝置的製造方法的圖；

圖 4 是說明半導體裝置的製造方法的圖；

圖 5 是說明半導體裝置的製造方法的圖；

圖 6 是說明半導體裝置的圖；

圖 7A 至 7D 是說明半導體裝置的圖；

圖 8 是說明半導體裝置的圖；

圖 9A 至 9C 是說明半導體裝置的製造方法的圖；

圖 10A 至 10C 是說明半導體裝置的製造方法的圖；

圖 11 是說明半導體裝置的圖；

圖 12A 和 12B 是說明半導體裝置的方塊圖的圖；

圖 13 是說明信號線驅動電路的結構的圖；

圖 14 是說明信號線驅動電路的工作的時序圖；

圖 15 是說明信號線驅動電路的工作的時序圖；

圖 16 是說明移位暫存器的結構的圖；

圖 17 是說明圖 16 所示的觸發器的連接結構的圖；

圖 18 是說明半導體裝置的像素等效電路的圖；

圖 19A 至 19C 是說明半導體裝置的圖；

圖 20A 至 20C 是說明半導體裝置的圖；

圖 21 是說明半導體裝置的圖；

圖 22A 和 22B 是說明半導體裝置的圖；

圖 23A 和 23B 是說明電子紙的使用方式的例子的圖；

圖 24 是示出電子書籍的一例的外觀圖；

圖 25A 和 25B 是示出電視裝置及數位相框的例子的外觀圖；

圖 26A 和 26B 是示出遊戲機的例子的外觀圖；

圖 27 是示出行動電話機的一個例子的外觀圖。

【實施方式】

下面，將參照附圖詳細地說明本發明的實施例模式。但是，本發明不局限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施例模式所記載的內容中。注意，在下面所說明的本發明的結構中，在不同的附圖中共同使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略其重複說明。

[實施例模式 1]

在本實施例模式中，參照圖 1A 至圖 7D 說明薄膜電晶體及其製造步驟。

在圖 1A 中，作為具有透光性的基板 100，可以使用以由康寧公司製造的 #7059 玻璃及 #1737 玻璃等為代表的鋁硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃等的玻璃基板。

接著，在基板 100 的整個表面上形成導電層，然後進行第一光石印步驟，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分來形成佈線及電極（包括閘極電極 101 的閘極佈線、電容佈線 108 及第一端子 121）。此時，至少閘極電極 101 的端部被蝕刻為錐形。圖 1A 示出這個步驟的截面圖。另外，這個步驟的俯視圖相當於圖 3。

包括閘極電極 101 的閘極佈線、電容佈線 108 及端子部的第一端子 121 較佳使用鋁（Al）或銅（Cu）等的低電

阻導電材料形成，但是因為當使用 Al 單體時有耐熱性低及容易腐蝕等問題，所以與耐熱性導電材料組合而形成。作為耐熱性導電材料，使用選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）中的元素、以上述元素為成分的合金、組合上述元素的合金膜、或以上述元素為成分的氮化物來形成。

接著，在閘極電極 101 的整個表面上形成閘極絕緣層 102。藉由濺射法等，形成 50nm 至 250nm 厚的閘極絕緣層 102。

例如，藉由濺射法並使用氧化矽膜來形成 100nm 厚的閘極絕緣層 102。當然，閘極絕緣層 102 不局限於這種氧化矽膜，也可以使用氧氮化矽膜、氮化矽膜、氧化鋁膜、氧化鉭膜等的其他絕緣膜來形成由這些材料構成的單層或疊層結構作為閘極絕緣層 102。

接著，藉由濺射法、真空蒸鍍法在閘極絕緣層 102 上形成由金屬材料構成的導電膜。作為導電膜的材料，可舉出選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。在此，導電膜採用如下三層結構：Ti 膜，在該 Ti 膜上層疊鋁（Al）膜，並且在其上形成 Ti 膜。此外，導電膜也可以採用兩層結構，即也可以在鋁膜上層疊鈦膜。此外，作為導電膜，還可以採用包含矽的鋁膜的單層結構、鈦膜的單層結構。

接著，藉由濺射法在導電膜上形成第一氧化物半導體

膜（本實施例模式中的第一 IGZO 膜）。在此，使用設定為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材並在如下成膜條件下進行濺射成膜：壓力為 0.4Pa；電力為 500W；成膜溫度為室溫；所引入的氬氣體流量為 40sccm。雖然意圖性地使用設定為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材，但有時得到在剛進行成膜之後包括尺寸為 1nm 至 10nm 的晶粒的 IGZO 膜。另外，可以說藉由適當地調整靶材的成分比、成膜壓力（0.1Pa 至 2.0Pa）、電力（250W 至 3000W：8 英寸 ϕ ）、溫度（室溫至 100℃）、反應性濺射的成膜條件等，可以調整晶粒的有無及晶粒的密度，還可以將直徑尺寸調整為 1nm 至 10nm 的範圍內。第一 IGZO 膜的膜厚度為 5nm 至 20nm。當然，當在膜中包括晶粒時，所包括的晶粒的尺寸不超過膜厚度。在本實施例模式中，將第一 IGZO 膜的膜厚度設定為 5nm。

藉由採用濺射法並適當地切換引入到處理室中的氣體或設置的靶材，可以以不接觸大氣的方式連續形成閘極絕緣層、導電膜及第一 IGZO 膜。藉由以不接觸大氣的方式連續成膜，可以防止雜質的混入。在以不接觸大氣的方式連續成膜的情況下，較佳使用多室式製造裝置。

接著，進行第二光石印步驟，形成抗蝕劑掩模，並蝕刻第一 IGZO 膜。在此，藉由使用 ITO-07N（日本關東化學株式會社製造）的濕蝕刻，去除不需要的部分形成第一 IGZO 膜的 IGZO 層 111a、111b。另外，在此的蝕刻不局限於濕蝕刻，而還可以採用乾蝕刻。

接著，使用與用於第一 IGZO 膜的蝕刻相同的抗蝕劑掩模，藉由蝕刻去除不需要的部分來形成源極電極層 105a 及汲極電極層 105b。作為此時的蝕刻方法，採用濕蝕刻或乾蝕刻。在此，藉由以 SiCl_4 、 Cl_2 和 BCl_3 的混合氣體為反應氣體的乾蝕刻，蝕刻按順序層疊 Ti 膜、Al 膜和 Ti 膜而成的導電膜來形成源極電極層 105a 及汲極電極層 105b。圖 1B 示出這個步驟的截面圖。另外，這個步驟的俯視圖相當於圖 4。

此外，在該第二光石印步驟中，將與源極電極層 105a 及汲極電極層 105b 相同的材料的第二端子 122 殘留在端子部。另外，第二端子 122 與源極佈線（包括源極電極層 105a 的源極佈線）電連接。

此外，在電容部中，與電容佈線 108 重疊的第一 IGZO 膜被去除。另外，在端子部中存在於第二端子 122 的上方且與第二端子 122 重疊的第一 IGZO 膜的 IGZO 層 123 殘留。

接著，在去除抗蝕劑掩模之後進行電漿處理。圖 1C 示出這個步驟的截面圖。在此，藉由進行引入氧氣體和氬氣體來產生電漿的反濺射，對露出的閘極絕緣層照射氧自由基或氧。像這樣，去除附著於表面的塵屑，並將閘極絕緣層表面改性為具有過量的氧的區域。對於在後面的步驟中用來提高可靠性的熱處理（ 200°C 至 600°C ）中形成用來進行 IGZO 半導體層介面的改性的氧的供給源，有效的是：對閘極絕緣層表面進行氧自由基處理來將該表面改性

為具有過量的氧的區域。

另外，根據電漿處理的條件，在露出的源極電極層 105a 及汲極電極層 105b 的側面形成氧化膜（未圖示），但是因為本結構不是源極電極層 105a 及汲極電極層 105b 直接接觸通道形成區的結構，所以可以說不存在問題。反而可以借助該氧化膜而形成源極電極層 105a 及汲極電極層 105b 隔著源區或汲區與通道形成區接觸的結構。此外，由於當在源極電極層及汲極電極層上形成源區及汲區之後進行電漿處理，因此只主動電極層及汲極電極層的露出部分受到氧化。由此，只主動電極層及汲極電極層的與半導體層接觸的區域受到氧化而其他區域不受到氧化，從而可以保持為低電阻。此外，源區及汲區和半導體層的接觸面積大，並且源區或汲區可以與半導體層電連接。

接著，在進行電漿處理之後，以不暴露於大氣的方式形成第二氧化物半導體膜（本實施例模式中的第二 IGZO 膜）。從防止塵屑及水分附著到閘極絕緣層和半導體膜的介面這一點來看，在進行電漿處理之後以不暴露於大氣的方式形成第二 IGZO 膜是有效的。在此，使用直徑為 8 英寸的包含 In、Ga 及 Zn 的氧化物半導體靶材（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1），基板和靶材之間的距離為 170mm，壓力為 0.4Pa，直流（DC）電源為 0.5kW，在氬或氧氣氛下形成第二 IGZO 膜。另外，藉由使用脈衝直流（DC）電源，可以減輕塵屑且膜厚度分佈也變均勻，所以是較佳的。第二 IGZO 膜的膜厚度為 5nm 至 200nm。在

本實施例模式中，第二 IGZO 膜的膜厚度為 100nm。

藉由使第二 IGZO 膜的成膜條件不同於第一 IGZO 膜的成膜條件，使第二 IGZO 膜中包含多於第一 IGZO 膜中的氧濃度的氧。例如，設定如下條件：與第一 IGZO 膜的成膜條件中的氧氣體流量和氬氣體流量的比相比，第二 IGZO 膜的成膜條件中的氧氣體流量所占的比率更多。具體而言，第一 IGZO 膜的成膜條件為在稀有氣體（氬或氦等）氣氛下（或氧氣體為 10% 以下，氬氣體為 90% 以上），第二 IGZO 膜的成膜條件為氧氣氛下（或氬氣體流量和氧氣體流量的比為 1：1 以上）。藉由使第二 IGZO 膜中包含更多的氧，可以使其導電率低於第一 IGZO 膜的導電率。此外，藉由使第二 IGZO 膜中包含更多的氧，可以謀求截止電流的減少，從而可以得到導通截止比高的薄膜電晶體。

至於第二 IGZO 膜的成膜，也可以使用與之前進行了反濺射的處理室相同的處理室。只要能夠以不暴露於大氣的方式進行成膜，就還可以使用與之前進行反濺射的處理室不同的處理室進行成膜。

接著，較佳以 200℃ 至 600℃，典型的是以 300℃ 至 500℃ 進行熱處理。在此放置在爐中，在氮氣氛下以 350℃ 進行一個小時的熱處理。藉由該熱處理，進行 IGZO 膜的原子能級的重新排列。由於借助於該熱處理而釋放阻礙載流子遷移的應變能，所以在此的熱處理（還包括光退火）是重要的。另外，進行熱處理的時序只要在形成第二

IGZO 膜之後，就沒有特別的限制，例如也可以在形成像素電極之後進行。

接著，進行第三光石印步驟，形成抗蝕劑掩模，並藉由蝕刻去除不需要的部分，來形成 IGZO 半導體層 103。在此，藉由使用 ITO-07N（日本關東化學株式會社製造）的濕蝕刻，去除第二 IGZO 膜來形成 IGZO 半導體層 103。另外，由於對第一 IGZO 膜和第二 IGZO 膜使用相同的蝕刻劑，因此藉由在此的蝕刻去除第一 IGZO 膜。由此，雖然覆蓋有第二 IGZO 膜的第一 IGZO 膜的側面受到保護，但是如圖 2A 所示，露出的第一 IGZO 膜（IGZO 層 111a、111b）受到蝕刻而形成源區 104a、汲區 104b。另外，對 IGZO 半導體層 103 的蝕刻不局限於濕蝕刻，而還可以採用乾蝕刻。藉由上述步驟，可以製造以 IGZO 半導體層 103 為通道形成區的薄膜電晶體 170。圖 2A 示出這個步驟的截面圖。另外，這個步驟的俯視圖相當於圖 5。

接著，去除抗蝕劑掩模，形成覆蓋 IGZO 半導體層的保護絕緣膜 107。作為保護絕緣膜 107，可以使用藉由濺射法得到的氮化矽膜、氧化矽膜、氧氮化矽膜、氧化鋁膜、氧化鉬膜等。

接著，進行第四光石印步驟，形成抗蝕劑掩模，並藉由保護絕緣膜 107 的蝕刻形成到達汲極電極層 105b 的接觸孔 125。此外，藉由在此的蝕刻，還形成到達第二端子 122 的接觸孔 127。另外，為了縮減掩模數，較佳使用同一抗蝕劑掩模還對閘極絕緣層進行蝕刻，並使用相同的抗

蝕劑掩模形成到達閘極電極的接觸孔 126。圖 2B 示出這個步驟的截面圖。

接著，在去除抗蝕劑掩模之後，形成透明導電膜。作為透明導電膜的材料，藉由濺射法或真空蒸鍍法等使用氧化銦（ In_2O_3 ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ 、縮寫為 ITO）等以形成透明導電膜。使用鹽酸類的溶液進行對這些材料的蝕刻處理。然而，由於對 ITO 的蝕刻特別容易產生殘渣，因此也可以使用氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ），以便改善蝕刻加工性。

接著，進行第五光石印步驟，形成抗蝕劑掩模，並藉由蝕刻去除不需要的部分，來形成像素電極 110。

此外，在該第五光石印步驟中，以電容部中的閘極絕緣層 102 及保護絕緣膜 107 為電介質使用電容佈線 108 和像素電極 110 形成儲存電容。

另外，在該第五光石印步驟中，使用抗蝕劑掩模覆蓋第一端子及第二端子並使形成在端子部的透明導電膜 128、129 殘留。透明導電膜 128、129 成為用來與 FPC 連接的電極或佈線。形成在第二端子 122 上的透明導電膜 129 是用作源極佈線的輸入端子的連接用端子電極。

接著，去除抗蝕劑掩模。圖 2C 示出這個步驟的截面圖。另外，這個步驟的俯視圖相當於圖 6。

此外，圖 7A 和圖 7B 分別示出這個步驟的閘極佈線端子部的俯視圖及截面圖。圖 7A 相當於沿著圖 7B 中的 C1-C2 線的截面圖。在圖 7A 中，形成在保護絕緣膜 154

上的透明導電膜 155 是用作輸入端子的連接用端子電極。另外，在圖 7A 中，在端子部中使用與閘極佈線相同的材料形成的第一端子 151 和使用與源極佈線相同的材料形成的連接電極 153 隔著閘極絕緣層 152 重疊，利用透明導電膜 155 導通。此外，圖 2C 所示的透明導電膜 128 和第一端子 121 接觸的部分對應於圖 7A 的透明導電膜 155 和第一端子 151 接觸的部分。

另外，圖 7C 及圖 7D 分別示出與圖 2C 所示的源極佈線端子部不同的源極佈線端子部的俯視圖及截面圖。此外，圖 7C 相當於沿著圖 7D 中的 D1-D2 線的截面圖。在圖 7C 中，形成在保護絕緣膜 154 上的透明導電膜 155 是用作輸入端子的連接用端子電極。另外，在圖 7C 中，在端子部中使用與閘極佈線相同的材料形成的電極 156 隔著閘極絕緣層 102 重疊在與源極佈線電連接的第二端子 150 的下面。電極 156 不與第二端子 150 電連接，藉由將電極 156 設定為與第二端子 150 不同的電位，例如浮動狀態、GND、0V 等，可以形成作為對雜波的措施的電容或作為對靜電的措施的電容。此外，第二端子 150 隔著保護絕緣膜 154 與透明導電膜 155 電連接。

根據像素密度設置多個閘極佈線、源極佈線及電容佈線。此外，在端子部中排列地配置多個具有與閘極佈線相同的電位的第一端子、多個具有與源極佈線相同的電位的第二端子、多個具有與電容佈線相同的電位的第三端子等。各端子的數量可以是任意的，而實施者適當地決定各

端子的數量，即可。

像這樣，藉由五次的光石印步驟，使用五個光掩模來可以完成包括底閘型的 n 通道型薄膜電晶體的薄膜電晶體 170 的像素薄膜電晶體部、儲存電容。而且，藉由對應於每一個像素將該像素薄膜電晶體部、儲存電容配置為矩陣狀來構成像素部，可以形成用來製造主動矩陣型顯示裝置的一個基板。在本發明說明中，為方便起見將這種基板稱為主動矩陣基板。

當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層，固定主動矩陣基板和對置基板。另外，在主動矩陣基板上設置與設置在對置基板上的對置電極電連接的共同電極，在端子部設置與共同電極電連接的第四端子。該第四端子是用來將共同電極設定為固定電位例如 GND、0V 等的端子。

此外，不局限於圖 6 的像素結構。圖 8 示出與圖 6 不同的俯視圖的例子。圖 8 示出一個例子，其中不設置電容佈線，並隔著保護絕緣膜及閘極絕緣層重疊像素電極和相鄰的像素的閘極佈線來形成儲存電容。在此情況下，可以省略電容佈線及與電容佈線連接的第三端子。另外，在圖 8 中，使用相同的附圖標記說明與圖 6 相同的部分。

在主動矩陣型液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在螢幕上形成顯示圖案。詳細地說，藉由在被選擇的像素電極和對應於該像素電極的對置電極之間施加電壓，進行配置在像素電極和對置電極之間的液晶層

的光學調變，該光學調變作為顯示圖案被觀察者確認。

當液晶顯示裝置顯示動態圖像時，由於液晶分子本身的響應慢，所以有產生餘象或動態圖像模糊的問題。有一種被稱作黑插入的驅動技術，其中為了改善液晶顯示裝置的動態圖像特性，在每隔一幀進行整個表面的黑顯示。

此外，還有被稱作倍速驅動的驅動技術，其中藉由將通常的垂直週期設定為 1.5 倍或 2 倍以上，改善回應速度來改善動態圖像特性。

另外，還有如下驅動技術：為了改善液晶顯示裝置的動態圖像特性，作為背光燈使用多個 LED（發光二極體）光源或多個 EL 光源等構成面光源，並使構成面光源的各光源獨立地在一個幀期間內進行間歇發光驅動。作為面光源，可以使用三種以上的 LED 或白色發光的 LED。由於可以獨立地控制多個 LED，因此也可以按照液晶層的光學調變的切換時序使 LED 的發光時序同步。因為在這種驅動技術中可以部分地關斷 LED，所以特別在進行一個螢幕中的黑色顯示區所占的比率高的圖像顯示的情況下，可以得到耗電量的減少效果。

藉由組合這些驅動技術，可以比現有液晶顯示裝置進一步改善現有的液晶顯示裝置的動態圖像特性等的顯示特性。

由於根據本實施例模式而得到的 n 通道型電晶體將 IGZO 半導體層用於通道形成區並具有良好的動態特性，因此可以組合這些驅動技術。

此外，在製造發光顯示裝置的情況下，因為將有機發光元件的一個電極（也稱為陰極）設定為低電源電位，例如 GND、0V 等，所以在端子部設置用來將陰極設定為低電源電位，例如 GND、0V 等的第四端子。此外，在製造發光顯示裝置的情況下，除了源極佈線及閘極佈線之外還設置電源供給線。由此，在端子部中設置與電源供給線電連接的第五端子。

根據本實施例模式可以得到光電流少，寄生電容小，且導通截止比高的薄膜電晶體，而可以製造具有良好的動態特性的薄膜電晶體。因此，可以提供具有電特性高且可靠性高的薄膜電晶體的半導體裝置。

[實施例模式 2]

本實施例模式示出在實施例模式 1 的薄膜電晶體中將源區及汲區設置在源極電極層及汲極電極層之上下的例子。參照圖 9A 至 10C 說明具有與實施例模式 1 不同的結構的薄膜電晶體及其製造步驟。

由於本實施例模式僅與實施例模式 1 的一部分不同，因此對於與圖 1A 至圖 8 相同的部分使用相同的附圖標記且省略關於相同的步驟的重複說明，下面進行說明。

首先，與實施例模式 1 同樣，在基板 100 上形成導電層，然後進行第一光石印步驟，形成抗蝕劑掩模，並藉由蝕刻去除不需要的部分來形成佈線及電極（包括閘極電極 101 的閘極佈線、電容佈線 108 及第一端子 121）。這個

步驟的截面圖是圖 9A，圖 9A 與圖 1A 相同。由此，圖 3 的俯視圖對應於圖 9A。

接著，與實施例模式 1 同樣，在閘極電極 101 的整個表面上形成閘極絕緣層 102。藉由濺射法等，形成 50nm 至 250nm 厚的閘極絕緣層 102。例如，藉由濺射法使用氧化矽膜來形成 110nm 厚的閘極絕緣層 102。

接著，藉由濺射法在閘極絕緣層 102 上形成第一氧化物半導體膜（本實施例模式中的第一 IGZO 膜）。在此，使用設定為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材並在如下成膜條件下進行濺射成膜：壓力為 0.4Pa；電力為 500W；成膜溫度為室溫；所引入的氬氣體流量為 40sccm。雖然意圖性地使用設定為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材，但是有時得到在剛進行成膜之後包括尺寸為 1nm 至 10nm 的晶粒的 IGZO 膜。另外，可以說藉由適當地調整靶材的成分比、成膜壓力（0.1Pa 至 2.0Pa）、電力（250W 至 3000W：8 英寸 ϕ ）、溫度（室溫至 100℃）、反應性濺射的成膜條件等，可以調整晶粒的有無及晶粒的密度，還可以將直徑尺寸調整為 1nm 至 10nm 的範圍內。第一 IGZO 膜的膜厚度為 5nm 至 20nm。當然，當在膜中包括晶粒時，所包括的晶粒的尺寸不超過膜厚度。在本實施例模式中，將第一 IGZO 膜的膜厚度設定為 5nm。

接著，藉由濺射法、真空蒸鍍法在第一 IGZO 膜上形成由金屬材料構成的導電膜。作為導電膜的材料，可舉出選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素為

成分的合金、組合上述元素的合金膜等。在此，導電膜採用如下三層結構：Ti 膜，在該 Ti 膜上層疊鋁（Al）膜，並且在其上形成 Ti 膜。此外，導電膜也可以採用兩層結構，即在鋁膜上層疊鈦膜。在此，導電膜採用包含矽的鋁膜的單層結構。

接著，藉由濺射法在導電膜上形成第二氧化物半導體膜（本實施例模式中的第二 IGZO 膜）。可以採用與第一 IGZO 膜相同的成膜條件形成該第二 IGZO 膜。作為第二 IGZO 膜，使用有時在剛成膜之後包括尺寸為 1nm 至 10nm 的晶粒的 IGZO 膜。第二 IGZO 膜的膜厚度為 5nm 至 20nm。本實施例模式中的第二 IGZO 膜的膜厚度為 5nm。

藉由採用濺射法並適當地切換引入到處理室中的氣體或設置的靶材，可以以不接觸大氣的方式連續形成閘極絕緣層、第一 IGZO 膜、導電膜及第二 IGZO 膜。藉由以不接觸大氣的方式連續成膜，可以防止雜質的混入。在以不接觸大氣的方式連續成膜的情況下，較佳使用多室式製造裝置。

接著，藉由第二光石印步驟，在第二 IGZO 膜上形成抗蝕劑掩模，並藉由蝕刻去除不需要的部分，來形成第一源區 106a 及第一汲區 106b、源極電極層 105a 及汲極電極層 105b、第二 IGZO 膜的 IGZO 層 111a、111b。作為此時的蝕刻方法，採用濕蝕刻或乾蝕刻。在此，在藉由使用 ITO-07N（日本關東化學株式會社製造）的濕蝕刻，形成

IGZO 層 111a、111b 之後，藉由以 SiCl_4 、 Cl_2 和 BCl_3 的混合氣體為反應氣體的乾蝕刻，蝕刻按順序層疊 Ti 膜、Al 膜和 Ti 膜而成的導電膜來形成源極電極層 105a 及汲極電極層 105b。然後，藉由使用相同的抗蝕劑掩模進行使用 ITO-07N（日本關東化學株式會社製造）的濕蝕刻，形成第一源區 106a 及第一汲區 106b。圖 9B 示出這個步驟的截面圖。另外，這個步驟的俯視圖相當於圖 4。

在電容部中，去除與電容佈線 108 重疊的第一 IGZO 膜及第二 IGZO 膜。在端子部中，第二 IGZO 膜的 IGZO 層 123 殘留在第二端子 122 上。存在於第二端子 122 下方且與它重疊的 IGZO 膜 130 殘留。

接著，在去除抗蝕劑掩模之後進行電漿處理。圖 9C 示出這個步驟的截面圖。在此，藉由進行引入氧氣體和氬氣體來產生電漿的反濺射，對露出的閘極絕緣層照射氧自由基或氧。像這樣，去除附著於表面的塵屑並將閘極絕緣層表面改性為具有過量的氧的區域。對於在後面的步驟中用來提高可靠性的熱處理（ 200°C 至 600°C ）中形成用來進行 IGZO 半導體層介面的改性的氧的供給源，有效的是：對閘極絕緣層表面進行氧自由基處理來將該表面改性為具有過量的氧的區域。

此外，由於在源極電極層 105a 及汲極電極層 105b 上設置有 IGZO 層 111a、111b，因此可以減少電漿損壞。另外，由於設置有 IGZO 層 111a、111b，因此可以抑制在源極電極層 105a 及汲極電極層 105b 中因氧化而導致佈線電

阻的增大。

另外，根據電漿處理的條件，在露出的源極電極層 105a 及汲極電極層 105b 的側面形成氧化膜（未圖示），但是因為本結構不是源極電極層 105a 及汲極電極層 105b 直接接觸通道形成區的結構，所以可以說不存在問題。反而可以借助該氧化膜形成源極電極層 105a 及汲極電極層 105b 隔著源區或汲區與通道形成區接觸的結構。

接著，在進行電漿處理之後，以不暴露於大氣的方式形成第三氧化物半導體膜（本實施例模式中的第三 IGZO 膜）。從防止塵屑及水分附著到閘極絕緣層和半導體膜的介面這一點來看，在進行電漿處理之後以不暴露於大氣的方式形成第三 IGZO 膜是有效的。在此，使用直徑為 8 英寸的包含 In、Ga 及 Zn 的氧化物半導體靶材（ In_2O_3 : Ga_2O_3 : ZnO =1 : 1 : 1），基板和靶材之間的距離為 170mm，壓力為 0.4Pa，直流（DC）電源為 0.5kW，在氬或氧氣氮下形成第三 IGZO 膜。另外，藉由使用脈衝直流（DC）電源，可以減輕塵屑且膜厚度分佈也變均勻，所以是較佳的。第三 IGZO 膜的膜厚度為 5nm 至 200nm。在本實施例模式中，第三 IGZO 膜的膜厚度為 100nm。

藉由使第三 IGZO 膜的成膜條件不同於第一及第二 IGZO 膜的成膜條件，使第三 IGZO 膜中包含多於第一及第二 IGZO 膜中的氧濃度的氧。例如，設定如下條件：與第一及第二 IGZO 膜的成膜條件中的氧氣體流量和氬氣體流量的比相比，第三 IGZO 膜的成膜條件中的氧氣體流量

所占的比率更多。

具體而言，第一及第二 IGZO 膜的成膜條件為在稀有氣體（氬或氦等）氣氛下（或氧氣體為 10% 以下，氬氣體為 90% 以上），第三 IGZO 膜的成膜條件為氧氣氛下（或氬氣體流量和氧氣體流量的比為 1：1 以上）。

藉由使第三 IGZO 膜中包含更多的氧，可以使其導電率低於第一及第二 IGZO 膜的導電率。此外，藉由使第三 IGZO 膜中包含許多氧，可以謀求截止電流的減少，從而可以得到導通截止比高的薄膜電晶體。

至於第三 IGZO 膜的成膜，也可以使用與之前進行反濺射的處理室相同的處理室。只要能夠以不暴露於大氣的方式進行成膜，就還可以使用與之前進行反濺射的處理室不同的處理室進行成膜。

接著，較佳以 200℃ 至 600℃，典型的是以 300℃ 至 500℃ 進行熱處理。在此放置在爐中，在氮氣氛下以 350℃ 進行一個小時的熱處理。藉由該熱處理，進行 IGZO 膜的原子能級的重新排列。由於借助於該熱處理而釋放阻礙載流子遷移的應變能，所以在此的熱處理（還包括光退火）是重要的。另外，進行熱處理的時序只要在形成第三 IGZO 膜之後，就沒有特別的限制，例如也可以在形成像素電極之後進行。

接著，進行第三光石印步驟，形成抗蝕劑掩模，並藉由蝕刻去除不需要的部分，來形成 IGZO 半導體層 103。藉由上述步驟，可以製造以 IGZO 半導體層 103 為通道形

成區的薄膜電晶體 171。圖 10A 示出這個步驟的截面圖。另外，這個步驟的俯視圖相當於圖 5。在此，藉由使用 ITO-07N（關東化學株式會社製造）的濕蝕刻，去除第三 IGZO 膜來形成 IGZO 半導體層 103。另外，由於對第一 IGZO 膜、第二 IGZO 膜及第三 IGZO 膜使用相同的蝕刻劑，因此藉由在此的蝕刻去除第一 IGZO 膜的一部分及第二 IGZO 膜的一部分。被第三 IGZO 膜覆蓋並殘留的第二 IGZO 膜分別成為第二源區 104a 及第二汲區 104b。此外，雖然覆蓋有第三 IGZO 膜的第一 IGZO 膜的側面受到保護，但是如圖 10A 所示，另一方第一 IGZO 膜的側面露出並稍微受到蝕刻，所以其端面的形狀變化。另外，對 IGZO 半導體層 103 的蝕刻不局限於濕蝕刻，而還可以採用乾蝕刻。

此外，藉由在此的蝕刻，在端子部中，去除設置在第二端子 122 上的第二 IGZO 膜的 IGZO 層 123。

接著，與實施例模式 1 同樣，形成覆蓋 IGZO 半導體層的保護絕緣膜 107。由於後面的步驟與實施例模式 1 相同，因此在此僅進行簡單的說明。

在形成保護絕緣膜 107 之後，進行第四光石印步驟，形成抗蝕劑掩模，並藉由保護絕緣膜 107 的蝕刻來形成接觸孔 125、126、127。圖 10B 示出這個步驟的截面圖。

接著，在去除抗蝕劑掩模之後，形成透明導電膜。然後，進行第五光石印步驟，形成抗蝕劑掩模，並藉由蝕刻去除不需要的部分來形成像素電極 110，而殘留形成在端

子部的透明導電膜 128、129。接著，去除抗蝕劑掩模。圖 10C 示出這個步驟的截面圖。另外，這個步驟的俯視圖相當於圖 6。

像這樣，藉由五次光石印步驟，使用五個光掩模來可以完成包括底閘型的 n 通道型薄膜電晶體的薄膜電晶體 171 的像素薄膜電晶體部、儲存電容。

本實施例模式所示的 n 通道型薄膜電晶體 171 設置有多個源區、多個汲區，可以與實施例模式 1 相比增大導通電流。

在本實施例模式中，採用設置源區或汲區（包含 In、Ga 及 Zn 的缺乏氧的氧化物半導體層），具有閘極電極層、閘極絕緣層、源區或汲區（包含 In、Ga 及 Zn 的缺乏氧的氧化物半導體層）、源極電極層及汲極電極層和半導體層（包含 In、Ga 及 Zn 的具有過量的氧的氧化物半導體層）的疊層結構的薄膜電晶體。因此，可以增大閘極電極層和源極電極層或汲極電極層之間的距離，所以即使半導體層是薄膜也能夠充分地抑制寄生電容。

注意，本實施例模式可以與實施例模式 1 自由地組合。

[實施例模式 3]

在本實施例模式中，下面說明在本發明的半導體裝置的一例的顯示裝置中在同一個基板上至少製造驅動電路的一部分以及配置在像素部的薄膜電晶體的例子。

根據實施例模式 1 或實施例模式 2 形成配置在像素部的薄膜電晶體。此外，由於實施例模式 1 或實施例模式 2 所示的薄膜電晶體是 n 通道型 TFT，因此將驅動電路中的可以由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一個基板上。

圖 12A 示出本發明的半導體裝置的一個例子的主動矩陣型液晶顯示裝置的方塊圖的一個例子。圖 12A 所示的顯示裝置在基板 5300 上包括：具有多個具備顯示元件的像素的像素部 5301；選擇各像素的掃描線驅動電路 5302；以及控制對被選擇的像素的視頻信號的輸入的信號線驅動電路 5303。

像素部 5301 藉由從信號線驅動電路 5303 在列方向上延伸地配置的多個信號線 $S1-S_m$ （未圖示）與信號線驅動電路 5303 連接，並且藉由從掃描線驅動電路 5302 在列方向上延伸地配置的多個掃描線 $G1-G_n$ （未圖示）與掃描線驅動電路 5302 連接，並具有對應於信號線 $S1-S_m$ 以及掃描線 $G1-G_n$ 配置為矩陣形的多個像素（未圖示）。並且，各個像素與信號線 S_j （信號線 $S1-S_m$ 中任一）、掃描線 G_i （掃描線 $G1-G_n$ 中任一）連接。

此外，實施例模式 1 或實施例模式 2 所示的薄膜電晶體是 n 通道型 TFT，參照圖 13 說明由 n 通道型 TFT 構成的信號線驅動電路。

圖 13 所示的信號線驅動電路包括：驅動器 IC5601；開關群 5602_1 至 5602_M；第一佈線 5611；第二佈線

5612；第三佈線 5613；以及佈線 5621_1 至 5621_M。開關群 5602_1 至 5602_M 分別包括第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c。

驅動器 IC5601 連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及佈線 5621_1 至 5621_M。而且，開關群 5602_1 至 5602_M 分別連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及分別對應於開關群 5602_1 至 5602_M 的佈線 5621_1 至 5621_M。而且，佈線 5621_1 至 5621_M 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到三個信號線。例如，第 J 列的佈線 5621_J（佈線 5621_1 至佈線 5621_M 中任一）分別藉由開關群 5602_J 所具有的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 Sj-1、信號線 Sj、信號線 Sj+1。

另外，對第一佈線 5611、第二佈線 5612、第三佈線 5613 分別輸入信號。

另外，驅動器 IC5601 較佳形成在單晶基板上。再者，開關群 5602_1 至 5602_M 較佳形成在與像素部同一個的基板上。因此，較佳藉由 FPC 等連接驅動器 IC5601 和開關群 5602_1 至 5602_M。

接著，參照圖 14 的時序圖說明圖 13 所示的信號線驅動電路的工作。另外，圖 14 的時序圖示出選擇第 i 列掃描線 Gi 時的時序圖。再者，第 i 列掃描線 Gi 的選擇期間被分割為第一子選擇期間 T1、第二子選擇期間 T2 及第三

子選擇期間 $T3$ 。而且，圖 13 的信號線驅動電路在其他列的掃描線被選擇的情況下也進行與圖 14 相同的工作。

另外，圖 14 的時序圖示出第 J 列佈線 5621_J 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 的情況。

另外，圖 14 的時序圖示出第 i 列掃描線 G_i 被選擇的時序、第一薄膜電晶體 5603a 的導通·截止的時序 5703a、第二薄膜電晶體 5603b 的導通·截止的時序 5703b、第三薄膜電晶體 5603c 的導通·截止的時序 5703c 及輸入到第 J 列佈線 5621_J 的信號 5721_J。

另外，在第一子選擇期間 $T1$ 、第二子選擇期間 $T2$ 及第三子選擇期間 $T3$ 中，對佈線 5621_1 至佈線 5621_M 分別輸入不同的視頻信號。例如，在第一子選擇期間 $T1$ 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j-1} ，在第二子選擇期間 $T2$ 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_j ，在第三子選擇期間 $T3$ 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j+1} 。再者，在第一子選擇期間 $T1$ 、第二子選擇期間 $T2$ 及第三子選擇期間 $T3$ 中輸入到佈線 5621_J 的視頻信號分別為 $Data_{j-1}$ 、 $Data_j$ 、 $Data_{j+1}$ 。

如圖 14 所示，在第一子選擇期間 $T1$ 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_{j-1}$ 藉

由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1} 。在第二子選擇期間 T_2 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_j$ 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j 。在第三子選擇期間 T_3 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 $Data_{j+1}$ 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1} 。

據此，圖 13 的信號線驅動電路藉由將一個閘極選擇期間分割為三個而可以在一個閘極選擇期間中將視頻信號從一個佈線 5621 輸入到三個信號線。因此，圖 13 的信號線驅動電路可以將形成有驅動器 IC5601 的基板和形成有像素部的基板的連接數設定為信號線數的大約 $1/3$ 。藉由將連接數設定為大約 $1/3$ ，圖 13 的信號線驅動電路可以提高可靠性、成品率等。

另外，只要能夠如圖 13 所示，將一個閘極選擇期間分割為多個子選擇期間，並在多個子選擇期間的每一個中從某一個佈線分別將視頻信號輸入到多個信號線，就對薄膜電晶體的配置、數量及驅動方法等沒有限制。

例如，當在三個以上的子選擇期間的每一個中從一個佈線將視頻信號分別輸入到三個以上的信號線時，追加薄膜電晶體及用來控制薄膜電晶體的佈線，即可。但是，當將一個閘極選擇期間分割為四個以上的子選擇期間時，子選擇期間變短。因此，較佳將一個閘極選擇期間分割為兩

個或三個子選擇期間。

作為另一個例子，也可以如圖 15 的時序圖所示，將一個閘極選擇期間分割為預充電期間 T_p 、第一子選擇期間 T_1 、第二子選擇期間 T_2 、第三子選擇期間 T_3 。再者，圖 15 的時序圖示出選擇第 i 列掃描線 G_i 的時序、第一薄膜電晶體 5603a 的導通·截止的時序 5803a、第二薄膜電晶體 5603b 的導通·截止的時序 5803b、第三薄膜電晶體 5603c 的導通·截止的時序 5803c 以及輸入到第 J 列佈線 5621_J 的信號 5821_J。如圖 15 所示，在預充電期間 T_p 中，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 導通。此時，輸入到佈線 5621_J 的預充電電壓 V_p 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 分別輸入到信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 。在第一子選擇期間 T_1 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_{j-1}$ 藉由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1} 。在第二子選擇期間 T_2 中，第二薄膜電晶體 5603b 導通、第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_j$ 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j 。在第三子選擇期間 T_3 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 $Data_{j+1}$ 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1} 。

據此，因為應用圖 15 的時序圖的圖 13 的信號線驅動電路藉由在子選擇期間之前設置預充電選擇期間來可以對信號線進行預充電，所以可以高速地對像素進行視頻信號的寫入。另外，在圖 15 中，使用相同的附圖標記來表示與圖 14 相同的部分，而省略對於相同的部分或具有相同的功能的部分的詳細說明。

此外，說明掃描線驅動電路的結構。掃描線驅動電路包括移位暫存器、緩衝器。此外，根據情況，還可以包括位準轉移器。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號（CLK）及起始脈衝信號（SP），生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大，並供給到對應的掃描線。掃描線連接有一條線上的像素的電晶體的閘極電極。而且，由於需要將一條線上的像素的電晶體同時導通，因此使用能夠產生大電流的緩衝器。

參照圖 16 和圖 17 說明用於掃描線驅動電路的一部分的移位暫存器的一個方式。

圖 16 示出移位暫存器的電路結構。圖 16 所示的移位暫存器由多個觸發器（觸發器 5701_1 至 5701_n 中任一）構成。此外，輸入第一時鐘信號、第二時鐘信號、起始脈衝信號、重定信號來進行工作。

說明圖 16 的移位暫存器的連接關係。在圖 16 的移位暫存器的第 i 級觸發器 5701_i（觸發器 5701_1 至 5701_n 中任一）中，圖 17 所示的第一佈線 5501 連接到第七佈線 5717_i-1，圖 17 所示的第二佈線 5502 連接到第七佈線

5717_{i+1}，圖 17 所示的第三佈線 5503 連接到第七佈線 5717_i，並且圖 17 所示的第六佈線 5506 連接到第五佈線 5715。

此外，圖 17 所示的第四佈線 5504 在奇數級的觸發器中連接到第二佈線 5712，在偶數級的觸發器中連接到第三佈線 5713，並且圖 17 所示的第五佈線 5505 連接到第四佈線 5714。

但是，第一級觸發器 5701₁ 的圖 17 所示的第一佈線 5501 連接到第一佈線 5711，而第 n 級觸發器 5701 _{n} 的圖 17 所示的第二佈線 5502 連接到第六佈線 5716。

另外，第一佈線 5711、第二佈線 5712、第三佈線 5713、第六佈線 5716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第四佈線 5714、第五佈線 5715 也可以分別稱為第一電源線、第二電源線。

接著，圖 17 示出圖 16 所示的觸發器的詳細結構。圖 17 所示的觸發器包括第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578。另外，第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578 是 n 通道型電晶體，並且當閘極源

極之間的電壓（ V_{gs} ）超過臨界值電壓（ V_{th} ）時成爲導通狀態。

接著，下面示出圖 16 所示的觸發器的連接結構。

第一薄膜電晶體 5571 的第一電極（源極電極或汲極電極中的一方）連接到第四佈線 5504，並且第一薄膜電晶體 5571 的第二電極（源極電極或汲極電極中的另一方）連接到第三佈線 5503。

第二薄膜電晶體 5572 的第一電極連接到第六佈線 5506，並且第二薄膜電晶體 5572 的第二電極連接到第三佈線 5503。

第三薄膜電晶體 5573 的第一電極連接到第五佈線 5505，第三薄膜電晶體 5573 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，第三薄膜電晶體 5573 的閘極電極連接到第五佈線 5505。

第四薄膜電晶體 5574 的第一電極連接到第六佈線 5506，第四薄膜電晶體 5574 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第四薄膜電晶體 5574 的閘極電極連接到第一薄膜電晶體 5571 的閘極電極。

第五薄膜電晶體 5575 的第一電極連接到第五佈線 5505，第五薄膜電晶體 5575 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第五薄膜電晶體 5575 的閘極電極連接到第一佈線 5501。

第六薄膜電晶體 5576 的第一電極連接到第六佈線 5506，第六薄膜電晶體 5576 的第二電極連接到第一薄膜

電晶體 5571 的閘極電極，並且第六薄膜電晶體 5575 的閘極電極連接到第二薄膜電晶體 5572 的閘極電極。

第七薄膜電晶體 5577 的第一電極連接到第六佈線 5506，第七薄膜電晶體 5577 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第七薄膜電晶體 5577 的閘極電極連接到第二佈線 5502。第八薄膜電晶體 5578 的第一電極連接到第六佈線 5506，第八薄膜電晶體 5578 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第八薄膜電晶體 5578 的閘極電極連接到第一佈線 5501。

另外，將第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極以及第七薄膜電晶體 5577 的第二電極的連接部作為節點 5543。再者，將第二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極以及第八薄膜電晶體 5578 的第二電極的連接部作為節點 5544。

另外，第一佈線 5501、第二佈線 5502、第三佈線 5503 以及第四佈線 5504 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第五佈線 5505、第六佈線 5506 也可以分別稱為第一電源線、第二電源線。

此外，也可以僅使用實施例模式 1 或實施例模式 2 所示的 n 通道型 TFT 製造信號線驅動電路及掃描線驅動電

路。因為實施例模式 1 或實施例模式 2 所示的 n 通道型 TFT 的電晶體遷移率大，所以可以提高驅動電路的驅動頻率。另外，由於實施例模式 1 或實施例模式 2 所示的 n 通道型 TFT 利用具有 n 型的包含銦、鎵及鋅的缺乏氧的氧化物半導體層的源區或汲區來減少寄生電容，因此頻率特性（被稱為 f 特性）高。例如，由於使用實施例模式 1 或實施例模式 2 所示的 n 通道型 TFT 的掃描線驅動電路可以進行高速工作，因此可以提高幀頻率或實現黑屏插入等。

再者，藉由增大掃描線驅動電路的電晶體的通道寬度，或配置多個掃描線驅動電路等，可以實現更高的幀頻率。在配置多個掃描線驅動電路的情況下，藉由將用來使偶數列的掃描線驅動的掃描線驅動電路配置在一側，並將用來使奇數列的掃描線驅動的掃描線驅動電路配置在其相反一側，可以實現幀頻率的提高。

此外，在製造本發明的半導體裝置的一個例子的主動矩陣型發光顯示裝置的情況下，在至少一個像素中配置多個薄膜電晶體，因此較佳配置多個掃描線驅動電路。圖 12B 示出主動矩陣型發光顯示裝置的方塊圖的一個例子。

圖 12B 所示的發光顯示裝置在基板 5400 上包括：具有多個具備顯示元件的像素的像素部 5401；選擇各像素的第一掃描線驅動電路 5402 及第二掃描線驅動電路 5404；以及控制對被選擇的像素的視頻信號的輸入的信號線驅動電路 5403。

當將輸入到圖 12B 所示的發光顯示裝置的像素的視頻信號設定為數位方式的情況下，藉由將電晶體切換為導通狀態或截止狀態，像素變成發光或非發光狀態。因此，可以採用面積灰度法或時間灰度法進行灰度顯示。面積灰度法是一種驅動法，其中藉由將一個像素分割為多個子像素並驅動各子像素分別根據視頻信號，來進行灰度顯示。此外，時間灰度法是一種驅動法，其中藉由控制像素發光的期間，來進行灰度顯示。

發光元件的回應速度比液晶元件等高，所以與液晶元件相比適合時間灰度法。具體地，在採用時間灰度法進行顯示的情況下，將一個幀期間分割為多個子幀期間。然後，根據視頻信號，在各子幀期間中使像素的發光元件處於發光或非發光狀態。藉由分割為多個子幀期間，可以利用視頻信號控制像素在一個幀期間中實際上發光的期間的總長度，並顯示灰度。

另外，在圖 12B 所示的發光顯示裝置中示出一種例子，其中當在一個像素中配置兩個 TFT，即開關 TFT 和電流控制 TFT 時，使用第一掃描線驅動電路 5402 生成輸入到開關 TFT 的閘極佈線的第一掃描線的信號，使用第二掃描線驅動電路 5404 生成輸入到電流控制 TFT 的閘極佈線的第二掃描線的信號。但是，也可以共同使用一個掃描線驅動電路生成輸入到第一掃描線的信號和輸入到第二掃描線的信號。此外，例如根據開關元件所具有的各電晶體的數量，可能會在各像素中設置多個用來控制開關元件的

工作的第一掃描線。在此情況下，既可以使用一個掃描線驅動電路生成輸入到多個第一掃描線的所有信號，也可以使用多個掃描線驅動電路分別生成輸入到多個第一掃描線的信號。

此外，在發光顯示裝置中也可以將驅動電路中的能夠由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一個基板上。另外，也可以僅使用實施例模式 1 或實施例模式 2 所示的 n 通道型 TFT 製造信號線驅動電路及掃描線驅動電路。

此外，上述驅動電路除了液晶顯示裝置及發光顯示裝置之外還可以用於利用與開關元件電連接的元件來驅動電子墨水的電子紙。電子紙也被稱為電泳顯示裝置（電泳顯示器），並具有如下優點：具有與紙相同的易讀性、其耗電量比其他的顯示裝置小、可形成為薄且輕的形狀。

作為電泳顯示器可考慮各種方式。電泳顯示器是如下裝置，即在溶劑或溶質中分散有多個包含具有正電荷的第一粒子和具有負電荷的第二粒子的微囊，並且藉由對微囊施加電場使微囊中的粒子互相向相反的方向移動，以僅顯示集合在一方的粒子的顏色。另外，第一粒子或第二粒子包含染料，且在沒有電場時不移動。此外，第一粒子和第二粒子的顏色不同（包含無色）。

像這樣，電泳顯示器是利用所謂的介電電泳效應的顯示器。在該介電電泳效應中，介電常數高的物質移動到高電場區。電泳顯示器不需要使用液晶顯示裝置所需的偏振

片和對置基板，從而可以使其厚度和重量減少一半。

將在其中分散有上述微囊的溶劑稱作電子墨水，該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用彩色濾光片或具有色素的粒子來進行彩色顯示。

此外，在主動矩陣基板上適當地佈置多個上述微囊，使得微囊夾在兩個電極之間而完成主動矩陣型顯示裝置，藉由對微囊施加電場可以進行顯示。例如，可以使用根據實施例模式 1 或實施例模式 2 所示的薄膜電晶體而獲得的主動矩陣基板。

此外，作為微囊中的第一粒子及第二粒子，採用選自導電體材料、絕緣體材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種或這些材料的組合材料即可。

根據上述步驟可以製造作為半導體裝置的可靠性高的顯示裝置。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

[實施例模式 4]

可以製造本發明的一個方式的薄膜電晶體並將該薄膜電晶體用於像素部及驅動電路來可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，使用本發明的一個方式的薄膜電晶體將驅動電路的一部分或整體一體形成

在與像素部同一基板上來可以形成系統型面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為顯示裝置）。在發光元件的範圍內包括由電流或電壓控制亮度的元件，具體而言，包括無機 EL（Electro Luminescence；電致發光）元件、有機 EL 元件等。此外，也可以應用電子墨水等的對比度因電作用而變化的顯示介質。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。再者，本發明的一個方式關於一種元件基板，該元件基板相當於製造該顯示裝置的過程中的顯示元件完成之前的一個方式，並且其在多個像素中分別具備用來將電流供給到顯示元件的單元。具體而言，元件基板既可以是只形成有顯示元件的像素電極的狀態，又可以是形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，或其他任何方式。

另外，本發明說明中的顯示裝置是指圖像顯示器件、顯示器件、或光源（包括照明裝置）。另外，顯示裝置還包括安裝有連接器諸如 FPC（Flexible Printed Circuit；撓性印刷電路）、TAB（Tape Automated Bonding；載帶自動鍵合）帶或 TCP（Tape Carrier Package；載帶封裝）的模組；將印刷線路板設置於 TAB 帶或 TCP 端部的模組；藉由 COG（Chip On Glass；玻璃上晶片）方式將 IC（積

體電路) 直接安裝到顯示元件上的模組。

在本實施例模式中，參照圖 20A 至 20C 說明相當於本發明的半導體裝置的一個方式的液晶顯示面板的外觀及截面。圖 20A 和 20B 是一種面板的俯視圖，其中利用密封材料 4005 將包括形成在第一基板 4001 上的受到氧自由基處理的閘極絕緣層、源極電極層、汲極電極層、源區及汲區上的具有過量的氧的氧化物半導體層及用作源區及汲區的缺乏氧的氧化物半導體層的可靠性高的薄膜電晶體 4010、4011 以及液晶元件 4013 密封在與第二基板 4006 之間。圖 20C 相當於沿著圖 20A 和 20B 的 M-N 的截面圖。

以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。此外，在與第一基板 4001 上的由密封材料 4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另外準備的基板上。

另外，對於另外形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、引線鍵合方法或 TAB 方法等。圖 20A1 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 20B 是藉由 TAB 方法安裝信號線驅動

電路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 20C 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。在薄膜電晶體 4010、4011 上設置有絕緣層 4020、4021。

薄膜電晶體 4010、4011 相當於包括受到氧自由基處理的閘極絕緣層、源極電極層、汲極電極層、源區及汲區上的具有過量的氧的氧化物半導體層及用作源區及汲區的缺乏氧的氧化物半導體層的可靠性高的薄膜電晶體，並可以應用實施例模式 1 或實施例模式 2 所示的薄膜電晶體。在本實施例模式中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

此外，液晶元件 4013 所具有的像素電極層 4030 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。另外，像素電極層 4030、對置電極層 4031 分別設置有用作對齊膜的絕緣層 4032、4033，且隔著絕緣層 4032、4033 夾有液晶層 4008。

另外，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型的是不銹鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics；纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸

酸樹脂薄膜。此外，還可以使用具有將鋁箔夾在 PVF 薄膜或聚酯薄膜之間的結構的薄片。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離（單元間隙）而設置的。另外，還可以使用球狀間隔物。

另外，還可以使用不使用對齊膜的顯示藍相（blue phase）的液晶。藍相是液晶相的一種，是指當使膽甾相液晶的溫度上升時即將從膽甾相轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將使用混合有 5 重量％以上的手性試劑的液晶組成物用於液晶層 4008。包含顯示為藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 $10\mu\text{s}$ 至 $100\mu\text{s}$ ，並且由於其具有光學各向同性而不需要對齊處理從而視角依賴小。

另外，本實施例模式是透過型液晶顯示裝置的例子，但是本發明的一個方式可以應用於反射型液晶顯示裝置或半透型液晶顯示裝置。

此外，雖然在本實施例模式的液晶顯示裝置中示出在基板的外側（可見一側）設置偏振片，在基板的內側按順序設置著色層、用於顯示元件的電極層的例子，但是也可以將偏振片設置在基板的內側。另外，偏振片和著色層的疊層結構不局限於本實施例模式的結構，而根據偏振片及著色層的材料及製造步驟條件適當地設定，即可。此外，

還可以設置用作黑矩陣的遮光膜。

另外，在本實施例模式中，使用用作保護膜或平坦化絕緣膜的絕緣層（絕緣層 4020、絕緣層 4021）覆蓋藉由實施例模式 1 得到的薄膜電晶體，以降低薄膜電晶體的表面凹凸並提高薄膜電晶體的可靠性。另外，因為保護膜用來防止懸浮在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入，所以較佳採用緻密的膜。使用濺射法等並利用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或氮氧化鋁膜的單層或疊層而形成保護膜，即可。雖然在本實施例模式中示出藉由濺射法形成保護膜的例子，但是並沒有限制而採用各種方法形成，即可。

在此，形成具有疊層結構的絕緣層 4020 作為保護膜，並且作為絕緣層 4020 的第一層，藉由濺射法形成氧化矽膜。藉由使用氧化矽膜作為保護膜，有防止用作源極電極層及汲極電極層的鋁膜中產生小丘的效果。

此外，形成絕緣層 4020 作為保護膜的第二層。在此，作為絕緣層 4020 的第二層，藉由濺射法形成氮化矽膜。藉由作為保護膜形成氮化矽膜，可以抑制鈉等的可動離子侵入到半導體區中而改變 TFT 的電特性。

另外，也可以在形成保護膜之後進行 IGZO 半導體層的退火（300℃至 400℃）。

另外，形成絕緣層 4021 作為平坦化絕緣膜。作為絕緣層 4021，可以使用具有耐熱性的有機材料如聚醯亞

胺、丙烯酸樹脂、苯並環丁烯、聚醯胺或環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷基樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。矽氧烷基樹脂除了氫之外還可以具有氟、烷基和芳基中的至少一種作為取代基。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣層 4021。

另外，矽氧烷基樹脂相當於以矽氧烷基材料為起始材料而形成的包含 Si-O-Si 鍵的樹脂。矽氧烷基樹脂除了氫以外，還可以具有氟、烷基和芳香烴中的至少一種作為取代基。

對於絕緣膜 4021 的形成方法沒有特別的限制，而可以根據其材料利用濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮刀、輥塗機、簾塗機、刮刀塗布機等。在使用材料液形成絕緣層 4021 的情況下，也可以在進行焙燒的步驟中同時進行 IGZO 半導體層的退火（300℃至 400℃）。藉由兼作絕緣層 4021 的焙燒步驟和 IGZO 半導體層的退火，可以高效地製造半導體裝置。

作為像素電極層 4030、對置電極層 4031，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 4030、對置電極層 4031。使用導電組成物形成的像素電極的薄層電阻較佳為 $10000\ \Omega/\square$ 以下，並且其波長為 550nm 時的透光率較佳為 70% 以上。另外，導電組成物所包含的導電高分子的電阻率較佳為 $0.1\ \Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供給到另外形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供給的。

在本實施例模式中，連接端子電極 4015 由與液晶元件 4013 所具有的像素電極層 4030 相同的導電膜形成，端子電極 4016 由與薄膜電晶體 4010、4011 的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4015 藉由各向異性導電膜 4019 與 FPC4018 所具有的端子電連接。

此外，雖然在圖 20A 至 20C 中示出另外形成信號線驅動電路 4003 並將其安裝在第一基板 4001 的例子，但是本實施例模式不局限於該結構。既可以另外形成掃描線驅動電路而安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 21 示出使用應用本發明製造的 TFT 基板 2600 來構成用作半導體裝置的液晶顯示模組的一個例子。

圖 21 是液晶顯示模組的一個例子，利用密封材料 2602 固定 TFT 基板 2600 和對置基板 2601，並在其間設置包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604 和著色層 2605 來形成顯示區。在進行彩色顯示時需要著色層 2605，並且當採用 RGB 方式時，對應於各像素設置有分別對應於紅色、綠色、藍色的著色層。在 TFT 基板 2600 和對置基板 2601 的外側配置有偏振片 2606、偏振片 2607、漫射板 2613。光源由冷陰極管 2610 和反射板 2611 構成，電路基板 2612 利用撓性線路板 2609 與 TFT 基板 2600 的佈線電路部 2608 連接，且其中組裝有控制電路及電源電路等的外部電路。此外，還可以在偏振片和液晶層之間具有相位差板的狀態下進行層疊。

液晶顯示模組可以採用 TN（扭曲向列；Twisted Nematic）模式、IPS（平面內轉換；In-Plane-Switching）模式、FFS（邊緣電場轉換；Fringe Field Switching）模式、MVA（多疇垂直對齊；Multi-domain Vertical Alignment）模式、PVA（垂直對齊構型；Patterned Vertical Alignment）模式、ASM（軸對稱排列微胞；Axially Symmetric aligned Micro-cell）模式、OCB（光學補償彎曲；Optical Compensated Birefringence）模式、FLC（鐵電性液晶；Ferroelectric Liquid Crystal）模式、AFLC（反鐵電性液晶；Anti Ferroelectric Liquid

Crystal) 模式等。

藉由上述步驟，可以製造可靠性高的液晶顯示面板作為半導體裝置。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

[實施例模式 5]

在本實施例模式中，作為本發明的一個方式的半導體裝置示出電子紙的例子。

圖 11 示出主動矩陣型電子紙作為應用本發明的半導體裝置的例子。可以與實施例模式 1 所示的薄膜電晶體同樣地製造用於半導體裝置的薄膜電晶體 581，並且它是一種可靠性高的薄膜電晶體，其中包括受到氧自由基處理的閘極絕緣層、源極電極層、汲極電極層、源區及汲區上的具有過量的氧的氧化物半導體層以及用作源區及汲區的缺乏氧的氧化物半導體層。此外，也可以應用實施例模式 2 所示的薄膜電晶體作為本實施例模式的薄膜電晶體 581。

圖 11 的電子紙是採用旋轉球顯示方式的顯示裝置的例子。旋轉球顯示方式是指一種方法，其中將一個半球表面為黑色而另一半球表面為白色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並在第一電極層及第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

薄膜電晶體 581 是底閘結構的薄膜電晶體，並且它在

形成在絕緣層 583、584、585 中的開口利用源極電極層或汲極電極層與第一電極層 587 接觸並電連接。在第一電極層 587 和第二電極層 588 之間設置有具有球形粒子 589，該球形粒子 589 具有黑色區 590a 和白色區 590b，且其周圍包括充滿了液體的空洞 594，並且球形粒子 589 的周圍充滿有樹脂等的填料 595（參照圖 11）。

此外，還可以使用電泳元件來代替旋轉球。使用直徑為 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。對於設置在第一電極層和第二電極層之間的微囊，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒移動到相反方向，從而可以顯示白色或黑色。應用這種原理的顯示元件就是電泳顯示元件，一般地被稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，其耗電量低，並且在昏暗的地方也能夠辨別顯示部。另外，即使不向顯示部供應電源，也能夠保持顯示過一次的圖像，因此，即使使具有顯示功能的半導體裝置（簡單地稱為顯示裝置，或稱為具備顯示裝置的半導體裝置）遠離電波發射源，也能夠儲存顯示過的圖像。

藉由上述步驟，可以製造可靠性高的電子紙作為半導體裝置。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

[實施例模式 6]

在本實施例模式中，示出發光顯示裝置的例子作為本發明的一個方式的半導體裝置。在此，示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。對利用電致發光的發光元件根據其發光材料是有機化合物還是無機化合物來進行區別，一般來說，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，以產生電流。然後，由於這些載流子（電子和電洞）重新結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機理，該發光元件被稱為電流激發型發光元件。

根據其元件的結構，將無機 EL 元件分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括在黏合劑中分散有發光材料的粒子的發光層，且其發光機理是利用供體能級和受體能級的供體-受體重新結合型發光。薄膜型無機 EL 元件具有由電介質層夾住發光層並還利用電極夾住該發光層的結構，且其發光機理是利用金屬離子的內層電子躍遷的定域型發光。另外，在此使用有機 EL 元件作為發光元件而進行說明。

圖 18 示出可應用數字時間灰度驅動的像素結構的一例作為應用本發明的半導體裝置的例子。

說明可應用數字時間灰度驅動的像素的結構及像素的

工作。在此，示出在一個像素中使用兩個將氧化物半導體層（IGZO 半導體層）用於通道形成區的 n 通道型電晶體的例子。

像素 6400 包括開關電晶體 6401、驅動電晶體 6402、發光元件 6404 及電容元件 6403。在開關電晶體 6401 中，閘極連接到掃描線 6406、第一電極（源極電極及汲極電極中的一方）連接到信號線 6405，第二電極（源極電極及汲極電極的另一方）連接到驅動電晶體 6402 的閘極。在驅動電晶體 6402 中，閘極藉由電容元件 6403 連接到電源線 6407，第一電極連接到電源線 6407，第二電極連接到發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極相當於共同電極 6408。

另外，將發光元件 6404 的第二電極（共同電極 6408）設定為低電源電位。注意，低電源電位是指以設定於電源線 6407 的高電源電位為標準滿足低電源電位<高電源電位的電位。作為低電源電位，例如可以設定為 GND、0V 等。將該高電源電位和低電源電位的電位差施加到發光元件 6404 並在發光元件 6404 中產生電流以使發光元件 6404 發光。為了使發光元件 6404 發光，將高電源電位和低電源電位分別設定為其間的電位差成為發光元件 6404 的正向臨界值電壓以上。

此外，也可以代替電容元件 6403 使用驅動電晶體 6402 的閘極電容而省略電容元件 6403。至於驅動電晶體 6402 的閘極電容，也可以在通道形成區和閘極電極之間

形成電容。

在此，在採用電壓輸入電壓驅動方式的情況下，對驅動電晶體 6402 的閘極輸入將驅動電晶體 6402 處於充分導通或截止的狀態的視頻信號。也就是，使驅動電晶體 6402 在線性區進行工作。由於使驅動電晶體 6402 在線性區進行工作，因此對驅動電晶體 6402 的閘極施加比電源線 6407 的電壓高的電壓。另外，對信號線 6405 施加電源線（電壓+驅動電晶體 6402 的 V_{th} ）以上的電壓。

此外，在進行類比灰度驅動代替數位時間灰度驅動的情況下，藉由使信號的輸入不同，可以使用與圖 18 相同的像素結構。

在進行類比灰度驅動的情況下，對驅動電晶體 6402 的閘極施加發光元件 6404 的正向電壓+驅動電晶體 6402 的 V_{th} 以上的電壓。發光元件 6404 的正向電壓是指在設定所希望的亮度時的電壓，至少包括正向臨界值電壓。注意，藉由輸入使驅動電晶體 6402 在飽和區中工作的視頻信號，可以在發光元件 6404 產生電流。為了使驅動電晶體 6402 在飽和區進行工作，將電源線 6407 的電位設定為高於驅動電晶體 6402 的閘極電位。藉由將視頻信號設定為類比方式，可以在發光元件 6404 中產生根據視頻信號的電流來進行類比灰度驅動。

注意，圖 18 所示的像素結構不局限於此。例如，還可以對圖 18 所示的像素中添加開關、電阻元件、電容元件、電晶體或邏輯電路等。

接著，參照圖 19A 至 19C 說明發光元件的結構。在此，以驅動 TFT 是 n 型的情況為例子來說明像素的截面結構。可以與實施例模式 1 所示的薄膜電晶體同樣製造用於圖 19A、19B 和 19C 的半導體裝置的作為驅動 TFT 的 TFT7001、7011、7021，並且這些 TFT 是包括受到氧自由基處理的閘極絕緣層、源極電極層、汲極電極層、源區及汲區上的具有過量的氧的氧化物半導體層以及用作源區及汲區的缺乏氧的氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以應用實施例模式 2 所示的薄膜電晶體作為 TFT7001、7011、7021。

為了取出發光，發光元件的陽極或陰極的至少一方是透明的即可。而且，在基板上形成薄膜電晶體及發光元件，並且有如下結構的發光元件，即從與基板相反的面取出發光的頂部發射、從基板一側的面取出發光的底部發射以及從基板一側及與基板相反的面取出發光的雙面發射。本發明的一個方式的像素結構可以應用於任何發射結構的發光元件。

參照圖 19A 說明頂部發射結構的發光元件。

在圖 19A 中示出當驅動 TFT 的 TFT7001 為 n 型且從發光元件 7002 發射的光穿過到陽極 7005 一側時的像素的截面圖。在圖 19A 中，發光元件 7002 的陰極 7003 和驅動 TFT 的 TFT7001 電連接，在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。至於陰極 7003，只要是功函數小且反射光的導電膜，就可以使用各種材料。例如，較佳採

用 Ca、Al、CaF、MgAg、AlLi 等。而且，發光層 7004 可以由單層或多層的疊層構成。在由多層構成時，在陰極 7003 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、電洞注入層。另外，不需要設置所有這種層。使用透過光的具有透光性的導電材料形成陽極 7005，例如也可以使用具有透光性的導電膜例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

由陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 19A 所示的像素中，從發光元件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，參照圖 19B 說明底部發射結構的發光元件。示出在驅動 TFT7011 是 n 型，且從發光元件 7012 發射的光發射到陰極 7013 一側的情況下的像素的截面圖。在圖 19B 中，在與驅動 TFT7011 電連接的具有透光性的導電膜 7017 上形成有發光元件 7012 的陰極 7013，在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。另外，在陽極 7015 具有透光性的情況下，也可以覆蓋陽極上地形成有用來反射光或遮光的遮罩膜 7016。與圖 19A 的情況同樣，至於陰極 7013，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度（較佳為 5nm 至 30nm 左右）。例如，可以將膜厚度為 20nm 的鋁膜用作陰極 7013。而且，與圖 19A 同樣，發光

層 7014 可以由單層或多個層的疊層構成。陽極 7015 不需要透過光，但是可以與圖 19A 同樣使用具有透光性的導電材料形成。並且，雖然遮罩膜 7016 例如可以使用反射光的金屬等，但是不局限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

由陰極 7013 及陽極 7015 夾有發光層 7014 的區域相當於發光元件 7012。在圖 19B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 19C 說明雙面發射結構的發光元件。在圖 19C 中，在與驅動 TFT7021 電連接的具有透光性的導電膜 7027 上形成有發光元件 7022 的陰極 7023，在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 19A 的情況同樣，至於陰極 7023，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度。例如，可以將膜厚度為 20nm 的 Al 用作陰極 7023。而且，與圖 19A 同樣，發光層 7024 可以由單層或多個層的疊層構成。陽極 7025 可以與圖 19A 同樣使用透過光的具有透光性的導電材料形成。

陰極 7023、發光層 7024 和陽極 7025 重疊的部分相當於發光元件 7022。在圖 19C 所示的像素中，從發光元件 7022 發射的光如箭頭所示那樣發射到陽極 7025 一側和陰極 7023 一側的雙方。

另外，雖然在此描述了有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

另外，在本實施例模式中示出了控制發光元件的驅動的薄膜電晶體（驅動 TFT）和發光元件電連接的例子，但是也可以採用在驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

另外，本實施例模式所示的半導體裝置不局限於圖 19A 至 19C 所示的結構而可以根據本發明的技術思想進行各種變形。

接著，參照圖 22A 和 22B 說明相當於本發明的半導體裝置的一個方式的發光顯示面板（也稱為發光面板）的外觀及截面。圖 22A 是一種面板的俯視圖，其中利用密封材料將包括形成在第一基板上的受到氧自由基處理的閘極絕緣層、源極電極層、汲極電極層、源區及汲區上的具有過量的氧的氧化物半導體層以及用作源區及汲區的缺乏氧的氧化物半導體層的可靠性高的薄膜電晶體及發光元件密封在與第二基板之間。圖 22B 相當於沿著圖 22A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b 以及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。像這樣，較佳使用

氣密性高且脫氣少的保護薄膜（貼合薄膜、紫外線固化樹脂薄膜等）及覆蓋材料進行封裝（封入）。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 22B 中，例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

薄膜電晶體 4509、4510 相當於包括受到氧自由基處理的閘極絕緣層、源極電極層、汲極電極層、源區及汲區上的具有過量的氧的氧化物半導體層以及用作源區及汲區的缺乏氧的氧化物半導體層的可靠性高的薄膜電晶體，並可以應用實施例模式 1 或實施例模式 2 所示的薄膜電晶體。在本實施例模式中，薄膜電晶體 4509、4510 是 n 通道型薄膜電晶體。

此外，附圖標記 4511 相當於發光元件，發光元件 4511 所具有的作為像素電極的第一電極層 4517 與薄膜電晶體 4510 的源極電極層或汲極電極層電連接。另外，發光元件 4511 的結構是第一電極層 4517、場致發光層 4512、第二電極層 4513 的疊層結構，但是不局限於本實施例模式所示的結構。可以根據從發光元件 4511 取出的光的方向等適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成分隔壁 4520。特別較佳的是，使用感光材料，在第一電極層 4517 上形成開口部，並將其開口部的側壁形成為具有

連續的曲率的傾斜面。

場致發光層 4512 既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極層 4513 及分隔壁 4520 上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4511 中。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

在本實施例模式中，連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC4518a 所具有的端子。

位於從發光元件 4511 的取出光的方向上的第二基板 4506 需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

此外，作為填充料 4507，除了氮及氫等的惰性氣體之外，還可以使用紫外線固性樹脂或熱固性樹脂。可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯-醋酸乙烯酯）等。在本實施例模式中，作為填充料使用氮。

另外，若有需要，也可以在發光元件的射出面上適當地設置諸如偏振片、圓偏振片（包括橢圓偏振片）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、彩色濾光片等的光學薄膜。另外，也可以在偏振片或圓偏振片上設置抗反射膜。例如，可以進行抗眩光處理，該處理利用表面的凹凸來擴散反射光並降低眩光。

信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路而安裝。此外，也可以另外僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。本實施例模式不局限於圖 22A 和 22B 的結構。

藉由上述步驟，可以製造作為半導體裝置的可靠性高的發光顯示裝置（顯示面板）。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

[實施例模式 7]

本發明的一個方式的半導體裝置可以應用於電子紙。電子紙可以用於用來顯示資訊的所有領域的電子設備。例如，可以將電子紙應用於電子書籍（電子書）、海報、火車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。圖 23A 和 23B 以及圖 24 示出電子設備的一個例子。

圖 23A 示出使用電子紙製造的海報 2631。在廣告介質是紙的印刷物的情況下用手進行廣告的交換，但是如果使用應用本發明的電子紙，則可以在短時間內改變廣告的顯示內容。此外，顯示不會打亂而可以獲得穩定的圖像。另外，海報也可以採用以無線的方式收發資訊的結構。

此外，圖 23B 示出火車等的交通工具的車廂廣告 2632。在廣告介質是紙的印刷物的情況下用手進行廣告的交換，但是如果使用應用本發明的電子紙，則在短時間內不需要許多人手地改變廣告的顯示內容。此外，顯示不會打亂而可以獲得穩定的圖像。另外，車廂廣告也可以採用以無線的方式收發資訊的結構。

另外，圖 24 示出電子書籍 2700 的一個例子。例如，電子書籍 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉動作。藉由採用這種結構，可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，而框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示部（圖 24 中的顯示部 2705）中可以顯示文章，而在左邊的顯示部（圖 24 中的顯示部 2707）中可以顯示圖像。

此外，在圖 24 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中，具備電源 2721、操作鍵

2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與框體的顯示部同一個的面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面及側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄介質插入部等的結構。再者，電子書籍 2700 也可以具有電子詞典的功能。

此外，電子書籍 2700 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

[實施例模式 8]

根據本發明的半導體裝置可以應用於各種電子設備（包括遊戲機）。作為電子設備，例如可以舉出電視裝置（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數位攝像機、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、聲音再現裝置、彈珠機等的大型遊戲機等。

圖 25A 示出電視裝置 9600 的一個例子。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示映射。此外，在此示出利用支架 9605 支撐框體 9601 的結構。

可以藉由利用框體 9601 所具備的操作開關、另外提供的遙控操作機 9610 進行電視裝置 9600 的操作。藉由利

用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道及音量的操作，並可以對在顯示部 9603 上顯示的映射進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視裝置 9600 採用具備接收機及數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，從而也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 25B 示出數位相框 9700 的一個例子。例如，在數位相框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，可以發揮與一般的相框同樣的功能。

另外，數位相框 9700 採用具備操作部、外部連接用端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄介質插入部等的結構。這種結構也可以組裝到與顯示部同一個面，但是藉由將其設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框的記錄介質插入部插入儲存有使用數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後可以將所提取的圖像資料顯示於顯示部 9703。

此外，數位相框 9700 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式提取所希望的圖像

資料並進行顯示的結構。

圖 26A 示出一種可攜式遊戲機，其由框體 9881 和框體 9891 的兩個框體構成，並且藉由連接部 9893 可以開閉地連接。框體 9881 安裝有顯示部 9882，並且框體 9891 安裝有顯示部 9883。另外，圖 26A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉動數、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）以及麥克風 9889）等。當然，可攜式遊戲機的結構不局限於上述結構，只要採用至少具備包括根據本發明的半導體裝置的結構，且可以採用適當地設置有其他附屬設備的結構。圖 26A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄介質中的程式或資料並將其顯示在顯示部上；以及藉由與其他可攜式遊戲機進行無線通信而實現資訊共用。另外，圖 26A 所示的可攜式遊戲機所具有的功能不局限於此，而可以具有各種各樣的功能。

圖 26B 示出大型遊戲機的一種的自動賭博機 9900 的一個例子。在自動賭博機 9900 的框體 9901 中安裝有顯示部 9903。另外，自動賭博機 9900 還具備如起動杆或停止開關等的操作單元、投幣孔、揚聲器等。當然，自動賭博機 9900 的結構不局限於此，只要採用至少具備包括根據

本發明的半導體裝置的結構，且可以採用適當地設置有其他附屬設備的結構。

圖 27 示出行動電話機 1000 的一個例子。行動電話機 1000 除了安裝在框體 1001 的顯示部 1002 之外還具備操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

圖 27 所示的行動電話機 1000 可以用手指等觸摸顯示部 1002 來輸入資訊。此外，可以用手指等觸摸顯示部 1002 來打電話或進行電子郵件的輸入的操作。

顯示部 1002 的畫面主要有三個模式。第一是以圖像的顯示爲主的顯示模式，第二是以文字等的資訊的輸入爲主的輸入模式，第三是顯示模式和輸入模式的兩個模式混合的顯示+輸入模式。

例如，在打電話或製作電子郵件的情況下，將顯示部 1002 設定爲以文字輸入爲主的文字輸入模式，並進行在畫面上顯示的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 1002 的畫面的大部分中顯示鍵盤或號碼按鈕。

此外，藉由在行動電話機 1000 的內部設置具有陀螺儀和加速度感測器等檢測傾斜度的感測器的檢測裝置，來判斷行動電話機 1000 的方向（豎向還是橫向），從而可以對顯示部 1002 的畫面顯示進行自動切換。

藉由觸摸顯示部 1002 或對框體 1001 的操作按鈕 1003 進行操作，切換畫面模式。還可以根據顯示在顯示

部 1002 上的圖像種類切換畫面模式。例如，當顯示在顯示部上的視頻信號為動態圖像的資料時，將畫面模式切換成顯示模式，而當顯示在顯示部上的視頻信號為文字資料時，將畫面模式切換成輸入模式。

另外，當在輸入模式中藉由檢測出顯示部 1002 的光感測器所檢測的信號得知在一定期間中沒有顯示部 1002 的觸摸操作輸入時，也可以以將畫面模式從輸入模式切換成顯示模式的方式來進行控制。

還可以將顯示部 1002 用作圖像感測器。例如，藉由用手掌或手指觸摸顯示部 1002，來拍攝掌紋、指紋等，而可以進行個人識別。此外，藉由在顯示部中使用發射近紅外光的背光燈或發射近紅外光的感測光源，也可以拍攝手指靜脈、手掌靜脈等。

本發明說明根據 2008 年 9 月 12 日在日本專利局受理的日本專利申請編號 2008-234603 而製作，所述申請內容包括在本發明說明中。

【符號說明】

100：基板

101：閘極電極

102：閘極絕緣層

103：IGZO 半導體層

107：保護絕緣膜

108：電容佈線

- 110：像素電極
- 121：端子
- 122：端子
- 123：IGZO 層
- 125：接觸孔
- 126：接觸孔
- 127：接觸孔
- 128：透明導電膜
- 129：透明導電膜
- 130：IGZO 膜
- 150：端子
- 151：端子
- 152：閘極絕緣層
- 153：連接電極
- 154：保護絕緣膜
- 155：透明導電膜
- 156：電極
- 170：薄膜電晶體
- 171：薄膜電晶體
- 581：薄膜電晶體
- 585：絕緣層
- 587：電極層
- 588：電極層
- 589：球形粒子

594：空洞

595：填料

1000：行動電話機

1001：框體

1002：顯示部

1003：操作按鈕

1004：外部連接埠

1005：揚聲器

1006：麥克風

104a：源區

104b：汲區

105a：源極電極層

105b：汲極電極層

106a：源區

106b：汲區

111a：IGZO 層

111b：IGZO 層

2600：TFT 基板

2601：對置基板

2602：密封材料

2603：像素部

2604：顯示元件

2605：著色層

2606：偏振片

- 2607：偏振片
- 2608：佈線電路部
- 2609：撓性線路板
- 2610：冷陰極管
- 2611：反射板
- 2612：電路基板
- 2613：漫射板
- 2631：海報
- 2632：車廂廣告
- 2700：電子書籍
- 2701：框體
- 2703：框體
- 2705：顯示部
- 2707：顯示部
- 2711：軸部
- 2721：電源
- 2723：操作鍵
- 2725：揚聲器
- 4001：基板
- 4002：像素部
- 4003：信號線驅動電路
- 4004：掃描線驅動電路
- 4005：密封材料
- 4006：基板

- 4008：液晶層
- 4010：薄膜電晶體
- 4011：薄膜電晶體
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極
- 4018：FPC
- 4019：各向異性導電膜
- 4020：絕緣層
- 4021：絕緣層
- 4030：像素電極層
- 4031：對置電極層
- 4032：絕緣層
- 4033：絕緣層
- 4501：基板
- 4502：像素部
- 4505：密封材料
- 4506：基板
- 4507：填料
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件
- 4512：場致發光層
- 4513：電極層

- 4515：連接端子電極
- 4516：端子電極
- 4517：電極層
- 4519：各向異性導電膜
- 4520：分隔壁
- 5300：基板
- 5301：像素部
- 5302：掃描線驅動電路
- 5303：信號線驅動電路
- 5400：基板
- 5401：像素部
- 5402：掃描線驅動電路
- 5403：信號線驅動電路
- 5404：掃描線驅動電路
- 5501：佈線
- 5502：佈線
- 5503：佈線
- 5504：佈線
- 5505：佈線
- 5506：佈線
- 5543：節點
- 5544：節點
- 5571：薄膜電晶體
- 5572：薄膜電晶體

5573 : 薄膜電晶體

5574 : 薄膜電晶體

5575 : 薄膜電晶體

5576 : 薄膜電晶體

5577 : 薄膜電晶體

5578 : 薄膜電晶體

5601 : 驅動器 IC

5602 : 開關群

5611 : 佈線

5612 : 佈線

5613 : 佈線

5621 : 佈線

5701 : 觸發器

5711 : 佈線

5712 : 佈線

5713 : 佈線

5714 : 佈線

5715 : 佈線

5716 : 佈線

5717 : 佈線

5721 : 信號

5821 : 信號

590a : 黑色區

590b : 白色區

- 6400：像素
- 6401：開關電晶體
- 6402：驅動電晶體
- 6403：電容元件
- 6404：發光元件
- 6405：信號線
- 6406：掃描線
- 6407：電源線
- 6408：共同電極
- 6408：電極（共同電極）
- 7001：TFT
- 7002：發光元件
- 7003：陰極
- 7004：發光層
- 7005：陽極
- 7011：驅動 TFT
- 7012：發光元件
- 7013：陰極
- 7014：發光層
- 7015：陽極
- 7016：遮罩膜
- 7017：導電膜
- 7021：驅動 TFT
- 7022：發光元件

7023 : 陰極
7024 : 發光層
7025 : 陽極
7027 : 導電膜
9600 : 電視裝置
9601 : 框體
9603 : 顯示部
9605 : 支架
9607 : 顯示部
9609 : 操作鍵
9610 : 遙控操作機
9700 : 數位相框
9701 : 框體
9703 : 顯示部
9881 : 框體
9882 : 顯示部
9883 : 顯示部
9884 : 揚聲器部
9885 : 輸入單元
9886 : 記錄媒體插入部
9887 : 連接端子
9888 : 感測器
9889 : 麥克風
9890 : LED 燈

9891：框體

9893：連接部

9900：自動賭博機

9901：框體

9903：顯示部

4503a：信號線驅動電路

4503b：信號線驅動電路

4504a：掃描線驅動電路

4504b：掃描線驅動電路

4518a：FPC

4518b：FPC

5603a：薄膜電晶體

5603b：薄膜電晶體

5603c：薄膜電晶體

5703a：時序

5703b：時序

5703c：時序

5803a：時序

5803b：時序

5803c：時序

申請專利範圍

1. 一種顯示裝置，包含：

基板；

該基板上的像素部；

電連接到該像素部的驅動電路；

該基板上的端子部；以及

電連接到該端子部的撓性印刷電路，

其中，該像素部包含電晶體，該電晶體包含：

包含通道形成區的半導體層；

第一絕緣膜；

隔著該第一絕緣膜與該通道形成區重疊的第一導電層；以及

電連接到該半導體層的第二導電層；

其中，該端子部包含：

使用與該第一導電層相同的材料形成的第三導電層；以及

使用與該第二導電層相同的材料形成的第四導電層，

其中，該第四導電層隔著該第一絕緣膜與該第三導電層重疊，

其中，該第四導電層電連接到該撓性印刷電路，

其中，該第一導電層與該第三導電層每一者與該基板接觸，且

其中，該第三導電層不電連接到該驅動電路與該像素

部。

2. 一種顯示裝置，包含：

基板；

該基板上的像素部；

電連接到該像素部的驅動電路；

該基板上的端子部；以及

電連接到該端子部的撓性印刷電路，

其中，該像素部包含電晶體，該電晶體包含：

包含通道形成區的半導體層；

第一絕緣膜；

隔著該第一絕緣膜與該通道形成區重疊的第一導電層；以及

電連接到該半導體層的第二導電層；

其中，該端子部包含：

使用與該第一導電層相同的材料形成的第三導電層；以及

使用與該第二導電層相同的材料形成的第四導電層，

其中，該第四導電層隔著該第一絕緣膜與該第三導電層重疊，

其中，該第一絕緣膜包含與該第一導電層的側面接觸的區域，

其中，該第四導電層電連接到該撓性印刷電路，且

其中，該第三導電層不電連接到該驅動電路與該像素

部。

3. 一種顯示裝置，包含：

基板；

該基板上的像素部；

電連接到該像素部的驅動電路；

該基板上的端子部；以及

電連接到該端子部的撓性印刷電路，

其中，該像素部包含電晶體，該電晶體包含：

包含通道形成區的半導體層；

第一絕緣膜；

隔著該第一絕緣膜與該通道形成區重疊的第一導電層；以及

電連接到該半導體層的第二導電層；

其中，該端子部包含：

使用與該第一導電層相同的材料形成的第三導電層；以及

使用與該第二導電層相同的材料形成的第四導電層，

其中，該第四導電層隔著該第一絕緣膜與該第三導電層重疊，

其中，該第四導電層電連接到該撓性印刷電路，

其中，該第四導電層與該第一絕緣膜接觸，且

其中，該第三導電層不電連接到該驅動電路與該像素部。

4. 根據申請專利範圍第 1 到 3 項中任一項的顯示裝置，
其中，該第二導電層藉由半導體區電連接到該半導體層，
其中，該半導體區包含與該半導體層相同的材料，且
其中，該半導體區的電阻小於該半導體層的電阻。
5. 根據申請專利範圍第 1 到 3 項中任一項的顯示裝置，
其中，該電晶體進一步包含：
該第二導電層上的第二絕緣膜；以及
該第二絕緣膜上的第五導電層，
其中，該第五導電層電連接到該第二導電層。
6. 根據申請專利範圍第 5 項的顯示裝置，
其中，該端子部進一步包含：
使用與該第五導電層相同的材料形成的第六導電層，
其中，該第六導電層隔著該第二絕緣膜與該第四導電層重疊，且
其中，該第六導電層藉由該第二絕緣膜的第一開口電連接到該第四導電層。
7. 根據申請專利範圍第 6 項的顯示裝置，
其中，該第六導電層包含透明導電層。
8. 根據申請專利範圍第 6 項的顯示裝置，
其中，該第四導電層藉由該第六導電層電連接到該撓

性印刷電路。

9. 一種顯示裝置，包含：

基板；

該基板上的像素部；

電連接到該像素部的驅動電路；

該基板上的端子部；以及

電連接到該端子部的撓性印刷電路，

其中，該像素部包含電晶體，該電晶體包含：

包含通道形成區的半導體層；

第一絕緣膜；

隔著該第一絕緣膜與該通道形成區重疊的第一導電層；

電連接到該半導體層的第二導電層；

該第二導電層上的第二絕緣膜；以及

該第二絕緣膜上的第三導電層，該第三導電層電連接到該第二導電層，

其中，該端子部包含：

使用與該第一導電層相同的材料形成的第四導電層；

使用與該第二導電層相同的材料形成的第五導電層，以及

使用與該第三導電層相同的材料形成的第六導電層，

其中，該第六導電層藉由該第二絕緣膜的第一開口電

連接到該第五導電層，

其中，該第六導電層藉由該第二絕緣膜的第二開口與該第一絕緣膜的第三開口電連接到該第四導電層，且

其中，該第六導電層電連接到該撓性印刷電路。

10. 根據申請專利範圍第 9 項的顯示裝置，其中，該第一導電層與該第四導電層的每一者與該基板接觸。

11. 根據申請專利範圍第 9 項的顯示裝置，其中，該第六導電層包含透明導電層。

12. 根據申請專利範圍第 1 到 3 與 9 項中任一項的顯示裝置，其中，該半導體層包含銦、鎵及鋅。

圖 1A

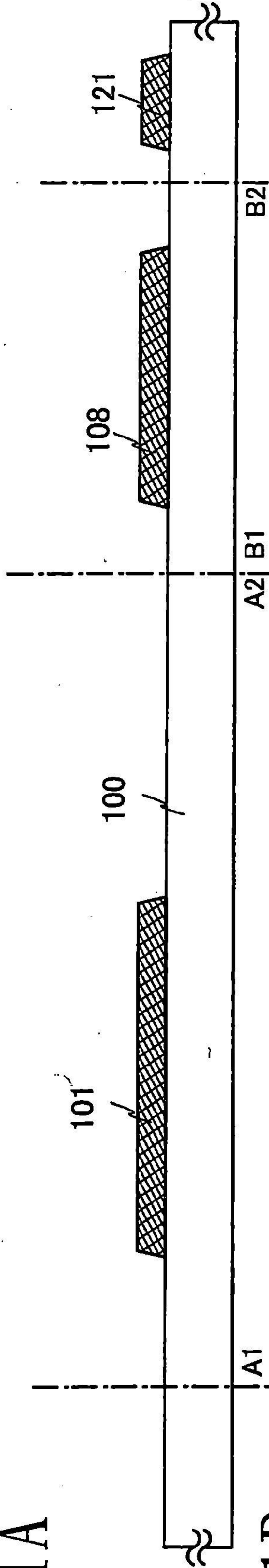


圖 1B

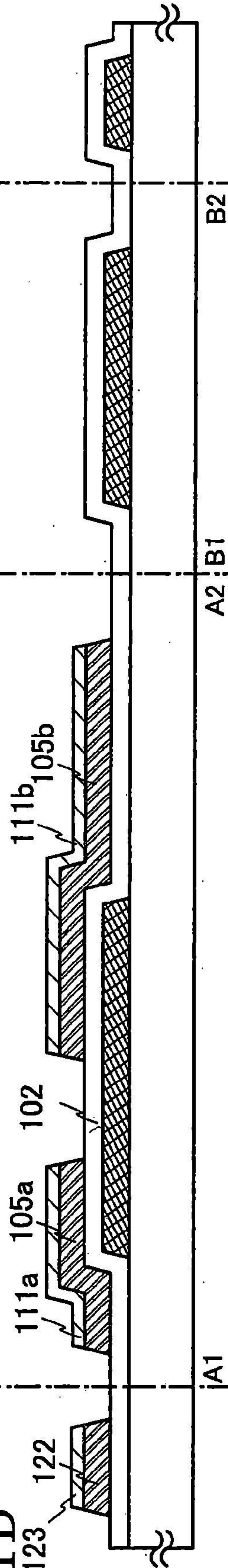
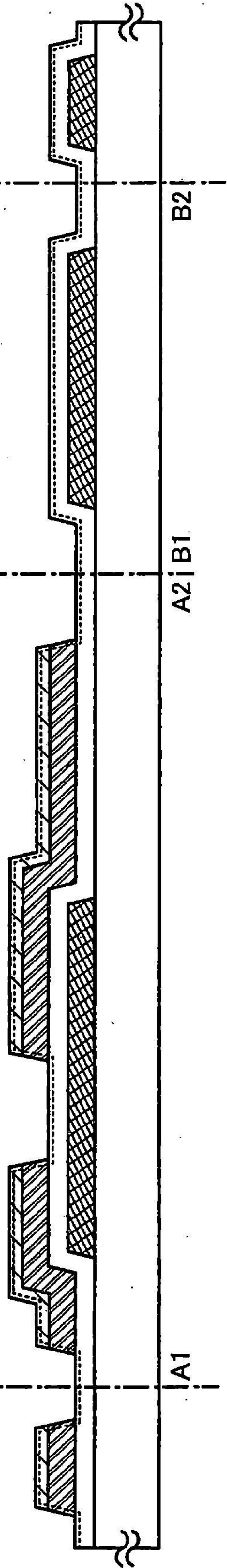


圖 1C



圖式

圖2A

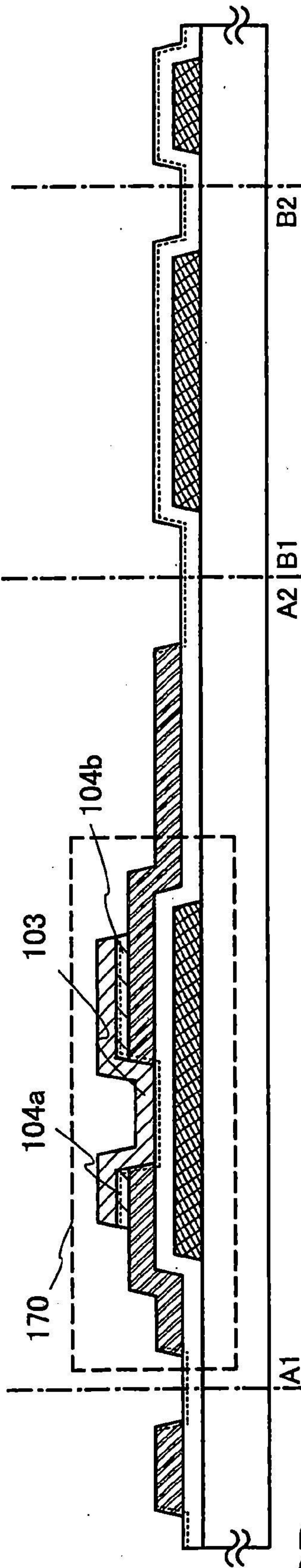


圖2B

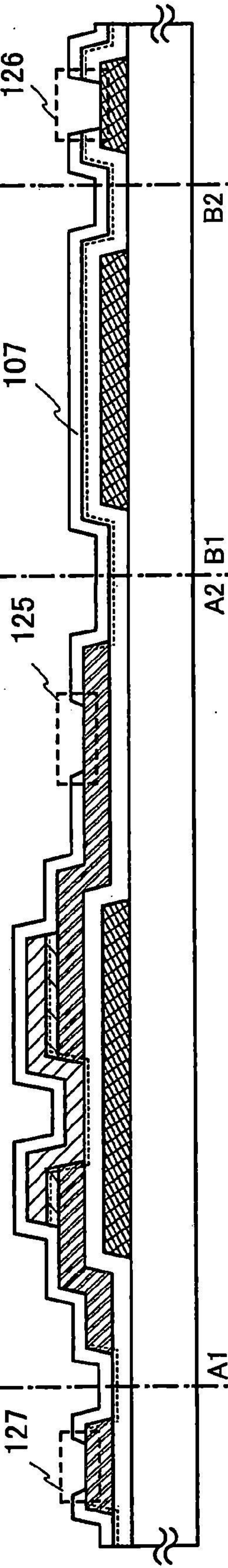


圖2C

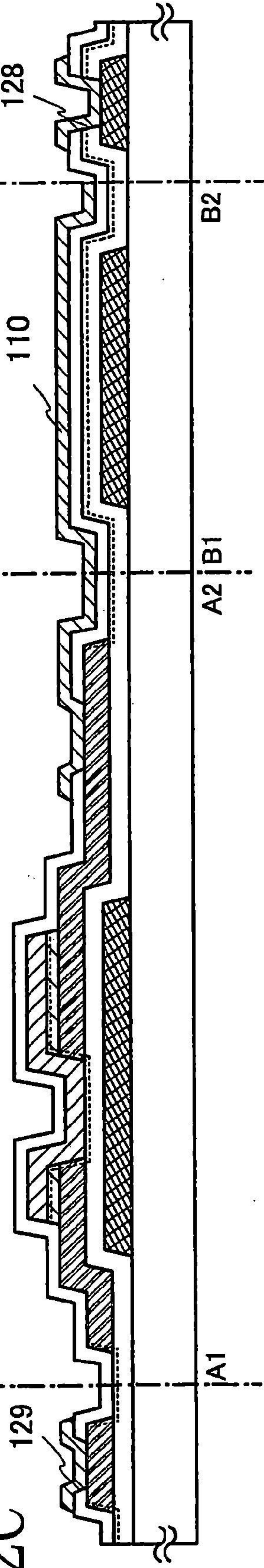


圖3

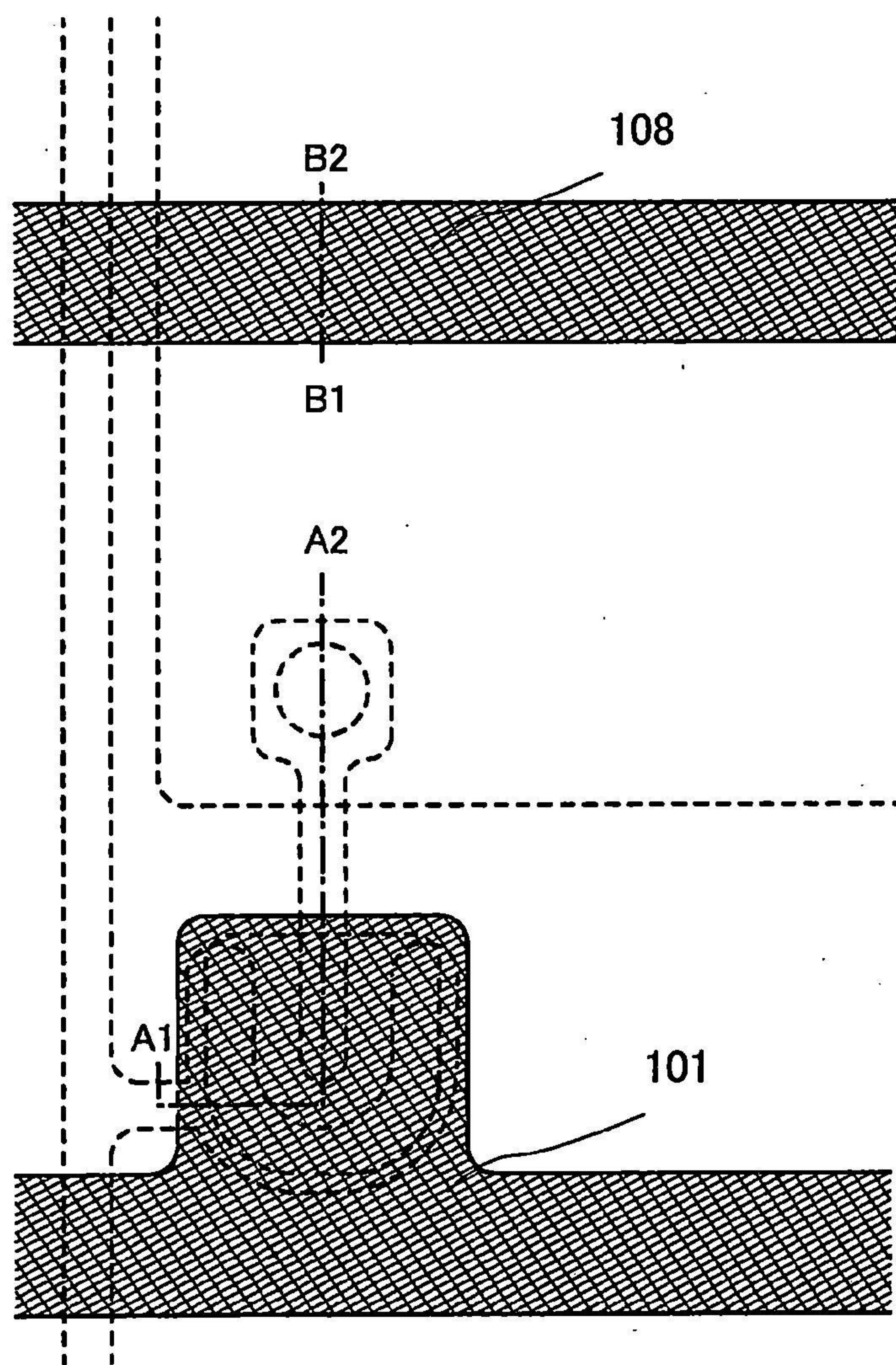


圖4

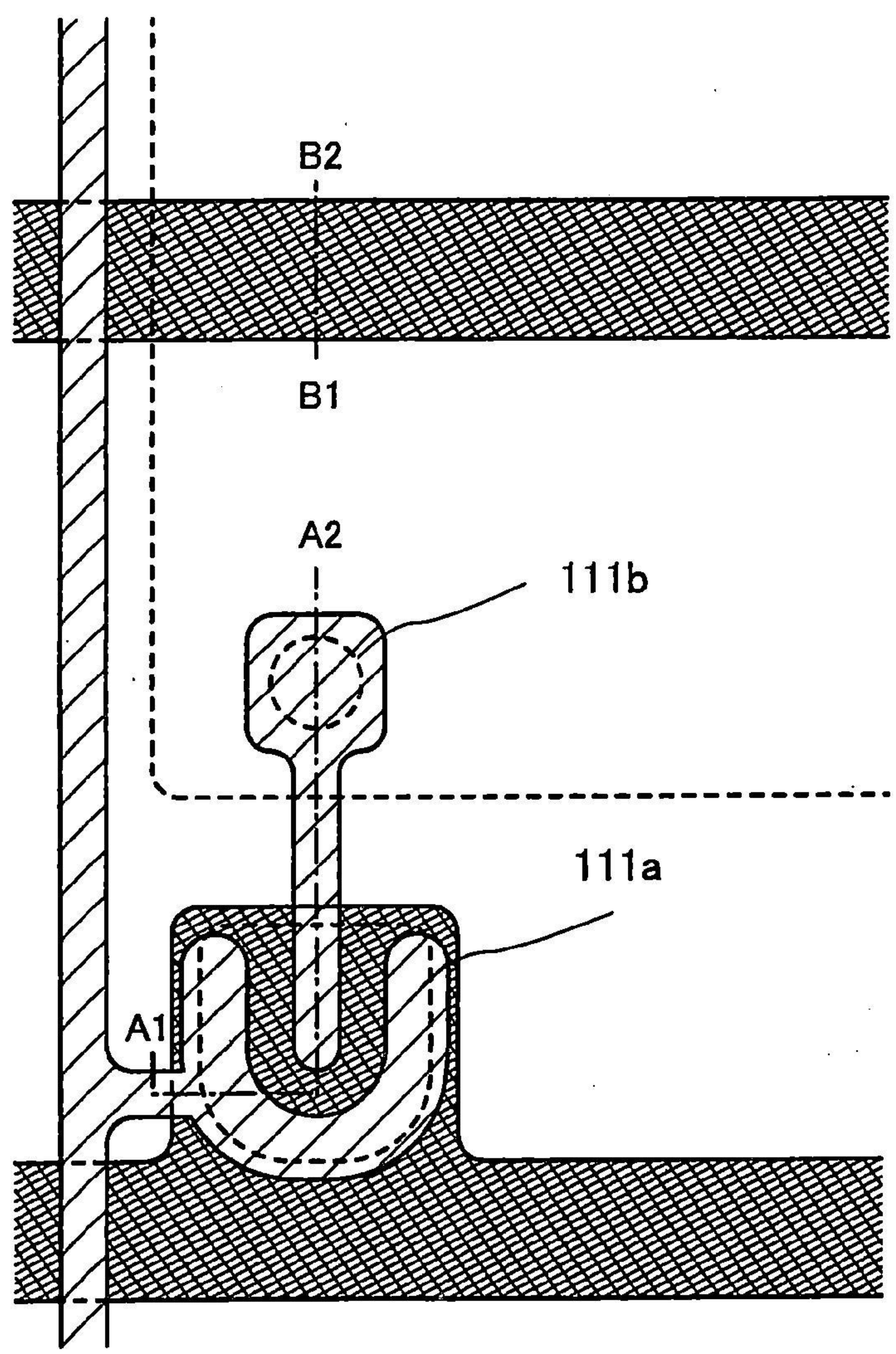


圖5

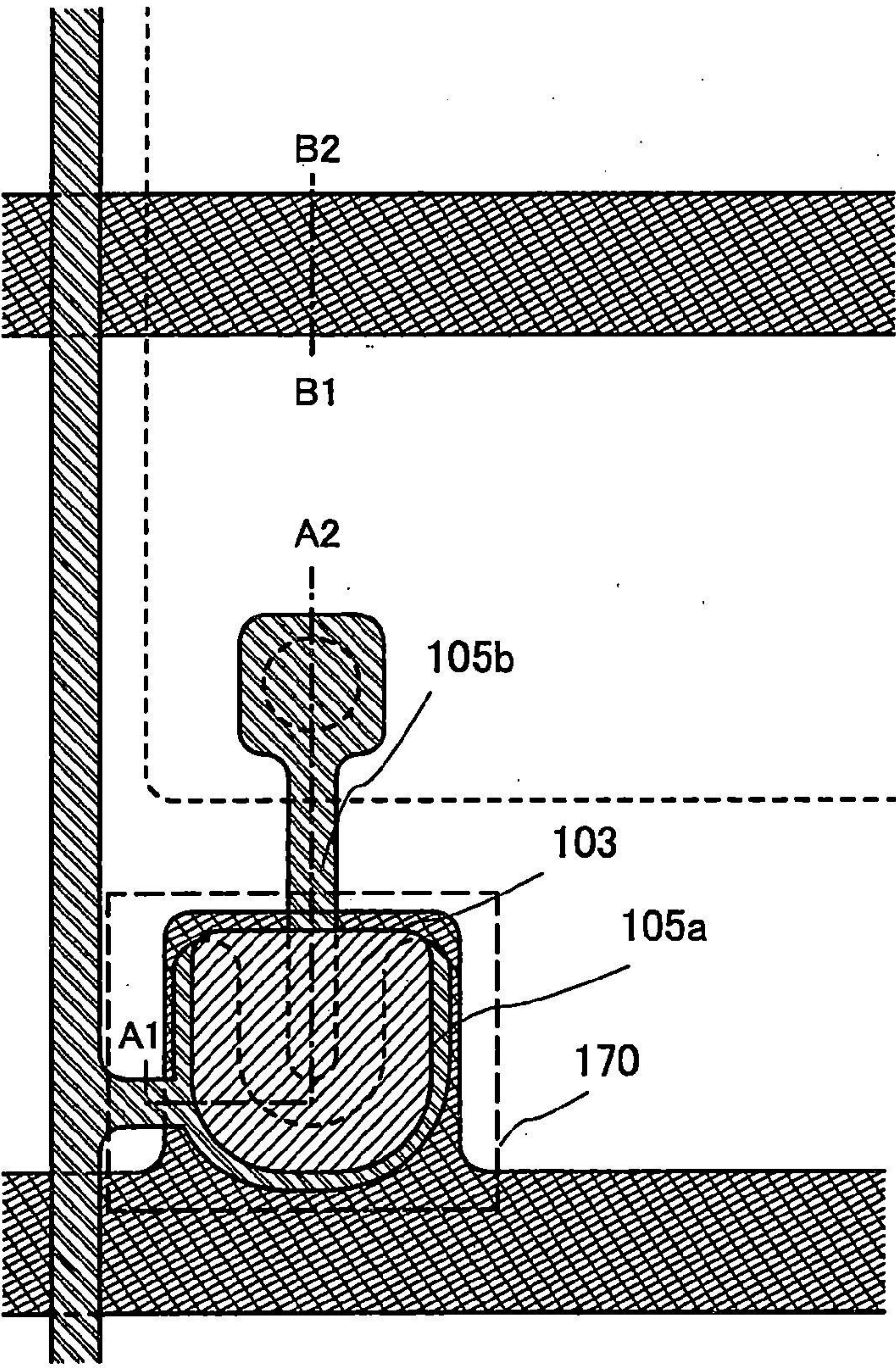


圖6

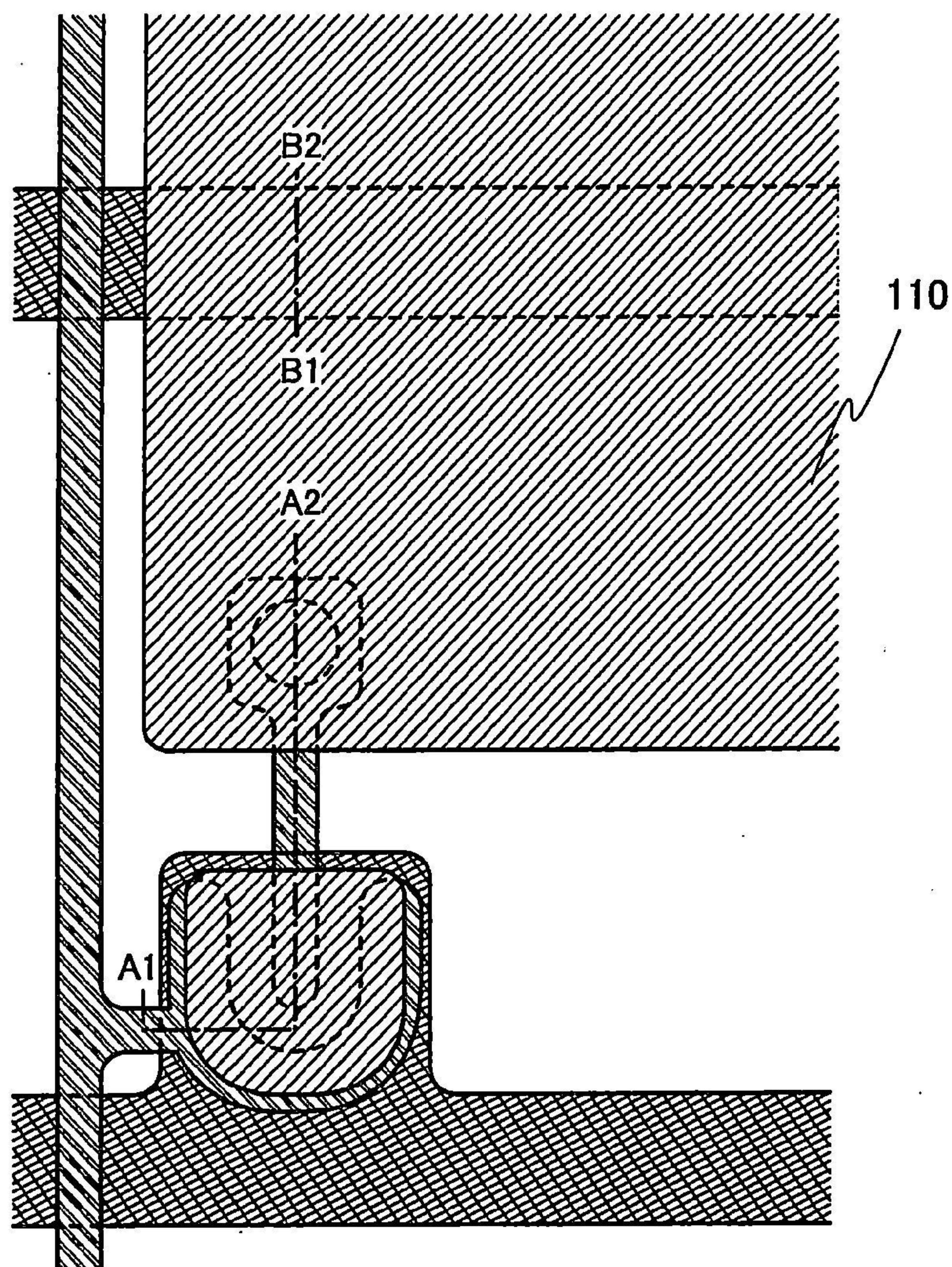


圖 7B

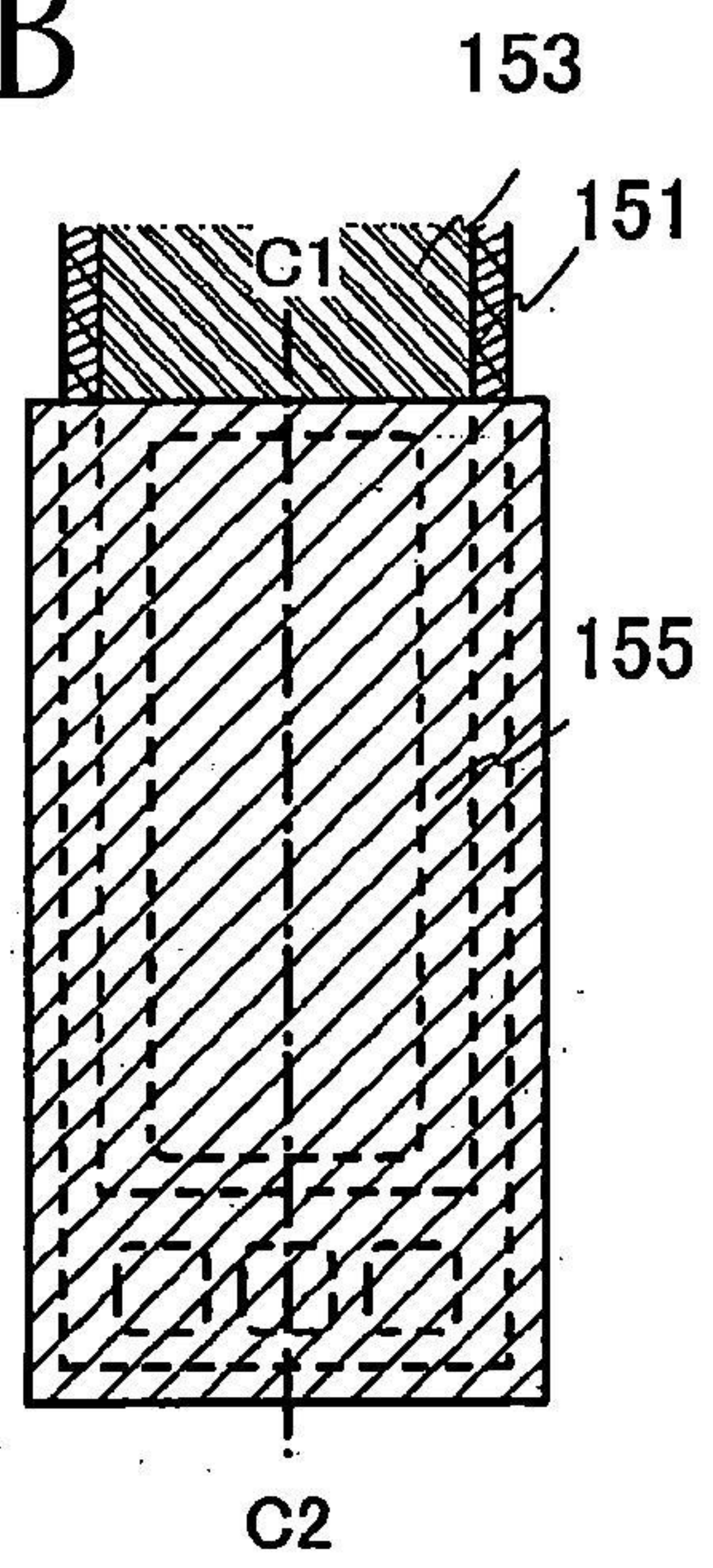


圖 7A

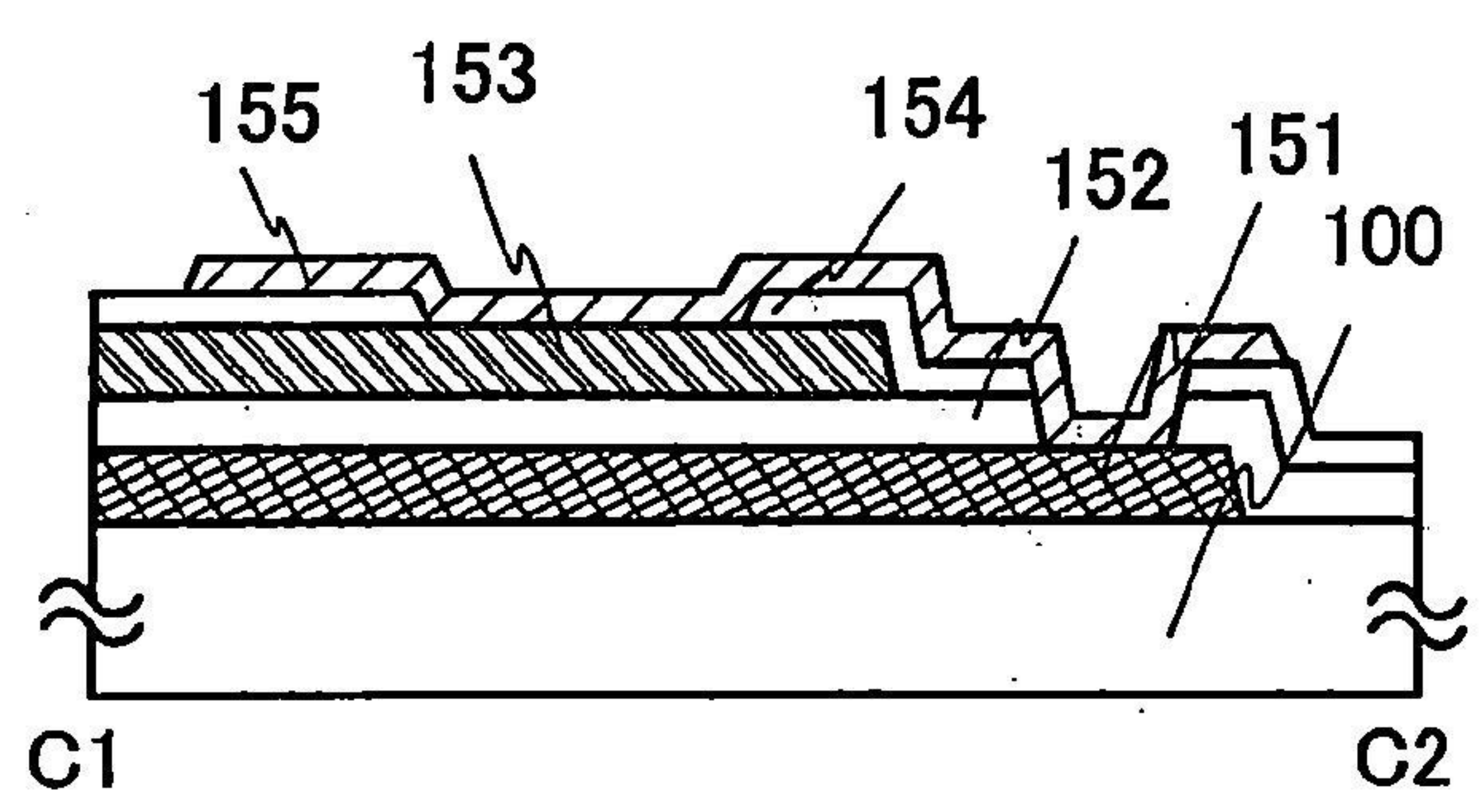


圖 7D

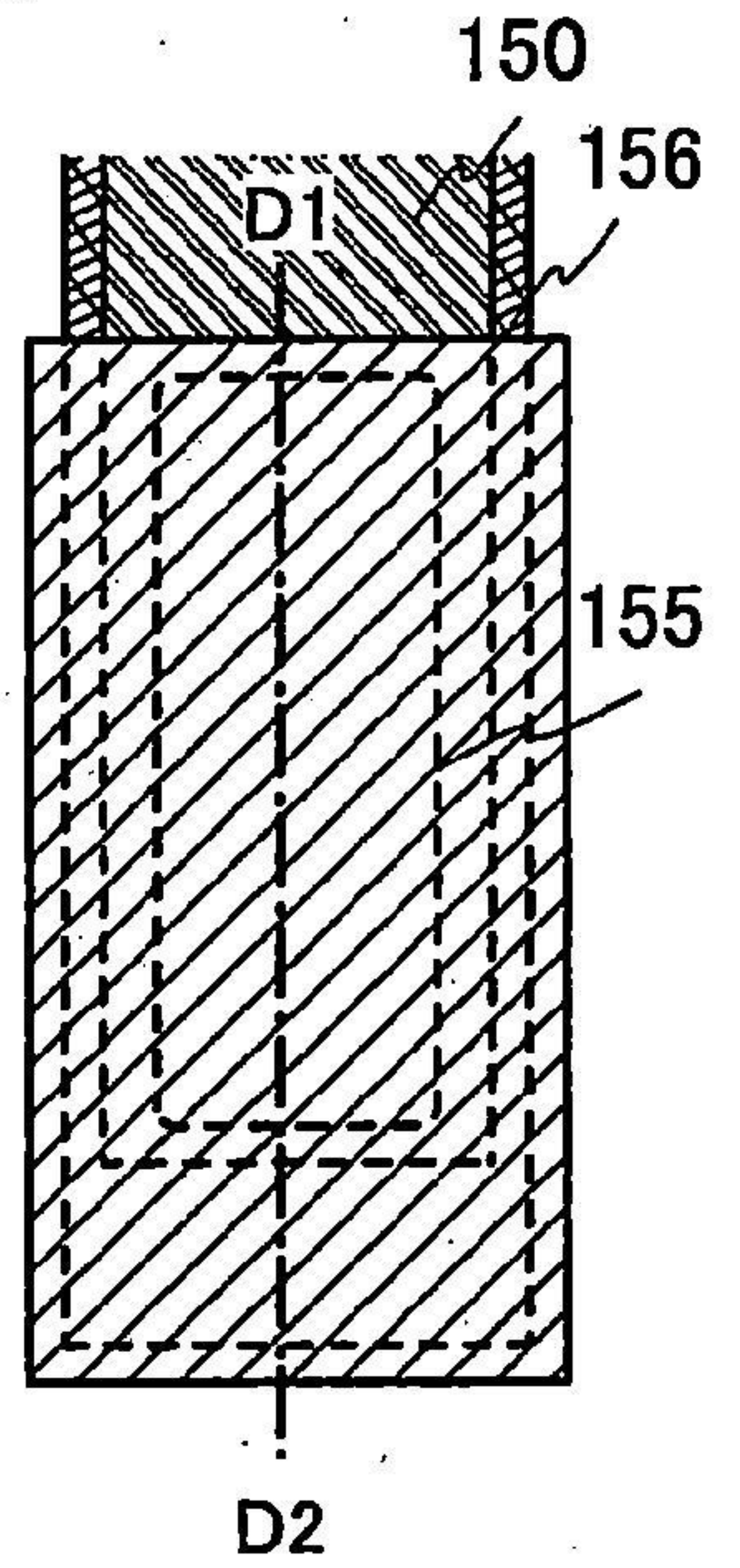


圖 7C

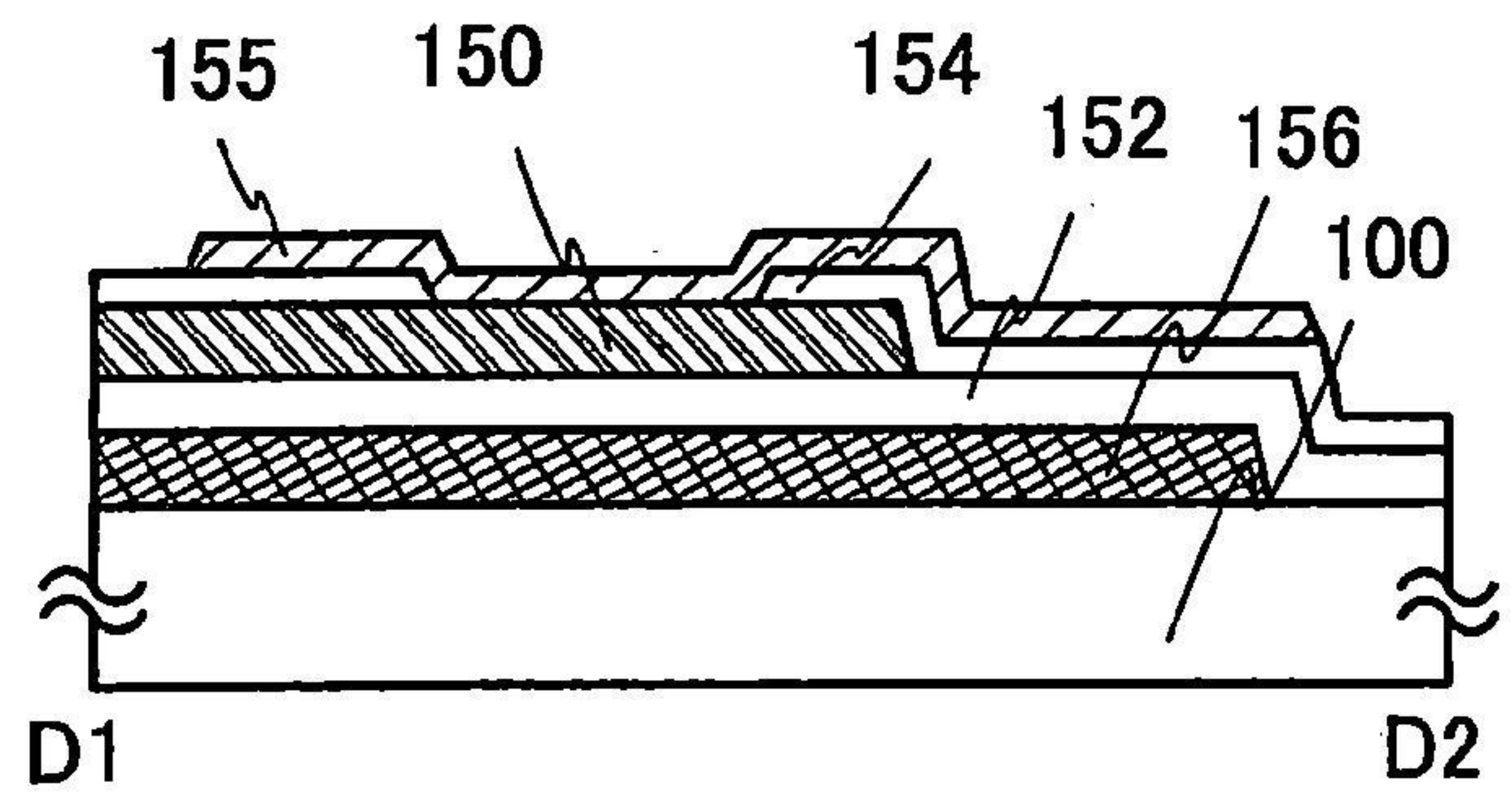


圖 8

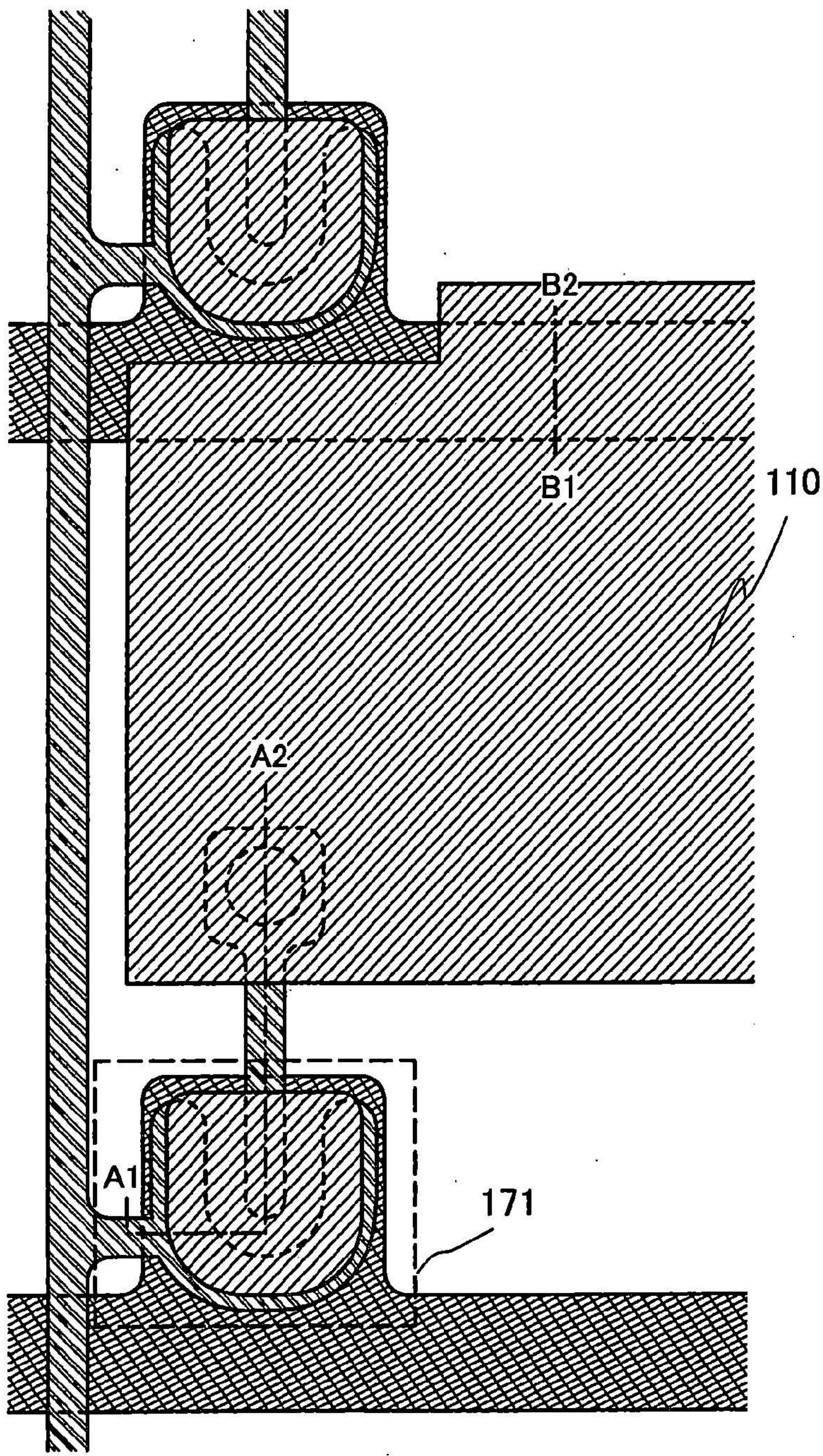


圖 9A

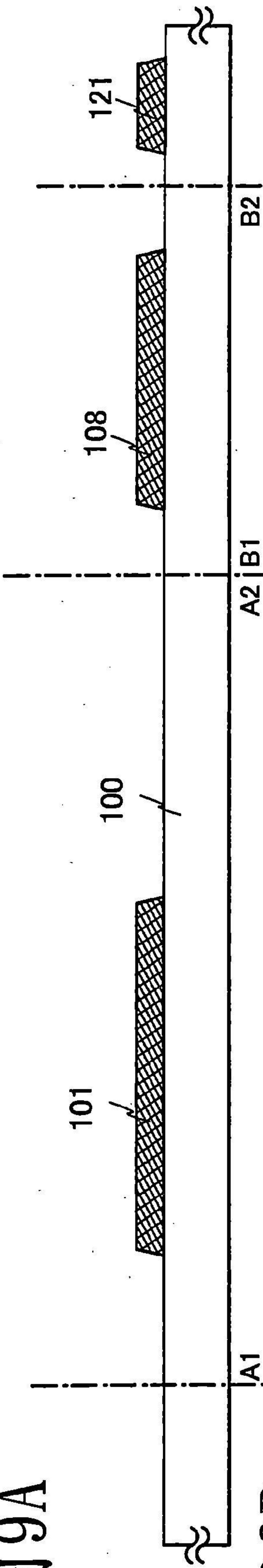


圖 9B

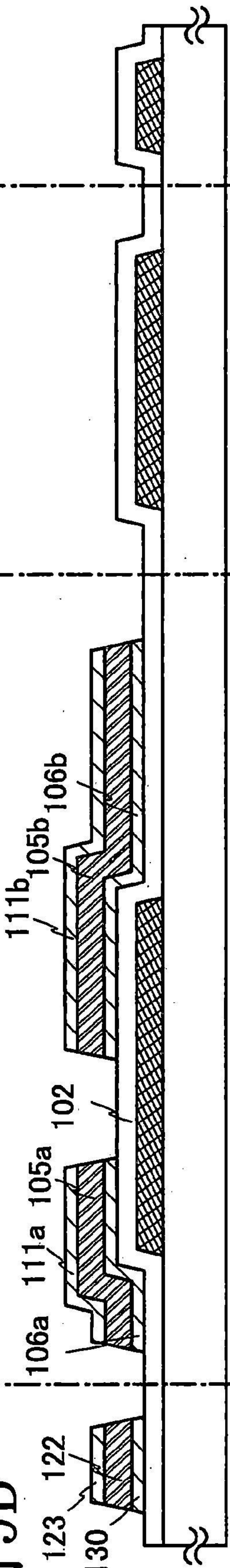


圖 9C

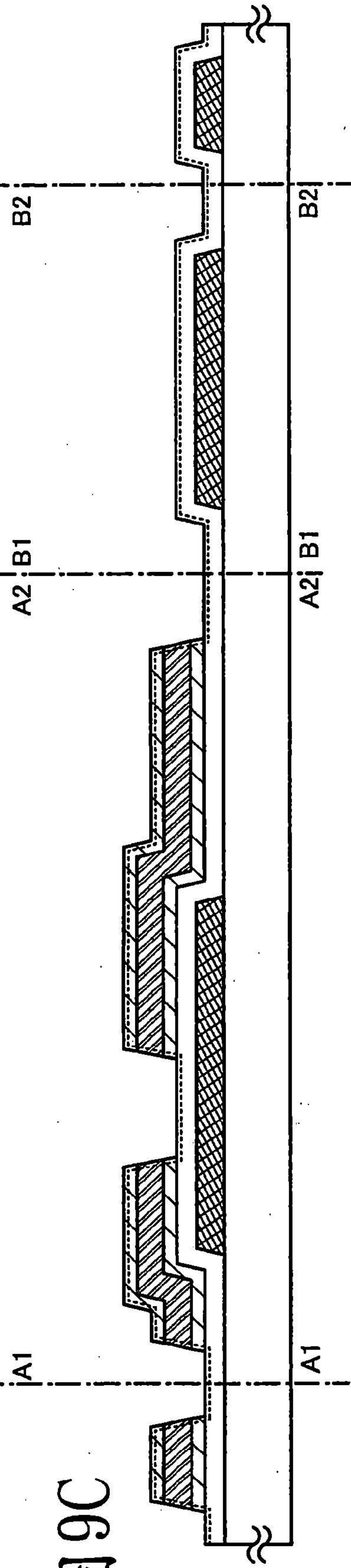


圖10A

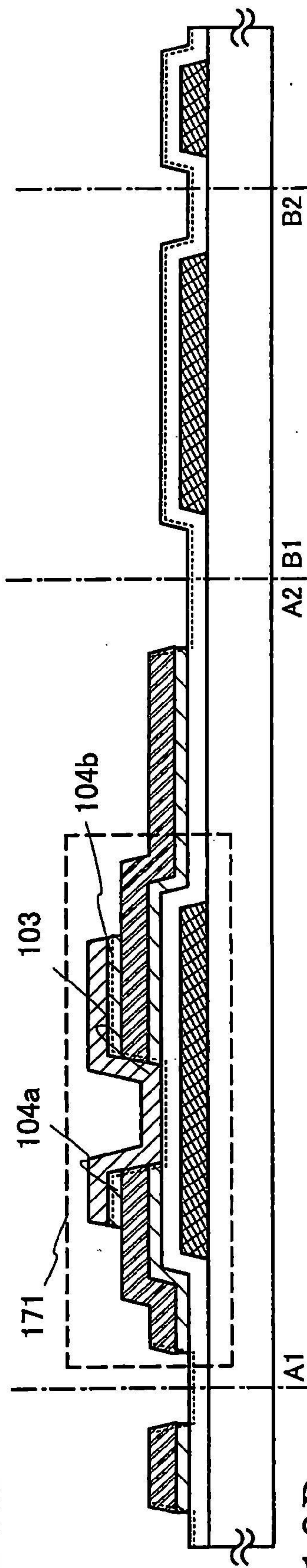


圖10B

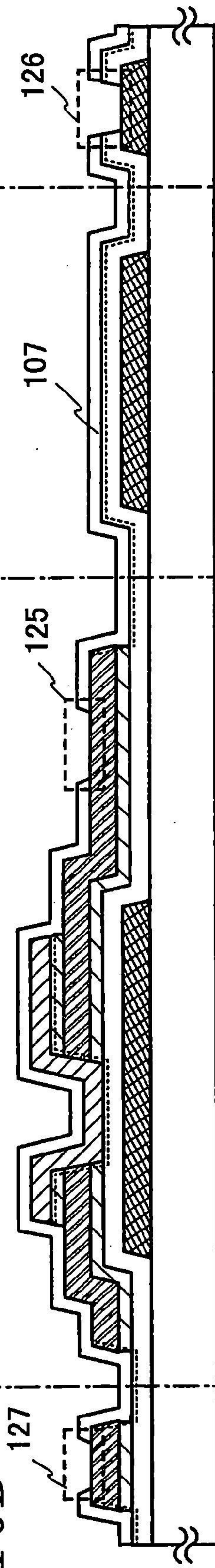


圖10C

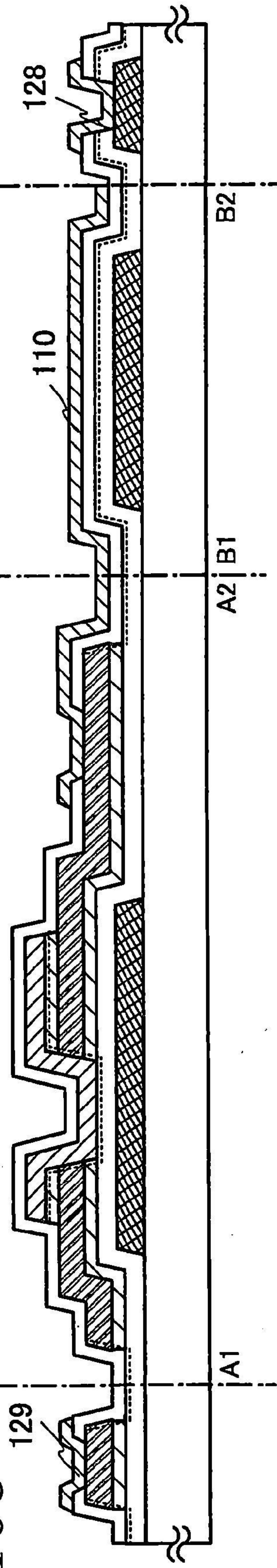


圖 11

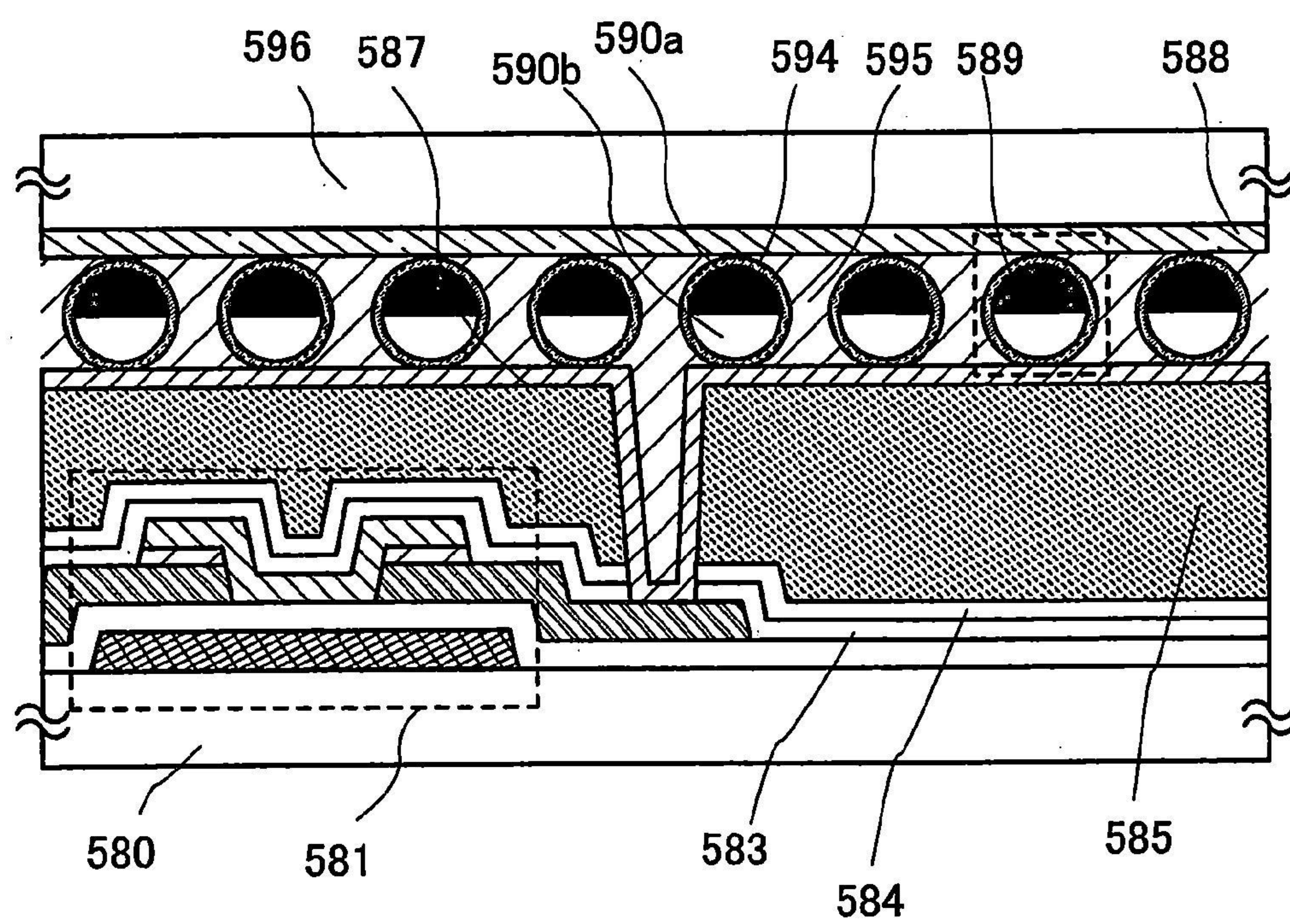


圖 12A

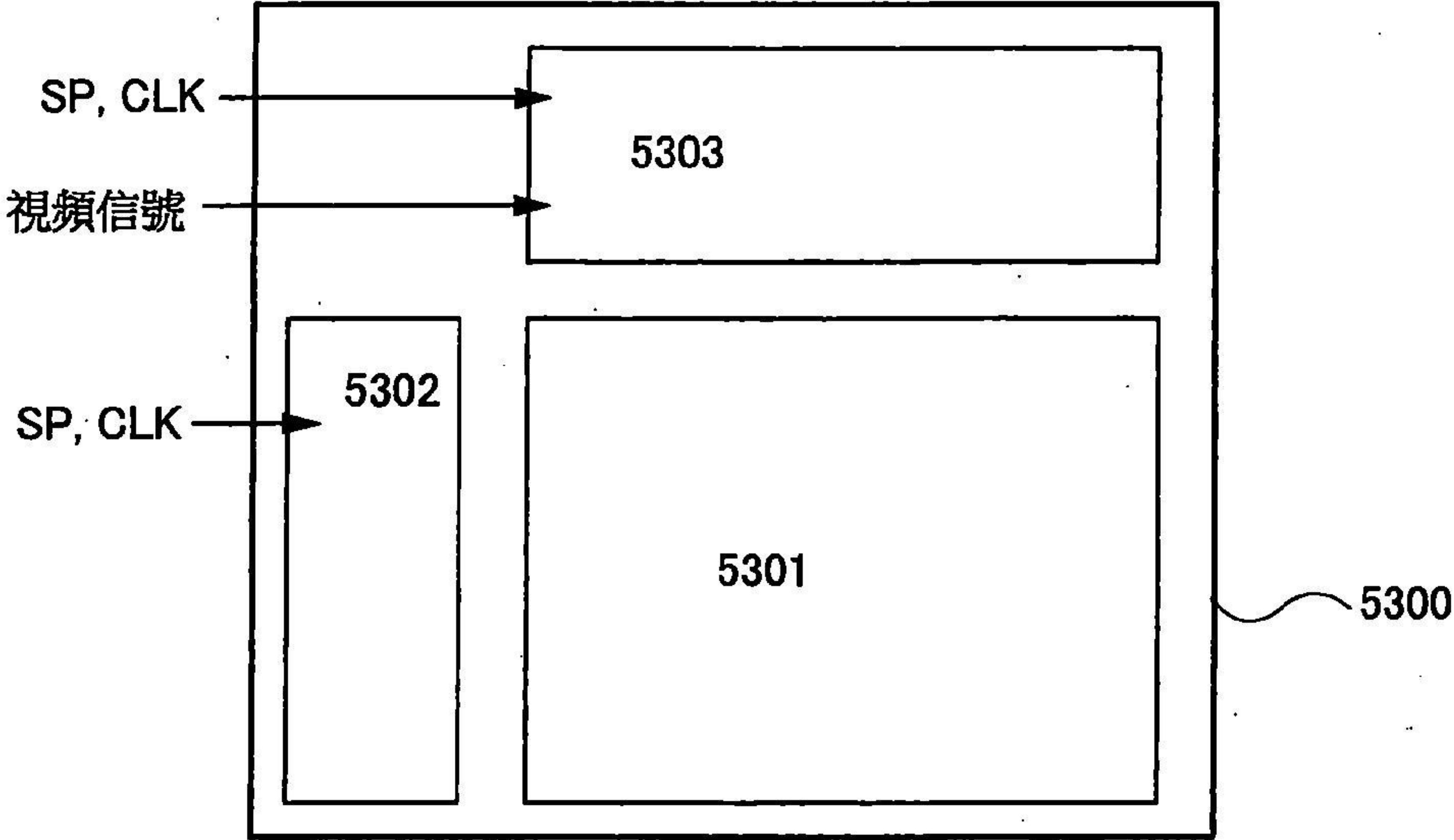


圖 12B

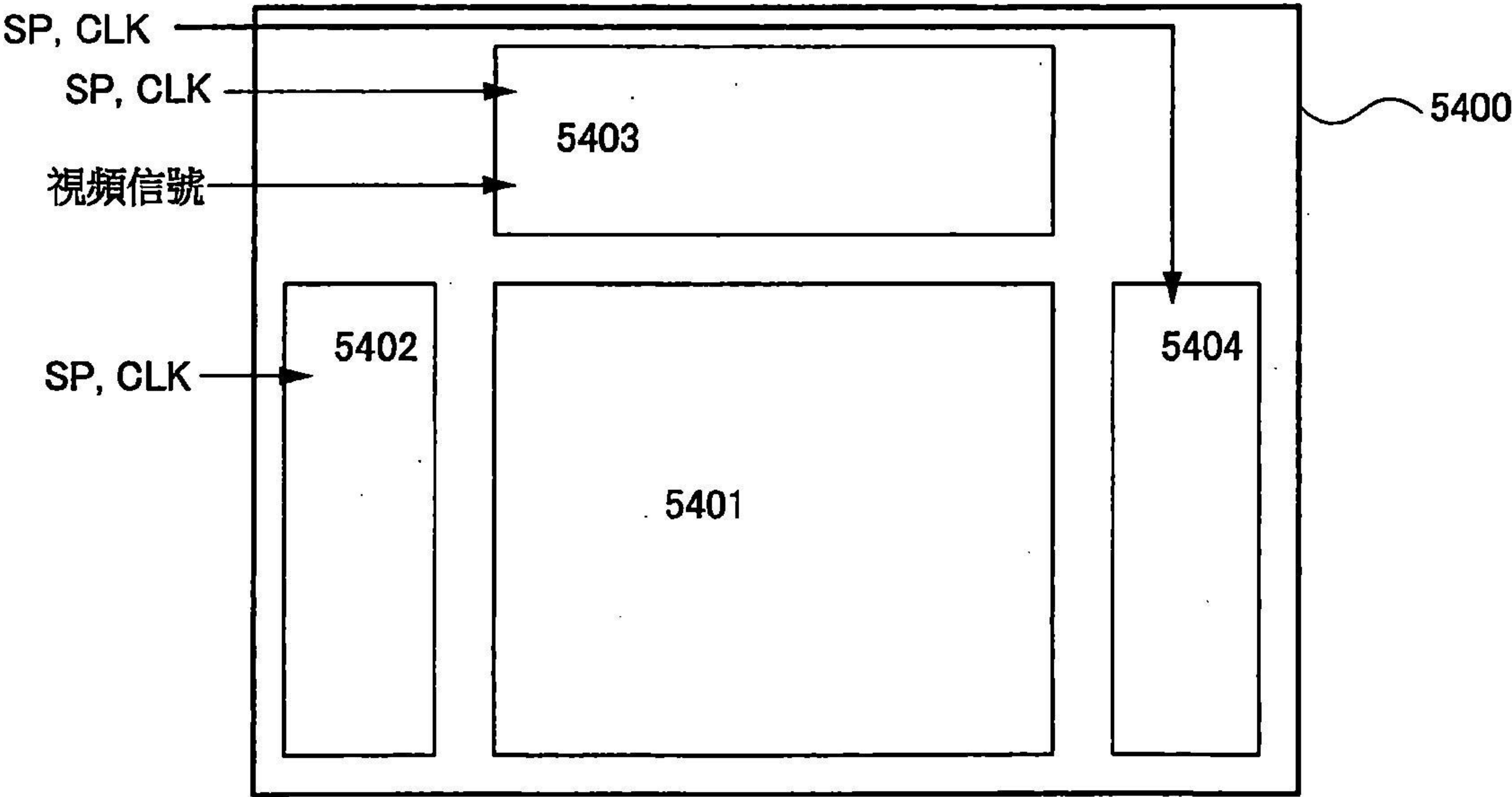


圖13

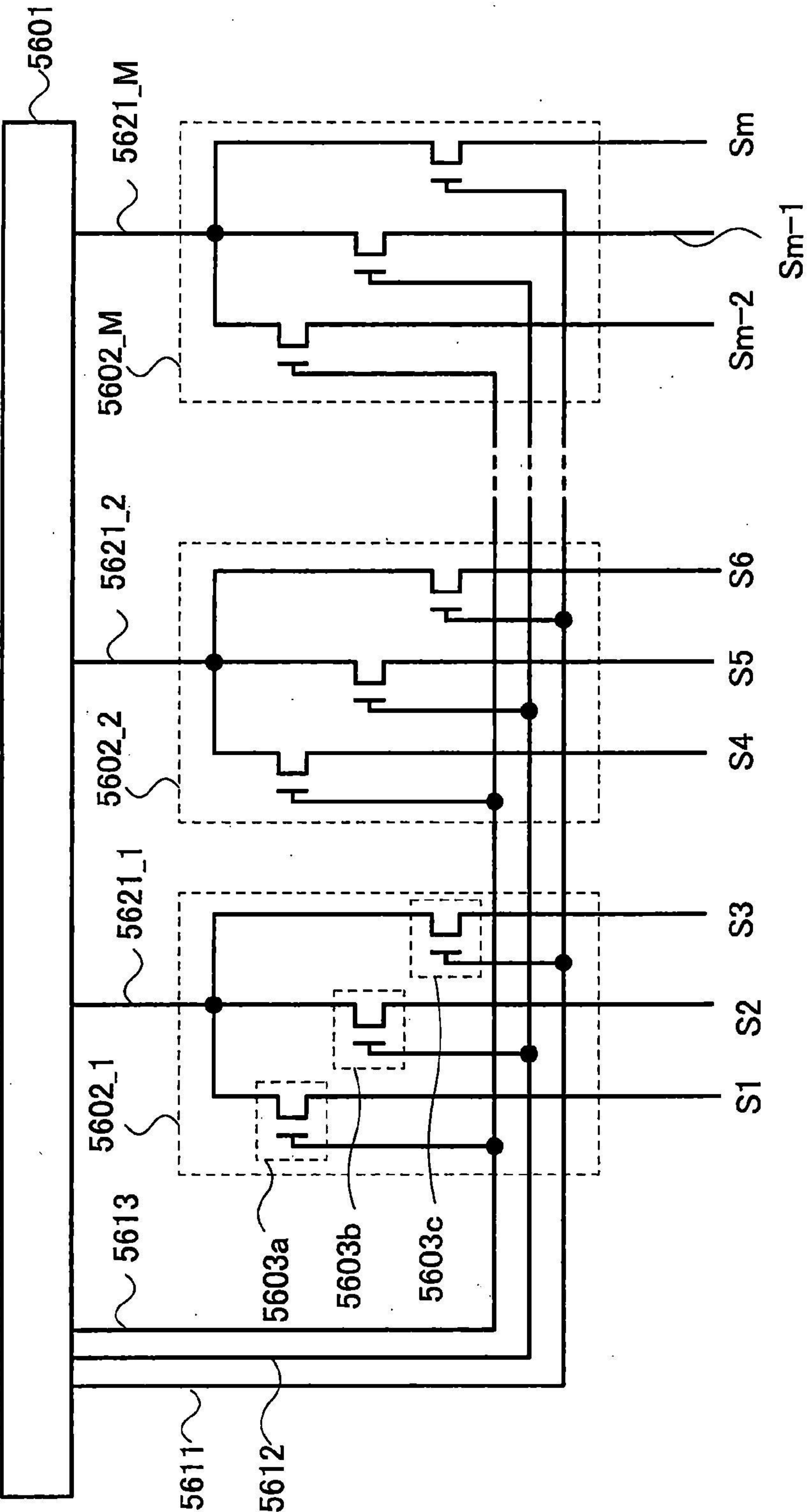


圖14

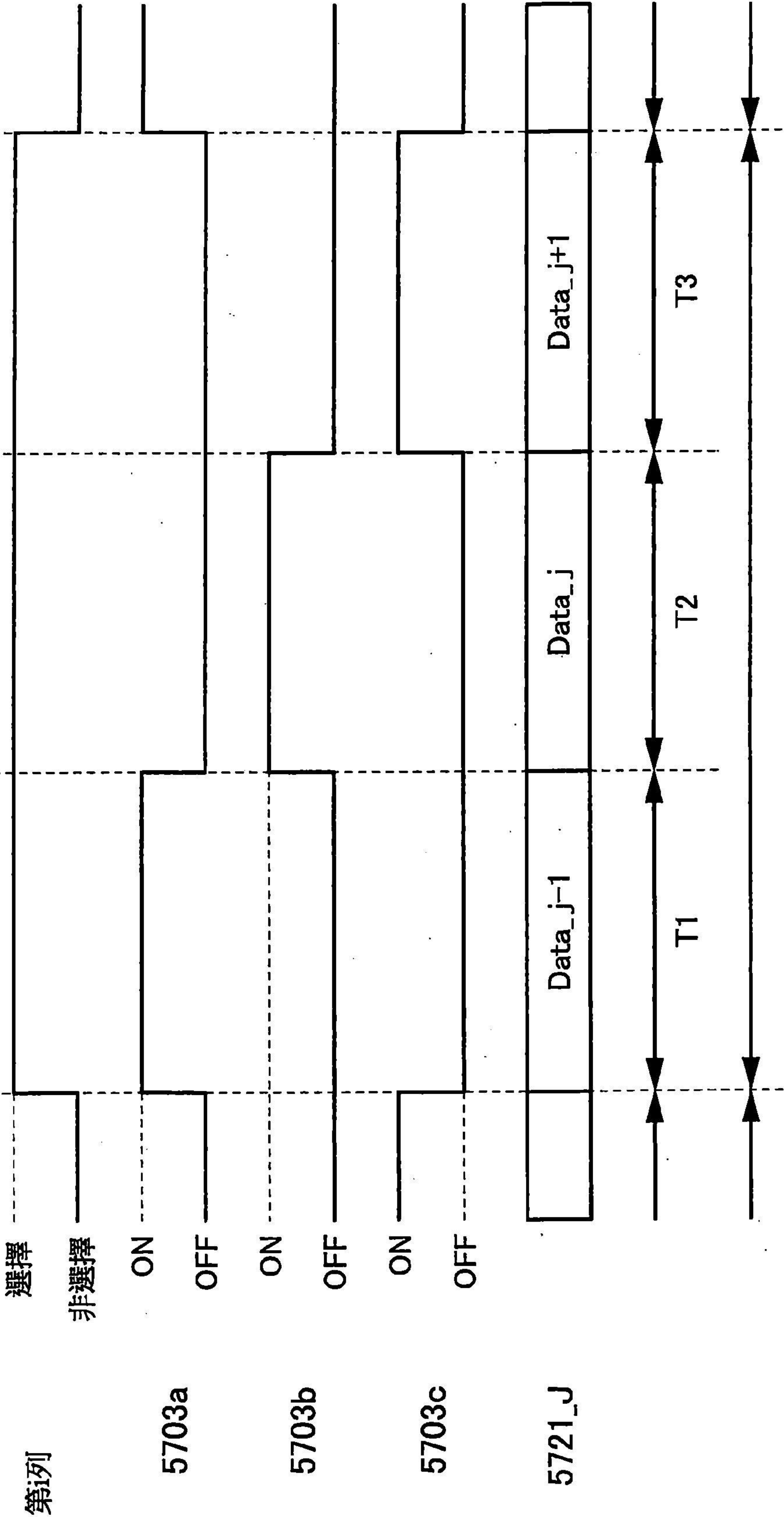


圖15

第i列

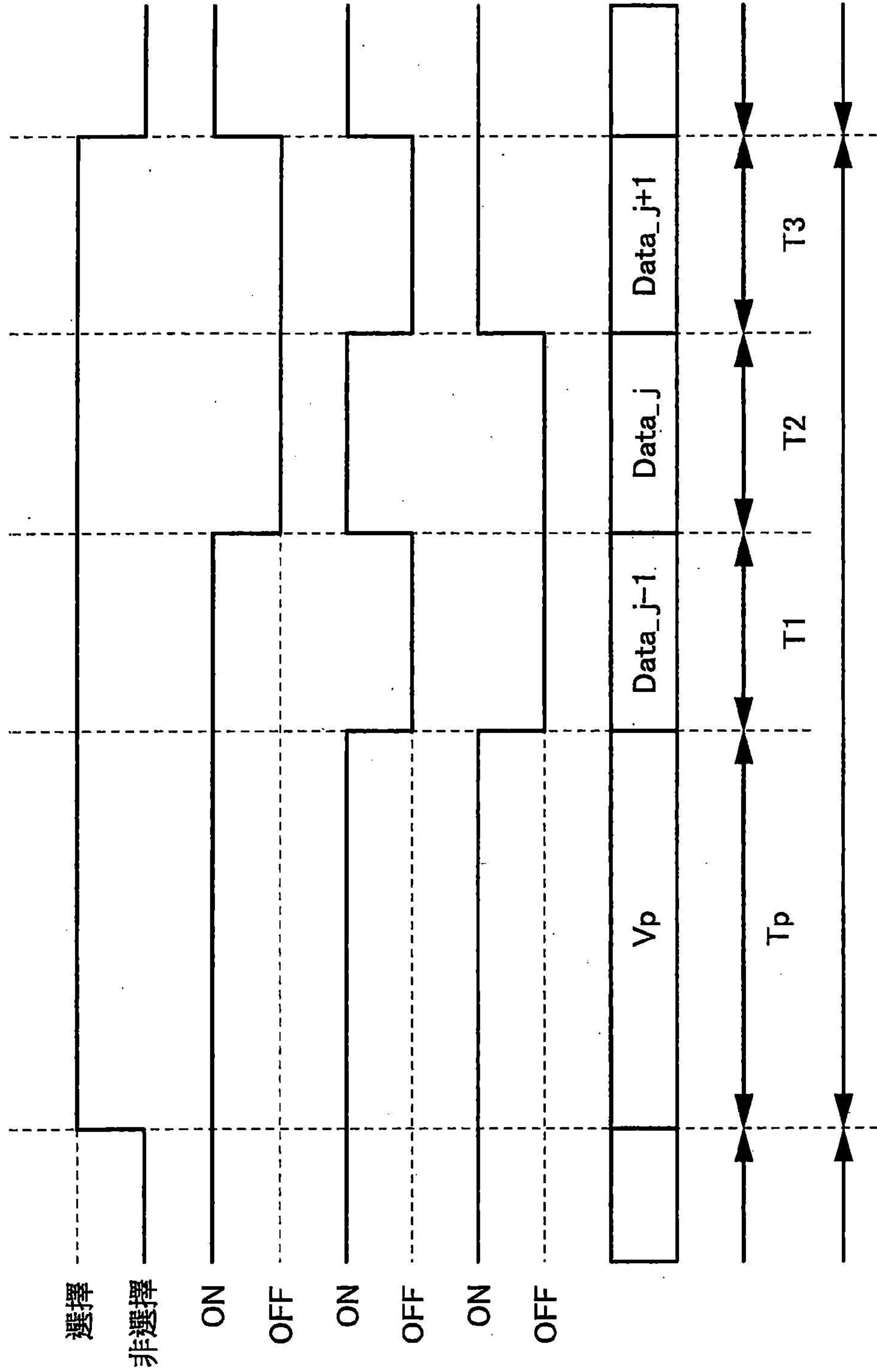


圖16

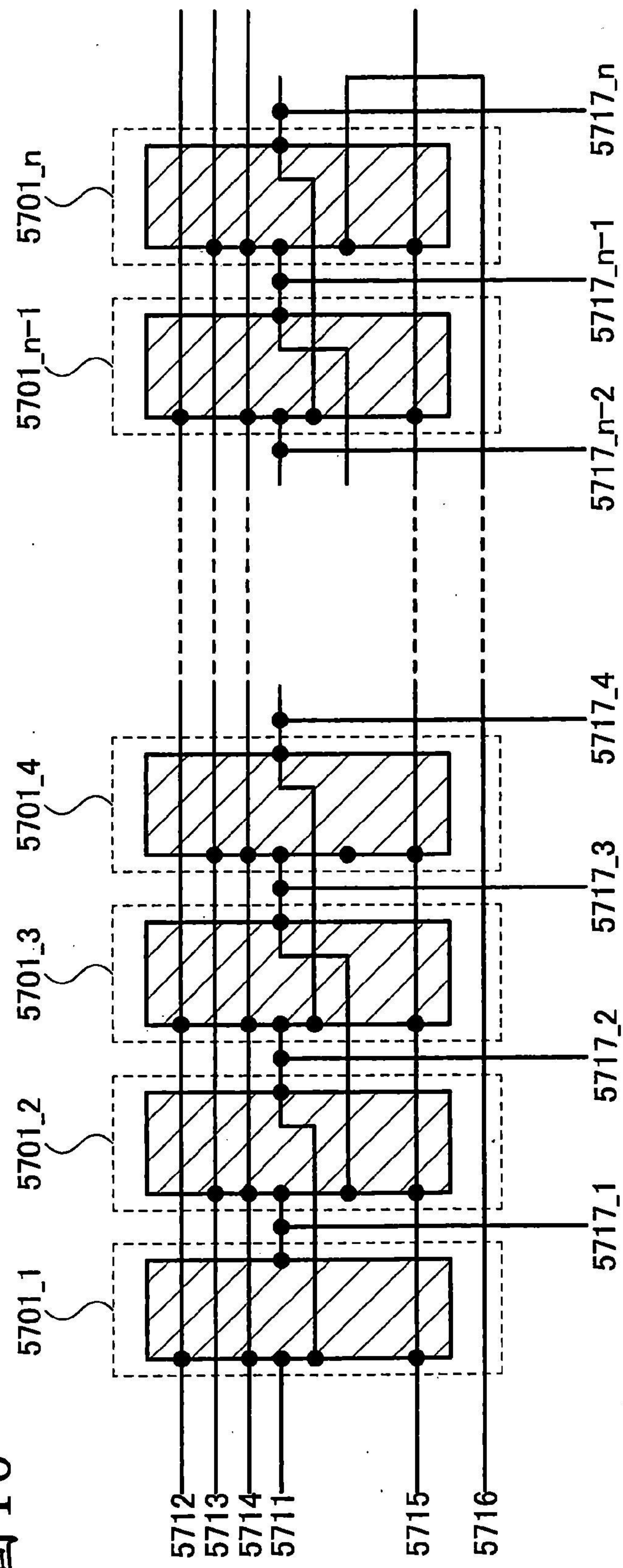


圖 17

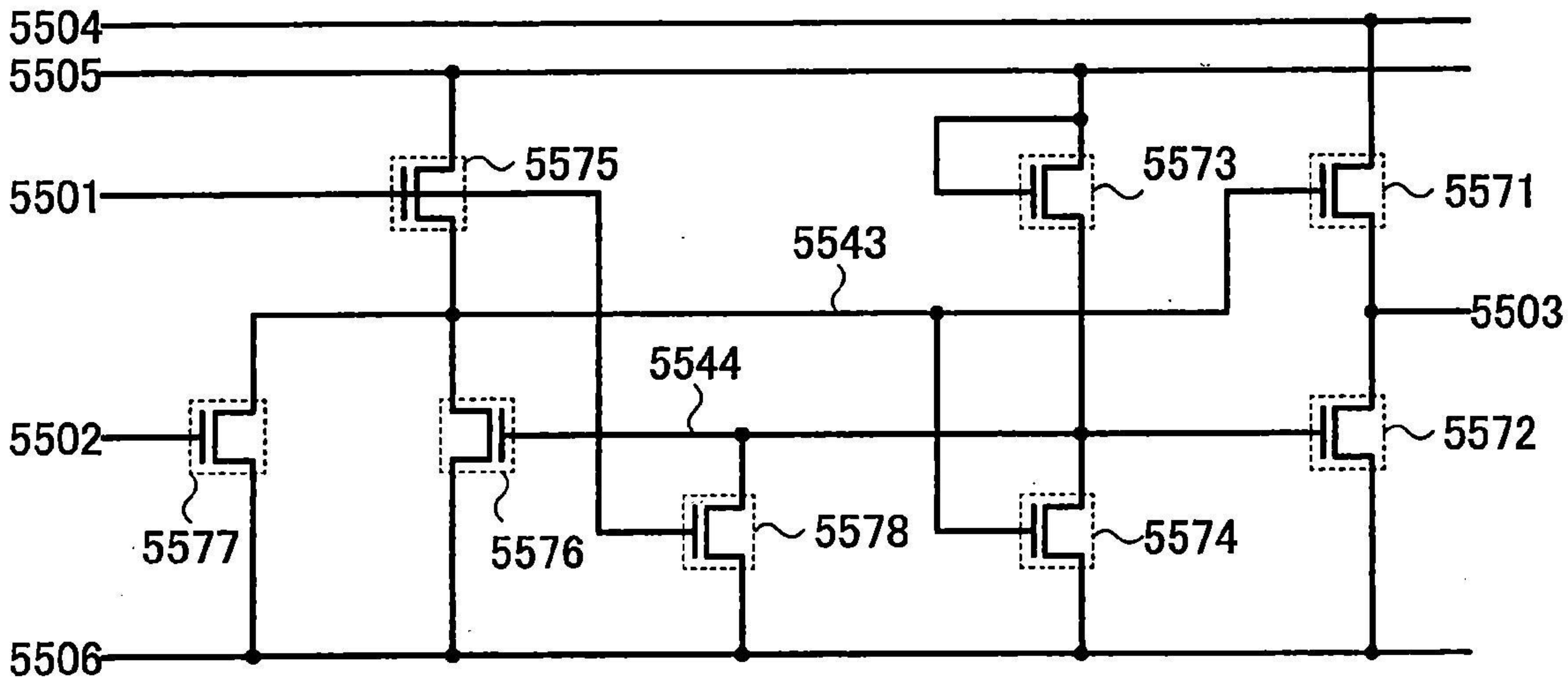


圖 18

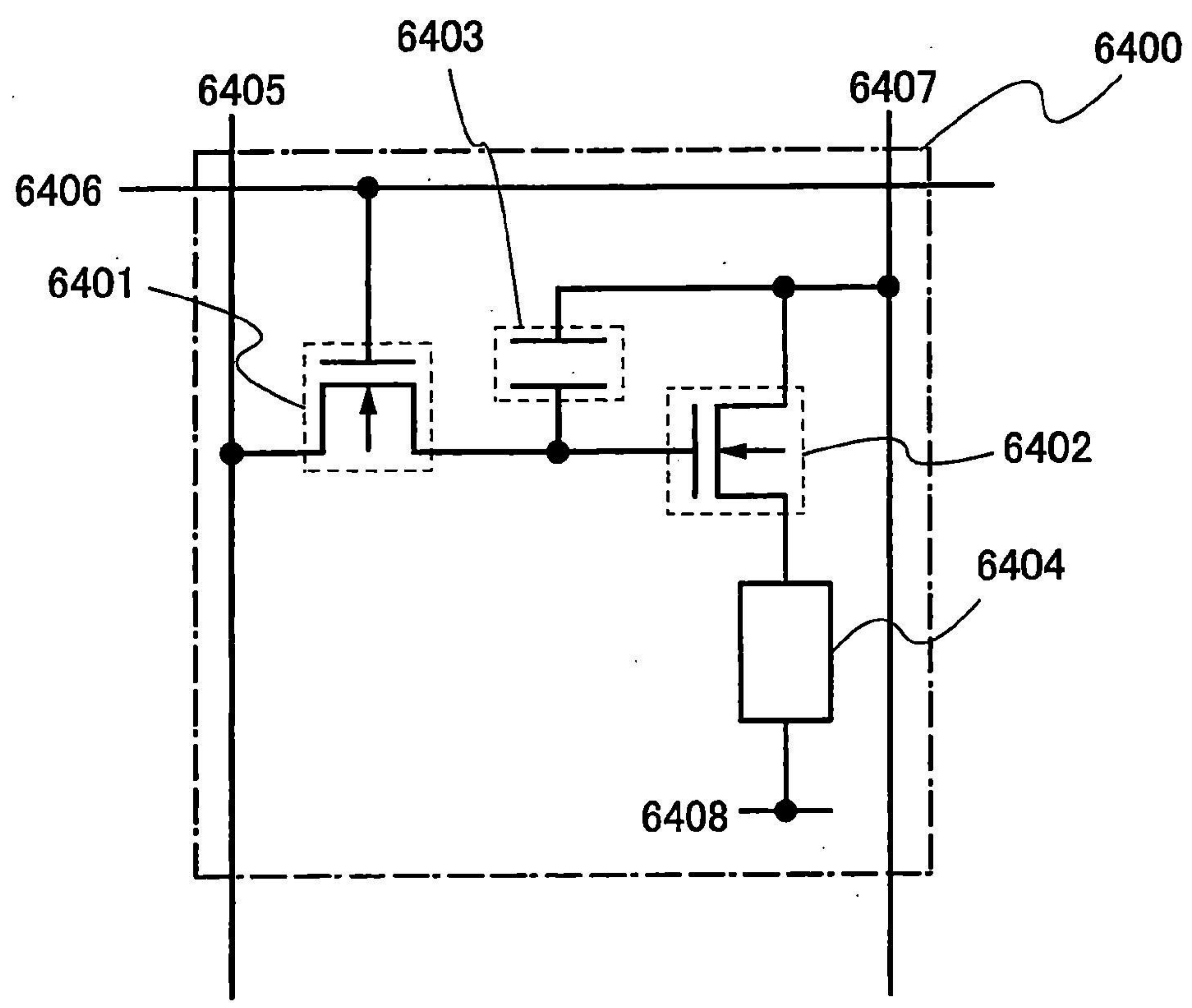


圖 19A

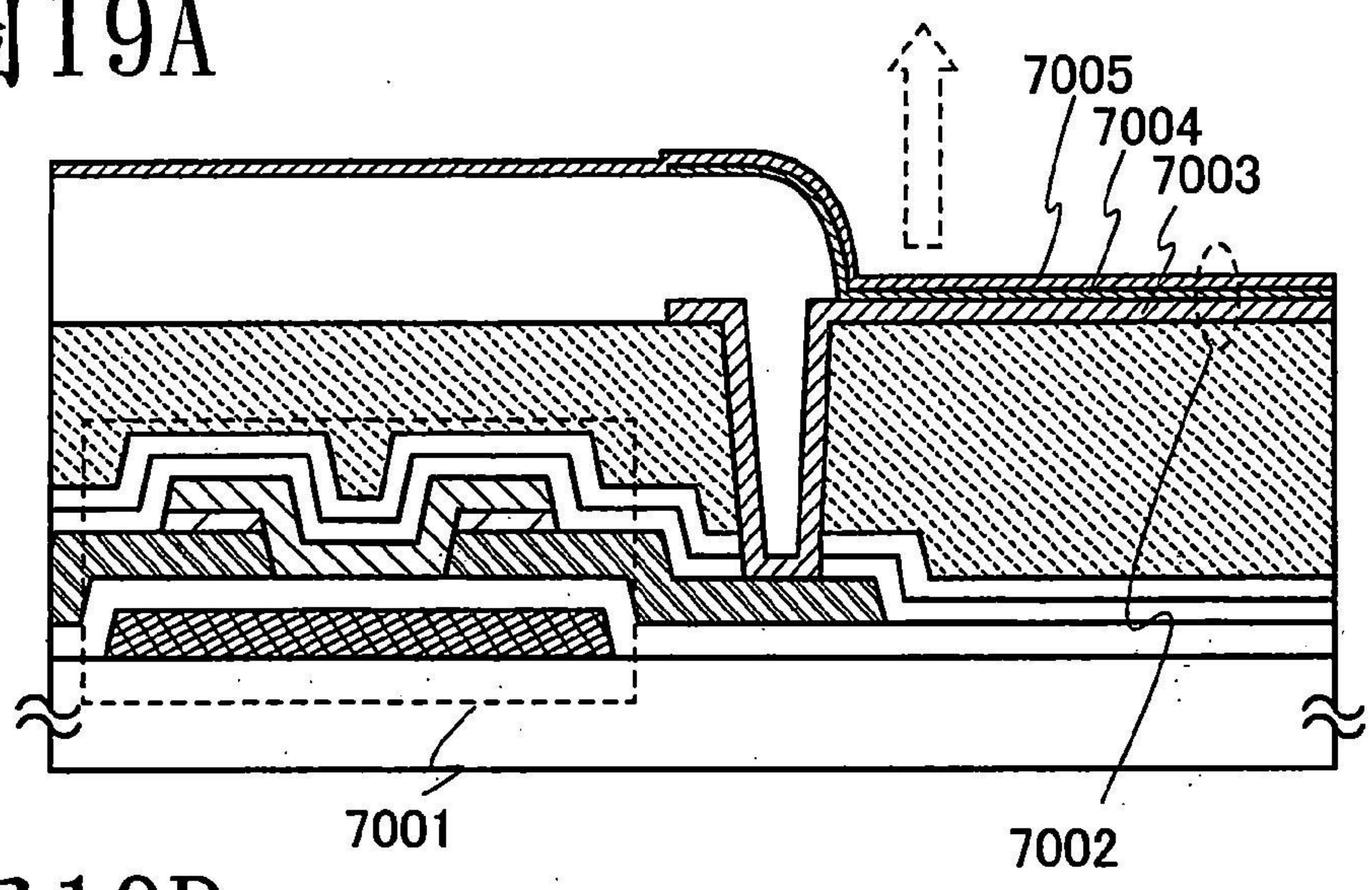


圖 19B

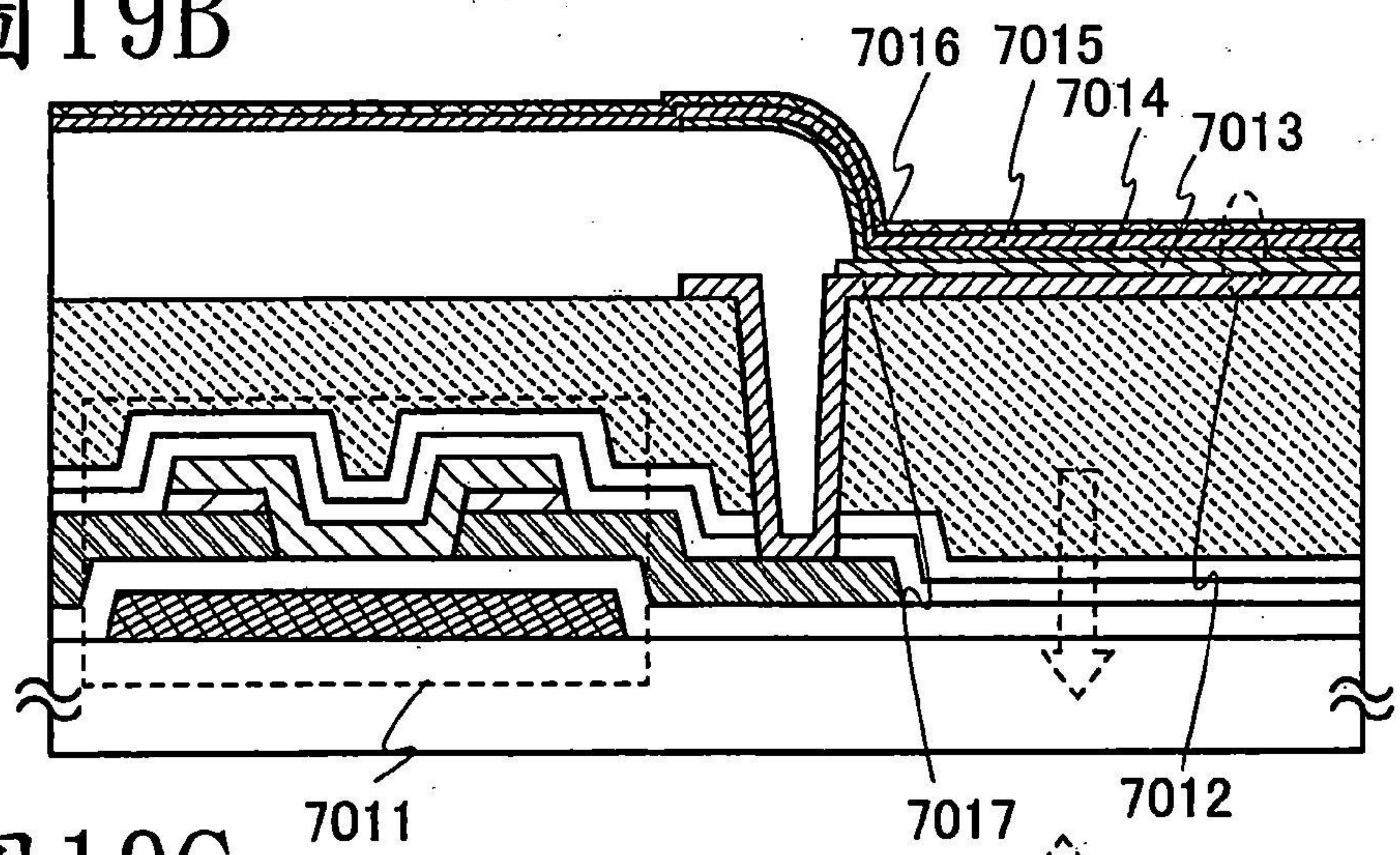


圖 19C

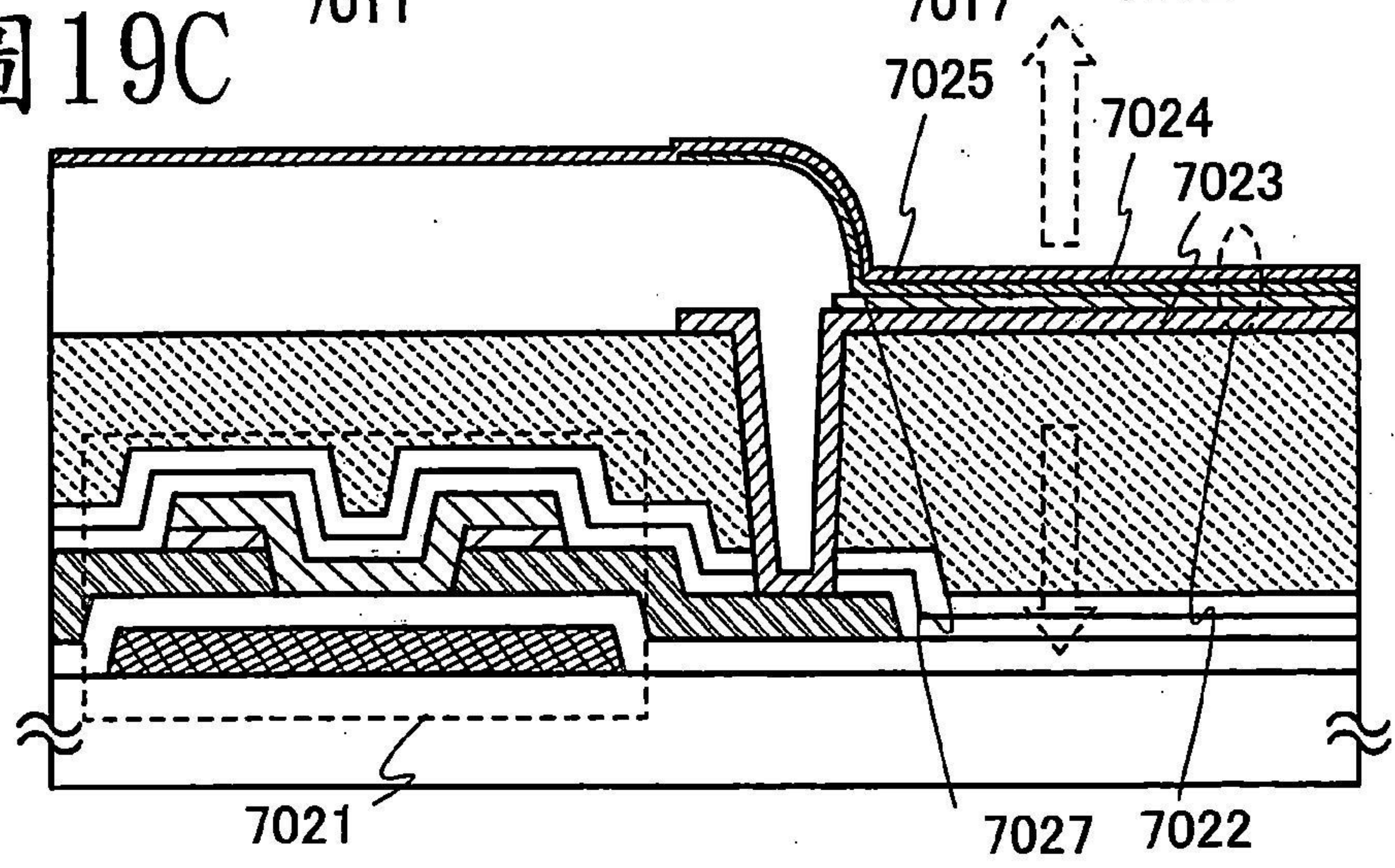


圖 20A

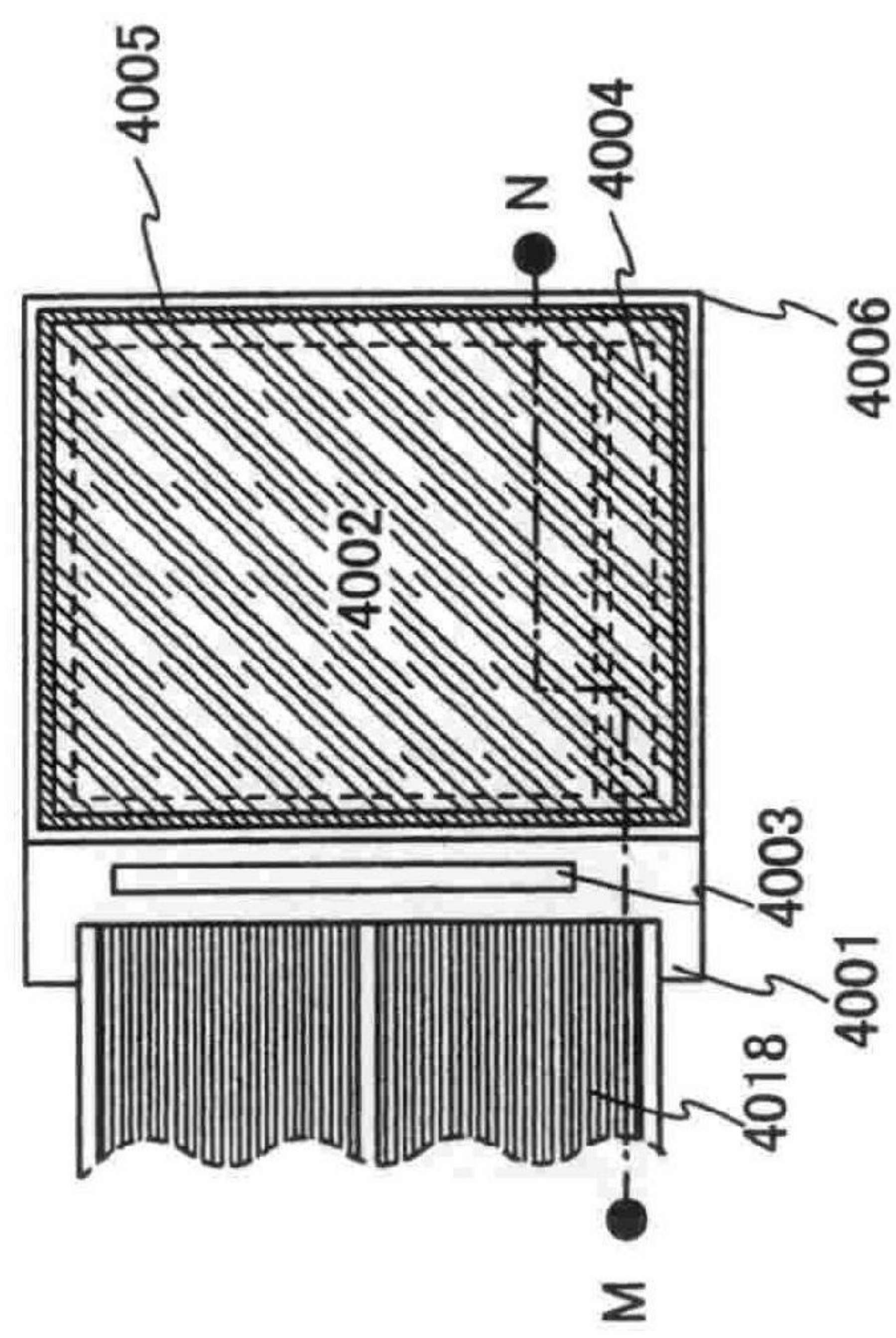


圖 20B

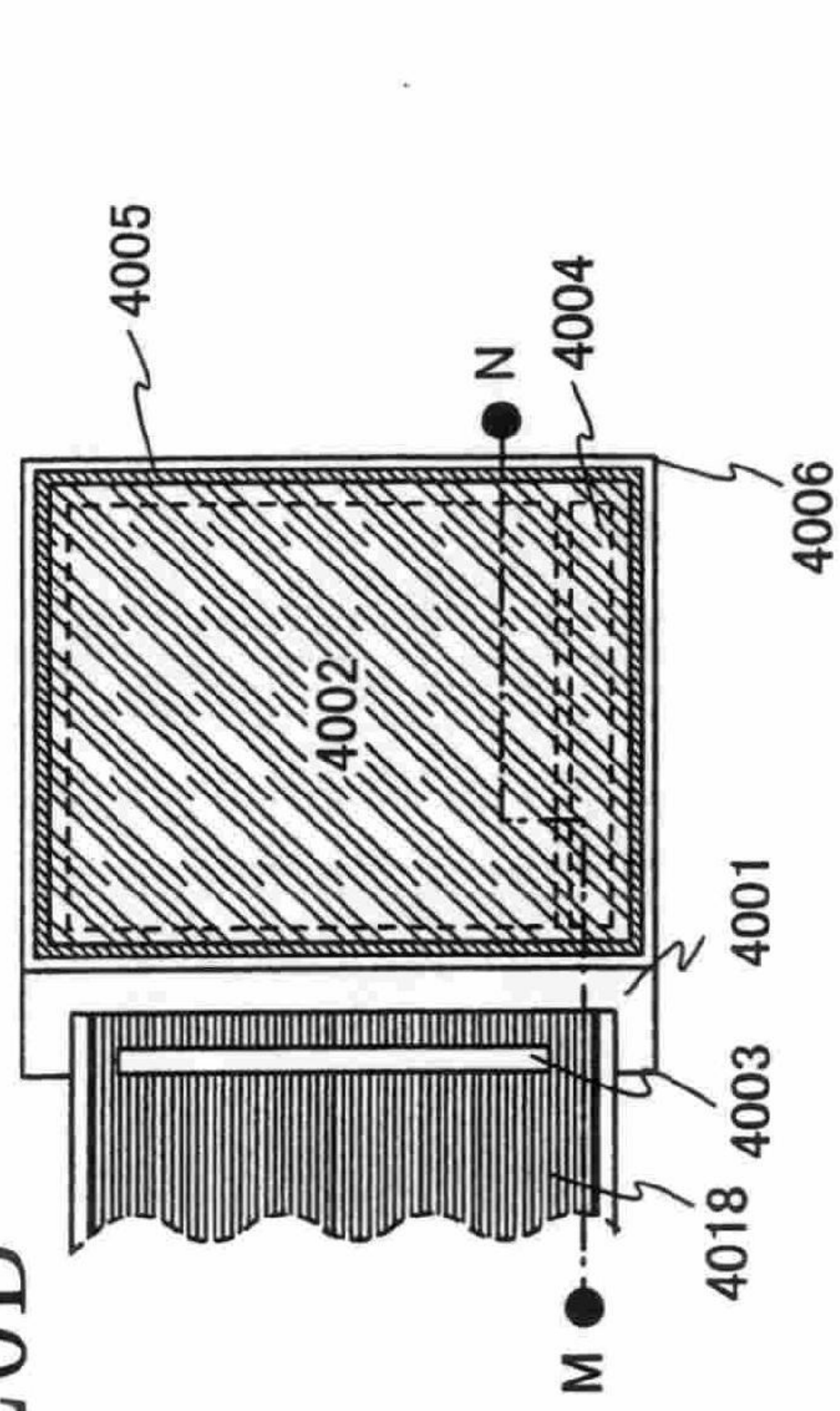


圖 20C

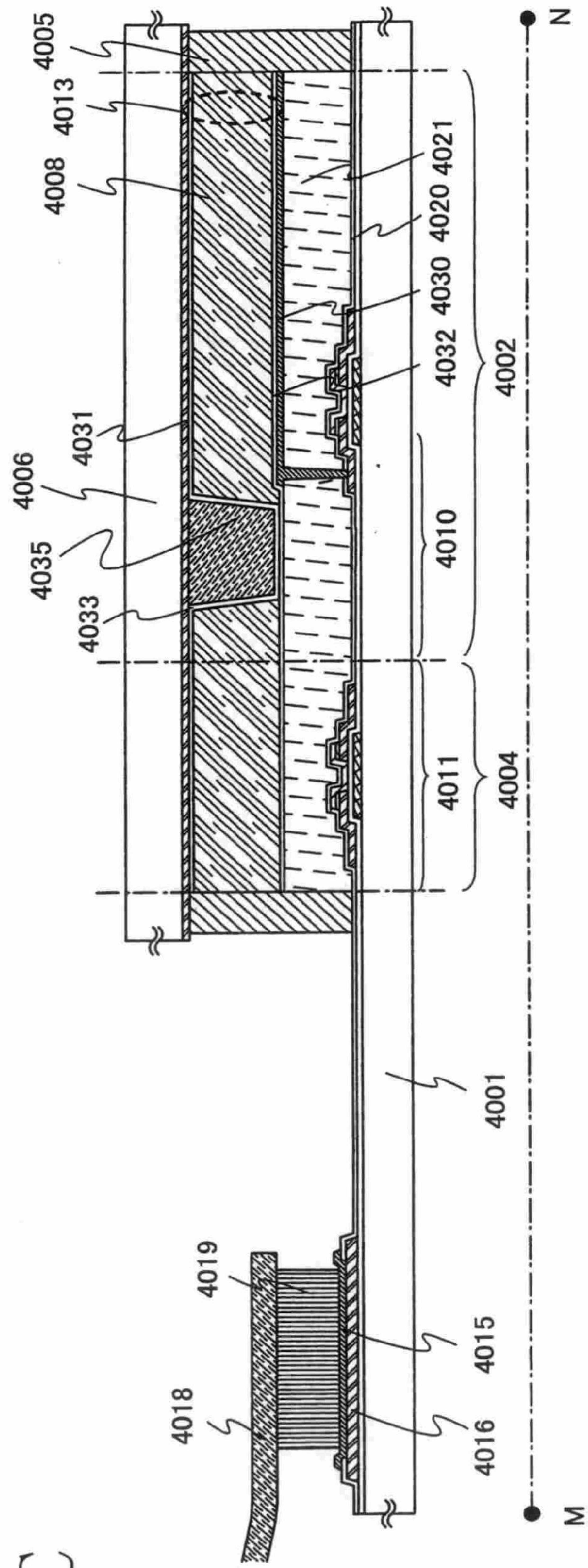


圖21

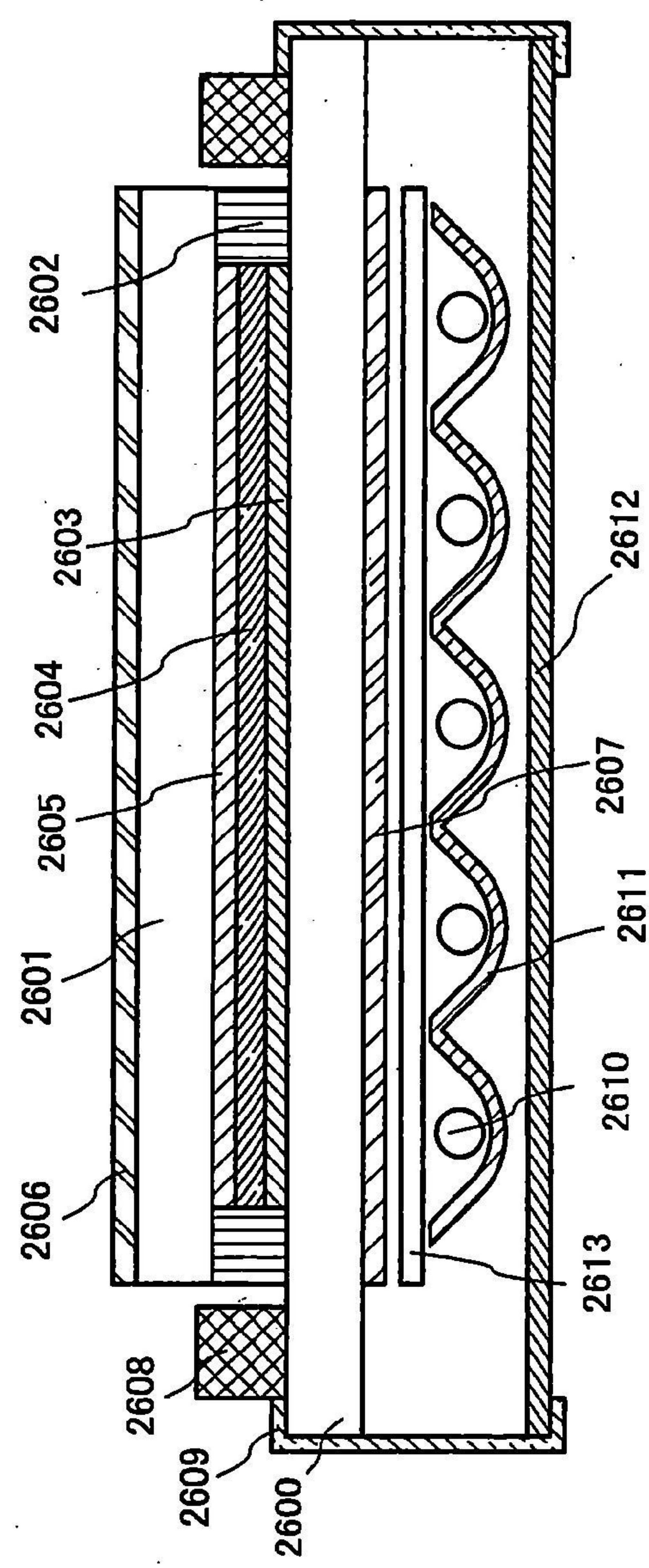


圖 22A

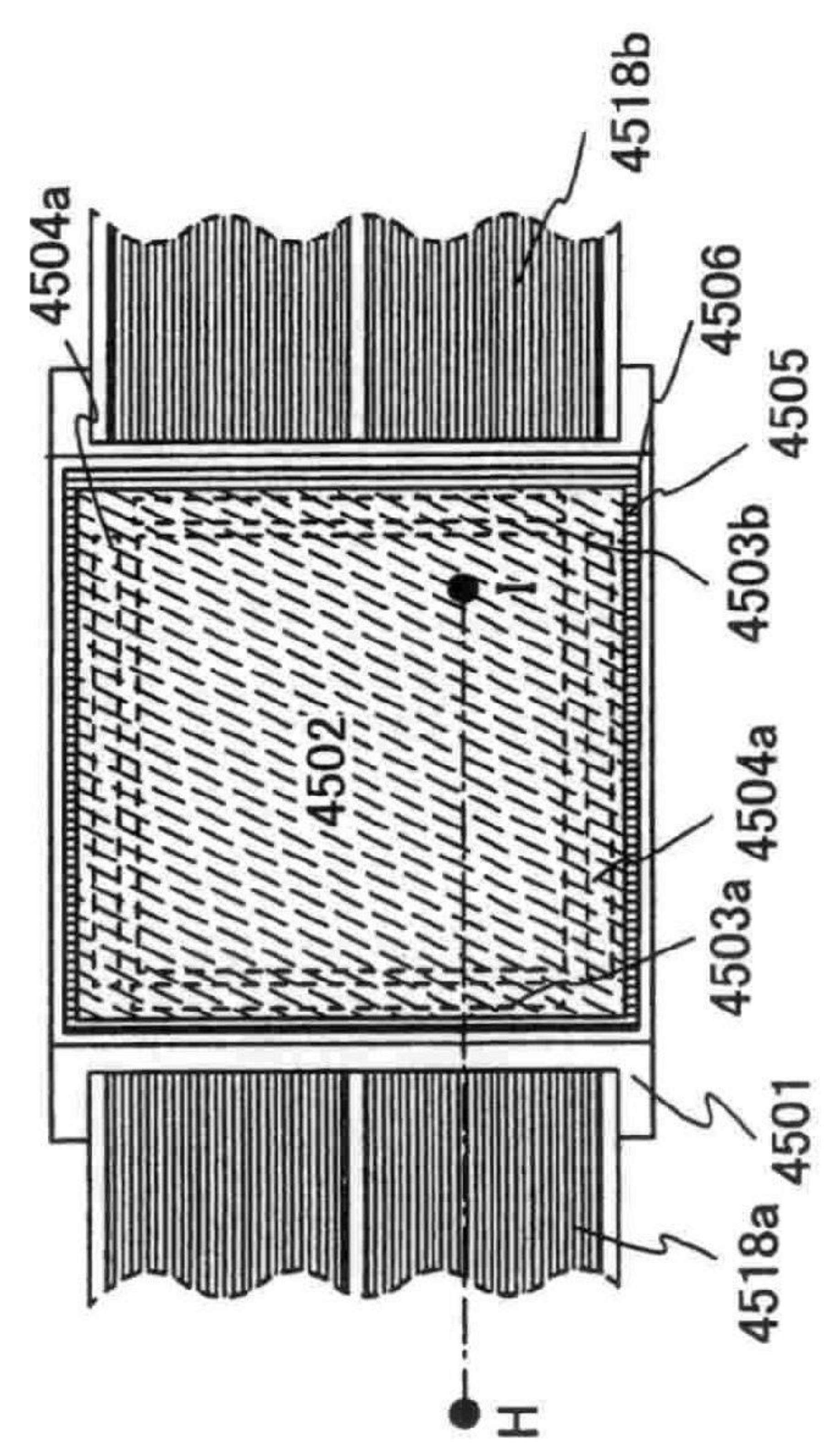


圖 22B

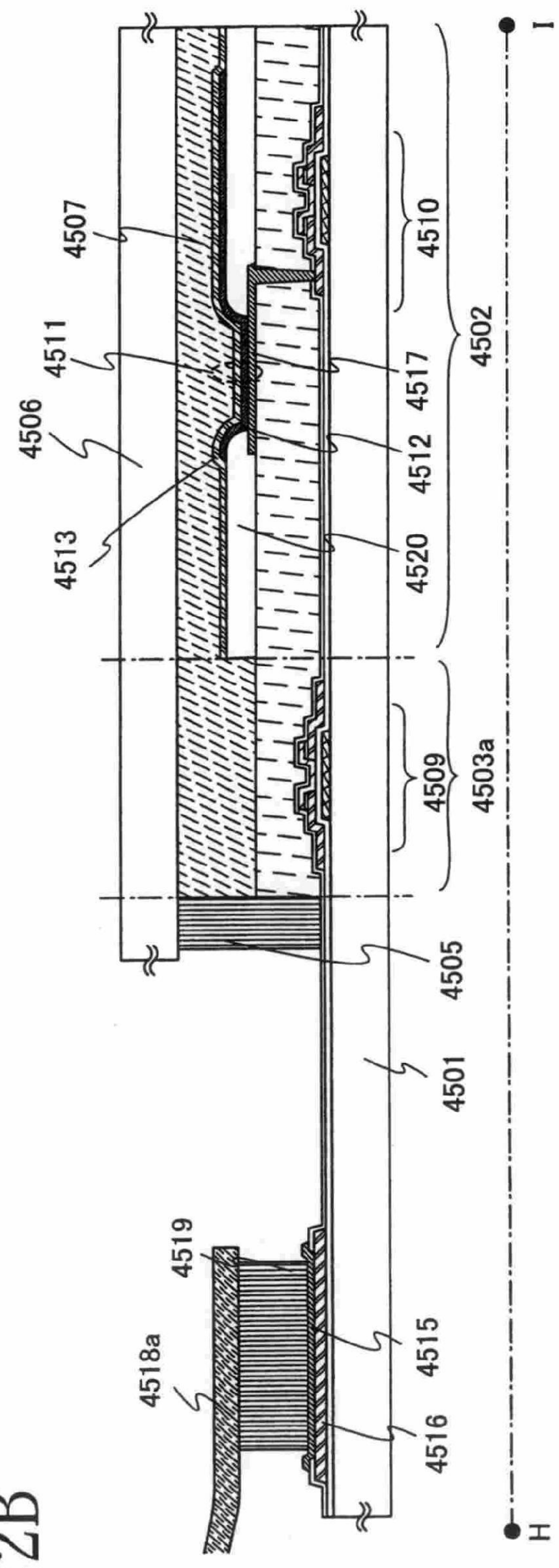


圖 23A

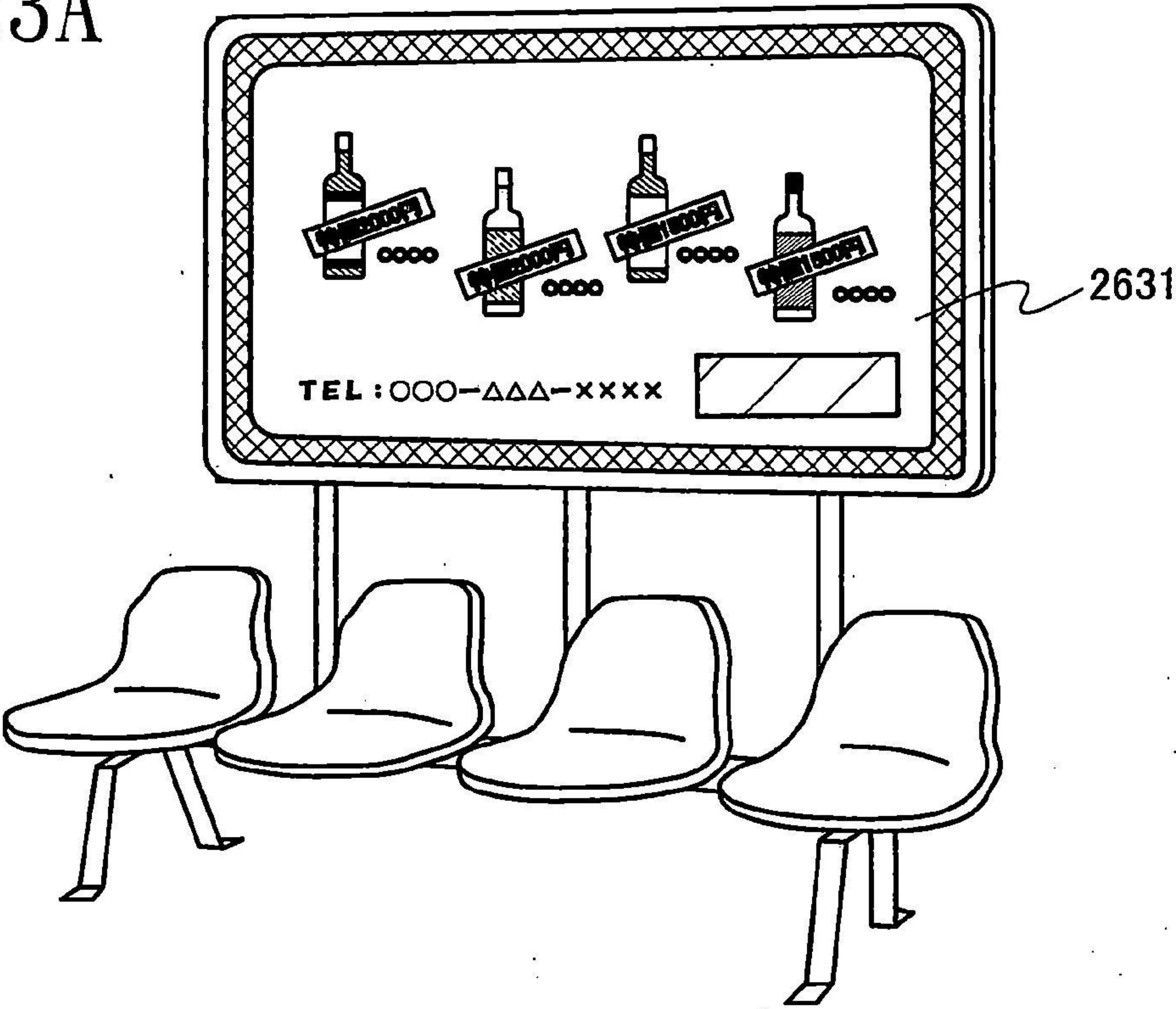


圖 23B

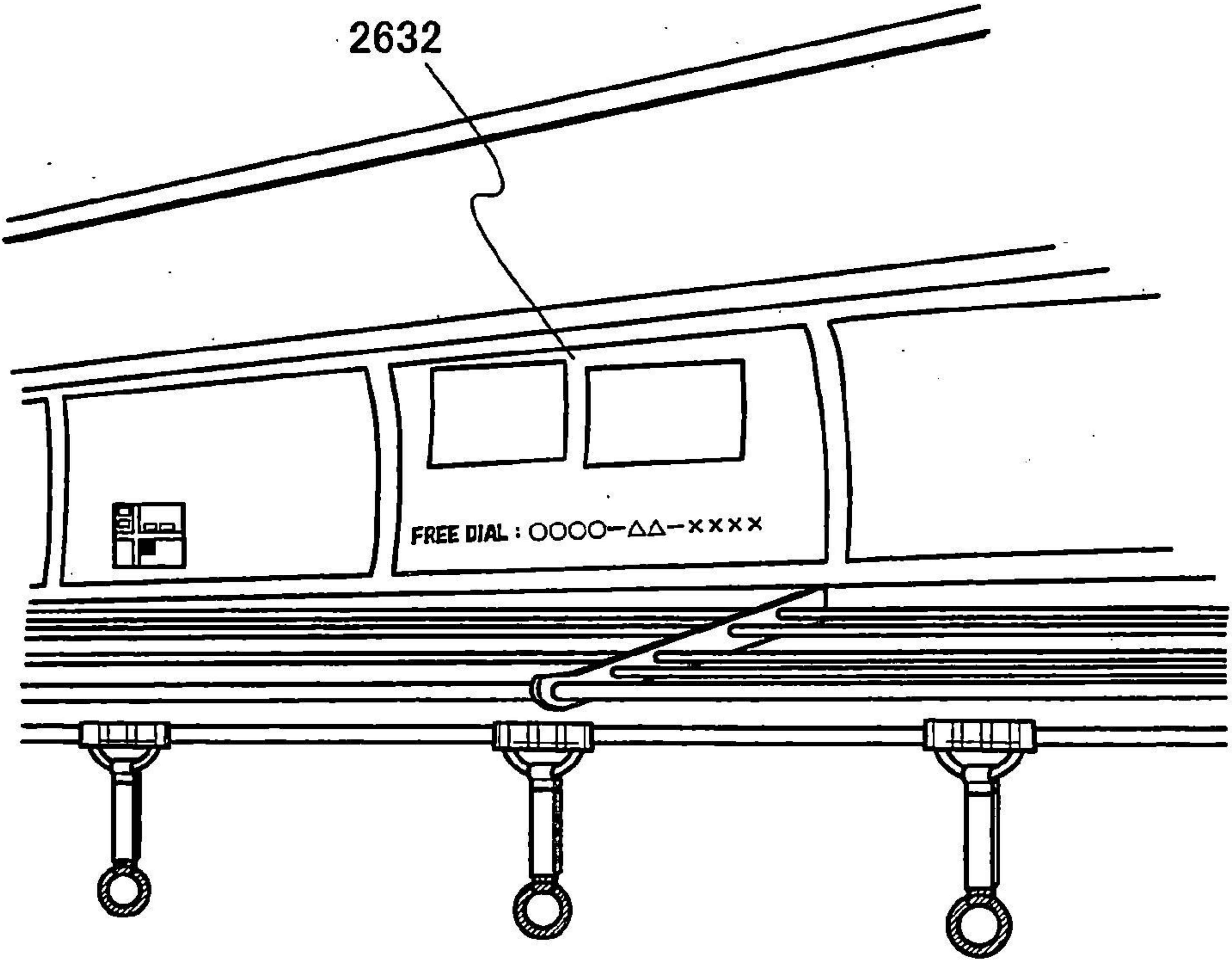


圖 24

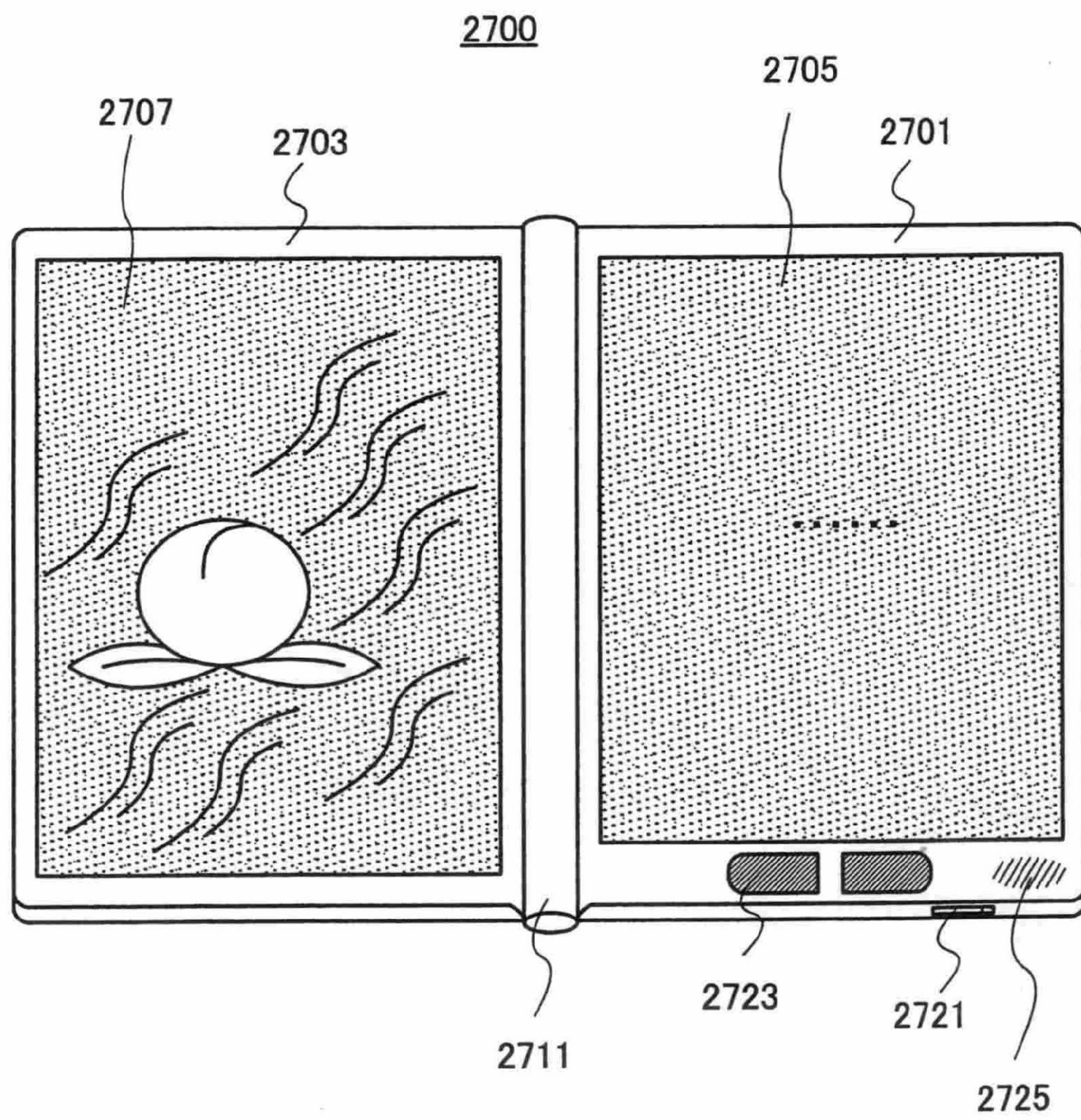


圖 25A

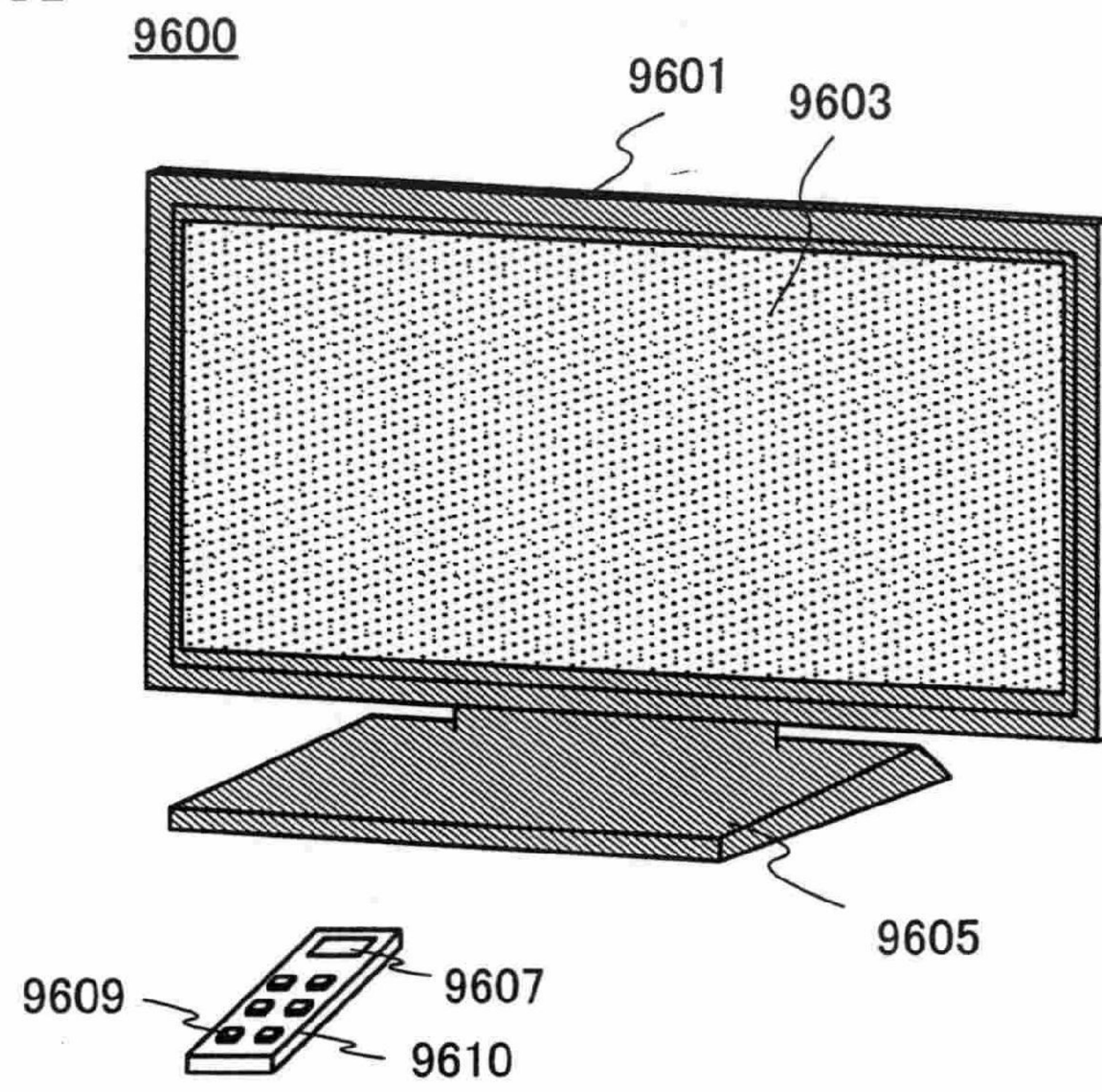


圖 25B

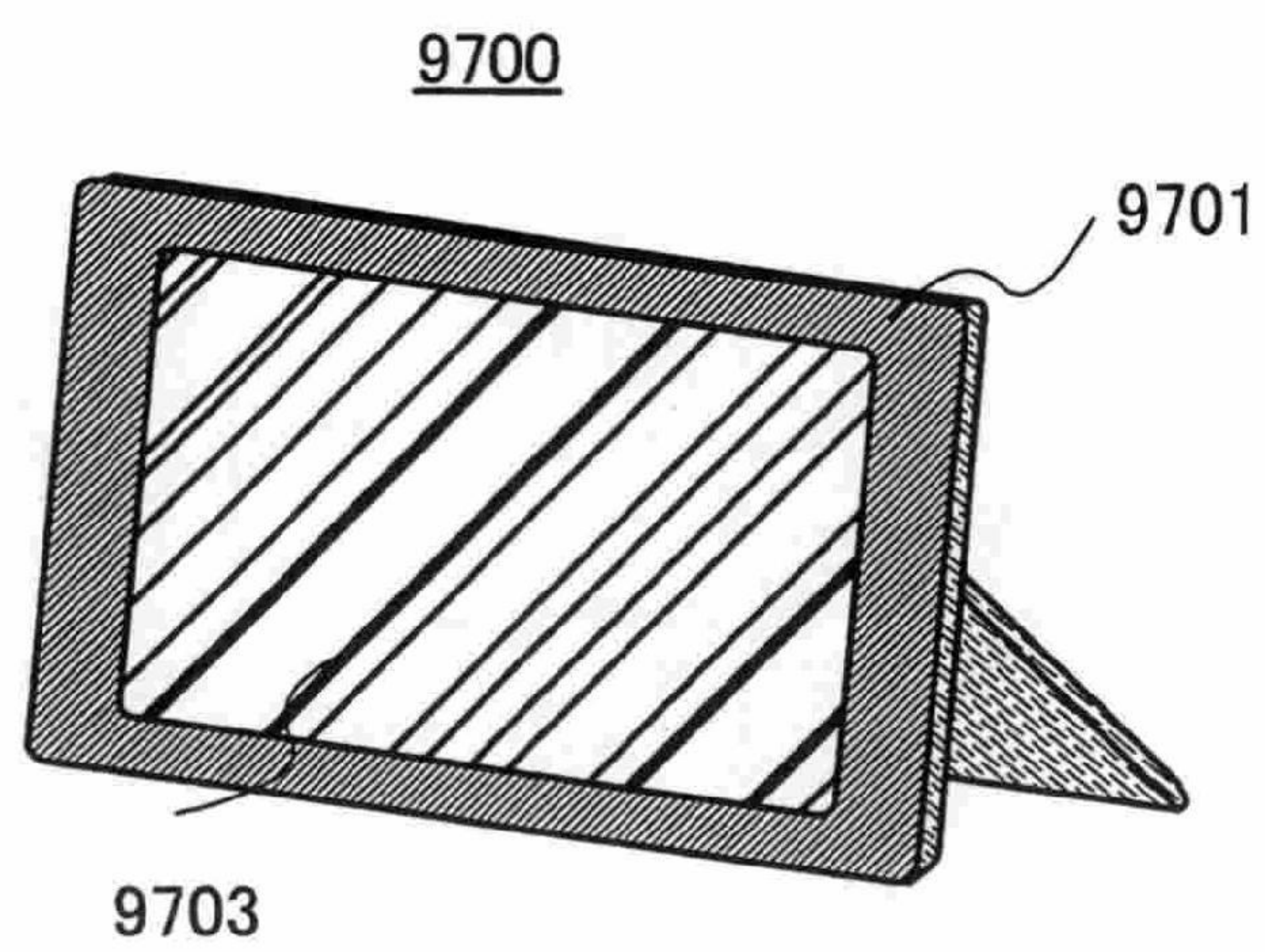


圖 26A

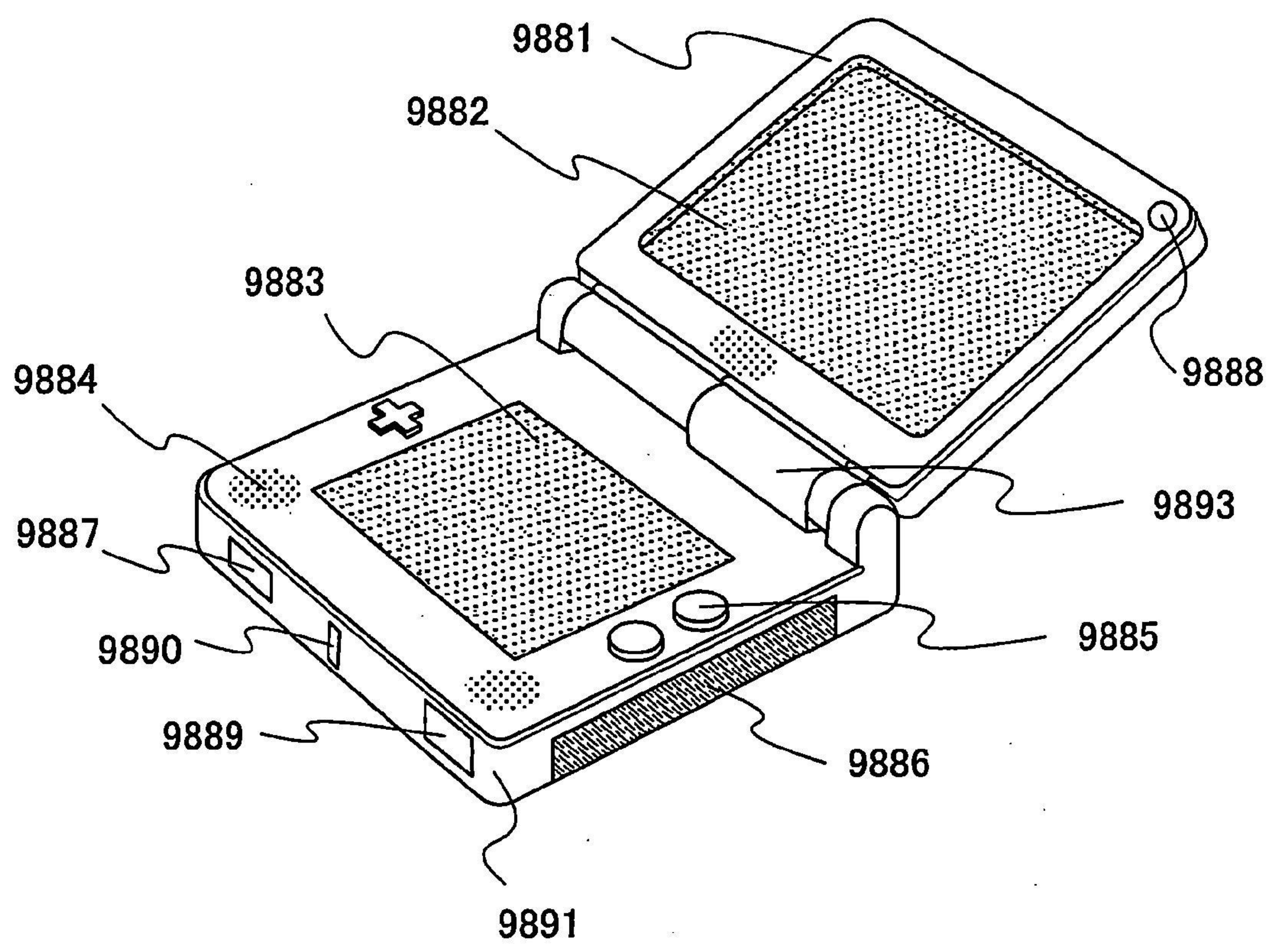


圖 26B

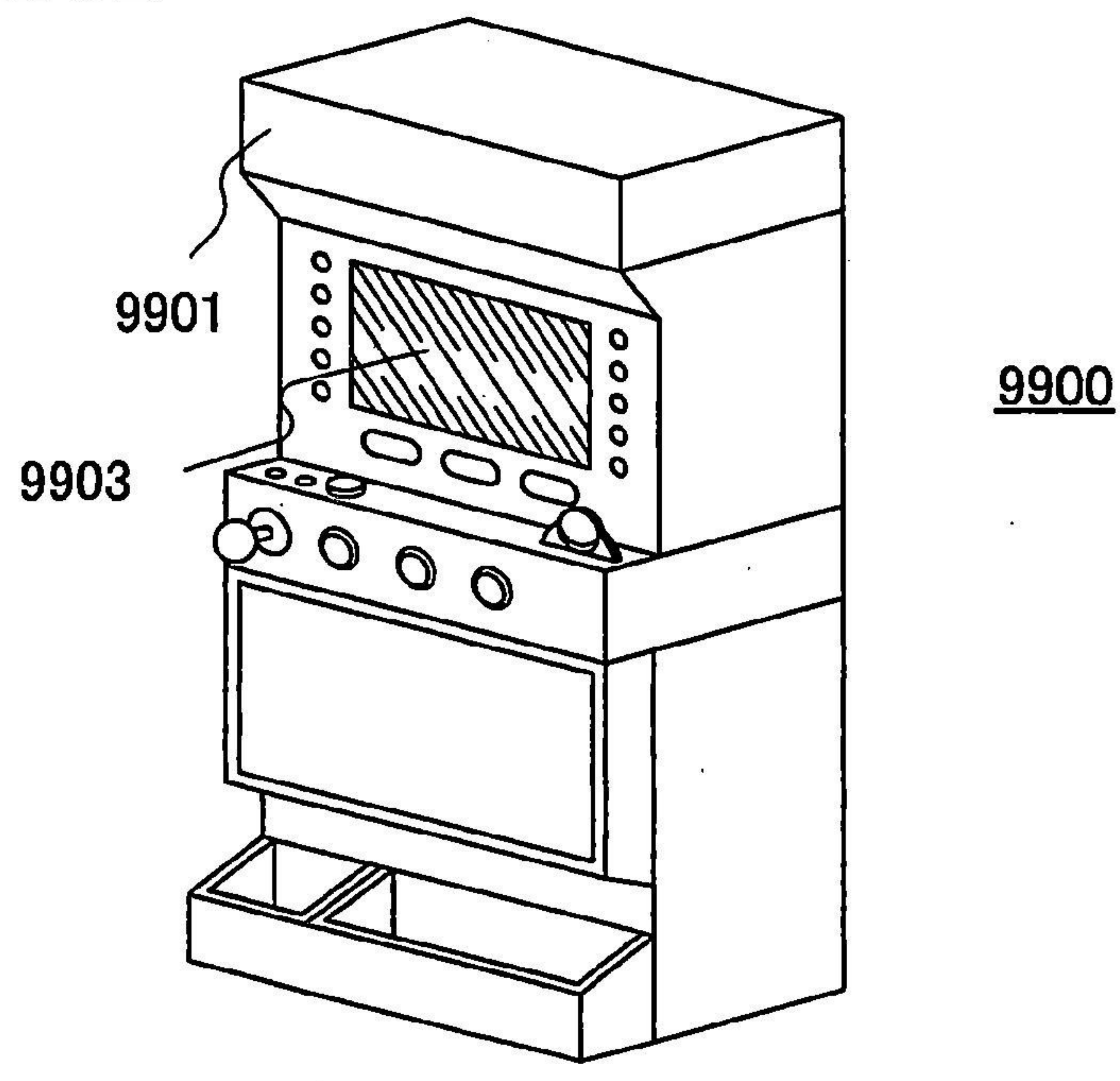


圖 27

