(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/204122 A1

(51) 国際特許分類:
H03K 17/08 (2006.01) *H03K 17/687* (2006.01)
H02M 1/08 (2006.01)

(21) 国際出願番号: PCT/JP2016/067584

(22) 国際出願日: 2016 年 6 月 13 日(13.06.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-120880 2015 年 6 月 16 日(16.06.2015) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 手塚 伸一(TEZUKA, Shinichi); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 大橋 英知(OHASHI, Hidetomo); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町９番８号 八王子東町センタービル 服部特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

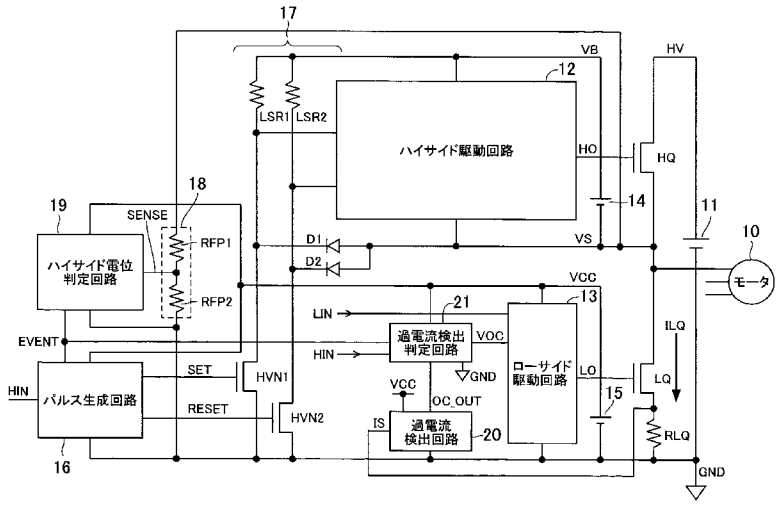
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置

[図1]



10 Motor
12 High-side driving circuit
13 Low-side driving circuit
16 Pulse generating circuit
19 High-side potential determining circuit
20 Overcurrent detecting circuit
21 Overcurrent detecting and determining circuit

(57) **Abstract**: The objective of the present invention is to make it possible for a semiconductor device to continue operating as a system even if the timing with which a high-side power device turns off is delayed, resulting in a short circuit between upper and lower arms. When a high-side reference potential (VS) detected by a high-side potential detecting circuit (18) rises, a high-side potential determining circuit (19) outputs an event signal (EVENT). At this time, if a logical input signal (HIN) is at the low level, a pulse generating circuit (16) regenerates a reset signal (RESET) for a high-side driving circuit (12). If the logical input signal (HIN) for high-side control is at the low level, then when the event signal (EVENT) is input, an overcurrent detecting and determining circuit (21) outputs an overcurrent signal (VOC) disabling an overcurrent detection signal (OC_OUT) from an overcurrent detecting circuit (20), and if the event signal (EVENT) is not input, the overcurrent detection signal (OC_OUT) is enabled.

(57) 要約:

[続葉有]

WO 2016/204122 A1

ハイサイドのパワーデバイスをオフ状態にするタイミングが遅れることで上下アーム短絡が発生するようなことがあっても、システムとして動作を継続できるようにする。　ハイサイド電位検出回路（１８）により検出されたハイサイド基準電位（ＶＳ）が立上るとハイサイド電位判定回路（１９）がイベント信号（ＥＶＥＮＴ）を出力し、そのとき論理入力信号（ＨＩＮ）がＬレベルであるとパルス生成回路（１６）がハイサイド駆動回路（１２）に対するリセット信号（ＲＥＳＥＴ）を再生成する。過電流検出判定回路（２１）は、ハイサイド制御用の論理入力信号（ＨＩＮ）がＬレベルのとき、イベント信号（ＥＶＥＮＴ）が入力されると過電流検出回路（２０）からの過電流検出信号（ＯＣ＿ＯＵＴ）を無効にした過電流信号（ＶＯＣ）を出力し、イベント信号（ＥＶＥＮＴ）が入力されていないと過電流検出信号（ＯＣ＿ＯＵＴ）を有効とする。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、トーテムポール接続された２つのパワーデバイスに過電流が流れたことを検出する過電流保護機能を備えた半導体装置に関する。

背景技術

[0002] インバータまたはコンバータにおいては、パワーデバイスをトーテムポール接続し、ハイサイドおよびローサイドのパワーデバイスをそれぞれ駆動回路によって駆動する回路構成が採られている。すなわち、ハイサイドでは、パルス生成回路によってグランド電位を基準に生成された信号は、レベルシフト回路でレベルシフトされてからハイサイド駆動回路に伝達され、ハイサイドのパワーデバイスをオン・オフ駆動する。一方、ローサイドでは、グランド電位を基準に生成された信号がローサイド駆動回路に伝達され、ローサイドのパワーデバイスをオン・オフ駆動する。

[0003] ローサイドのパワーデバイスとハイサイドのパワーデバイスとの接続点であるトーテムポールの中点は、モータ等の誘導性負荷に接続される。そのため、そのトーテムポールの中点に誘導性負荷、寄生インダクタンス等に起因する外来ノイズが重畳されてしまうことがある。このようなとき、ノイズの大きさやタイミング等によっては、トーテムポールの中点電位がオーバーシュートやアンダーシュート状態となる。すなわち、トーテムポールの中点電位は、ハイサイドのパワーデバイスの高圧電位以上の電位になったり、グランド電位以下の電位になったりする。

[0004] トーテムポールの中点電位がグランド電位よりも低くなるタイミングのときに、パルス生成回路からハイサイドのパワーデバイスにオフ信号が出力されるようなことがある。その場合、ハイサイドでは、レベルシフト回路がその信号を正常にハイサイド駆動回路に伝達することができなくなってしまう。すると、ハイサイドのパワーデバイスは、オフすべきタイミングのときに

オフできずにオンのままとなり、本来のスイッチング機能を維持することができなくなってしまう。

[0005] ここで、オフすべきタイミングにオフすることができなくなることに対処した技術（たとえば、特許文献１参照）が知られている。特許文献１の技術によれば、第１のオフ信号を出力してから所定時間経過後に第２のオフ信号を出力するようにしている。これにより、第１のオフ信号がレベルシフト回路を正常に伝達することができなかったとしても、第２のオフ信号がレベルシフト回路を正常に伝達することにより、機能的な誤動作を回避している。

[0006] ただし、この特許文献１の技術では、第１および第２のオフ信号を単に一定の間隔で機械的に出力しているだけである。そのため、所定時間経過した時点でも新たな外来ノイズが発生する可能性はあるので、本質的に誤動作を完全に回避することはできない。

[0007] そこで、レベルシフト回路がハイサイドのパワーデバイスをオフ状態にするリセット信号を正常に伝達していないことを判定して第２のリセット信号を再生成することが提案されている（たとえば、特許文献２参照）。特許文献２に記載の半導体装置は、ハイサイド電位を検出するハイサイド電位検出回路と、ハイサイド電位検出回路が検出したハイサイド電位の変化に基づきイベント信号を出力するハイサイド電位判定回路とを備えている。この半導体装置では、ハイサイド電位判定回路が出力したイベント信号と外部から入力された論理入力信号とに応じて、パルス生成回路がリセット信号を再生成するようにしている。すなわち、ハイサイド電位判定回路は、ハイサイド電位検出回路が検出したハイサイド電位（基準電位または電源電位）を監視し、レベルシフト回路におけるリセット信号の伝達を阻害するようなハイサイド電位の変動であると判定すると、イベント信号を出力する。ここで、パルス生成回路は、ハイサイド電位判定回路からイベント信号を受けているタイミングとリセット信号の生成のタイミングとが重なった場合、リセット信号を再生成する。このように、外来ノイズによりリセット信号の伝達が阻害されるようなことがあると、リセット信号を再生成することになるので、ハイ

サイドのパワーデバイスは、確実にオフされる。

先行技術文献

特許文献

[0008] 特許文献1：特開２００４－１２０１５２号公報

特許文献2：国際公開第２０１５／０４５５３４号

発明の概要

発明が解決しようとする課題

[0009] 特許文献２に記載の半導体装置では、ハイサイドのパワーデバイスをオフするリセットのタイミングのときに、リセット信号の伝達が阻害され得ることを示すイベント信号が出力されているとリセット信号を再生成する。これにより、ハイサイドのパワーデバイスを確実にオフさせる。しかしながら、トーテムポール接続しているパワーデバイスのデッドタイム（上下アーム短絡を防止するためにある、一方がオフしてから他方がオンするまでの遅延時間）が短い場合、また、外来ノイズの影響が無視できない場合やハイサイド電位の変動期間が長い場合等、正規のタイミングから遅れてオフ信号が出力されることがある。このような場合、ハイサイドをオフするまでにローサイドのパワーデバイスがオンすることになる。この結果、上下アーム短絡が発生し、パワーデバイスに過電流が流れ、ローサイドの制御として過電流が検出されるので、意図していない動作停止を引き起こすという問題があった。

[0010] 本発明はこのような点に鑑みてなされたものであり、ハイサイドのパワーデバイスをオフ状態にする信号が正規のタイミングから遅れることで上下アーム短絡が発生することがあっても、システムとして動作を継続できる半導体装置を提供することを目的とする。

課題を解決するための手段

[0011] 本発明では上記の課題を解決するために、ハイサイド論理信号に基づいてトーテムポール接続のハイサイドパワーデバイスを駆動するハイサイド駆動回路と、ハイサイド電位を検出するハイサイド電位検出回路と、前記ハイサ

イド電位検出回路が検出した前記ハイサイド電位の変化に基づきイベント信号を出力するハイサイド電位判定回路と、ローサイド論理信号に基づいてトーテムポール接続のローサイドパワーデバイスを駆動するローサイド駆動回路と、前記ローサイドパワーデバイスの主電流の電流値を示す電流信号を入力して過電流を検出したときに前記ローサイドパワーデバイスをオフさせるための過電流検出信号を出力する過電流検出回路と、前記ハイサイド論理信号および前記イベント信号に基づいて前記過電流検出信号を前記ローサイド駆動回路に伝達するかどうかを判定する過電流検出判定回路と、を備え、前記過電流検出判定回路は、前記イベント信号の出力前に前記ローサイドパワーデバイスをオンすることで検出される前記過電流検出信号を無効にすることを特徴とする半導体装置が提供される。

[0012] このような半導体装置によれば、トーテムポール接続しているハイサイドパワーデバイスおよびローサイドパワーデバイスのデッドタイム設定が短い場合、ハイサイドを確実にオフするためのイベント信号の出力前に、ローサイドパワーデバイスがオンし、上下アーム短絡が発生した結果、所定期間内に過電流を検出しても、ローサイド駆動回路を動作停止しないようにした。

発明の効果

[0013] 上記構成の半導体装置は、ハイサイドパワーデバイスの再リセットが必要なときにローサイドパワーデバイスの過電流を検出した場合、その検出を無効にしたので、不必要な動作停止およびアラーム信号を出すことなく動作を継続させることができるという利点がある。

[0014] 本発明の上記および他の目的、特徴および利点は、本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0015] [図1]第１の実施の形態に係る半導体装置を示す回路図である。

[図2]パルス生成回路の一例を示す回路図である。

[図3]立上りエッジトリガ回路の一例を示す回路図である。

[図4]ハイサイド電位判定回路の一例を示す回路図である。

[図5]第１の実施の形態に係る半導体装置の過電流検出回路および過電流検出判定回路の一例を示す回路図である。

[図6]半導体装置のスイッチング動作時における要部波形を示すタイミングチャートである。

[図7]第２の実施の形態に係る半導体装置を示す回路図である。

[図8]第２の実施の形態に係る半導体装置の過電流検出回路および過電流検出判定回路の一例を示す回路図である。

発明を実施するための形態

[0016] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。

＜第１の実施の形態＞

図１は第１の実施の形態に係る半導体装置を示す回路図、図２はパルス生成回路の一例を示す回路図、図３は立上りエッジトリガ回路の一例を示す回路図、図４はハイサイド電位判定回路の一例を示す回路図である。図５は第１の実施の形態に係る半導体装置の過電流検出回路および過電流検出判定回路の一例を示す回路図、図６は半導体装置のスイッチング動作時における要部波形を示すタイミングチャートである。なお、以下の説明において、端子名とその端子における電圧、信号等は、同じ符号を用いることがある。

[0017] 第１の実施の形態に係る半導体装置は、モータ１０を制御駆動するものであって、図１に示す半導体装置は、モータ１０をたとえば三相誘導モータとしたときの一相分の交流電力を出力する部分のみを示している。

[0018] この半導体装置は、トーテムポール接続されたハイサイドパワーデバイスＨＱおよびローサイドパワーデバイスＬＱを有している。この実施の形態では、ハイサイドパワーデバイスＨＱおよびローサイドパワーデバイスＬＱは、それぞれＮチャネルのパワーＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）で構成している。なお、ハイサイドパワーデバイスＨＱおよびローサイドパワーデバイスＬＱは、ＩＧＢＴ（Insulated Gate Bipolar Transistor）のような他のパワーデバイスであってもよい。

[0019] ハイサイドパワーデバイスＨＱのドレインは、高圧電源１１の正極端子に接続され、高圧電源１１の負極端子は、グランドＧＮＤに接続されている。ローサイドパワーデバイスＬＱのソースは、抵抗ＲＬＱを介してグランドＧＮＤに接続されている。ハイサイドパワーデバイスＨＱのソースとローサイドパワーデバイスＬＱのドレインとの接続点、すなわち、トーテムポールの中点は、モータ１０に接続されている。

[0020] ハイサイドパワーデバイスＨＱのゲートは、ハイサイド駆動回路１２の出力端子ＨＯに接続され、ローサイドパワーデバイスＬＱのゲートは、ローサイド駆動回路１３の出力端子ＬＯに接続されている。ハイサイド駆動回路１２は、その基準電位端子がトーテムポールの中点およびハイサイド電源１４の負極端子に接続され、電源端子がハイサイド電源１４の正極端子に接続されている。ローサイド駆動回路１３は、その基準電位端子がグランドＧＮＤおよびローサイド電源１５の負極端子に接続され、電源端子がローサイド電源１５の正極端子に接続されている。ここで、ローサイド電源電位は、グランドＧＮＤを基準としたＶＣＣで示され、ハイサイド基準電位およびハイサイド電源電位は、それぞれグランドＧＮＤを基準としたＶＳ，ＶＢで示している。

[0021] 半導体装置は、また、パルス生成回路１６と、レベルシフト回路１７と、ハイサイド電位検出回路１８と、ハイサイド電位判定回路１９と、過電流検出回路２０と、過電流検出判定回路２１とを備えている。

[0022] パルス生成回路１６は、外部からハイサイド制御用の論理入力信号（ハイサイド論理信号）ＨＩＮを入力し、セット信号ＳＥＴおよびリセット信号ＲＥＳＥＴを生成する。具体的には、図２に示したように、パルス生成回路１６は、論理入力信号ＨＩＮを入力し、セット信号ＳＥＴを出力する立上りエッジトリガ回路１６１を備えている。パルス生成回路１６は、また、インバータ１６２と、立上りエッジトリガ回路１６３と、ＯＲ回路１６４と、ＡＮＤ回路１６５とを備えている。インバータ１６２の入力は、論理入力信号ＨＩＮの入力端子に接続され、インバータ１６２の出力は、立上りエッジトリ

ガ回路１６３の入力とＡＮＤ回路１６５の一方の入力とに接続されている。立上りエッジトリガ回路１６３の出力は、ＯＲ回路１６４の一方の入力に接続され、ＯＲ回路１６４の出力は、リセット信号ＲＥＳＥＴの出力端子ＲＥＳＥＴを構成している。ＡＮＤ回路１６５の他方の入力は、ハイサイド電位判定回路１９から出力されるイベント信号ＥＶＥＮＴの入力端子に接続され、ＡＮＤ回路１６５の出力は、ＯＲ回路１６４の他方の入力に接続されている。

[0023] 立上りエッジトリガ回路１６１は、図３に示したように、入力が論理入力信号ＨＩＮの入力端子に接続されたインバータ１６１１を備えている。このインバータ１６１１の出力は、ｎＭＯＳトランジスタ１６１２およびｐＭＯＳトランジスタ１６１３のゲートに接続されている。ｎＭＯＳトランジスタ１６１２のソースは、グランドＧＮＤに接続され、ｎＭＯＳトランジスタ１６１２のドレインは、ｐＭＯＳトランジスタ１６１３のドレインに接続されている。ｐＭＯＳトランジスタ１６１３のソースは、ローサイド電源電位ＶＣＣを供給するローサイド電源１５の正極端子に接続されている。ｎＭＯＳトランジスタ１６１２およびｐＭＯＳトランジスタ１６１３からなるインバータ回路の出力は、コンデンサ１６１４の一端に接続され、コンデンサ１６１４の他端は、グランドＧＮＤに接続されている。インバータ回路の出力は、また、比較器１６１５の非反転入力に接続されている。比較器１６１５の反転入力には、基準電圧源１６１６の正極端子が接続され、基準電圧源１６１６の負極端子は、グランドＧＮＤに接続されている。比較器１６１５の出力は、インバータ１６１７の入力に接続され、インバータ１６１７の出力は、ＡＮＤ回路１６１８の一方の入力に接続され、ＡＮＤ回路１６１８の他方の入力は、論理入力信号ＨＩＮの入力端子に接続されている。ＡＮＤ回路１６１８の出力は、セット信号ＳＥＴを出力する出力端子を構成している。

[0024] なお、ここでは、立上りエッジトリガ回路１６１の具体例について説明したが、立上りエッジトリガ回路１６３においても、同じ構成を有している。したがって、以下の立上りエッジトリガ回路１６３の動作説明には、図３を

参照することにする。立上りエッジトリガ回路１６３の入力は、論理入力信号ＨＩＮを論理反転した信号となり、出力は、ＯＲ回路１６４を介してリセット信号ＲＥＳＥＴとなる。

[0025] レベルシフト回路１７は、高耐圧のｎＭＯＳトランジスタＨＶＮ１，ＨＶＮ２と、抵抗ＬＳＲ１，ＬＳＲ２と、クランプ用のダイオードＤ１，Ｄ２とを有している。ｎＭＯＳトランジスタＨＶＮ１，ＨＶＮ２のゲートは、それぞれパルス生成回路１６のセット信号出力端子ＳＥＴおよびリセット信号出力端子ＲＥＳＥＴに接続されている。ｎＭＯＳトランジスタＨＶＮ１，ＨＶＮ２のドレインは、それぞれ抵抗ＬＳＲ１，ＬＳＲ２の一端に接続され、抵抗ＬＳＲ１，ＬＳＲ２の他端は、ハイサイド駆動回路１２のハイサイド電源電位ＶＢに接続されている。ｎＭＯＳトランジスタＨＶＮ１，ＨＶＮ２のドレインと抵抗ＬＳＲ１，ＬＳＲ２との接続点は、それぞれハイサイド駆動回路１２の入力端子に接続されるとともに、ダイオードＤ１，Ｄ２のカソード端子に接続されている。ダイオードＤ１，Ｄ２のアノード端子は、ハイサイド駆動回路１２のハイサイド基準電位ＶＳ、すなわち、トーテムポールの中点に接続されている。ｎＭＯＳトランジスタＨＶＮ１，ＨＶＮ２のソースは、グランドＧＮＤに接続されている。

[0026] ハイサイド電位検出回路１８は、ハイサイドの電位、図示の例では、ハイサイド基準電位ＶＳを検出するもので、第１の実施の形態では、検出手段として抵抗性フィールドプレート（ＲＦＰ：Resistant Field Plate）を利用している。この抵抗性フィールドプレートは、ハイサイド回路の高耐圧領域デバイスにおいて、耐圧領域ＨＶＪＴ（High Voltage Junction Terminal）の電界緩和を目的に形成されているものである（たとえば、国際公開第２０１３／０６９４０８号参照）。抵抗性フィールドプレートの一方の端子は、トーテムポールの中点に接続され、他方の端子は、グランドＧＮＤに接続されている。ハイサイド電位検出回路１８は、抵抗性フィールドプレートに分岐点を設けて２つの抵抗ＲＦＰ１，ＲＦＰ２に分割し、抵抗性フィールドプレートの分岐点は、ハイサイド電位判定回路１９の入力端子に接続され、ハイ

サイド基準電位ＶＳの変化を表す検出信号ＳＥＮＳＥを出力している。

[0027] ハイサイド電位判定回路１９は、ハイサイド電位検出回路１８が検出した検出信号ＳＥＮＳＥを入力し、ハイサイド基準電位ＶＳの変化に応じてイベント信号ＥＶＥＮＴを生成する。このハイサイド電位判定回路１９は、図４に示したように、２つの保護用ダイオード１９１，１９２と、比較器１９３と、基準電圧源１９４と、インバータ１９５と、立上りエッジトリガ回路１９６とを備えている。また、ハイサイド電位判定回路１９は、ハイサイド電位検出回路１８とともに、グランドＧＮＤの電位を基準としたローサイドの電位側に設置されている。

[0028] ハイサイド電位判定回路１９において、検出信号ＳＥＮＳＥの入力端子は、保護用ダイオード１９１のカソードと、保護用ダイオード１９２のアノードと、比較器１９３の反転入力に接続されている。保護用ダイオード１９１のアノードは、グランドＧＮＤに接続され、保護用ダイオード１９２のカソードは、ローサイド電源電位ＶＣＣに接続されている。比較器１９３の非反転入力は、基準電圧源１９４の正極端子に接続され、基準電圧源１９４の負極端子は、グランドＧＮＤに接続されている。比較器１９３の出力は、インバータ１９５を介して立上りエッジトリガ回路１９６の入力に接続され、立上りエッジトリガ回路１９６の出力は、イベント信号ＥＶＥＮＴを出力する出力端子を構成している。立上りエッジトリガ回路１９６は、図３に示した立上りエッジトリガ回路１６１と同じ回路構成を有しており、したがって、以下の立上りエッジトリガ回路１９６の動作説明には、図３を参照することにする。このとき、立上りエッジトリガ回路１９６の入力は、比較器１９３の出力信号ＭＰＬＳの反転信号となり、出力は、イベント信号ＥＶＥＮＴとなる。

[0029] 過電流検出回路２０は、ローサイドパワーデバイスＬＱに流れる主電流の電流値を示す電流信号ＩＳを入力し、電流信号ＩＳが所定の電流値を超えたときには、過電流検出信号ＯＣ＿ＯＵＴを出力する。電流信号ＩＳは、ローサイドパワーデバイスＬＱのソースとグランドＧＮＤとの間に接続された抵

抗ＲＬＱにより主電流の電流値を電圧に変換した信号（＝電流値×抵抗ＲＬＱの抵抗値）で、過電流検出回路２０に入力される。この過電流検出回路２０は、図５に示したように、比較器２０１と、基準電圧源２０２と、ＲＳフリップフロップ２０３と、インバータ２０４と、ＡＮＤ回路２０５と、遅延回路２０６とを備えている。

[0030] 過電流検出回路２０において、比較器２０１は、その非反転入力がローサイドパワーデバイスＬＱのソースと抵抗ＲＬＱとの接続点に接続されて、電流信号ＩＳが入力される。比較器２０１の反転入力には、基準電圧源２０２の正極端子が接続され、基準電圧源２０２の負極端子は、グランドＧＮＤに接続されている。比較器２０１の出力は、ＲＳフリップフロップ２０３のセット端子およびインバータ２０４の入力に接続されている。インバータ２０４の出力は、ＡＮＤ回路２０５の一方の入力に接続され、ＡＮＤ回路２０５の出力は、ＲＳフリップフロップ２０３のリセット端子に接続されている。ＲＳフリップフロップ２０３の出力端子は、遅延回路２０６の入力に接続され、遅延回路２０６の出力は、ＡＮＤ回路２０５の他方の入力に接続されている。ＲＳフリップフロップ２０３の出力端子は、また、過電流検出信号ＯＣ＿ＯＵＴを出力する過電流検出回路２０の出力端子を構成していて、過電流検出判定回路２１に接続されている。

[0031] 過電流検出判定回路２１は、過電流検出信号ＯＣ＿ＯＵＴ、イベント信号ＥＶＥＮＴおよびハイサイド制御用の論理入力信号ＨＩＮのための入力端子を有し、過電流信号ＶＯＣのための出力端子を有している。

[0032] 過電流検出判定回路２１は、図５に示したように、インバータ２１１と、ＡＮＤ回路２１２と、インバータ２１３と、ＡＮＤ回路２１４とを備えている。インバータ２１１は、その入力にハイサイド制御用の論理入力信号ＨＩＮを受け、インバータ２１１の出力は、ＡＮＤ回路２１２の一方の入力に接続されている。ＡＮＤ回路２１２の他方の入力には、イベント信号ＥＶＥＮＴが入力され、ＡＮＤ回路２１２の出力から信号ＳＴＯＰが出力される。ＡＮＤ回路２１２の出力は、インバータ２１３の入力に接続され、インバータ

２１３の出力は、ＡＮＤ回路２１４の一方の入力に接続されている。ＡＮＤ回路２１４の他方の入力は、過電流検出回路２０からの過電流検出信号ＯＣ＿ＯＵＴを受け、ＡＮＤ回路２１４の出力は過電流検出判定回路２１の出力端子を構成して、過電流信号ＶＯＣを出力する。

[0033] 過電流検出判定回路２１の出力は、ローサイド駆動回路１３に接続される。ローサイド駆動回路１３は、外部からの論理入力信号（ローサイド論理信号）ＬＩＮと過電流検出判定回路２１からの過電流信号ＶＯＣとに基づいて出力端子ＬＯにローサイド出力信号ＬＯを出力する。

[0034] 次に、以上の構成を有する半導体装置の動作について、図６のタイミングチャートを参照しながら説明する。まず、パルス生成回路１６および過電流検出判定回路２１には、ハイサイド制御用の論理入力信号ＨＩＮが入力され、ローサイド駆動回路１３には、ローサイド制御用の論理入力信号ＬＩＮが入力されている。論理入力信号ＨＩＮおよび論理入力信号ＬＩＮは、ハイサイドパワーデバイスＨＱおよびローサイドパワーデバイスＬＱが同時にオン状態になることがないようにデッドタイムが設定されている。

[0035] 論理入力信号ＨＩＮが入力されると、パルス生成回路１６では、立上りエッジトリガ回路１６１が論理入力信号ＨＩＮの立上りエッジをトリガとしてセット信号ＳＥＴを出力する（図６のＨＩＮの立上りエッジでハイ（Ｈ）レベルとなるＳＥＴを参照）。すなわち、図３の立上りエッジトリガ回路１６１では、論理入力信号ＨＩＮがロー（Ｌ）レベルのとき、インバータ１６１１の出力がＨレベルとなり、ｎＭＯＳトランジスタ１６１２がオン状態（ｐＭＯＳトランジスタ１６１３はオフ状態）になっている。これにより、コンデンサ１６１４の電荷が放電されているので、比較器１６１５の出力はＬレベル、インバータ１６１７の出力はＨレベルとなるが、論理入力信号ＨＩＮがＬレベルなので、ＡＮＤ回路１６１８は、Ｌレベルのセット信号ＳＥＴを出力する。論理入力信号ＨＩＮがＨレベルになると、インバータ１６１７からＨレベルを受けているＡＮＤ回路１６１８は、Ｈレベルのセット信号ＳＥＴを出力する。このとき、インバータ１６１１の出力がＬレベルとなり、ｐ

ＭＯＳトランジスタ１６１３がオン状態（ｎＭＯＳトランジスタ１６１２がオフ状態）になって、コンデンサ１６１４を充電する。コンデンサ１６１４の容量等によって決まる所定時間後にコンデンサ１６１４の充電電位が基準電圧源１６１６の電位を超えると、比較器１６１５の出力はＨレベル、インバータ１６１７の出力はＬレベルとなる。これにより、ＡＮＤ回路１６１８は、Ｈレベルの論理入力信号ＨＩＮをブロックし、Ｌレベルのセット信号ＳＥＴを出力する。つまり、セット信号ＳＥＴは、所定時間幅を有するパルス信号で出力される。

[0036] Ｈレベルのセット信号ＳＥＴが出力されると、レベルシフト回路１７のｎＭＯＳトランジスタＨＶＮ１がオン状態となり、抵抗ＬＳＲ１とｎＭＯＳトランジスタＨＶＮ１との接続点は、グランドＧＮＤのレベルに低下する。ハイサイド駆動回路１２がそのレベル低下を検出すると、ハイサイド出力信号ＨＯは、ハイサイド基準電位ＶＳを基準とする高電位状態になる。これにより、ハイサイドパワーデバイスＨＱは、オン状態（このとき、ローサイドパワーデバイスＬＱは、オフ状態にある）に遷移し、ハイサイド基準電位ＶＳが高くなってモータ１０に電流が供給される。このハイサイド基準電位ＶＳが立上ると、Ｈレベルの検出信号ＳＥＮＳＥがハイサイド電位検出回路１８からハイサイド電位判定回路１９に入力され、比較器１９３の出力信号ＭＰＬＳは、Ｌレベルになる。これにより、インバータ１９５の出力は、Ｈレベルに遷移する。この遷移は、立上りエッジトリガ回路１９６によって検出され、所定時間のパルス幅を有するイベント信号ＥＶＥＮＴが出力される。ただし、この論理入力信号ＨＩＮがＨレベルの期間に生成されるイベント信号ＥＶＥＮＴに関しては、図２のインバータ１６２の出力がＬレベルとなっているので、ハイサイドパワーデバイスＨＱの制御に何ら関与しない。

[0037] 次に、論理入力信号ＨＩＮがＨレベルからＬレベルになると、パルス生成回路１６では、立上りエッジトリガ回路１６３が、インバータ１６２から出力される論理入力信号ＨＩＮの反転信号の立上りエッジでトリガされてリセット信号ＲＥＳＥＴを出力する。すなわち、パルス生成回路１６は、論理入

力信号ＨＩＮの立下りエッジをトリガとして、図６に破線で示したリセット信号ＲＥＳＥＴを生成する。

[0038] このとき、リセット信号ＲＥＳＥＴが出力されたタイミング（時刻ｔ０）に外来ノイズの侵入により、ハイサイド基準電位ＶＳがグランドＧＮＤのレベル以下に低下することがあると、リセット信号ＲＥＳＥＴがハイサイド駆動回路１２に正常に伝達できなくなる（破線で示したリセット信号ＲＥＳＥＴ。破線は、実際には生成されなかったことを示す。）。この場合、ハイサイド基準電位ＶＳがグランドＧＮＤのレベル以下に低下すると、ハイサイド電位判定回路１９では、比較器１９３の出力信号ＭＰＬＳは、一旦Ｈレベルになる。その後、ハイサイド基準電位ＶＳが回復して検出信号ＳＥＮＳＥが基準電圧源１９４の基準電圧ＲＥＦ１より高くなると、比較器１９３の出力信号ＭＰＬＳは、再びＬレベルになり、インバータ１９５の出力は、Ｈレベルに遷移する。これにより、立上りエッジトリガ回路１９６から、所定時間のパルス幅を有するＨレベルのイベント信号ＥＶＥＮＴが出力される。論理入力信号ＨＩＮがＬレベルでインバータ１６２の出力がＨレベルとなっているので、パルス生成回路１６では、Ｈレベルのイベント信号ＥＶＥＮＴが入力されることで、ＡＮＤ回路１６５の出力がＨレベルになり、ＯＲ回路１６４からＨレベルのリセット信号ＲＥＳＥＴが出力される。これにより、ハイサイド駆動回路１２のハイサイド出力信号ＨＯは、時刻ｔ２でＬレベルに遷移し、ハイサイドパワーデバイスＨＱがオフする。この結果、ハイサイド基準電位ＶＳがグランドＧＮＤのレベルになり、ハイサイド電位判定回路１９の比較器１９３の出力信号ＭＰＬＳがＨレベルになる。

[0039] ここで、論理入力信号ＨＩＮがＬレベルに遷移したにも拘わらず、ハイサイド出力信号ＨＯが時刻ｔ１から遅れて時刻ｔ２でＬレベルに遷移しているが、その間に、設定されているデッドタイムによっては、論理入力信号ＬＩＮが入力されてしまうことがある。図６では、正にその場合を示している。このとき、ハイサイドパワーデバイスＨＱおよびローサイドパワーデバイスＬＱは、同時にオン状態となり、過電流が流れることになる。

[0040] ローサイドパワーデバイスＬＱを流れる主電流である電流ＩＬＱは、過電流検出回路２０によって監視されている。過電流検出回路２０では、電流ＩＬＱに対応する電流信号ＩＳが基準電圧源２０２の電圧ＶＩＳによって定まる過電流検出閾値を超えると、比較器２０１は、Ｈレベルの過電流検状態信号を出力する。その信号は、ＲＳフリップフロップ２０３により保持され、過電流検出信号ＯＣ＿ＯＵＴとなる。この過電流検出信号ＯＣ＿ＯＵＴは、過電流検出判定回路２１に送られる。なお、過電流検出信号ＯＣ＿ＯＵＴは、遅延回路２０６にも入力されており、遅延回路２０６は、所定の遅延時間の経過後に、Ｈレベルの信号を出力する。これにより、ＲＳフリップフロップ２０３が過電流検出状態を保持した後、過電流検出状態が解除（比較器２０１の出力がＬレベルに）された場合においても、所定の遅延時間が経過するまでは、過電流検出状態を保持するようにしている。

[0041] 過電流検出判定回路２１では、ＡＮＤ回路２１２に対しインバータ２１１によって反転された論理入力信号ＨＩＮとイベント信号ＥＶＥＮＴとが入力されている。ローサイド出力信号ＬＯがＨレベル後の論理入力信号ＨＩＮはＬレベル、イベント信号ＥＶＥＮＴはＨレベルであるので、ＡＮＤ回路２１２が出力する信号ＳＴＯＰは、Ｈレベルとなる。このため、ＡＮＤ回路２１４には、信号ＳＴＯＰがインバータ２１３で反転されたＬレベルの信号が入力されることになる。このＡＮＤ回路２１４は、過電流検出回路２０から過電流検出信号ＯＣ＿ＯＵＴが入力されているが、その過電流検出信号ＯＣ＿ＯＵＴは、信号ＳＴＯＰにより阻止されて無効となっている。このため、ＡＮＤ回路２１４の出力である過電流信号ＶＯＣは、ＨレベルになることなくＬレベルを保持する。なお、信号ＳＴＯＰが出力されていない（信号ＳＴＯＰがＬレベルである）と、ＡＮＤ回路２１４は、過電流検出回路２０からの過電流検出信号ＯＣ＿ＯＵＴを通過させる。これにより、過電流信号ＶＯＣがＨレベルとなり、ローサイド駆動回路１３には、過電流の発生が伝達される。

[0042] つまり、論理入力信号ＨＩＮがＬレベルでイベント信号ＥＶＥＮＴがＨレ

ベルであるとき、２回目のリセット信号ＲＥＳＥＴ（図６において実線で示されるＨレベルのパルス）と同じタイミングで信号ＳＴＯＰがＨレベルの期間、過電流検出信号ＯＣ＿ＯＵＴが無効にされる。すなわち、過電流検出判定回路２１は、過電流検出回路２０が過電流を検出しても、過電流検出信号ＯＣ＿ＯＵＴを無効にして、過電流信号ＶＯＣのＬレベルを維持する。

[0043] これにより、ハイサイドパワーデバイスＨＱをオフするまでにローサイドパワーデバイスＬＱがオンして過電流が発生したとしても、半導体装置として動作停止信号およびアラーム信号を出力させず、システムとして動作を継続させることを可能にしている。

[0044] 図７は第２の実施の形態に係る半導体装置を示す回路図、図８は第２の実施の形態に係る半導体装置の過電流検出回路および過電流検出判定回路の一例を示す回路図である。この図７および図８において、図１および図５に示した構成要素と同じまたは均等の構成要素については同じ符号を付してその詳細な説明は省略する。

[0045] この第２の実施の形態に係る半導体装置は、図７に示したように、第１の実施の形態に係る半導体装置のハイサイド電位検出回路１８および過電流検出判定回路２１をハイサイド電位検出回路１８ａおよび過電流検出判定回路２１ａに変更している。

[0046] ハイサイド電位検出回路１８ａは、ハイサイド電位としてハイサイド電源電位ＶＢを検出対象としている。このハイサイド電源電位ＶＢは、ハイサイド基準電位ＶＳをハイサイド電源１４の電位の分だけシフトしたものであり、ハイサイド基準電位ＶＳに追随して同じ変化をする。したがって、ハイサイド電位検出回路１８ａがハイサイド電源電位ＶＢを監視しても、ハイサイド基準電位ＶＳを監視していることになる。

[0047] ハイサイド電位検出回路１８ａは、ＮＰＮ型のバイポーラトランジスタ１８１を有しており、そのエミッタは、ハイサイド電源電位ＶＢのラインに接続されている。バイポーラトランジスタ１８１のベースは、電圧源１８２の正極端子に接続され、電圧源１８２の負極端子は、グランドＧＮＤに接続さ

れている。バイポーラトランジスタ１８１のコレクタは、抵抗１８３の一端に接続され、抵抗１８３の他端は、電圧源１８４の正極端子に接続され、電圧源１８４の負極端子は、グランドＧＮＤに接続されている。バイポーラトランジスタ１８１のコレクタは、このハイサイド電位検出回路１８ａの出力を構成し、検出信号ＳＥＮＳＥを出力する。バイポーラトランジスタ１８１は、そのベース－エミッタ間がハイサイド回路の高耐圧に相当する逆耐圧を有しているものとしている。

[0048] 以上の構成により、ハイサイド基準電位ＶＳが変動すると、それに追従してハイサイド電源電位ＶＢが変動し、それをバイポーラトランジスタ１８１が検出する。すなわち、通常は、ハイサイド電源電位ＶＢが最も低下したとしても電圧源１８２の電位よりも高いハイサイド電源１４の電位がバイポーラトランジスタ１８１のエミッタに印加されている。そのため、バイポーラトランジスタ１８１はオフ状態にあり、検出信号ＳＥＮＳＥとして、電圧源１８４の電位のレベルの信号が出力されている。

[0049] ハイサイド基準電位ＶＳが変動して、ハイサイド電源電位ＶＢが電圧源１８２の電位からバイポーラトランジスタ１８１のベース－エミッタ間の順方向電位を差し引いた電位よりもさらに低下すると、バイポーラトランジスタ１８１はオン状態に遷移する。これによって、ハイサイド電位検出回路１８ａは、Ｌレベルの検出信号ＳＥＮＳＥを出力する。その後、ハイサイド電源電位ＶＢが正常に戻ると、検出信号ＳＥＮＳＥは再び電圧源１８４の電位のレベルとなる。

[0050] 過電流検出判定回路２１ａは、過電流検出信号ＯＣ＿ＯＵＴ、イベント信号ＥＶＥＮＴ、および論理入力信号ＨＩＮおよびＬＩＮのための入力端子を有し、過電流信号ＶＯＣのための出力端子を有している。

[0051] 過電流検出判定回路２１ａは、図８に示したように、図５の過電流検出判定回路２１と比較してＲＳフリップフロップ２１５が追加されている。すなわち、ＲＳフリップフロップ２１５は、ＡＮＤ回路２１２とインバータ２１３との間に配置され、セット端子は、ＡＮＤ回路２１２の出力に接続され、

リセット端子は、ローサイド制御用の論理入力信号ＬＩＮを受けるように構成されている。

[0052] この過電流検出判定回路２１ａは、ＡＮＤ回路２１２が出力する信号ＳＴＯＰをＲＳフリップフロップ２１５によって保持し、その間、ＲＳフリップフロップ２１５がＨレベルの信号をインバータ２１３に出力する。これにより、インバータ２１３は、Ｌレベルの信号をＡＮＤ回路２１４の一方の入力に出力するので、ＡＮＤ回路２１４は、過電流検出回路２０からの過電流検出信号ＯＣ＿ＯＵＴを無効にする。すなわち、ＡＮＤ回路２１４は、過電流検出信号ＯＣ＿ＯＵＴの通過を阻止し、Ｌレベルの過電流信号ＶＯＣをローサイド駆動回路１３に出力する。

[0053] ＲＳフリップフロップ２１５による信号ＳＴＯＰの保持は、論理入力信号ＬＩＮが次にＬレベルとなるタイミングまでである。すなわち、ＲＳフリップフロップ２１５がローサイド制御用の論理入力信号ＬＩＮの立下がりによりリセットされると、ＲＳフリップフロップ２１５がＬレベルの信号をインバータ２１３に出力する。これにより、インバータ２１３は、Ｈレベルの信号をＡＮＤ回路２１４の一方の入力に出力するので、ＡＮＤ回路２１４は、過電流検出回路２０からの過電流検出信号ＯＣ＿ＯＵＴを有効にする。すなわち、ＡＮＤ回路２１４は、Ｈレベルの過電流信号ＶＯＣをローサイド駆動回路１３に出力できるようになる。これにより、過電流検出回路２０が過電流を検出すると、過電流検出判定回路２１ａがＨレベルの過電流信号ＶＯＣを出力し、ローサイド駆動回路１３の保護機能が有効となってローサイドパワーデバイスＬＱをオフすることができる状態に戻される。

[0054] なお、この過電流検出判定回路２１ａでは、ローサイド制御用の論理入力信号ＬＩＮの半周期の間、過電流検出を無効にしているが、ハイサイドパワーデバイスＨＱがイベント信号ＥＶＥＮＴにより発生するリセット信号ＲＥＳＥＴで確実にオフするため、上下アーム短絡電流が流れ続けてしまうことはない。

[0055] また、この過電流検出判定回路２１ａは、遅延回路２０６の遅延時間があ

る程度長い場合（たとえば、イベント信号ＥＶＥＮＴのパルス幅より長い場合）や、信号ＳＴＯＰの終了後に再度外来ノイズが発生して、パルス生成回路１６が再々リセット信号ＲＥＳＥＴを生成するような状況があり得るアプリケーションに特に有用である。

[0056] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。また、各実施の形態は、矛盾のない範囲で複数の実施の形態を適宜組み合わせて実施することができる。

符号の説明

[0057] １０　モータ

１１　高圧電源

１２　ハイサイド駆動回路

１３　ローサイド駆動回路

１４　ハイサイド電源

１５　ローサイド電源

１６　パルス生成回路

１７　レベルシフト回路

１８，１８ａ　ハイサイド電位検出回路

１９　ハイサイド電位判定回路

２０　過電流検出回路

２１，２１ａ　過電流検出判定回路

１６１　立上りエッジトリガ回路

１６２　インバータ

１６３　立上りエッジトリガ回路

１６４　ＯＲ回路

１６５　ＡＮＤ回路

１８１　バイポーラトランジスタ

１８２　電圧源

１８３　抵抗

１８４　電圧源

１９１，１９２　保護用ダイオード

１９３　比較器

１９４　基準電圧源

１９５　インバータ

１９６　立上りエッジトリガ回路

２０１　比較器

２０２　基準電圧源

２０３　ＲＳフリップフロップ

２０４　インバータ

２０５　ＡＮＤ回路

２０６　遅延回路

２１１　インバータ

２１２　ＡＮＤ回路

２１３　インバータ

２１４　ＡＮＤ回路

２１５　ＲＳフリップフロップ

１６１１　インバータ

１６１２　ｎＭＯＳトランジスタ

１６１３　ｐＭＯＳトランジスタ

１６１４　コンデンサ

１６１５　比較器

１６１６　基準電圧源

１６１７　インバータ

１６１８　ＡＮＤ回路

Ｄ１，Ｄ２　ダイオード

ＥＶＥＮＴ　イベント信号

ＧＮＤ　グランド

ＨＩＮ　論理入力信号（ハイサイド制御用）

ＨＯ　ハイサイド出力信号

ＨＱ　ハイサイドパワーデバイス

ＨＶＮ１，ＨＶＮ２　ｎＭＯＳトランジスタ

ＬＩＮ　論理入力信号（ローサイド制御用）

ＩＬＱ　電流（ローサイドパワーデバイスの主電流）

ＩＳ　電流信号

ＬＯ　ローサイド出力信号

ＬＱ　ローサイドパワーデバイス

ＬＳＲ１，ＬＳＲ２　抵抗

ＭＰＬＳ　出力信号

ＯＣ＿ＯＵＴ　過電流検出信号

ＲＥＦ１　基準電圧

ＲＥＳＥＴ　リセット信号

ＲＦＰ１，ＲＦＰ２，ＲＬＱ　抵抗

ＳＥＮＳＥ　ハイサイド電位の検出信号

ＳＥＴ　セット信号

ＳＴＯＰ　信号（過電流検出信号ＯＣ＿ＯＵＴ阻止用）

ＶＢ　ハイサイド電源電位

ＶＣＣ　ローサイド電源電位

ＶＯＣ　過電流信号

ＶＳ　ハイサイド基準電位

請求の範囲

[請求項1] ハイサイド論理信号に基づいてトーテムポール接続のハイサイドパワーデバイスを駆動するハイサイド駆動回路と、

ハイサイド電位を検出するハイサイド電位検出回路と、

前記ハイサイド電位検出回路が検出した前記ハイサイド電位の変化に基づきイベント信号を出力するハイサイド電位判定回路と、

ローサイド論理信号に基づいてトーテムポール接続のローサイドパワーデバイスを駆動するローサイド駆動回路と、

前記ローサイドパワーデバイスの主電流の電流値を示す電流信号を入力して過電流を検出したときに前記ローサイドパワーデバイスをオフさせるための過電流検出信号を出力する過電流検出回路と、

前記ハイサイド論理信号および前記イベント信号に基づいて前記過電流検出信号を前記ローサイド駆動回路に伝達するかどうかを判定する過電流検出判定回路と、

を備え、

前記過電流検出判定回路は、前記イベント信号の出力前に前記ローサイドパワーデバイスをオンすることで検出される前記過電流検出信号を無効にすることを特徴とする半導体装置。

[請求項2] 前記過電流検出判定回路は、前記ハイサイド論理信号を入力する第１のインバータと、一方の入力に前記第１のインバータの出力が接続され、他方の入力に前記イベント信号を入力する第１のＡＮＤ回路と、入力に前記第１のＡＮＤ回路の出力が接続された第２のインバータと、一方の入力に前記第２のインバータの出力が接続され、他方の入力に前記過電流検出回路からの前記過電流検出信号を入力し、出力を前記ローサイド駆動回路に接続した第２のＡＮＤ回路とを有していることを特徴とする請求項１記載の半導体装置。

[請求項3] 前記過電流検出判定回路は、さらに、前記第１のＡＮＤ回路と前記第２のインバータとの間に配置され、セット端子が前記第１のＡＮＤ

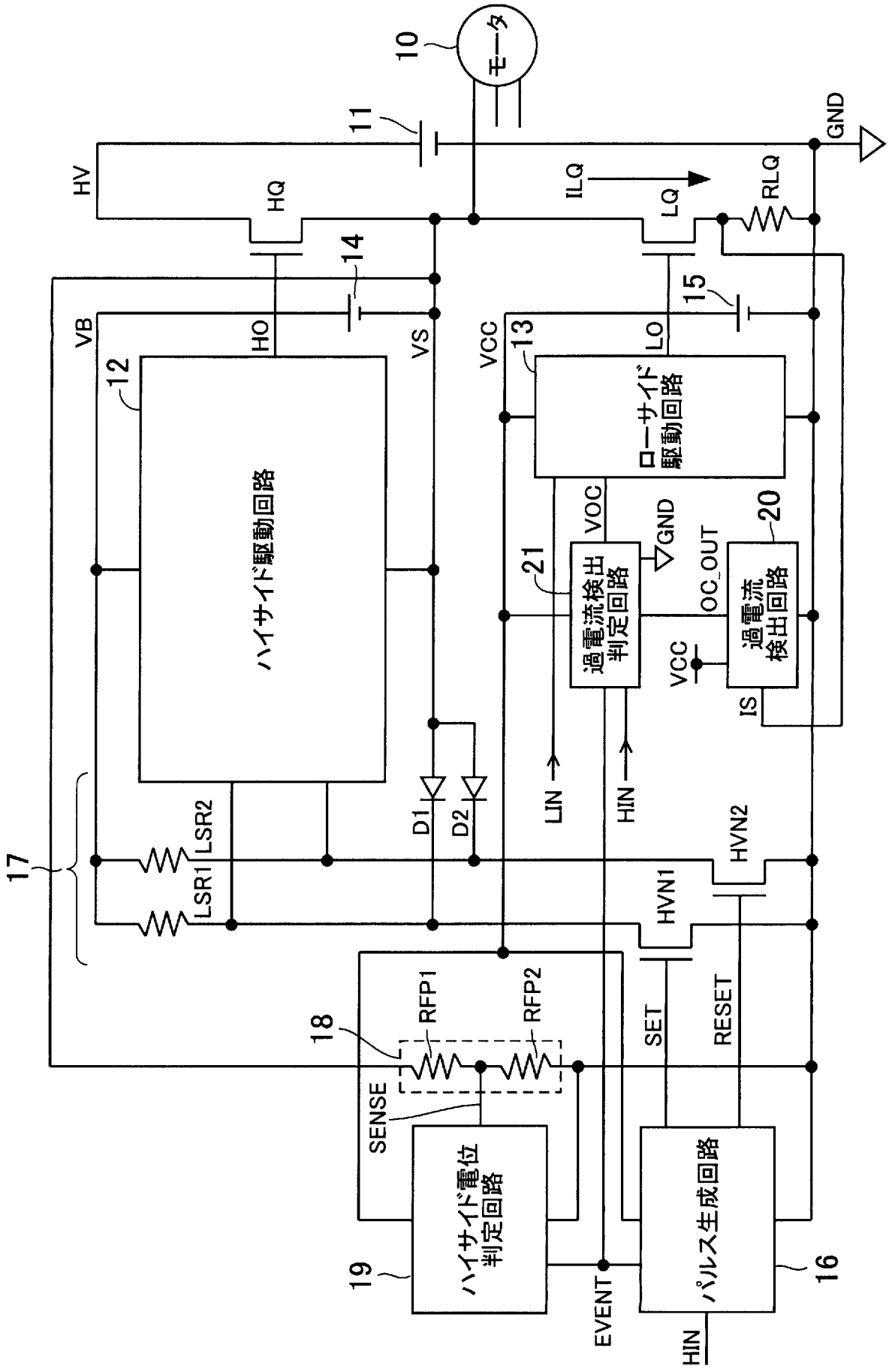
回路の出力に接続され、リセット端子が前記ローサイド論理信号を反転した信号を受けるように接続され、出力が前記第２のインバータの入力に接続されたＲＳフリップフロップを有していることを特徴とする請求項２記載の半導体装置。

[請求項4] 前記過電流検出回路は、前記電流信号と過電流検出閾値とを比較する比較器と、前記電流信号が前記過電流検出閾値を超えたときに前記比較器が出力する過電流検出状態信号を保持して前記過電流検出信号を出力するＲＳフリップフロップと、前記過電流検出信号を所定時間だけ遅延させる遅延回路と、入力に前記比較器の出力が接続された第３のインバータと、一方の入力に前記遅延回路の出力が接続され、他方の入力に前記第３のインバータの出力が接続され、出力を前記ＲＳフリップフロップのリセット端子に接続した第３のＡＮＤ回路とを有していることを特徴とする請求項２または３記載の半導体装置。

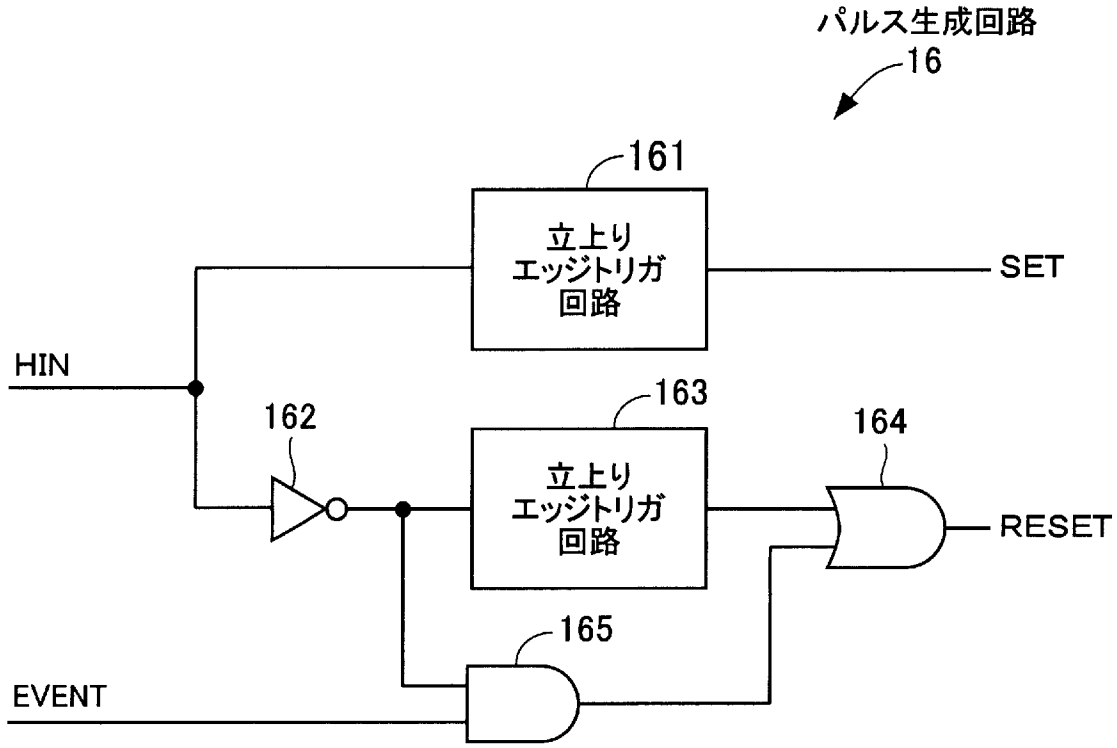
[請求項5] 前記ハイサイド電位検出回路は、前記ハイサイド電位としてハイサイド基準電位またはハイサイド電源電位を検出することを特徴とする請求項１記載の半導体装置。

[請求項6] 前記イベント信号は、前記ハイサイド電位が立上るとトリガされる立上りエッジトリガ回路の出力信号であることを特徴とする請求項１ないし５のいずれか１項に記載の半導体装置。

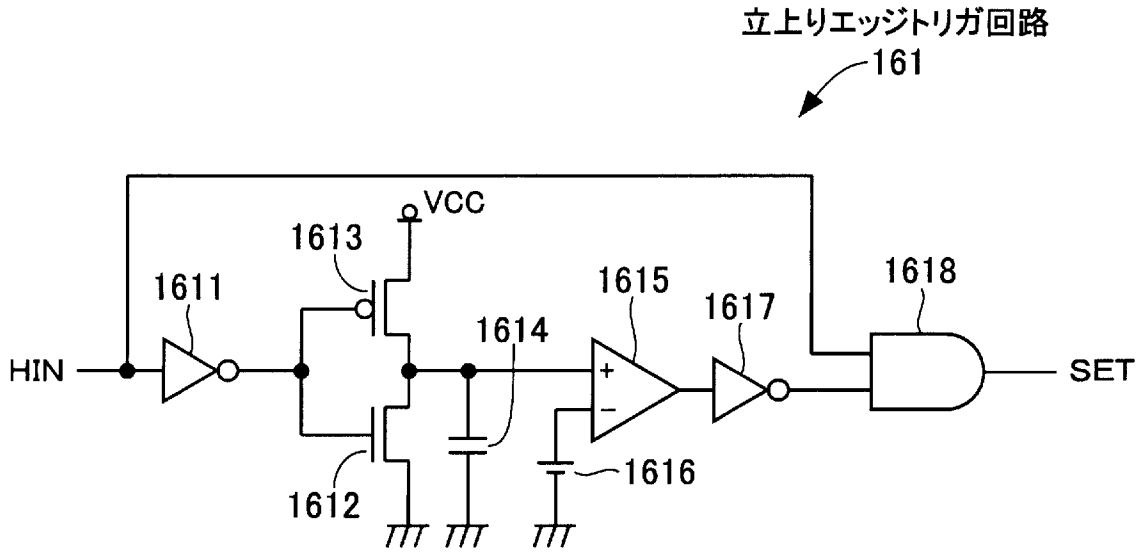
[図1]


10
モータ
11
GND
HV
HQ
ILQ
LQ
RLQ
14
15
VB
HO
VS
VCC
13
LO
12
ハイサイド駆動回路
ローサイド駆動回路
VOC
GND
20
21
過電流検出判定回路
OC_OUT
過電流検出回路
VCC
IS
LIN
HIN
D1
D2
17
LSR2
LSR1
HVN2
HVN1
18
RFP1
RFP2
SET
RESET
SENSE
ハイサイド電位判定回路
パルス生成回路
19
16
EVENT
HIN

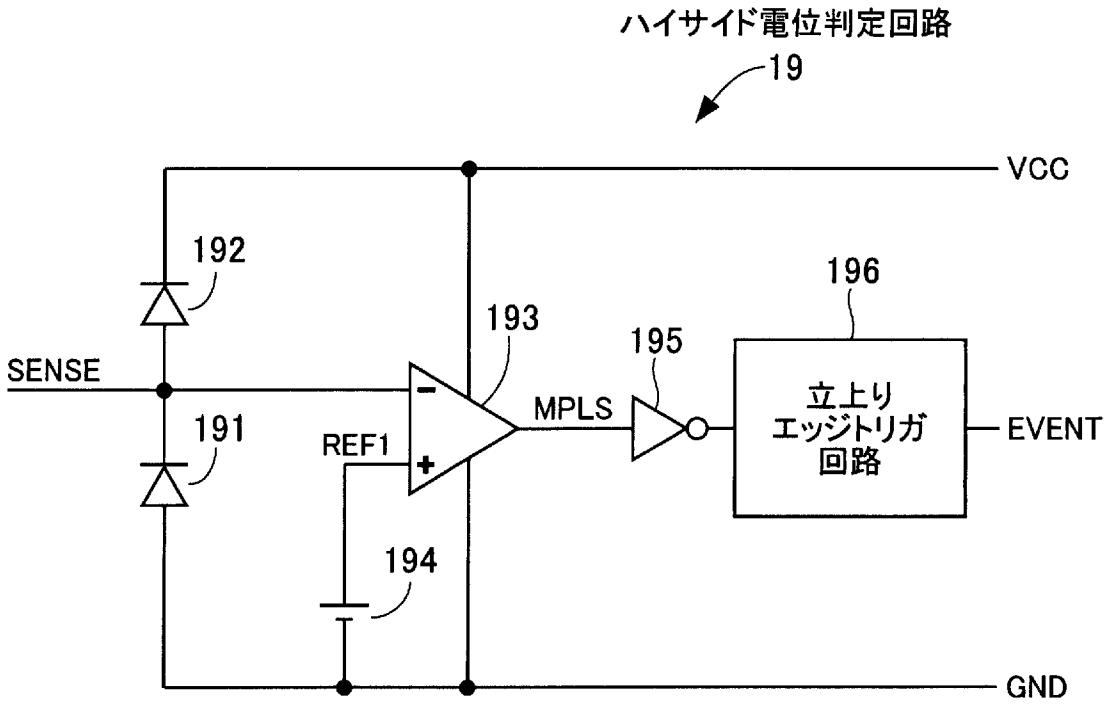
[図2]


パルス生成回路
16
161
立上り
エッジトリガ
回路
SET
HIN
162
163
立上り
エッジトリガ
回路
164
RESET
165
EVENT

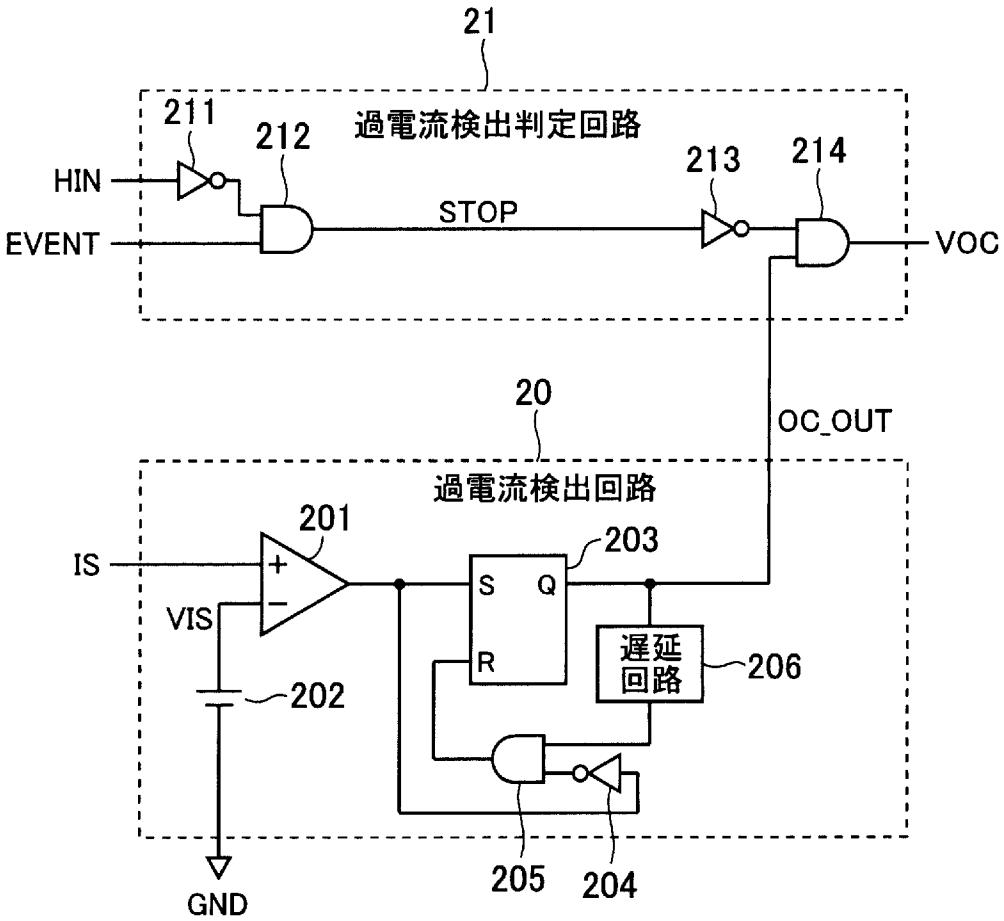
[図3]


立上りエッジトリガ回路
161
VCC
1613
1611
1615
1617
1618
1614
HIN
SET
1612
1616

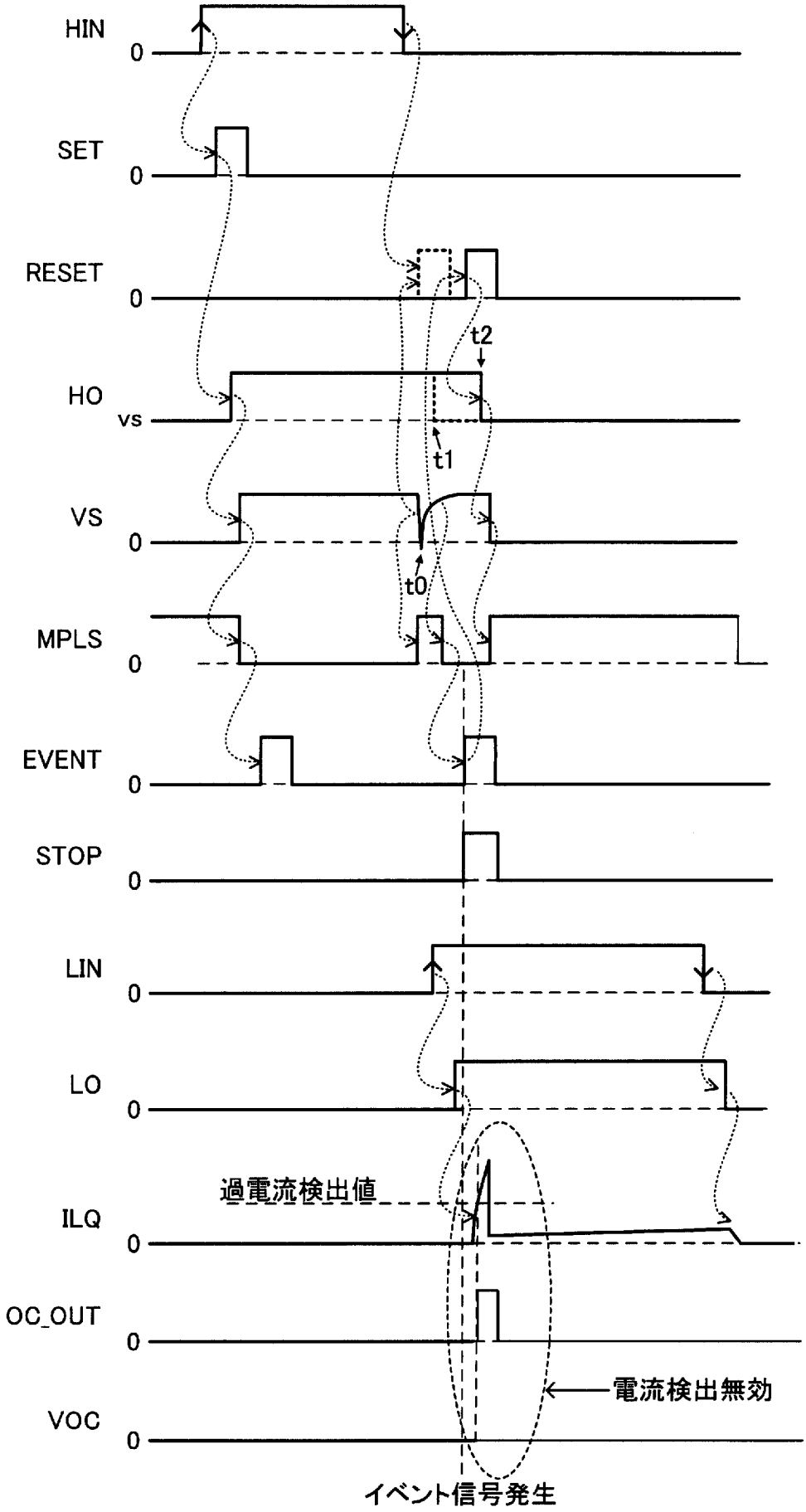
[図4]


ハイサイド電位判定回路
19
VCC
192
196
193
195
SENSE
MPLS
立上り
エッジトリガ
回路
EVENT
191
REF1
194
GND

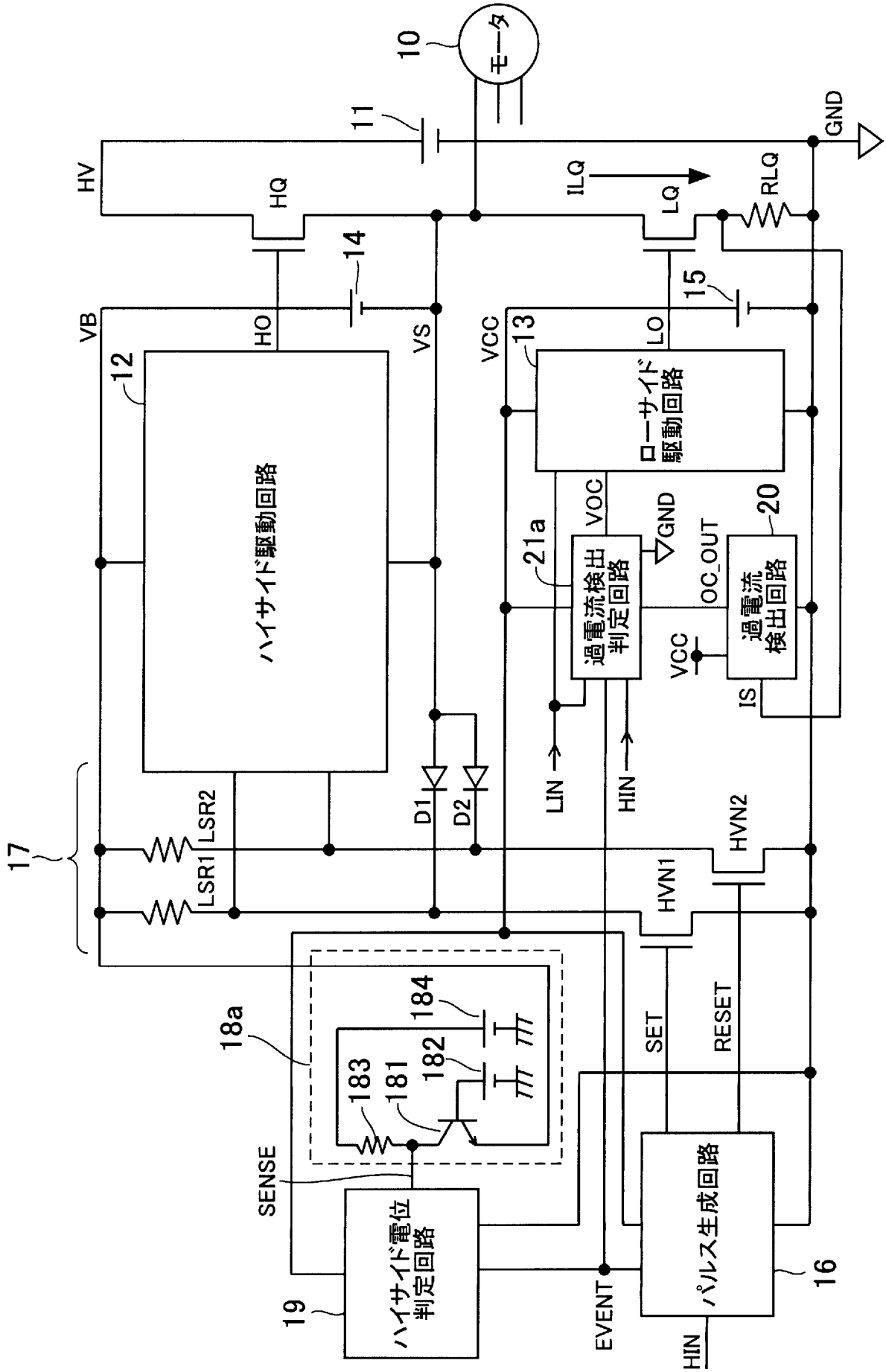
[図5]


21
211
過電流検出判定回路
212
213
214
HIN
STOP
EVENT
VOC
20
OC_OUT
過電流検出回路
201
203
IS
S
Q
VIS
R
遅延
回路
206
202
GND
205
204

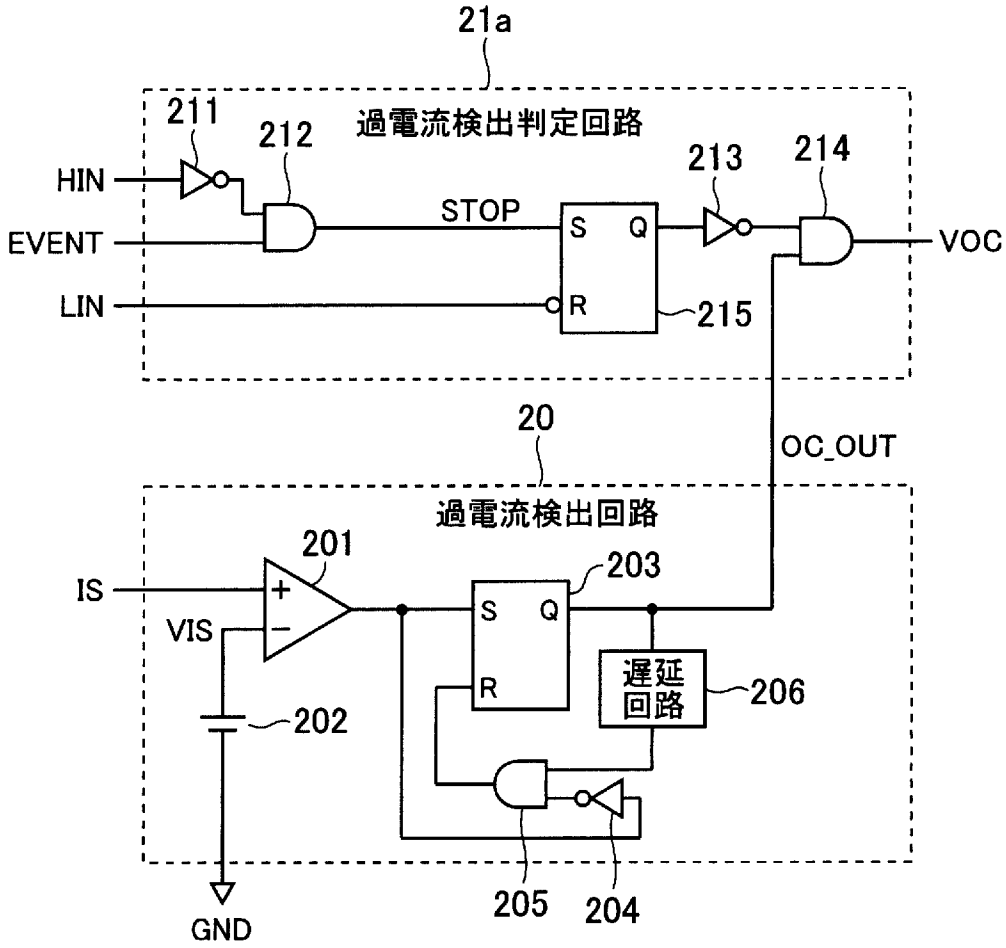
[図6]


HIN
0
SET
0
RESET
0
t2
HO
vs
t1
VS
0
t0
MPLS
0
EVENT
0
STOP
0
LIN
0
LO
0
過電流検出値
ILQ
0
OC_OUT
0
電流検出無効
VOC
0
イベント信号発生

[図7]


10
モータ
11
GND
HV
HQ
ILQ
LQ
RLQ
14
15
VB
HO
VS
VCC
13
LO
12
ハイサイド駆動回路
ローサイド駆動回路
VOC
GND
20
21a
過電流検出判定回路
OC_OUT
過電流検出回路
VCC
IS
LIN
HIN
D1
D2
17
LSR2
LSR1
HVN2
HVN1
18a
184
183
181
182
SET
RESET
SENSE
ハイサイド電位判定回路
19
パルス生成回路
16
EVENT
HIN

[図8]


21a
211
212
過電流検出判定回路
213
214
HIN
EVENT
LIN
STOP
S
Q
R
215
VOC
20
OC_OUT
過電流検出回路
201
IS
VIS
+
−
S
Q
R
203
遅延
回路
206
202
GND
205
204

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/067584

A. CLASSIFICATION OF SUBJECT MATTER
H03K17/08(2006.01)i, *H02M1/08*(2006.01)i, *H03K17/687*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K17/08, H02M1/08, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/045534 A1 (Fuji Electric Co., Ltd.), 02 April 2015 (02.04.2015), fig. 1 to 6 & US 2016/0036315 A1 fig. 1 to 6 & CN 105103447 A	1-6
A	JP 2005-303969 A (NEC Electronics Corp.), 27 October 2005 (27.10.2005), fig. 1 (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 June 2016 (27.06.16)	12 July 2016 (12.07.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６７５８４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/08(2006.01)i, H02M1/08(2006.01)i, H03K17/687(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/08, H02M1/08, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2015/045534 A1（富士電機株式会社）2015.04.02, 図 1-6 & US 2016/0036315 A1, 図 1-6 & CN 105103447 A	1-6
A	JP 2005-303969 A（ＮＥＣエレクトロニクス株式会社）2005.10.27, 図 1 (ファミリーなし)	1-6

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２７．０６．２０１６	１２．０７．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　３３６３
白井　亮
電話番号　０３－３５８１－１１０１　内線　３５７６