



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0072347
(43) 공개일자 2016년06월23일

(51) 국제특허분류(Int. Cl.)

H03L 7/099 (2006.01)

(21) 출원번호 10-2014-0179410

(22) 출원일자 2014년12월12일

심사청구일자 2014년12월12일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)

(74) 대리인

심경식, 홍성욱

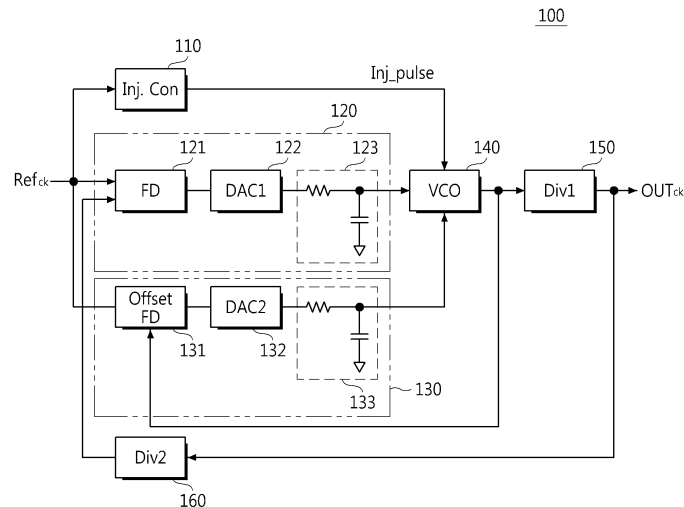
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 위상 고정 루프 및 그의 위상 고정 방법

(57) 요약

위상 고정 루프가 개시된다. 본 발명의 위상 고정 루프는 기준 클럭 신호의 주기마다 도입(injection) 신호를 생성하는 도입 신호 생성부; 상기 도입 신호 및 입력되는 제어전압에 기초하여 클럭 신호를 출력하는 전압 제어 발진기; 상기 기준 클럭 신호와 상기 전압 제어 발진기의 출력신호를 비교하여 제1 주파수 차이를 검출하고 상기 제1 주파수 차이에 기초하여 상기 전압 제어 발진기의 제1 제어전압을 출력하는 제1 제어루프; 및 상기 기준 클럭 신호의 라이징 엣지 및 폴링 엣지 각각과 상기 제1 루프에서 출력된 제1 제어전압에 기초하여 출력된 상기 전압 제어 발진기 출력신호의 라이징 엣지의 차이값에 기초하여 상기 제1 주파수 차이 보다 좁은 범위의 제2 주파수 차이를 검출하고 그 제2 주파수 차이에 기초하여 상기 전압 제어 발진기의 제2 제어전압을 출력하는 제2 제어루프를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

위상 고정 루프에 있어서,

기준 클럭 신호의 주기마다 도입(injection) 신호를 생성하는 도입 신호 생성부;

상기 도입 신호 및 입력되는 제어전압에 기초하여 클럭 신호를 출력하는 전압 제어 발진기; 및

상기 기준 클럭 신호의 라이징 엣지 및 폴링 엣지 각각과 상기 전압 제어 발진기 출력신호의 라이징 엣지의 차이값에 기초하여 주파수 차이를 검출하고 그 주파수 차이에 기초하여 상기 전압 제어 발진기의 제어 전압을 출력하는 제어루프를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 2

제1항에 있어서, 상기 제어루프는

상기 기준 클럭 신호의 라이징 엣지와 상기 전압 제어 발진기 출력 신호의 라이징 엣지의 차이값(diff₁)과 상기 기준 클럭 신호의 폴링 엣지와 상기 전압 제어 발진기 출력 신호의 라이징 엣지의 차이값(diff₂)을 비교하여 업 신호(UP) 또는 다운신호(DOWN)를 출력하는 위상 주파수 검출기; 및

상기 업신호(UP) 또는 다운신호(DOWN)에 대응하는 제어 전압을 출력하는 전압 변환부를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 3

제2항에 있어서, 상기 위상 주파수 검출기는

입력된 시간 정보를 디지털로 변환한 후, 상기 기준 클럭 신호에 기초하여 샘플링하여 두 출력 버스(THEM_POS, THEM_NEG)로 출력하는 시간-디지털 변환기(TDC);

상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 비교하여 업/다운 모드 결정 신호를 생성하는 코드 검출기; 및

상기 코드 검출기에서 생성된 업/다운 모드 결정 신호에 기초하여 업/다운 신호를 출력하는 업/다운 카운터를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 4

제3항에 있어서, 상기 코드 검출기는

기준 주파수를 이용하여 상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 샘플링하여 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)로 변환하는 샘플러;

1과 0으로 표현되는 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)를 각각 이동시켜 최하위 비트(LSB)가 1로 시작하는 신호들(Sh_Injection node, Sh_Long-term node)로 변환하는 쉬프터; 및

상기 쉬프터에서 출력되는 제1 및 제2 신호(Sh_Injection node, Sh_Long-term node)를 분석하여 출력 주파수가 상기 기준 주파수보다 빠른지 느린지를 결정하고, 그 결과에 기초하여 상기 업/다운 카운터의 모드를 결정하는 모드 결정부를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 5

제2항에 있어서, 상기 제어루프는

상기 전압 변환부의 출력 신호에 포함된 잡음을 제거하는 로우패스필터(LPF)를 더 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 6

위상 고정 루프에 있어서,

기준 클럭 신호의 주기마다 도입(injection) 신호를 생성하는 도입 신호 생성부;

상기 도입 신호 및 입력되는 제어전압에 기초하여 클럭 신호를 출력하는 전압 제어 발진기;

상기 기준 클럭 신호와 상기 전압 제어 발진기의 출력신호를 비교하여 제1 주파수 차이를 검출하고 상기 제1 주파수 차이에 기초하여 상기 전압 제어 발진기의 제1 제어전압을 출력하는 제1 제어루프; 및

상기 기준 클럭 신호의 라이징 엣지 및 폴링 엣지 각각과 상기 제1 루프에서 출력된 제1 제어전압에 기초하여 출력된 상기 전압 제어 발진기 출력신호의 라이징 엣지의 차이값에 기초하여 상기 제1 주파수 차이 보다 좁은 범위의 제2 주파수 차이를 검출하고 그 제2 주파수 차이에 기초하여 상기 전압 제어 발진기의 제2 제어전압을 출력하는 제2 제어루프를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 7

제6항에 있어서, 상기 위상 고정 루프는

상기 전압 제어 발진기 출력 신호의 주파수를 낮은 주파수로 변환하는 제1 분주기; 및

상기 위상 고정 루프의 초기 분주비를 유지하기 위해 상기 변환된 주파수에 기초하여 분주비를 변환하는 제2 분주기를 더 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 8

제6항에 있어서, 상기 제1 제어루프는

상기 기준 클럭 신호와 상기 전압 제어 발진기의 출력 신호를 비교하여 업신호(UP) 또는 다운신호(DOWN)를 출력하는 제1 위상 주파수 검출기; 및

상기 업신호(UP) 또는 다운신호(DOWN)에 대응하는 제1 제어 전압을 출력하는 제1 전압 변환부를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 9

제8항에 있어서, 상기 제1 제어루프는

상기 제1 전압 변환부의 출력 신호에 포함된 잡음을 제거하는 제1 로우패스필터(LPF)를 더 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 10

제6항에 있어서, 상기 제2 제어루프는

상기 기준 클록 신호의 라이징 엣지와 상기 전압 제어 발진기 출력 신호의 라이징 엣지의 차이값(diff₁)과 상기 기준 클록 신호의 폴링 엣지와 상기 전압 제어 발진기 출력 신호의 라이징 엣지의 차이값(diff₂)을 비교하여 업 신호(UP) 또는 다운신호(DOWN)를 출력하는 제2 위상 주파수 검출기; 및

상기 업신호(UP) 또는 다운신호(DOWN)에 대응하는 제2 제어 전압을 출력하는 제2 전압 변환부를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 11

제10항에 있어서, 상기 제2 위상 주파수 검출기는

입력된 시간 정보를 디지털로 변환한 후, 상기 기준 클록 신호에 기초하여 샘플링하여 두 출력 버스(THEM_POS, THEM_NEG)로 출력하는 시간-디지털 변환기(TDC);

상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 비교하여 업/다운 모드 결정 신호를 생성하는 코드 검출기; 및

상기 코드 검출기에서 생성된 업/다운 모드 결정 신호에 기초하여 업/다운 신호를 출력하는 업/다운 카운터를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 12

제11항에 있어서, 상기 코드 검출기는

기준 주파수를 이용하여 상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 샘플링하여 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)로 변환하는 샘플러;

1과 0으로 표현되는 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)를 각각 이동시켜 최하위 비트(LSB)가 1로 시작하는 신호들(Sh_Injection node, Sh_Long-term node)로 변환하는 쉬프터; 및

상기 쉬프터에서 출력되는 제1 및 제2 신호(Sh_Injection node, Sh_Long-term node)를 분석하여 출력 주파수가 상기 기준 주파수보다 빠르거나 느린지를 결정하고, 그 결과에 기초하여 상기 업/다운 카운터의 모드를 결정하는 모드 결정부를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 13

제10항에 있어서, 상기 제2 제어루프는

상기 제2 전압 변환부의 출력 신호에 포함된 잡음을 제거하는 제2 로우패스필터(LPF)를 더 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 14

위상 고정 루프의 위상 고정 방법에 있어서,

상기 위상 고정 루프의 기준 클록 신호와 상기 위상 고정 루프의 출력 신호를 비교하여 제1 주파수 차이를 검출하는 단계;

상기 제1 주파수 차이에 기초하여 상기 위상 고정 루프의 출력 신호를 제어하기 위한 제1 제어 전압을 생성하는 단계;

상기 기준 클록 신호의 라이징 엣지 및 폴링 엣지 각각과 상기 제1 제어전압에 기초하여 출력된 상기 위상 고정 루프의 출력 신호의 라이징 엣지의 차이값들을 도출하는 단계;

상기 차이값들을 비교하여 제2 주파수 차이를 검출하는 단계; 및

상기 제2 주파수 차이에 기초하여 상기 위상 고정 루프의 출력 신호를 제어하기 위한 제2 제어 전압을 생성하는 단계를 포함하는 것을 특징으로 하는 위상 고정 루프의 위상 고정 방법.

청구항 15

제14항에 있어서, 상기 차이값 도출 단계는

상기 기준 클럭 신호의 라이징 엣지와 상기 제1 제어 전압에 기초하여 출력된 상기 위상 고정 루프 출력 신호의 첫 번째 라이징 엣지의 차이값(diff₁)을 도출하는 단계; 및

상기 기준 클럭 신호의 폴링 엣지와 상기 제1 제어 전압에 기초하여 출력된 상기 위상 고정 루프 출력 신호의 N/2번째(N은 분주비) 라이징 엣지의 차이값(diff₂)을 도출하는 단계를 포함하는 것을 특징으로 하는 위상 고정 루프의 위상 고정 방법.

청구항 16

제14항에 있어서, 상기 제1 주파수 차이 검출 단계는

상기 위상 고정 루프의 출력 신호의 주파수를 낮은 주파수로 변환하는 단계; 및

상기 위상 고정 루프의 초기 분주비를 유지하기 위해 상기 변환된 주파수에 기초하여 분주비를 변경하는 단계를 더 포함하는 것을 특징으로 하는 위상 고정 루프의 위상 고정 방법.

발명의 설명

기술 분야

[0001] 본 발명은 위상 고정 루프 및 그의 위상 고정 방법에 관한 것으로서, 특히, 디지털 주파수 고정 루프를 기반으로 한 인젝션 고정 위상 고정 루프(Injection Locked Phase Locked Loop, ILPLL) 및 그의 위상 고정 방법에 관한 것이다.

배경 기술

[0002] 위상 고정 루프(PLL)는 송수신기(transceiver)와 같은 시스템에서 내부 회로들을 동기화시키는 클럭을 만들어낸다. 특히, 위상 고정 루프(PLL)에서 특정 주파수의 클럭을 만들어 내기 위해 전압 제어 발진기(Voltage Controlled Oscillator, VCO) 또는 디지털로 제어되는 발진기(Digitally Controlled Oscillator, DCO)를 사용하게 되는데, 이러한 발진기(Oscillator)는 반도체 공정, 칩 동작 전압 및 온도 변화에 따라서 다른 주파수를 만들어 내게 되고 이를 원하는 주파수로 맞추 수 있도록 해야 한다. 즉, 주파수를 고정할 수 있어야 한다. 이를 위해, 주파수 고정 루프(Frequency Locked Loop, FLL)가 사용되고, 일정한 위상 차이를 갖을 수 있도록 하기 위해 위상 고정 루프(Phase Locked Loop, PLL)이 사용이 된다.

[0003] 한편, 주파수의 고정 시간(Locking time)은 시스템의 성능을 결정하므로, 빠른 주파수 고정을 위해 인젝션 고정 위상 고정 루프(ILPLL)가 사용되곤 한다. 그런데, 상기 인젝션 고정 위상 루프(ILPLL)는 다른 위상 고정 루프(PLL)에 비해서 고정 시간(Locking time)을 작게 가져갈 수 있다는 장점이 있지만, 주파수 고정 루프(FLL)의 성능에 의해서 그 성능이 결정된다는 단점이 있다. 이를 보완하기 위해, 아날로그 방식을 적용할 경우 주파수 고정 루프(FLL)의 레졸루션(resolution)을 무한히 작게 가져갈 수 있다는 장점이 있지만 이 경우 발진기(oscillator)를 조절하는 제어 전압(Control voltage)을 일정하게 유지하기 위해 큰 커패시터(Capacitor)를 필요로 한다. 또한, 면적을 줄이기 위해, 주파수 고정 루프(FLL)를 디지털 방식으로 구현할 경우, 레졸루션(resolution)이 아날로그 방식에 비해서 크고, 이를 줄이기 위해서는 전력 소모량이 증가한다는 단점을 초래한다.

[0004] 또한, 인젝션 고정 위상 고정 루프(ILPLL)에 사용되는 주파수 고정 루프(FLL)의 레졸루션(resolution)이 클 경우 발진기(oscillator)에서 발생된 클럭의 주파수가 원하는 주파수와 오프셋이 발생하게 된다. 인젝션 고정

위상 고정 루프(ILPLL)의 특성상 발진기(oscillator)의 주파수를 바꿀 수 없고 기준 클록의 주기마다 발진기(oscillator)의 출력 위상을 기준 클록에 맞추기 때문에 결국 주파수 오프셋은 인젝션 고정 위상 고정 루프(ILPLL)의 롱텀(Long-term) 지터를 증가시키게 된다. 이와 같이 롱텀(Long-term) 지터가 커지게 되면 시스템상의 데이터 오류가 발생할 가능성이 높아진다. 따라서 가급적 세세한 주파수 차이를 검출할 수 있는 디지털 방식의 주파수 검출기가 필요하다. 하지만 기존에 제안되었던 세세한 주파수 차이를 검출하기 위한 주파수 검출기는 높은 대역을 가지고 있어야하기 때문에 전력 소모량이 커지게 된다.

발명의 내용

해결하려는 과제

[0005] 위상 고정 루프(PLL)는 송수신기(transceiver)와 같은 시스템에서 내부 회로들을 동기화시키는 클럭을 만들어낸다. 특히, 위상 고정 루프(PLL)에서 특정 주파수의 클럭을 만들어 내기 위해 전압 제어 발진기(Voltage Controlled Oscillator, VCO) 또는 디지털로 제어되는 발진기(Digitally Controlled Oscillator, DCO)를 사용하게 되는데, 이러한 발진기(Oscillator)는 반도체 공정, 칩 동작 전압 및 온도 변화에 따라서 다른 주파수를 만들어 내게 되고 이를 원하는 주파수로 맞추 수 있도록 해야 한다. 즉, 주파수를 고정할 수 있어야 한다. 이를 위해, 주파수 고정 루프(Frequency Locked Loop, FLL)가 사용되고, 일정한 위상 차이를 갖을 수 있도록 하기 위해 위상 고정 루프(Phase Locked Loop, PLL)이 사용이 된다.

[0006] 한편, 주파수의 고정 시간(Locking time)은 시스템의 성능을 결정하므로, 빠른 주파수 고정을 위해 인젝션 고정 위상 고정 루프(ILPLL)가 사용되곤 한다. 그런데, 상기 인젝션 고정 위상 루프(ILPLL)는 다른 위상 고정 루프(PLL)에 비해서 고정 시간(Locking time)을 작게 가져갈 수 있다는 장점이 있지만, 주파수 고정 루프(FLL)의 성능에 의해서 그 성능이 결정된다는 단점이 있다. 이를 보완하기 위해, 아날로그 방식을 적용할 경우 주파수 고정 루프(FLL)의 레졸루션(resolution)을 무한히 작게 가져갈 수 있다는 장점이 있지만 이 경우 발진기(oscillator)를 조절하는 제어 전압(Control voltage)을 일정하게 유지하기 위해 큰 커패시터(Capacitor)를 필요로 한다. 또한, 면적을 줄이기 위해, 주파수 고정 루프(FLL)를 디지털 방식으로 구현할 경우, 레졸루션(resolution)이 아날로그 방식에 비해서 크고, 이를 줄이기 위해서는 전력 소모량이 증가한다는 단점을 초래한다.

[0007] 또한, 인젝션 고정 위상 고정 루프(ILPLL)에 사용되는 주파수 고정 루프(FLL)의 레졸루션(resolution)이 클 경우 발진기(oscillator)에서 발생된 클록의 주파수가 원하는 주파수와 오프셋이 발생하게 된다. 인젝션 고정 위상 고정 루프(ILPLL)의 특성상 발진기(oscillator)의 주파수를 바꿀 수 없고 기준 클록의 주기마다 발진기(oscillator)의 출력 위상을 기준 클록에 맞추기 때문에 결국 주파수 오프셋은 인젝션 고정 위상 고정 루프(ILPLL)의 롱텀(Long-term) 지터를 증가시키게 된다. 이와 같이 롱텀(Long-term) 지터가 커지게 되면 시스템상의 데이터 오류가 발생할 가능성이 높아진다. 따라서 가급적 세세한 주파수 차이를 검출할 수 있는 디지털 방식의 주파수 검출기가 필요하다. 하지만 기존에 제안되었던 세세한 주파수 차이를 검출하기 위한 주파수 검출기는 높은 대역을 가지고 있어야하기 때문에 전력 소모량이 커지게 된다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 위상 고정 루프는 기준 클록 신호의 주기마다 도입(injection) 신호를 생성하는 도입 신호 생성부; 상기 도입 신호 및 입력되는 제어전압에 기초하여 클럭 신호를 출력하는 전압 제어 발진기; 및 상기 기준 클록 신호의 라이징 엣지 및 폴링 엣지 각각과 상기 전압 제어 발진기 출력신호의 라이징 엣지의 차이값에 기초하여 주파수 차이를 검출하고 그 주파수 차이에 기초하여 상기 전압 제어 발진기의 제어 전압을 출력하는 제어루프를 포함하는 것을 특징으로 한다.

[0009] 바람직하게는, 상기 제어루프는 상기 기준 클록 신호의 라이징 엣지와 상기 전압 제어 발진기 출력 신호의 라이징 엣지의 차이값(diff₁)과 상기 기준 클록 신호의 폴링 엣지와 상기 전압 제어 발진기 출력 신호의 라이징 엣지의 차이값(diff₂)을 비교하여 업신호(UP) 또는 다운신호(DOWN)를 출력하는 위상 주파수 검출기; 및 상기 업신호(UP) 또는 다운신호(DOWN)에 대응하는 제어 전압을 출력하는 전압 변환부를 포함할 수 있다.

[0010] 바람직하게는, 상기 위상 주파수 검출기는 입력된 시간 정보를 디지털로 변환한 후, 상기 기준 클록 신호에 기초하여 샘플링하여 두 출력 버스(THEM_POS, THEM_NEG)로 출력하는 시간-디지털 변환기(TDC); 상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 비교하여 업/다운 모드 결정 신호를 생성하는 코드 검출기;

및 상기 코드 검출기에서 생성된 업/다운 모드 결정 신호에 기초하여 업/다운 신호를 출력하는 업/다운 카운터를 포함할 수 있다.

- [0011] 바람직하게는, 상기 코드 검출기는 기준 주파수를 이용하여 상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 샘플링하여 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)로 변환하는 샘플러; 1과 0으로 표현되는 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)를 각각 이동시켜 최하위 비트(LSB)가 1로 시작하는 신호들(Sh_Injection node, Sh_Long-term node)로 변환하는 쉬프트; 및 상기 쉬프트에서 출력되는 제1 및 제2 신호(Sh_Injection node, Sh_Long-term node)를 분석하여 출력 주파수가 상기 기준 주파수보다 빠르지 느린지를 결정하고, 그 결과에 기초하여 상기 업/다운 카운터의 모드를 결정하는 모드 결정부를 포함할 수 있다.
- [0012] 바람직하게는, 상기 제어루프는 상기 전압 변환부의 출력 신호에 포함된 잡음을 제거하는 로우패스필터(LPF)를 더 포함할 수 있다.
- [0013] 또한, 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 위상 고정 루프는 위상 고정 루프에 있어서, 기준 클럭 신호의 주기마다 도입(injection) 신호를 생성하는 도입 신호 생성부; 상기 도입 신호 및 입력되는 제어전압에 기초하여 클럭 신호를 출력하는 전압 제어 발진기; 상기 기준 클럭 신호와 상기 전압 제어 발진기의 출력신호를 비교하여 제1 주파수 차이를 검출하고 상기 제1 주파수 차이에 기초하여 상기 전압 제어 발진기의 제1 제어전압을 출력하는 제1 제어루프; 및 상기 기준 클럭 신호의 라이징 엣지 및 폴링 엣지 각각과 상기 제1 루프에서 출력된 제1 제어전압에 기초하여 출력된 상기 전압 제어 발진기 출력신호의 라이징 엣지의 차이값에 기초하여 상기 제1 주파수 차이 보다 좁은 범위의 제2 주파수 차이를 검출하고 그 제2 주파수 차이에 기초하여 상기 전압 제어 발진기의 제2 제어전압을 출력하는 제2 제어루프를 포함하는 것을 특징으로 한다.
- [0014] 바람직하게는, 상기 위상 고정 루프는 상기 전압 제어 발진기 출력 신호의 주파수를 낮은 주파수로 변환하는 제1 분주기; 및 상기 위상 고정 루프의 초기 분주비를 유지하기 위해 상기 변환된 주파수에 기초하여 분주비를 변환하는 제2 분주기를 더 포함할 수 있다.
- [0015] 바람직하게는, 상기 제1 제어루프는 상기 기준 클럭 신호와 상기 전압 제어 발진기의 출력 신호를 비교하여 업 신호(UP) 또는 다운신호(DOWN)를 출력하는 제1 위상 주파수 검출기; 및 상기 업신호(UP) 또는 다운신호(DOWN)에 대응하는 제1 제어 전압을 출력하는 제1 전압 변환부를 포함할 수 있다.
- [0016] 바람직하게는, 상기 제1 제어루프는 상기 제1 전압 변환부의 출력 신호에 포함된 잡음을 제거하는 제1 로우패스 필터(LPF)를 더 포함할 수 있다.
- [0017] 바람직하게는, 상기 제2 제어루프는 상기 기준 클럭 신호의 라이징 엣지와 상기 전압 제어 발진기 출력 신호의 라이징 엣지의 차이값(diff₁)과 상기 기준 클럭 신호의 폴링 엣지와 상기 전압 제어 발진기 출력 신호의 라이징 엣지의 차이값(diff₂)을 비교하여 업신호(UP) 또는 다운신호(DOWN)를 출력하는 제2 위상 주파수 검출기; 및 상기 업신호(UP) 또는 다운신호(DOWN)에 대응하는 제2 제어 전압을 출력하는 제2 전압 변환부를 포함할 수 있다.
- [0018] 바람직하게는, 상기 제2 위상 주파수 검출기는 입력된 시간 정보를 디지털로 변환한 후, 상기 기준 클럭 신호에 기초하여 샘플링하여 두 출력 버스(THEM_POS, THEM_NEG)로 출력하는 시간-디지털 변환기(TDC); 상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 비교하여 업/다운 모드 결정 신호를 생성하는 코드 검출기; 및 상기 코드 검출기에서 생성된 업/다운 모드 결정 신호에 기초하여 업/다운 신호를 출력하는 업/다운 카운터를 포함할 수 있다.
- [0019] 바람직하게는, 상기 코드 검출기는 기준 주파수를 이용하여 상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 샘플링하여 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)로 변환하는 샘플러; 1과 0으로 표현되는 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)를 각각 이동시켜 최하위 비트(LSB)가 1로 시작하는 신호들(Sh_Injection node, Sh_Long-term node)로 변환하는 쉬프트; 및 상기 쉬프트에서 출력되는 제1 및 제2 신호(Sh_Injection node, Sh_Long-term node)를 분석하여 출력 주파수가 상기 기준 주파수보다 빠르지 느린지를 결정하고, 그 결과에 기초하여 상기 업/다운 카운터의 모드를 결정하는 모드 결정부를 포함할 수 있다.
- [0020] 바람직하게는, 상기 제2 제어루프는 상기 제2 전압 변환부의 출력 신호에 포함된 잡음을 제거하는 제2 로우패스 필터(LPF)를 더 포함할 수 있다.
- [0021] 한편, 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 위상 고정 루프의 위상 고정 방법은 상기 위상

고정 루프의 기준 클럭 신호와 상기 위상 고정 루프의 출력 신호를 비교하여 제1 주파수 차이를 검출하는 단계; 상기 제1 주파수 차이에 기초하여 상기 위상 고정 루프의 출력 신호를 제어하기 위한 제1 제어 전압을 생성하는 단계; 상기 기준 클럭 신호의 라이징 엣지 및 폴링 엣지 각각과 상기 제1 제어전압에 기초하여 출력된 상기 위상 고정 루프의 출력 신호의 라이징 엣지의 차이값들을 도출하는 단계; 상기 차이값들을 비교하여 제2 주파수 차이를 검출하는 단계; 및 상기 제2 주파수 차이에 기초하여 상기 위상 고정 루프의 출력 신호를 제어하기 위한 제2 제어 전압을 생성하는 단계를 포함하는 것을 특징으로 한다.

[0022] 바람직하게는, 상기 차이값 도출 단계는 상기 기준 클럭 신호의 라이징 엣지와 상기 제1 제어 전압에 기초하여 출력된 상기 위상 고정 루프 출력 신호의 첫 번째 라이징 엣지의 차이값(diff₁)을 도출하는 단계; 및 상기 기준 클럭 신호의 폴링 엣지와 상기 제1 제어 전압에 기초하여 출력된 상기 위상 고정 루프 출력 신호의 N/2번째(N은 분주비) 라이징 엣지의 차이값(diff₂)을 도출하는 단계를 포함할 수 있다.

[0023] 바람직하게는, 상기 제1 주파수 차이 검출 단계는 상기 위상 고정 루프의 출력 신호의 주파수를 낮은 주파수로 변환하는 단계; 및 상기 위상 고정 루프의 초기 분주비를 유지하기 위해 상기 변환된 주파수에 기초하여 분주비를 변경하는 단계를 더 포함할 수 있다.

발명의 효과

[0024] 본 발명은 위상 고정 루프의 주파수 고정을 위해, 기준 클럭의 엣지와 궤환 신호의 라이징 엣지의 차이값에 기초하여 주파수 차이를 검출함으로써, 레졸루션(resolution)이 큰 시간-디지털 변환기(TDC)를 이용하여 세세한 주파수 차이를 검출한다. 또한, 본 발명은 인젝션 고정 위상 루프(ILPLL)의 롱텀(Long-term) 지터를 증가시키지 않고 세세한 주파수 차이를 검출한다. 따라서, 본 발명은 시스템 성능을 향상시키는 장점이 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시 예에 따른 위상 고정 루프에 대한 개략적인 블록도이다.
 도 2는 본 발명의 일 실시 예에 따른 위상 고정 루프의 동작을 설명하기 위한 타이밍도이다.
 도 3은 도 1에 예시된 읍셋 주파수 검출기에 대한 개략적인 블록도이다.
 도 4는 도 3에 예시된 코드 검출기에 대한 개략적인 블록도이다.
 도 5는 도 4에 예시된 코드 검출기를 이용하여 업/다운 카운터의 모드를 결정하기 위한 방법을 설명하기 위한 도면이다.
 도 6은 본 발명의 일 실시 예에 따른 위상 고정 루프의 위상 고정 방법에 대한 처리 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0027] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0028] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0029] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함

하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0031] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다. 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0032] 도 1은 본 발명의 일 실시 예에 따른 위상 고정 루프에 대한 개략적인 블록도이다. 도 1을 참조하면 본 발명의 일 실시 예에 따른 위상 고정 루프(100)는 도입 신호 생성부(Inj.Con)(110), 제1 제어루프(120), 제2 제어루프(130), 전압 제어 발진기(140), 제1 분주기(150) 및 제2 분주기(160)를 포함한다.
- [0033] 도입 신호 생성부(Inj.Con)(110)는 기준 클럭 신호의 주기마다 도입 신호(Inj_pulse)를 생성하여, 전압 제어 발진기(140)로 출력한다.
- [0034] 제1 제어루프(120)는 개략적인 주파수 차이를 검출하고 그 결과에 의거하여 그 차이를 줄이는 방향으로 제1 제어전압을 생성한다. 즉, 제1 제어루프(120)는 기준 클럭 신호(Ref_{ck})와 전압 제어 발진기(140)의 출력신호(OUT_{ck})를 비교하여 개략적인 주파수 차이(예컨대, 제1 주파수 차이)를 검출한다. 그리고 그 주파수 차이(예컨대, 제1 주파수 차이)에 기초하여 전압 제어 발진기(140)의 제어전압(예컨대, 제1 제어전압)을 출력한다. 이를 위해, 제1 제어루프(120)는 제1 위상 주파수 검출기(Frequency Detector, FD)(121), 제1 전압 변환부(Digital Analog Converter 1, DAC1)(122), 제1 로우 패스 필터(Low Pass Filter, LPF)(123)를 포함할 수 있다. 제1 위상 주파수 검출기(FD)(121)는 기준 클럭 신호(Ref_{ck})와 전압 제어 발진기의 출력 신호(OUT_{ck})를 비교하여 업신호(UP) 또는 다운신호(DOWN)를 출력한다. 즉, 전압 제어 발진기의 출력 신호(OUT_{ck})가 기준 클럭 신호(Ref_{ck}) 보다 낮으면 업신호(UP)를, 반대의 경우 다운신호(DOWN)를 출력한다. 제1 전압 변환부(122)는 제1 위상 주파수 검출기(FD)(121)에서 출력되는 업신호(UP) 또는 다운신호(DOWN)에 대응하는 제1 제어 전압을 출력한다. 이 때, 제1 전압 변환부(122)는 입력되는 디지털 신호를 아날로그로 변환하여 출력한다. 제1 로우 패스 필터(Low Pass Filter, LPF)(123)는 제1 전압 변환부(122)의 출력 신호에 포함된 잡음을 제거한다.
- [0035] 제2 제어루프(130)는 제1 제어루프(120)에서 대략적인 주파수를 조절한 이후에 동작되며, 주파수 오프셋(frequency offset)을 맞추고 그 결과에 의거하여 제2 제어전압을 생성한다. 즉, 제2 제어루프(130)는 기준 클럭 신호(Ref_{ck})의 라이징 엣지(rising edge) 및 폴링 엣지(falling edge) 각각과 전압 제어 발진기(140) 출력 신호의 라이징 엣지(rising edge)의 차이값에 기초하여 상기 제1 주파수 차이 보다 좁은 범위의 제2 주파수 차이를 검출한다. 이 때, 전압 제어 발진기(140) 출력 신호는 제1 루프(120)에서 출력된 제1 제어전압에 기초하여 제어된 후 출력된 신호이다. 그리고 상기 제2 주파수 차이에 기초하여 전압 제어 발진기(140)의 출력을 제어하기 위한 제2 제어전압을 출력한다. 이를 위해, 제2 제어루프(130)는 제2 위상 주파수 검출기(Offset Frequency Detector, Offset FD)(131), 제2 전압 변환부(Digital Analog Converter 2, DAC2)(132), 제2 로우 패스 필터(Low Pass Filter, LPF)(133)를 포함할 수 있다. 제2 위상 주파수 검출기(Offset FD)(131)는 기준 클럭 신호(Ref_{ck})의 라이징 엣지(rising edge)와 전압 제어 발진기(140) 출력 신호의 라이징 엣지(rising edge)의 차이인 제1 차이값($diff_1$)과 기준 클럭 신호(Ref_{ck})의 폴링 엣지(falling edge)와 전압 제어 발진기(140) 출력 신호의 라이징 엣지(rising edge)의 차이인 제2 차이값($diff_2$)을 비교하여 업신호(UP) 또는 다운신호(DOWN)를 출력한다. 즉, 제1 차이값($diff_1$)이 제2 차이값($diff_2$) 보다 큰 경우, 전압 제어 발진기(140)의 출력 신호가 원하는 출력 신호 보다 빠른 경우이므로 다운 신호(DOWN) 신호를 출력하고, 반대의 경우 업신호(UP) 신호를 출력한다. 제2 전압 변환부(DAC2)(132)는 제2 위상 주파수 검출기(FD)(131)에서 출력되는 업신호(UP) 또는 다운신호(DOWN)에 대응하는 제2 제어 전압을 출력한다. 이 때, 제2 전압 변환부(132)는 입력되는 디지털 신호를 아날로그로 변환하여 출력한다. 제2 로우 패스 필터(LPF)(133)는 제1 전압 변환부(132)의 출력 신호에 포함된 잡음을

제거한다.

- [0036] 전압 제어 발진기(VCO)(140)는 도입 신호 생성부(Inj.Con)(110)에서 출력되는 도입 신호(Inj_pulse) 및 입력되는 제어전압에 기초하여 클럭 신호(OUT_{ck})를 출력한다.
- [0037] 제1 분주기(Div1)(150)는 전압 제어 발진기(VCO)(140) 출력 신호의 주파수를 낮은 주파수로 변환한다. 이는 전압 제어 발진기(VCO)(140)의 출력 신호가 CMOS 로직을 동작시키기에 너무 빠를 수도 있기 때문이다.
- [0038] 제2 분주기(Div2)(160)는 위상 고정 루프(100)의 초기 분주비(N)를 유지하기 위해 제1 분주기(Div1)에서 변환된 주파수에 기초하여 분주비를 변환한다.
- [0039] 한편, 본 발명은 기준 클럭 신호의 엣지와 궤환된 전압 제어 발진기 출력 신호의 엣지들 간의 차이값에 의거하여 주파수를 고정시키는 위상 고정 루프에 관한 것으로서, 도 1에 예시된 것 내용에 의해 본 발명이 한정되지는 않는다. 예를 들어, 본 발명의 위상 고정 루프는 제1 제어루프(120)를 포함하지 않고, 제2 제어루프(130)만을 포함하도록 구현하는 것도 가능한 것이다.
- [0040] 도 2는 본 발명의 일 실시 예에 따른 위상 고정 루프의 동작을 설명하기 위한 타이밍도이다. 일반적으로, 발진기(Oscillator) 출력 클럭 주파수를 f_{osc} 라 하고 기준 클럭을 f_{ref} 라고 한다면, 위상 고정 루프(PLL)에서는 $f_{osc} = N \cdot f_{ref}$ (N: 분주비)를 만족시켜야 한다. 이 조건을 만족시켰을 때, 기준 클럭의 라이징 엣지(rising edge)와 이어서 오는 발진기(oscillator) 출력 클럭의 라이징 엣지(rising edge)의 차이와 기준 클럭의 폴링 엣지(falling edge)와 이어서 오는 발진기(oscillator) 출력 클럭의 라이징 엣지(rising edge)의 차이가 같아진다. 도 2를 참조하면, 도 1의 전압 제어 발진기(140) 출력 신호(OUT_{ck})는 한 주기가 기준 클럭(Ref_{ck})의 1/8이다. 다시 말해, 전압 제어 발진기(140) 출력 신호(OUT_{ck})는 분주비 8로 기준 클럭(Ref_{ck})을 분주한 것이다. 이 때, 기준 클럭의 라이징 엣지(rising edge)와 이어지는 발진기(140) 출력 신호(OUT_{ck})의 라이징 엣지의 차이(t_{ref})가 기준 클럭의 폴링 엣지(falling edge)와 이어지는 발진기(140) 출력 신호(OUT_{ck})의 라이징 엣지의 차이(t_{os})가, 도 2의 예와 같이, 동일한 경우 전압 제어 발진기(140) 출력 신호(OUT_{ck})가 원하는 주파수와 맞는 것을 나타내고, 만약 전압 제어 발진기(140) 출력 신호(OUT_{ck})가 원하는 주파수보다 느릴 경우 $t_{ref} < t_{os}$, 전압 제어 발진기(140) 출력 신호(OUT_{ck})가 원하는 주파수보다 빠를 경우 $t_{ref} > t_{os}$ 의 조건을 만족하게 된다.
- [0041] 도 3은 도 1에 예시된 오프셋 주파수 검출기(offset FD)(일명, 제2 위상 주파수 검출기)(131)에 대한 개략적인 블록도이다. 도 3을 참조하면, 제2 위상 주파수 검출기(131)는 시간-디지털 변환기(TDC)(210), 코드 검출기(220), 업/다운 카운터(230)를 포함한다.
- [0042] 시간-디지털 변환기(TDC)(210)는 입력된 시간 정보를 디지털로 변환한 후, 이를 기준 클럭 신호에 기초하여 샘플링하여 두 출력 버스(THEM_POS, THEM_NEG)로 출력한다.
- [0043] 코드 검출기(220)는 시간-디지털 변환기(TDC)(210)의 출력 신호들(THEM_POS, THEM_NEG)을 비교하여 업/다운 모드 결정 신호를 생성한다.
- [0044] 업/다운 카운터(230)는 코드 검출기(220)에서 생성된 업/다운 모드 결정 신호에 기초하여 업/다운 신호를 출력한다.
- [0045] 도 4는 도 3에 예시된 코드 검출기(220)에 대한 개략적인 블록도이다. 도 4를 참조하면, 코드 검출기(220)는 샘플러(221), 쉬프터(222), 모드 결정부(223)를 포함한다.
- [0046] 샘플러(221)는 기준 주파수를 이용하여 상기 시간-디지털 변환기(TDC)의 출력 신호들(THEM_POS, THEM_NEG)을 샘플링하여 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)로 변환한다. 도 5의 (a)를 참조하면, 인젝션 노드(Injection node)는 '0001111100000000'이고, 롱텀 노드(Long-term node)는 '0001111110000000'이고, 도 5의 (b)를 참조하면, 인젝션 노드(Injection node)는 '0001111100000000'이고, 롱텀 노드(Long-term node)는 '0001111100000000'이다.
- [0047] 쉬프터(222)는, 도 5의 예에서와 같이, '1'과 '0'으로 표현되는 인젝션 노드(Injection node)와 롱텀 노드(Long-term node)를 각각 이동시켜 최하위 비트(LSB)가 '1'로 시작하는 신호들(Sh_Injection node, Sh_Long-term node)로 변환한다. 도 5의 (a) 및 (b)를 참조하면 모두 좌측으로 3비트 만큼씩 이동한 것을 알 수 있다.
- [0048] 모드 결정부(223)는 쉬프터(222)에서 출력되는 제1 및 제2 신호(Sh_Injection node, Sh_Long-term node)를 분

석하여 출력 주파수가 기준 주파수보다 빠르지 느린지를 결정하고, 그 결과에 기초하여 상기 업/다운 카운터의 모드를 결정한다. 이를 위해, 모드 결정부(223)는 쉬프터(222)에서 출력되는 제1 신호(Sh_Injection node)의 비트값이 '1'에서 '0'으로 바뀌는 비트를 검출하여 제1 버스(En_Injection node)에 저장하고, 상기 쉬프터에서 출력되는 제2 신호(Sh_Long-term node)의 비트값이 '1'에서 '0'으로 바뀌는 비트를 검출하여 제2 버스(En_Long-term node)에 저장한다. 한편, 제3 버스(En_Long-term node)는 제2 신호(Sh_Long-term node)의 비트값이 '1'에서 '0'으로 바뀌는 비트 및 그 이후 비트를 모두 '1'로 바꾸어 저장한다. 마지막으로, 모드 버스(Mode)는 제1 버스(En_Injection node)와 제3 버스(En_Long-term node)의 비트값들을 대응된 비트별로 논리곱(AND)한 결과를 저장한다. 이 때, 모드 버스(Mode)의 모든 비트 값이 0인 경우 전압 제어 발진기(도 1의 140)의 출력 주파수가 느리다는 것을 의미한다. 따라서, 업/다운 카운터(도 3의 230)의 출력을 증가시키는 방향으로 모드를 결정한다. 한편, 모드 버스(Mode)의 모든 비트 값이 0이 아니라, 1이 포함된 경우 전압 제어 발진기(도 1의 140)의 출력 주파수가 빠르다는 것을 의미한다. 따라서, 업/다운 카운터(도 3의 230)의 출력을 감소시키는 방향으로 모드를 결정한다.

- [0049] 도 5는 도 4에 예시된 코드 검출기를 이용하여 업/다운 카운터의 모드를 결정하기 위한 방법을 설명하기 위한 도면이다. 도 5의 (a)는 마지막 모드 버스(Mode) 버스의 모든 비트값이 '0'이므로, 발진기의 출력 주파수가 느린 경우를 나타내고, 도 5의 (b)는 마지막 모드 버스(Mode)의 비트값들 중 하나(7번째 비트값)가 '1'이므로, 발진기의 출력 주파수가 빠른 경우를 나타낸다.
- [0050] 도 6은 본 발명의 일 실시 예에 따른 위상 고정 루프의 위상 고정 방법에 대한 처리 흐름도이다. 도 1 및 도 6을 참조하면, 본 발명의 일 실시 예에 따른 위상 고정 루프의 위상 고정 방법은 다음과 같다.
- [0051] 먼저, 단계 S110에서는, 제1 위상 주파수 검출기(FD)(121)가 개략적인 제1 주파수 차이를 검출한다. 즉, 위상 고정 루프(100)의 기준 클럭 신호(Ref_{ck})와 위상 고정 루프(100)의 출력 신호(OUT_{ck})를 비교하여 개략적인 주파수 차이(예컨대, 제1 주파수 차이)를 검출한다. 이 때, 위상 고정 루프(100) 출력 신호의 주파수가 너무 높은 경우 CMOS 로직을 동작시키기에 너무 빠를 수도 있으므로, 위상 고정 루프(100) 출력 신호의 주파수를 낮은 주파수로 변환하는 단계(미도시)와 위상 고정 루프(100)의 초기 분주비(N)를 유지하기 위해 상기 변환된 주파수에 기초하여 분주비를 변경하는 단계(미도시)를 더 포함할 수도 있다.
- [0052] 단계 S120에서는, 제1 전압 변환부(DAC1)(122)가 상기 제1 주파수 차이에 기초하여 전압 제어 발진기(140)의 제어 전압(예컨대, 제1 제어 전압)을 생성하여 출력한다.
- [0053] 단계 S130에서는, 제2 위상 주파수 검출기(Offset FD)(131)가 기준 클럭 신호(Ref_{ck})의 라이징 엣지(rising edge) 및 폴링 엣지(falling edge) 각각과 전압 제어 발진기(140) 출력 신호의 라이징 엣지(rising edge)를 비교한다. 이 때, 전압 제어 발진기(140) 출력 신호는 제1 루프(120)에서 출력된 제1 제어전압에 기초하여 제어된 후 출력된 신호이다.
- [0054] 단계 S140에서는, 제2 위상 주파수 검출기(Offset FD)(131)가 기준 클럭 신호(Ref_{ck})의 라이징 엣지(rising edge)와 전압 제어 발진기(140) 출력 신호의 라이징 엣지(rising edge)의 차이인 제1 차이값($diff_1$)을 도출한다.
- [0055] 단계 S150에서는, 제2 위상 주파수 검출기(Offset FD)(131)가 기준 클럭 신호(Ref_{ck})의 폴링 엣지(falling edge)와 전압 제어 발진기(140) 출력 신호의 라이징 엣지(rising edge)의 차이인 제2 차이값($diff_2$)을 도출한다.
- [0056] 단계 S160에서는, 제2 위상 주파수 검출기(Offset FD)(131)가 상기 제1 차이값($diff_1$)과 상기 제2 차이값($diff_2$)을 비교한다.
- [0057] 단계 S170에서는, 제2 위상 주파수 검출기(Offset FD)(131)가 단계 S160의 비교 결과에 기초하여 제2 주파수 차이를 검출한다.
- [0058] 단계 S180에서는, 제2 전압 변환부(DAC2)(132)가 상기 제2 주파수 차이에 기초하여 전압 제어 발진기(140)의 제어 전압(예컨대, 제2 전압)을 생성하여 출력한다.
- [0059] 한편, 상술한 본 발명의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다.

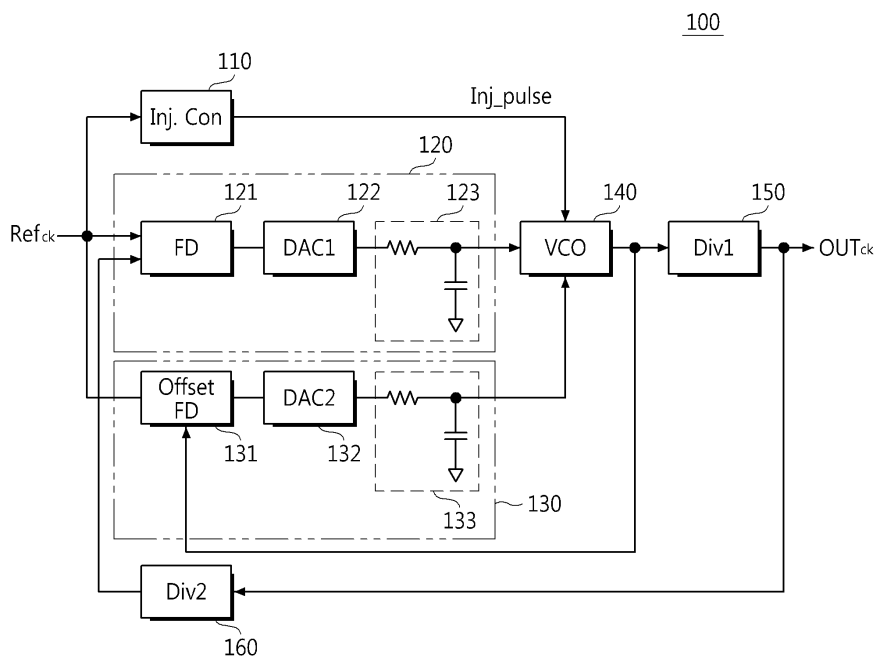
[0060] 상기 컴퓨터로 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등)를 포함한다.

[0061] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다.

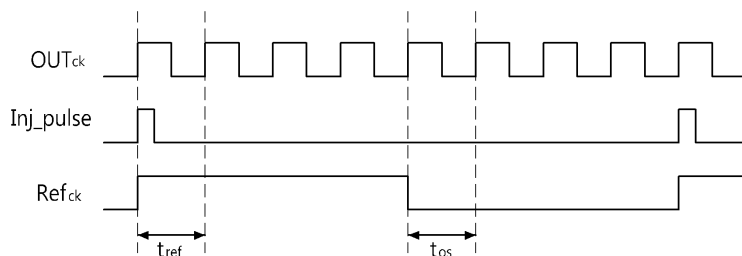
[0062] 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

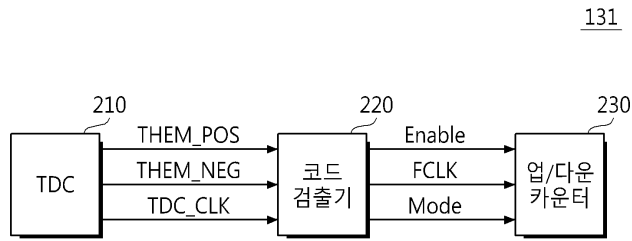
도면1



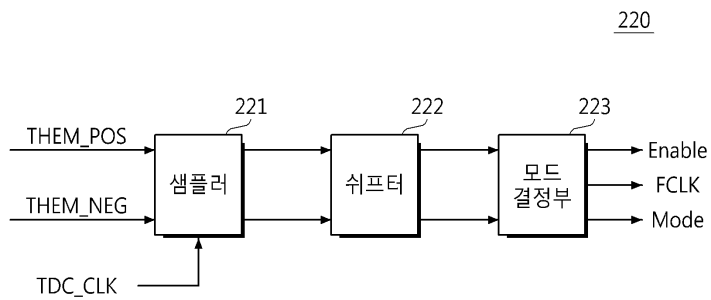
도면2



도면3



도면4



도면5

Slow case (Need to up)

	LSB	MSB
Injection node	0001111110000000	
Long-term node	0001111111000000	
Sh_Injection node	1111100000000000	
Sh_Long-term node	1111110000000000	
En_Injection node	0000100000000000	
En_Long-term node_Eq	0000001000000000	
En_Long-term node	0000001111111111	
Mode	0000000000000000	

(a)

Fast case (Need to down)

	LSB	MSB
Injection node	0001111111000000	
Long-term node	0001111110000000	
Sh_Injection node	1111111000000000	
Sh_Long-term node	1111100000000000	
En_Injection node	0000001000000000	
En_Long-term node_Eq	0000100000000000	
En_Long-term node	0000111111111111	
Mode	0000001000000000	

(b)

도면6

