

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 19/02 (2006.01)

H01L 27/00 (2006.01)

H03K 19/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 03810086. X

[45] 授权公告日 2008 年 1 月 9 日

[11] 授权公告号 CN 100361389C

[22] 申请日 2003.3.14 [21] 申请号 03810086. X
[30] 优先权

[32] 2002. 3. 21 [33] DE [31] 10212640.2

[86] 国际申请 PCT/DE2003/000843 2003.3.14

[87] 国际公布 WO2003/081671 德 2003.10.2

[85] 进入国家阶段日期 2004.11.4

[73] 专利权人 波尔伊克两合公司

地址 德国埃朗根

[72] 发明人 于尔根·菲克 沃尔特·菲克斯
安德烈亚斯·厄尔曼

[56] 参考文献

JP5-152560A 1993.6.18

审查员 李燕东

[74] 专利代理机构 北京市柳沈律师事务所
代理人 王志森 黄小临

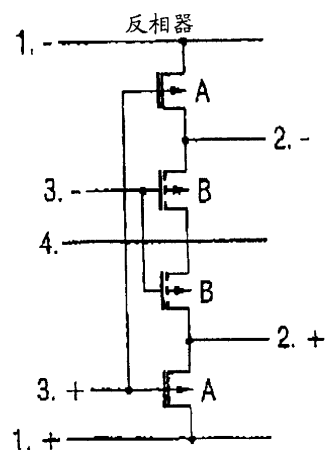
权利要求书 1 页 说明书 5 页 附图 5 页

[54] 发明名称

包含有机场效应晶体管的逻辑元件

[57] 摘要

本发明使得能够第一次制造出由有机场效应晶体管组成的快速逻辑门，尽管采用的是常规的 p 型 MOS 技术。这主要是由于具有极薄半导体层的 OFET 的早饱和效应，还由于采用具有特殊特性的 OFET 作为有机逻辑元件以及包含这些逻辑元件的新颖的电路布局。



1. 一种逻辑门, 至少包含一个第一和一个第二有机场效应晶体管 OFET, 其中第一 OFET 为 p 型 OFET, 第二 OFET 可以用在逻辑门中作为电阻; 以及作为对所述第二 OFET 中的有机半导体层的特殊处理的结果, 没有施加栅极电位的所述第二 OFET 具有仅比 ON 电流低一个量级的 OFF 电流, 这样第二 OFET 仍可以通过施加正的栅极电位关断。

2. 如权利要求 1 所述的逻辑门, 其特征在于, 第一 OFET、或者第一和第二 OFET 具有拥有纳米量级厚度的半导体层或负阈值电压。

3. 如权利要求 2 所述的逻辑门, 其特征在于, 所述半导体层具有 5~30 纳米的厚度。

4. 如权利要求 2 所述的逻辑门, 其特征在于, 所述半导体层具有 7~25 纳米的厚度。

5. 如权利要求 2 所述的逻辑门, 其特征在于, 所述半导体层具有 10~20 纳米的厚度。

6. 如权利要求 1 至 5 中任一所述的逻辑门, 其特征在于, 所述逻辑门包括至少四个 OFET。

7. 如权利要求 1 至 5 中任一所述的逻辑门, 其特征在于, 所述逻辑门具有两条不同电位的作为输入和输出的数据线。

包含有机场效应晶体管的逻辑元件

技术领域

本发明涉及一种包含场效应晶体管的逻辑元件，该逻辑元件的开关速度通过替换电阻而得到提高。

背景技术

逻辑门如 NAND、NOR 或“非门(inverter 或称反相器)”是数字集成电子电路的基础元件。集成电路的开关速度取决于逻辑门的速度而非各个晶体管的速度。在常规的硅半导体技术中，这些门利用 n 型和 p 型晶体管制造，因而极快动作。在有机电路的情形中，因为没有合适的稳定的 n 型半导体，所以达不到这一点。这意味着有机电路不得不包含用于代替 n 型晶体管的常规电阻。

由有机场效应晶体管制成的这些逻辑门的缺点在于它们不是开关速度较慢（当开关电路、即电流-电压特性曲线下的积分明显不同时），就是不能关断（当电流-电压图中的电压电平差太小时）。

发明内容

因而本发明的目的在于提供一种由有机场效应晶体管制成的逻辑门，其中用除传统电阻以外的其他元件代替缺失的“传统” n 型晶体管。

本发明涉及一种至少包含一个第一和一个第二有机场效应晶体管（OFET）的逻辑门，其中第一 OFET 为 p 型 OFET，第二 OFET 可以用在逻辑门中作为电阻。

根据本发明的一个实施例，第一 OFET 具有极薄的半导体层或负阈值电压。

根据本发明的另一实施例，逻辑门包括第一和第二 OFET，每个 OFET 具有极薄的半导体层或负阈值电压。

根据本发明的另一实施例，在逻辑门中没有施加栅极电位(gate potential)的第二 OFET 具有 OFF 电流，该电流的量值仅约比 ON 电流的低一个量级，

这样第二 OFET 可以通过施加正的栅极电位关断。

根据本发明的一个实施例，逻辑门包括至少四个 OFET（如图 6 所示）。

根据本发明的另一实施例，逻辑门 2 具有不同电位的数据线（输入和输出）。

“在门中可以用作电阻的 OFET”意味着在 OFET 具有较薄的有机半导体层（ca 从 5 到 30nm）的情形或有机半导体层的导电率通过特殊处理（如，联氨处理和/或特殊的氧化处理）而降低的 OFET 的情形中，OFF 电流的量值仅约比 ON 电流的低一个量级。

“OFF”电流是在栅极和源极之间没有电位时流动的电流，“ON 电流”（对于 p 型 OFET）是在栅极和源极之间存在负电位差时流动的电流。

“传统电阻”在此意味着具有线性电流-电压曲线的元件。

附图说明

图 1 图示出现有技术的 ON 曲线和 OFF 曲线的电流-电压图；

图 2 示出现有技术的第二种情况；

图 3 示出本发明的逻辑门的电流-电压曲线；

图 4 示出根据本发明的、包括具有极薄半导体层的 OFET 的逻辑元件的一些实施例；

图 5 示出本发明的逻辑门的电流-电压图；

图 6 示出本发明的反相器的电路；以及

图 7 示出本发明的环形振荡器的电路。

具体实施方式

下面参考附图详细解释本发明。

当采用传统电阻（如现有技术的图 1 和图 2 所示）时，逻辑门不是开关太慢（图 1），就是不能关闭（图 2）。

图 1 表示 ON 曲线 1 和 OFF 曲线 2 的电流-电压示意图。这些特性曲线分别对应开和关的状态。该曲线与电阻曲线 5 的交叉点 3 和 4 对应反相器的切换点。反相器的输出电压摆幅 6 非常大，这意味着反相器可以很容易地开关切换。但是，开关电流 7 和 8 不同（曲线以下的阴影区对应于开关电流）。这意味着反相器可以快速切换到“高”，但只能缓慢地切换到“低”。

图2表示现有技术,这是第二种情形,其中虽然开关电流9和10是同等量级的大小,但电压电平差11太小。结果是,相应的反相器不能完全关断。

图3最终表示本发明逻辑门的电流-电压曲线。

如电流电压曲线示于图3的逻辑门至少包括一个以极薄的半导体层代替传统电阻的OFET。

由于注意到但未全面解释的作用(因为极薄的半导体层或负阈值电压所致的极早饱和),具有极薄的半导体层、如5~30nm、优选7~25nm、最优选10~20nm的OFET具有特殊的输出特性区域,如图3所示。

电压电平差12很大,足以使得能够完全关断反相器,并且开关电流13和14在大小上相同,使得反相器可以迅速切换。另一个优点在于开关电流值,此类晶体管的开关电流值非常高。由于薄的半导体层,晶体管从上升沿15非常陡地通过进入到饱和区16。输出特性的这种状况使得可以在呈现很大充电电压的常规的p型MOS技术中构成逻辑电路。其结果是元件的开关速度很高。本发明的目的在于利用这种作用制造快速逻辑门。尽管利用常规的p型MOS技术,这些门速度快且可以很容易地同时关断。

传统电阻的替换也可以通过OFET的半导体层的特殊处理并利用关于逻辑器件的特殊电路布局来完成。

典型的OFET在没有施加栅极电位地工作时具有非常低的OFF电流。

有机半导体的特殊处理可以导致OFF电流的量值仅约比ON电流的低一个量级(例如通过联氨(hydrazine)处理和/或特殊的氧化处理)。然后,这种特殊的OFET仍可以通过施加正的栅极电位而关断。这提供了一种可以通过负的栅极电位导通并通过正的栅极电位关断的OFET(如n型晶体管)。此作用为本发明利用(除了前述由极薄的半导体层引起的作用之外),以便制造快速逻辑器件。这些逻辑器件的基本元件是至少两个OFET的串连连接,其中的电流沟道尺寸不同,使得没有施加栅极电位,一个OFET的电流沟道显然比另一个OFET有更大传导性。其结果是,施加到两个电流沟道的供电电压只在有较小传导性的电流沟道的情形下下降。

通过对具有有较小传导性的电流沟道的OFET施加负的栅极电位并同时具有较强传导的电流沟道的OFET施加正的栅极电位而进行切换。

图5表示这种逻辑门的电流-电压曲线。由于特殊的电路布局或特殊的电路布局结合半导体层的处理,两种特性曲线都发生移位,造成高的电压电平

差，同时造成高的开关电流。反相器包括两个这种基本元件，例如至少四个晶体管。通过导通两个晶体管并同时关断其它的两个晶体管而实现反相器的切换操作。

下面参考几个实施例解释本发明。

首先，我们先来看两个涉及图 5 所示电流电压曲线的实施例。

图 6 表示反相器的电路，图 7 是环形振荡器的电路。为了获得逻辑功能元件，需要两对晶体管，因为需要正电压关断一个晶体管，并同时用负电压导通另一个晶体管。为了获得这种不同的电压，互连前述的两个基本原件，使得一个元件在其输出端将提供正电压，另一个元件提供负电压。因而基于这种新颖电路的反相器有两个输入端和两个输出端，每个输出端的电位将为零 (0V) 或为正电压或负电压 (+/-)。

图 6 表示反相器实施例，其中电路图是一个重要的因素。在点 1 处得到供电电压，这种情况下为 +/-V。点 4 接地。点 3 表示的点是反相器的输入端，点 2 表示的点是反相器的输出端。当在输出端 2 处没有电位时实现“低”逻辑。“高”逻辑意味着在反相器的输出端 2 处得到 +/-V。这也就是说，数据线包括两条线，每条线上有不同的电位。

C 型 MOS 采用分离的输入端，但分离之后电位相同。

与至少有四个 OFET 的前述反相器不同，例如常规的 c 型 MOS 反相器由两个晶体管组成。当输入端为 0V 时，晶体管 A 导通而另一个晶体管 B 不导通（因而供电电压在 2 处下降）。当有负电位时，晶体管 A 将不导通，晶体管 B 导通（因而在 1 处获得供电电压）。

图 7 表示环形振荡器。对于此电路，通过将一个反相器的输出端连接到下一个反相器的输入端而互连奇数个反相器。然后，最后一个反相器以同样方式连接到第一反相器，从而形成环形振荡器。环形振荡器的目的是通过恒定地切换后续反相器使得信号能连续通过环形振荡器。

图 4 表示包括具有极薄半导体层的 OFET 的逻辑元件的一些实施例。

反相器 22、NOT-OR 23、NOT-AND 24、环形振荡器 25。图形符号 21 表示 p 型 OFET。

反相器 22 可以是连接到电阻的晶体管。施加到输入端的信号（“高”或“底”）被反转（反向）并可在输出端得到（“高”或“低”）。为了获得逻辑 NOT-OR，可以并联两个晶体管。通过按照表（“低” = “0”，“高” = “1”）

施加输入电压，这种状态通到输出端。可以通过串连连接晶体管以模拟的方式实现 NOT-AND。

另一个实施例（未示出）是逻辑门，如触发器，可以由这些 OFET 形成。

有利的情况是，通过（溅射）涂覆、刮刀涂覆(knife coating)、印刷或其它一些作为后续处理进行的制造工艺来制造逻辑门。

本发明使得能够第一次制造出由有机场效应晶体管组成的快速逻辑门，尽管采用的是常规的 p 型 MOS 技术。这主要是由于具有极薄半导体层的 OFET 的早饱和效应，还由于采用具有特殊特性的 OFET 作为有机逻辑元件以及包含这些逻辑元件的新颖的电路布局。

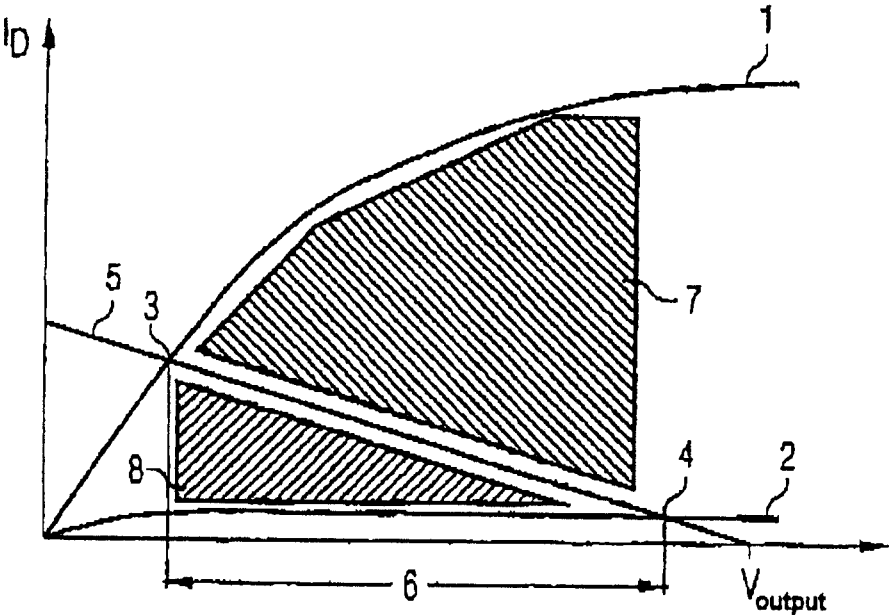


图 1

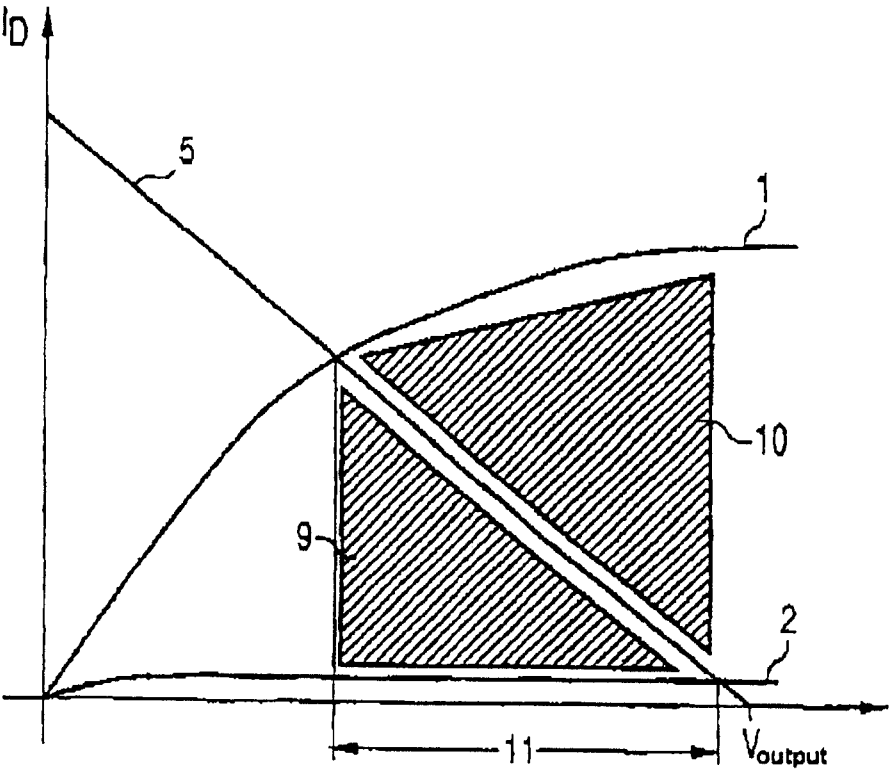


图 2

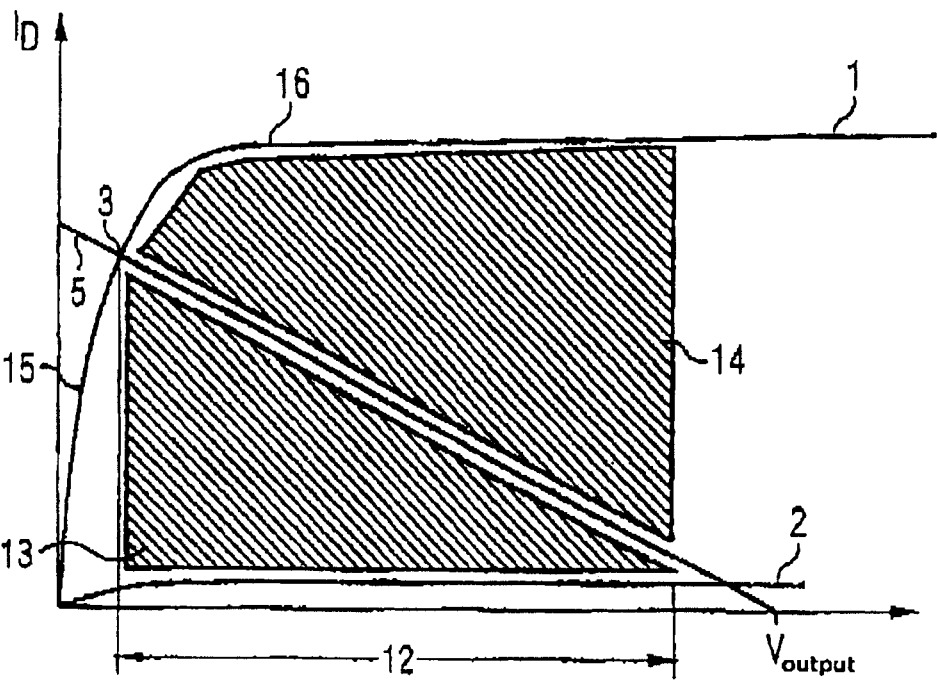


图 3

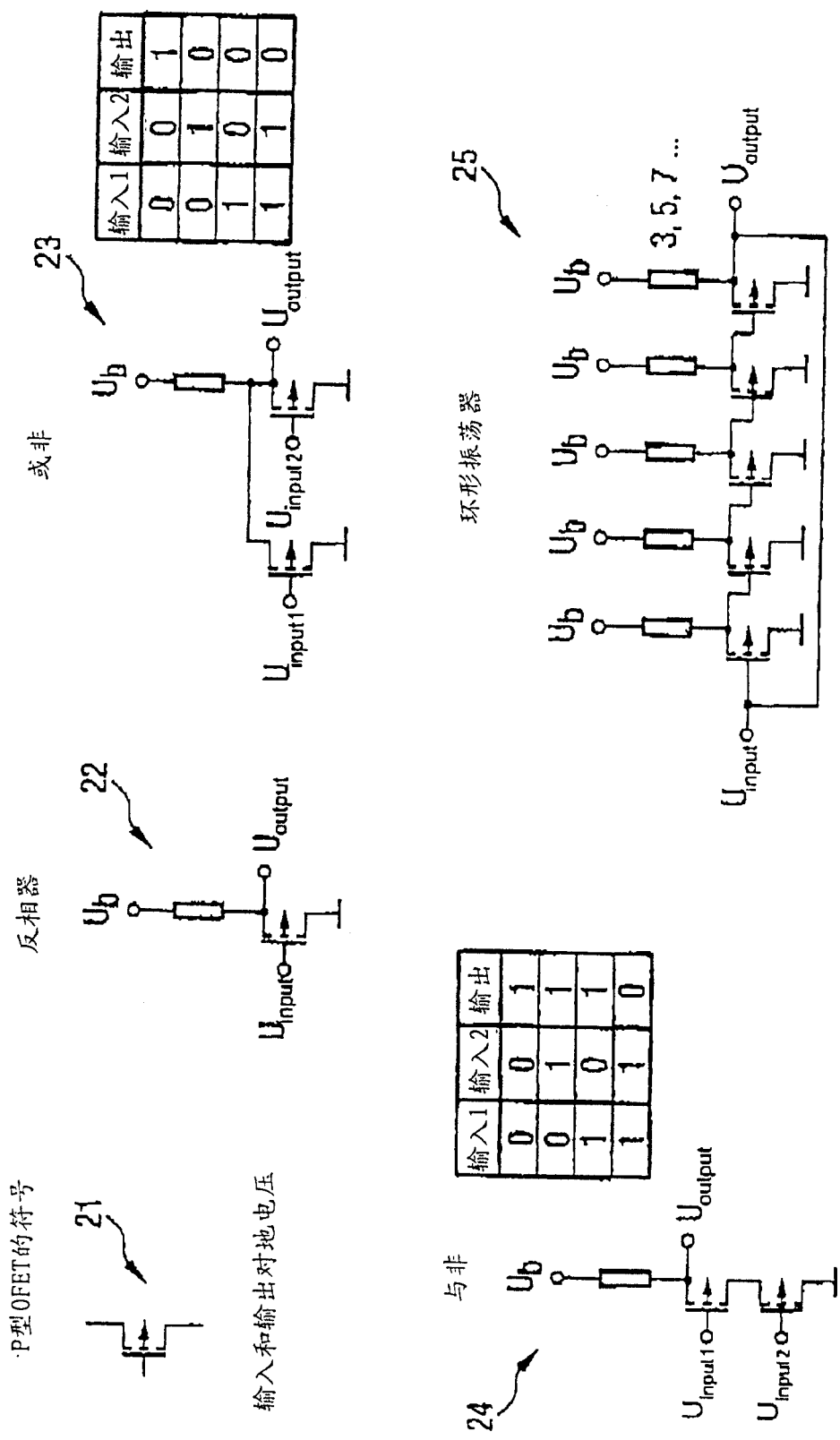


图 4

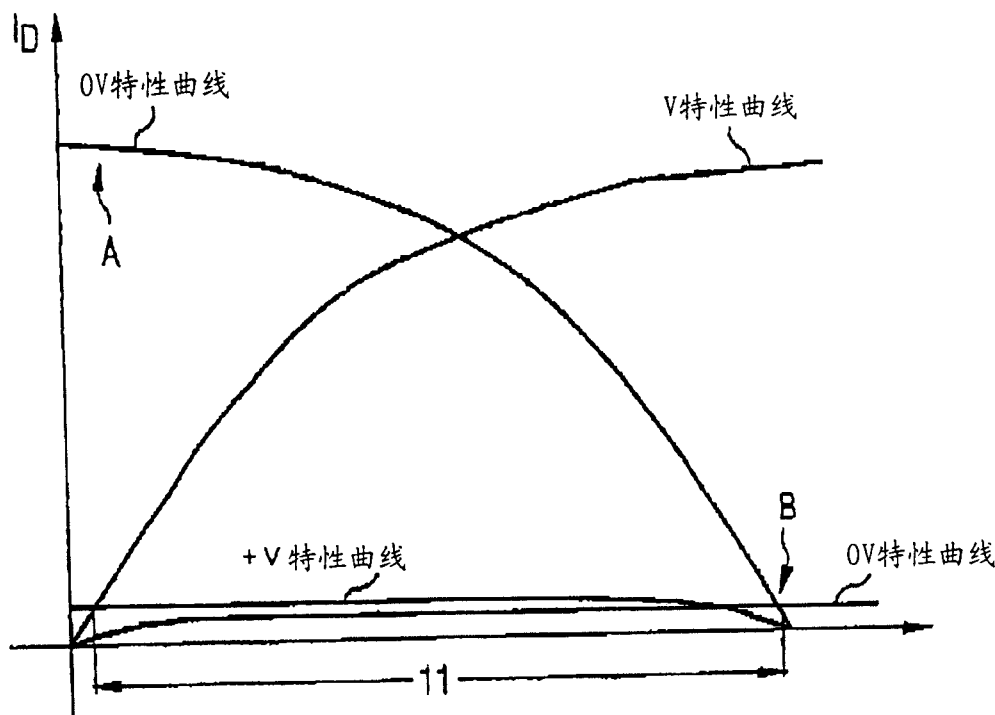


图 5

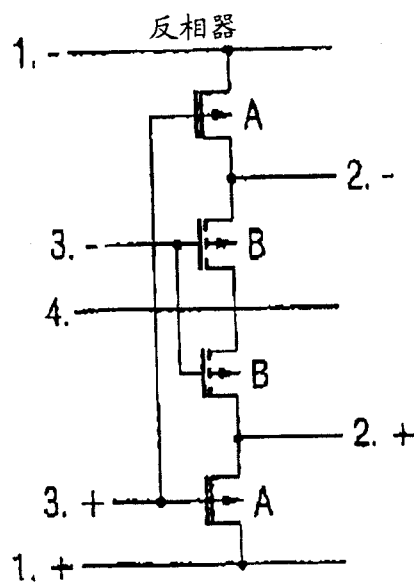


图 6

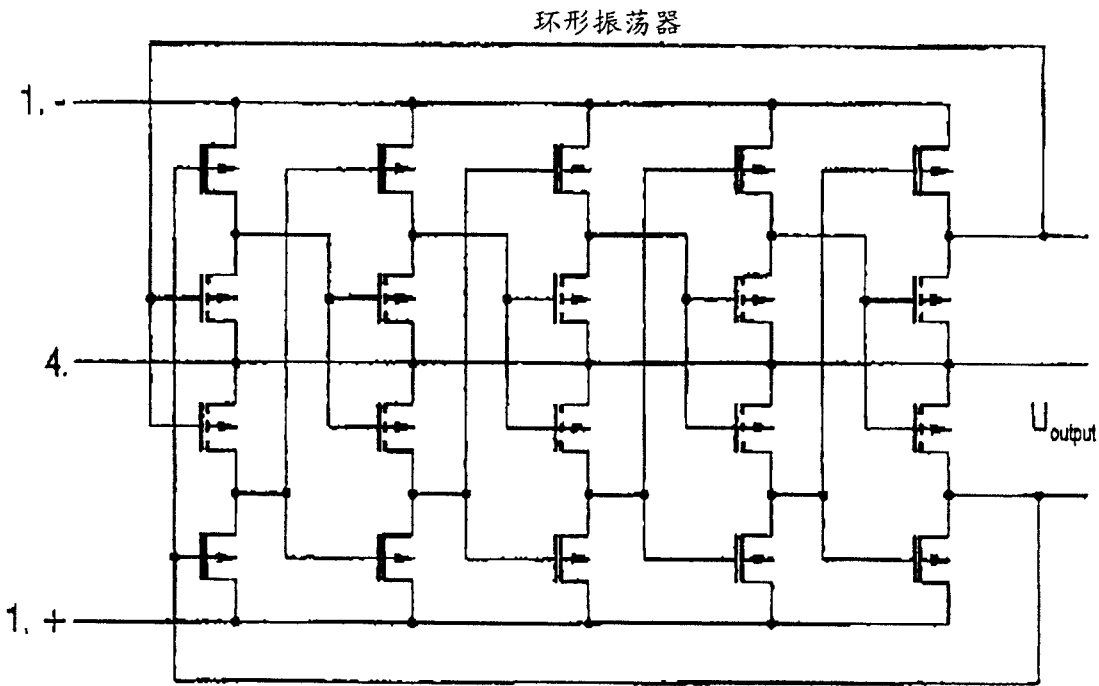


图 7