(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0098481
(43) 공개일자 2018년09월04일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01) *H01L 21/033* (2006.01)
(52) CPC특허분류
H01L 21/0274 (2013.01)
H01L 21/0332 (2013.01)
(21) 출원번호 10-2018-0095457(분할)
(22) 출원일자 2018년08월16일
심사청구일자 2018년08월16일
(62) 원출원 특허 10-2017-0052439
원출원일자 2017년04월24일
심사청구일자 2017년04월24일
(30) 우선권주장
14/088,569 2013년11월25일 미국(US)

(71) 출원인
타이완 세미콘덕터 매뉴팩쳐링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크, 리-신 로드 6, 넘버 8
(72) 발명자
시에 칭 화
중화민국 타이완 300-77 신츄 사이언스-베이스드 인더스트리얼 파크 리신 로드 6 8호
황 황 이
중화민국 타이완 300-77 신츄 사이언스-베이스드 인더스트리얼 파크 리신 로드 6 8호
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

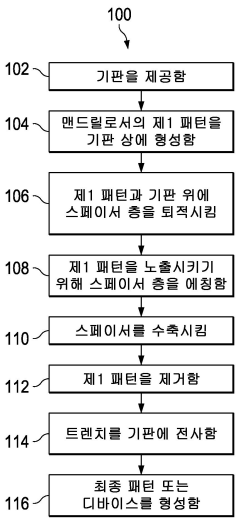
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **집적 회로 패터닝 방법**

(57) 요 약

본 발명은 목표 패턴을 형성하는 방법에 관한 것으로서, 제1 마스크를 이용하여 복수의 라인을 기판 위에 형성하는 단계와, 기판 위에, 복수의 라인 위에 그리고 복수의 라인의 측벽 상에 스페이서 층을 형성하는 단계를 포함한다. 또한, 본 발명의 방법은 복수의 라인과 기판을 노출시키기 위해 스페이서 층의 적어도 일부를 제거하는 단계를 포함한다. 또한, 본 발명의 방법은 복수의 라인의 측벽 상에 배치되는 스페이서 층을 수축시키는 단계와, 복수의 라인을 제거함으로써 패터닝된 스페이서 층을 기판 위에 제공하는 단계를 포함한다.

대 표 도 - 도1



(72) 발명자

양 넹 예

중화민국 타이완 300-77 신츄 사이언스-베이스드 인더스트리얼 파크 리신 로드 6 8호

텅 쯔 핑

중화민국 타이완 300-77 신츄 사이언스-베이스드 인더스트리얼 파크 리신 로드 6 8호

명 세 서

청구범위

청구항 1

집적 회로를 위한 목표 패턴을 형성하는 방법에 있어서,

제1 마스크를 이용하여 복수의 라인들을 기판 위에 형성하는 단계;

상기 기판 위에, 복수의 라인들 위에 그리고 복수의 라인들의 측벽들 상에 스페이서 층을 형성하는 단계;

상기 복수의 라인들의 상면과 상기 기판의 일부를 노출시키기 위해 건식 에칭 공정을 이용하여 상기 스페이서 층의 적어도 일부를 제거하는 단계로서, 상기 복수의 라인들의 측벽들 상에 스페이서 특징부들을 형성하고, 상기 스페이서 특징부들 사이에 그리고 상기 기판 상에 트렌치들이 형성되는, 상기 스페이서 층의 적어도 일부를 제거하는 단계;

상기 스페이서 층의 적어도 일부를 제거하는 단계 이후에, 상기 트렌치들의 폭이 상기 복수의 라인들의 폭과 동일해지도록 상기 복수의 라인들의 측벽들 상의 상기 스페이서 특징부들을 수축시키는 단계로서, 상기 스페이서 특징부들의 수축은 등방성이며, 상기 복수의 라인들과 상기 기판은 변경되지 않으면서 상기 스페이서 특징부들의 일부를 제거하기 위해 선택적으로 조정되는(tuned) 세정 용액을 이용하는 습식 세정 공정을 포함하는 것인, 상기 스페이서 특징부들을 수축시키는 단계; 및

상기 스페이서 특징부들을 수축시킨 후에, 상기 복수의 라인들을 제거함으로써 패터닝된 스페이서 층을 기판 위에 제공하는 단계

를 포함하는 집적 회로를 위한 목표 패턴 형성 방법.

청구항 2

제1항에 있어서,

적어도 상기 패터닝된 스페이서 층을 에칭 마스크로서 이용하여 상기 기판을 에칭하는 단계; 및

상기 에칭 후에 상기 패터닝된 스페이서 층을 제거하는 단계를 더 포함하는 집적 회로를 위한 목표 패턴 형성 방법.

청구항 3

제1항에 있어서,

상기 복수의 라인들을 형성하는 단계는,

상기 기판 위에 레지스트 층을 형성하는 단계; 및

상기 제1 마스크를 이용하여 상기 레지스트 층을 패터닝하는 단계를 포함하는 것인, 집적 회로를 위한 목표 패턴 형성 방법.

청구항 4

제1항에 있어서,

상기 건식 에칭 공정은 이방성 에칭 공정을 포함하는 것인, 집적 회로를 위한 목표 패턴 형성 방법.

청구항 5

제1항에 있어서,

상기 스페이서 층은 티타늄 질화물 또는 티타늄 산화물을 포함하고,

상기 습식 세정 공정은 플루오르화 수소산(HF) 또는 SC1 용액을 이용하는 것인, 집적 회로를 위한 목표 패턴 형

성 방법.

청구항 6

제1항에 있어서,

상기 스페이서 층은 실리콘 질화물을 포함하고,

상기 습식 세정 공정은 플루오르화 수소산(HF) 또는 인산($H_2PO_4^-$)을 이용하는 것인, 집적 회로를 위한 목표 패턴 형성 방법.

청구항 7

제1항에 있어서,

상기 스페이서 층을 형성하기 전에 상기 복수의 라인들을 트리밍하는 단계를 더 포함하는, 집적 회로를 위한 목표 패턴 형성 방법.

청구항 8

집적 회로를 위한 목표 패턴을 형성하는 방법에 있어서,

제1 마스크를 이용하여 기판을 패터닝함으로써 제1의 복수의 특징부들을 형성하는 단계;

상기 기판 위에, 상기 제1의 복수의 특징부들들 위에, 그리고 상기 제1의 복수의 특징부들의 측벽들 상에 스페이서 층을 형성하는 단계;

상기 제1의 복수의 특징부들의 상면과 상기 기판의 일부를 노출시키기 위해 상기 스페이서 층의 적어도 일부에 대해 건식 에칭 공정을 수행하는 단계로서, 상기 제1의 복수의 특징부들의 측벽들 상에 스페이서 특징부들을 형성하고, 상기 스페이서 특징부들 사이에 그리고 상기 기판 상에 트렌치들이 형성되는, 상기 건식 에칭 공정을 수행하는 단계;

상기 스페이서 층의 적어도 일부에 대해 건식 에칭 공정을 수행하는 단계 이후에, 상기 트렌치들의 폭이 상기 제1의 복수의 특징부들의 폭과 동일해지도록, 상기 제1의 복수의 특징부들과 상기 기판이 변경되지 않게 유지하면서 상기 스페이서 특징부들의 두께를 등방성으로 감소시키기 위해 상기 스페이서 특징부들에 대해 선택적으로 조정되는(tuned) 세정 용액을 이용하는 습식 세정 공정을 수행하는 단계; 및

상기 습식 세정 공정을 수행한 후에, 상기 제1 복수의 특징부들을 제거하는 단계

를 포함하는 집적 회로를 위한 목표 패턴 형성 방법.

청구항 9

집적 회로를 위한 목표 패턴을 형성하는 방법에 있어서,

제1 방향으로 제1 치수를 갖는 2개의 라인을 포토리소그래피 공정을 이용하여 기판 위에 형성하는 단계;

상기 기판 위에, 상기 2개의 라인 위에 그리고 상기 2개의 라인의 측벽들 상에 제1 재료를 성막하는 단계;

상기 2개의 라인의 상면과 상기 기판의 일부를 노출시키기 위해 상기 제1 재료에 대해 건식 에칭 공정을 수행하는 단계;

상기 제1 재료에 대해 건신 에칭 공정을 수행하는 단계 이후에, 상기 2개의 라인과 상기 기판은 변경되지 않으면서, 상기 2개의 라인의 측벽들 상에 배치된 상기 제1 재료가 상기 제1 방향으로 제2 치수만큼 이격되도록 상기 제1 재료의 두께를 등방성으로 감소시키기 위해 상기 제1 재료에 대해 선택적으로 조정되는(tuned) 세정 용액을 이용하는 습식 세정 공정을 수행하는 단계로서, 상기 2개의 라인들 사이에서 상기 제2 치수를 갖는 상기 제1 재료 간의 거리가 상기 2개의 라인들의 상기 제1 치수와 동일한 것인, 상기 습식 세정 공정을 수행하는 단계; 및

상기 습식 세정 공정을 수행한 후에, 상기 2개의 라인을 제거하는 단계를 포함하는 집적 회로를 위한 목표 패턴 형성 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 집적 회로 패터닝 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 집적 회로(IC) 산업은 급격히 성장하고 있다. IC 재료 및 설계에 있어서의 기술적인 진보는 IC의 세대를 초래하였는데, 각각의 세대는 기존 세대보다 더 소형이고 더 복잡하다. IC 진화의 과정에서, 기능적 밀도(즉, 칩 영역 당 상호연결 디바이스의 개수)는 대체로 증가되면서 기하학적 크기[즉, 제조 공정을 이용하여 생성될 수 있는 최소 구성요소(또는 라인)]는 감소하고 있다. 이런 축소 공정은 통상 제조 효율의 상승 및 관련 비용의 감소에 의해 이익을 제공한다. 또한, 이런 축소 공정은 IC 처리 및 제조의 복잡성도 증가시키고 있는데, 실현되어야 하는 이런 진보를 위해서는 IC 처리 및 제조에 있어서의 유사한 발전도 요구된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 개선된 집적 회로 패터닝 방법을 제공하는 것이다.

과제의 해결 수단

[0004] 상술된 본 발명의 목적은 청구항에 개시된 본원 발명에 의해 달성된다.

발명의 효과

[0005] 본 발명에 따르면, 금속 스페이서 푸팅을 감소시키고 에칭 잔류물을 제거할 수 있으며 가격이 저렴한 집적 회로 패터닝 방법을 제공할 수 있다.

도면의 간단한 설명

[0006] 도 1은 본 발명의 하나 이상의 실시예를 실시하기 위해 목표 패턴 또는 디바이스를 기판 상에 형성하는 방법의 흐름도.

도 2는 본 발명의 다양한 양태에 따른 예시적인 기판 및 기판 상부에 형성된 목표 패턴을 도시하는 도면.

도 3a 내지 도 9b는 본 발명의 실시예에 따른 도 1의 방법에 따라 도 2의 목표 패턴을 형성하는 방법의 상면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

[0007] 본 발명의 양태들은 첨부된 도면을 참조하는 이하의 상세한 설명으로부터 가장 잘 이해될 것이다. 산업상의 표준 관행에 따라 다양한 도면들은 일정한 비율로 도시된 것은 아니다. 실제로, 다양한 구성요소들의 치수는 설명의 명료함을 위해 임의로 증감될 수도 있다.

[0008] 이하의 상세한 설명은 본 발명의 다양한 구성요소를 실시하기 위한 다양한 실시예 또는 예를 제공한다. 구성요소 및 장치의 특정한 예들이 본 발명의 단순화를 위해 이하에 제공된다. 물론, 그런 예들은 예일 뿐 제한적인 것이 아니다. 또한, 본 발명은 다양한 예들에서 도면부호 및/또는 용어를 반복할 수도 있다. 그런 반복은 단순화와 명료함을 위한 것일 뿐, 개시된 다양한 실시예 및/또는 구성 사이의 관계를 자체로 나타내는 것이 아니다. 또한, 이하의 상세한 설명에서 제2 공정 이전의 제1 공정의 수행은 제2 공정이 제1 공정 직후에 수행되는 실시예, 또는 추가의 공정이 제1 공정과 제2 공정 사이에 수행되는 실시예도 포함할 수 있다. 다양한 구성요소들은 단순화와 명료함을 위해 다른 스케일로 임의로 도시될 수도 있다. 또한, 이하의 상세한 설명에서 제2 구성요소 위의 또는 상의 제1 구성요소의 형성은 제1 구성요소와 제2 구성요소가 직접 접촉되게 형성되는 실시예, 또는 제2 구성요소와 제2 구성요소가 직접 접촉되지 않도록 추가의 구성요소가 제1 구성요소와 제2 구성요소 사이에 형성되는 실시예도 포함할 수 있다.

[0009] 또한, "아래" "하부" "위" "상부" 등과 같은 공간적으로 상대적인 용어들은 도면에 도시된 바와 같이 하나의 요

소 또는 구성요소의 다른 요소(들) 또는 구성요소(들)에 대한 관계를 나타내기 위해 본 명세서에 사용될 수 있다. 공간적으로 상대적인 용어들은 도면에 도시된 배향 이외에도 사용시 장치의 다른 배향 또는 작업을 포함하는 것이다. 예컨대, 도면에 도시된 장치가 뒤집힌 경우, 다른 요소 "아래"에 있는 것으로 도시된 요소는 다른 요소 또는 구성요소 "위에" 배향될 수 있다. 따라서, 예시적인 용어 "아래"는 위 그리고 아래의 배향 양자 모두를 포함할 수 있다. 장치는 달리(90도로 회전되거나 다른 배향으로) 배향될 수도 있기 때문에, 본 명세서에 사용된 공간적으로 상대적인 기술 용어들은 유사하게 해석될 수도 있다.

[0010] 전체적으로 본 발명은 193㎚ 침지 리소그래피 또는 다른 적절한 리소그래피 기술을 이용하여 14 나노미터(㎚), 10㎚ 등과 같이 후기 공정 노드에서 집적 회로 패턴 밀도를 향상시키기 위해 스페이서 기술을 이용하는 것에 관한 것이다.

[0011] 도 1을 이제 참조하면, 본 발명의 다양한 양태에 따른 목표 패턴 또는 디바이스를 형성하기 위한 방법(100)의 흐름도가 도시되어 있다. 방법(100) 이전에, 동안 및 후에 추가적인 작업이 제공될 수 있으며, 개시된 몇몇 작업은 본 발명의 방법의 추가적인 실시예를 위해 대체되거나, 제거되거나, 변경될 수 있다. 방법(100)이 이하에 기술될 것이다. 방법(100)은 예일 뿐, 첨부된 특허청구범위에 명시된 범주를 넘게 본 발명을 한정하는 것이 아니다.

[0012] 도 2는 예시적인 목표 패턴(200)을 도시한다. 목표 패턴(200)은 특징부(204a 내지 204c, 206a, 206b)를 포함한다. 예를 위해, 특징부(204a 내지 204c, 206a, 206b)는 X 방향으로 W의 그리고 Y 방향으로 L의 동일한 치수를 갖는 사실상 직사각형인 트렌치이다. 이들 특징부는 피치 P를 갖고 일렬로 배열된다. 목표 패턴(200)은 집적 회로(IC)의 다양한 구성요소를 형성하는데 이용될 수 있다. 일 실시예에서, 목표 패턴(200)은 다중 층 상호연결 구조체에 금속 라인을 형성하는데 이용된다. 다른 실시예에서, 목표 패턴(200)은 얕은 트렌치 격리(STI) 특징부를 위해 반도체 기판에 복수의 트렌치를 형성하는데 이용된다. 집적 회로의 밀도가 증가함에 따라, 몇몇 구성요소도 또한 마스크(또는 포토 마스크)의 해상도를 위해 함께 밀집될 수 있다. 이런 문제를 극복하기 위해, 스페이서 자체 정렬 패터닝 기술이 이용될 수도 있다. 본 발명의 실시예에서, 특징부(204a 내지 204c)는 마스크(또는 포토 마스크)를 이용하여 형성되지만, 특징부(206a, 206b)는 스페이서 특징부를 이용하여 형성될 것이다.

[0013] 이하의 상세한 설명에서, 목표 패턴(200)이 본 발명의 다양한 양태에 따른 마스크와 스페이서 특징부를 이용하여 형성되는 방법을 도시하는 도 3a 내지 도 9b와 함께 본 발명의 방법(100)(도 1 참조)이 기술된다. 도 3a 내지 도 9b 각각에서, 접미사 "a"(예컨대, 도 3a 참조)가 표시된 구성요소는 접미사 "b," "c" 등(예컨대, 도 3b 참조)으로 표시된 구성요소에 대한 단면도를 한정하는 점선을 포함한다.

[0014] 본 발명의 방법(100)(도 1 참조)은 기판(202)을 제공함으로써 작업 102에서 개시된다. 도 3a 및 도 3b를 참조하면, 본 발명의 실시예에서 기판(202)은 재료 층(214, 216)을 포함한다. 재료 층(214, 216)은 비정질 실리콘(a-Si), 실리콘 산화물, 실리콘 질화물(SiN), 무질소 반사 방지 코팅(NFARC), 스핀 온 유리(SOG), 티타늄 질화물, 또는 다른 적절한 재료 또는 조성물을 사용할 수 있다. 재료 층(214, 216)은 다양한 공정에 의해 형성될 수 있다. 예컨대, 재료 층(214)은 퇴적(deposition)과 같은 방법에 의해 다른 기판 위에 형성될 수도 있다. 일 실시예에서, 재료 층(216)은 열산화에 의해 형성된 실리콘 산화물을 포함할 수 있다. 일 실시예에서, 재료 층(216)은 화학 증착(CVD)에 의해 형성된 SiN을 포함할 수 있다. 예컨대, 재료 층(216)은 헥사클로로디실란(HCD 또는 Si_2Cl_6), 디클로로실란(DCS 또는 SiH_2Cl_2), 비스(삼차부틸아미노) 실란(BTBAS 또는 $C_8H_{22}N_2Si$), 및 디실란(DS 또는 Si_2H_6)을 포함하는 케미컬을 사용하는 CVD에 의해 형성될 수도 있다. 재료 층(214, 216)은 유사한 또는 상이한 방법에 의해 형성될 수도 있다. 상술된 재료 층(214, 216)의 예시적인 조성은 신규한 본 발명의 범주를 제한하는 것이 아니다.

[0015] 본 발명의 방법(100)(도 1 참조)은 포토리소그래피 공정을 포함하는 공정과 같은 적절한 공정을 통해 마스크를 이용하여 기판(202) 위에 맨드릴(mandrel) 라인을 형성함으로써 작업 104로 진행된다. 도 4a 및 도 4b를 참조하면, 맨드릴 라인(218a 내지 218c)은 기판(202) 위에 형성된다. 맨드릴 라인(218a 내지 218c) 각각은 특징부(204a 내지 204c)(도 2 참조)에 대응하는 마스크에 피치 P_m를 갖고 형성된다.

[0016] 일 실시예에서, 맨드릴 라인(218a 내지 218c)은 포토리소그래피 공정에서 네가티브 또는 파지티브 레지스트(또는 포토레지스트) 재료에 형성된다. 예시적인 포토리소그래피 공정은 네가티브 레지스트 층(218)을 재료 층(216) 위에 코팅하는 단계와, 레지스트 층(218)을 소프트 베이킹하는 단계와, 마스크를 이용하여 디프 자외선(DUV) 광에 레지스트 층(218)을 노출시키는 단계를 포함한다. 또한, 포토리소그래피 공정은 노출후 베이킹

(PEB) 단계와, 현상 단계와, 하드 베이킹하여 레지스트 층(218)의 비노출 부분을 제거하고 레지스트 층(218)의 노출 부분을 맨드릴 라인으로서 기판(202) 상에 남겨두는 단계를 포함한다. 다른 실시예에서, 맨드릴 라인(218a 내지 218c)은 유사한 포토리소그래피 공정에서 파지티브 레지스트 재료 층의 비노출 부분에 의해 형성될 수도 있다.

[0017] 몇몇 경우에, 마스크 내의 특징부는 목표 패턴(200)(도 2 참조)의 대응하는 특징부보다 클 수도 있다. 이런 경우, 작업 104는 X 방향과 Y 방향 양자 모두에서 특징부(218a 내지 218c)의 치수를 트리밍하도록 트리밍 공정을 더 포함할수도 있다.

[0018] 특징부(218a 내지 218c)가 포토리소그래피 공정에서 형성되는 경우, 푸팅(footing) 문제가 야기될 수도 있다. 도 4b에 도시된 바와 같이, 맨드릴 라인(218a)의 바닥부에서, 레지스트 재료(218)는 재료 층(216)과 함께 직각이 아닌 둔각을 형성한다. 푸팅이 문제가 되는 하나의 이유는 레지스트 재료(218)가 재료 층(216)에 부착되어 제거가 힘들어지는 것일 수 있다. 다른 이유는 피치 P_m은 너무 작지만 맨드릴 라인(218a 내지 218c)은 상대적으로 커서, 레지스트 현상 해상도로는 맨드릴 라인(218a 내지 218c)의 바닥부에 도달하기 어렵다는 것이다. 이런 문제는 집적 회로 패턴 밀도가 14㎚, 10㎚, 및 그 이상과 같이 후기 공정 노드에서 계속 증가하는 경우에 더 심해질 수 있다.

[0019] 본 발명의 방법(100)(도 1 참조)은 기판(202) 위에 그리고 맨드릴 라인(218a 내지 218c) 위로 걸쳐 스페이서 층(220)을 형성함으로써 작업 106으로 진행된다. 도 5a 및 도 5b를 참조하면, 스페이서 층(220)은 기판(202) 위에, 보다 구체적으로는 재료 층(216) 위에 형성된다. 또한, 스페이서 층(220)은 맨드릴 라인(218a 내지 218c) 위에 그리고 맨드릴 라인(218a 내지 218c)의 측벽 상에 형성된다. 스페이서 층(220)은 제1 두께 T_1을 갖는다. 스페이서 층(220)은 재료 층(216)과 맨드릴 라인(218a 내지 218c)과 상이한 하나 이상의 재료 또는 조성물을 포함한다. 일 실시예에서, 스페이서 층(220)은 티타늄 질화물, 실리콘 질화물, 실리콘 산화물 또는 티타늄 산화물과 같은 유전체 재료를 포함할 수도 있다. 스페이서 층(220)은 퇴적 공정과 같은 적절한 공정에 의해 형성될 수 있다. 예컨대, 퇴적 공정은 화학 증착(CVD) 공정 또는 물리 증착(PVD) 공정을 포함한다. 도 5b에 도시된 바와 같이, 부분적으로는 상술된 푸팅 문제로 인해, 재료 층(216) 위에 배치된 스페이서 재료는 특징부(218a 내지 218c)의 측벽 상에 배치된 스페이스 재료와 함께 직각이 아닌 둔각을 형성한다. 몇몇 경우에, 스페이서 층(220)의 퇴적은 푸팅 문제를 악화시킬 수도 있다.

[0020] 본 발명의 방법(100)(도 1 참조)은 맨드릴 라인(218a 내지 218c)과 재료 층(216)을 노출시키기 위해 스페이서 층(220)을 에칭함으로써 작업 108로 진행된다. 도 6a 및 도 6b를 참조하면, 맨드릴 라인(218a 내지 218c)의 상부면이 이 에칭 공정에 의해 노출되고 그리고 재료 층(216) 위에 배치된 스페이서 재료가 또한 부분적으로 제거되어, 맨드릴 라인(218a 내지 218c)의 측벽 상에 스페이서 특징부(220a 내지 220c)를 각각 제공한다. X 방향으로 치수 S_1을 갖는 2개의 트렌치(228a, 228b)가 스페이서 특징부들(220a 내지 220c) 사이에 형성된다. 일 실시예에서, 스페이서 층(220)의 에칭 공정은 건식(또는 플라즈마) 에칭과 같은 이방성 에칭을 포함한다. 예컨대, 건식 에칭 공정은 산소 함유 가스, 플루오르 함유 가스(예컨대, CF_4, SF_6, CH_2F_2, CHF_3 및/또는 C_2F_6), 염소 함유 가스(예컨대, Cl_2, $CHCl_3$, CCl_4 및/또는 BCl_3), 브롬 함유 가스(예컨대, HBr 및/또는 $CHBR_3$), 요오드 함유 가스, 다른 적절한 가스 및/또는 플라즈마, 및/또는 이들의 조합물을 실시할 수도 있다.

[0021] 또한 도 6a에 도시된 점선은 도 2의 목표 특징부(204a 내지 204c, 206a, 206b)이다. 특징부(218a 내지 218c)가 존재하는 위치에 형성되는 목표 특징부(204a 내지 204c)는 소정의 치수를 가질 것이다. 그러나, 트렌치(228a, 228b) 내에 형성되는 목표 특징부(206a, 206b)는 X 방향으로의 소정의 치수 W보다 사실상 작은 치수(S_1)를 가질 것이다. 이런 이유는 상술된 푸팅 문제(도 4b 및 도 5b 참조)에 부분적으로 기인한다. 또한, 스페이서 층(220)에 적용된 건식 에칭 공정은 스페이서 특징부의 상부 및 바닥부에서 상이한 에칭률을 가질 수도 있다. 몇몇 경우에, 특히 조밀한 스페이서 특징부를 갖는 경우에, 건식 에칭 공정은 스페이서 특징부의 바닥부에서보다 상부에서 더 많은 스페이서 재료를 제거할 수도 있다. 이로 인해 푸팅 문제가 더 악화되어, 목표 치수 W보다 사실상 작은 치수 S_1이 형성된다.

[0022] 본 발명의 방법(100)(도 1 참조)은 치수 W에 일치하도록 X 방향으로의 트렌치(228a, 228b)의 치수를 증가시키기 위해 스페이서 특징부(220a 내지 220c)를 수축(shrinking)시킴으로써 작업 110으로 진행된다. 본 실시예에서, 습식 세정 공정이 스페이서 특징부(220a 내지 220c)에 적용되어, 맨드릴 라인(218a 내지 218c)과 재료 층(216)의 실질적인 변경 없이 스페이서 특징부(220a 내지 220c)의 치수를 감소시킨다.

[0023] 도 7a 및 도 7b를 참조하면, 편의를 위해 감소된 스페이서 특징부는 도면부호 232a 내지 232c로 표시되어 있지만, 원래의 스페이서 특징부(220a 내지 220c)의 외부면의 일부(도 7b 참조)는 비교를 위해 점선으로 표시되어 있다. 습식 세정 공정의 결과로서, 트렌치(228a, 228b)는 사실상 일치하는 목표 특징부(206a, 206b)로 확대되어 있다. 본 실시예에서, 습식 세정 공정이 스페이서 재료를 부분적으로 제거하기 위해 선택적으로 조정되는 세정액을 도포하는 동안, 맨드릴 라인(218a 내지 218c)과 재료 층(216)은 사실상 변경되지 않은 상태로 유지된다. 스페이서 재료로서 티타늄 질화물 또는 티타늄 산화물을 사용하는 실시예에서, 습식 에칭 공정은 pH가 3 내지 6의 범위인 플루오르화 수소산(HF)과 같은 산용액, pH가 8 내지 10의 범위인 SC1 용액[예컨대, 수산화암모늄(NH_4OH), 과산화수소(H_2O_2) 및 물(H_2O)의 1:1:5 혼합물]과 같은 기본 용액을 적용한다. HF 또는 SC1 용액은 60℃ 이하의 온도, 예컨대 약 25℃ 내지 60℃의 온도에서 소정의 스페이서 재료에 대한 약 10 내지 30의 분당 옹스트롬의 에칭률을 제공한다. 더 높은 에칭률은 더 높은 온도, 예컨대 약 60℃ 내지 80℃의 온도에서 달성된다. 스페이서 재료로서 실리콘 질화물을 사용하는 다른 실시예에선, 습식 세정 공정은 pH가 3 내지 6의 범위인 HF 또는 인산($H_2PO_4^-$)과 같은 산용액이 적용되는데, 이런 산용액은 60℃ 이하의 온도, 예컨대 약 25℃ 내지 60℃의 온도에서 약 10 내지 20의 분당 옹스트롬에서 소정의 스페이서 재료에 대한 에칭률을 제공한다. 더 높은 에칭률은 더 높은 온도, 예컨대 약 60℃ 내지 80℃의 온도에서 달성된다. 스페이서 특징부(220a 내지 220c)의 축소 이외에도, 습식 세정 공정은 스페이서 에칭 공정으로 인한 임의의 잔류물을 재료 층(216)으로부터 제거하는 추가의 이점을 제공한다.

[0024] 본 발명의 방법(100)(도 1 참조)은 맨드릴 라인(218a 내지 218c)을 제거함으로써 작업 112로 진행된다. 도 8a 내지 도 8b를 참조하면, 맨드릴 라인(218a 내지 218c)이 제거되어 있다. 스페이서 특징부(232a 내지 232c)는 기판(202) 위에 5개의 트렌치(204a 내지 204c, 206a, 206b)를 형성한다. 맨드릴 라인(218a 내지 218c)은 맨드릴 라인(218a 내지 218c)을 선택적으로 제거하도록 조정되는 공정을 이용하여 제거되지만, 스페이서 특징부(232a 내지 232c)는 남겨진다. 일 실시예에서, 맨드릴 라인(218a 내지 218c)은 레지스트 재료를 사용하며, 맨드릴 라인(218a 내지 218c)을 제거하는 공정은 습식 스트리핑 또는 플라즈마 애싱(plasma ashing)을 이용한다.

[0025] 본 발명의 방법(100)(도 1 참조)은 이방성 에칭과 같은 적절한 공정을 이용하여 패턴을 스페이서 특징부(232a 내지 232c)로부터 재료 층(216)으로 전사함으로써 작업 114로 진행된다. 후속하여, 스페이서 특징부(232a 내지 232c)가 제거되어, 목표 패턴(200)(도 2 참조)에 일치하는 패턴이 재료 층(216)에 형성된다(도 9a 및 도 9b 참조).

[0026] 본 발명의 방법(100)(도 1 참조)은 패터닝된 재료 층(216)을 이용하여 최종 패턴 또는 디바이스를 형성하기 위해 작업 116으로 진행된다. 일 실시예에서, 목표 패턴은 다중 층 상호연결 구조의 금속 라인으로서 형성될 것이다. 예컨대, 금속 라인은 내부층 유전체(ILD) 층에 형성될 수도 있다. 이런 경우, 작업 116에서, 패터닝된 재료 층(216)을 이용하여 ILD 층에 복수의 트렌치를 형성하고, 금속과 같은 전도성 재료로 트렌치를 충전하고, 패터닝된 ILD 층을 노출시키기 위해 화학 기계적 연마와 같은 공정을 이용하여 전도성 물질을 연마함으로써, ILD 라인에 금속 라인을 형성한다.

[0027] 다른 실시예에서, 작업 116에서, 패터닝된 재료 층(216)을 이용하여 반도체 기판 상에 핀 구조 전계 효과 트랜지스터(FinFET) 구조를 형성한다. 이 실시예에서는, 작업 116에서 반도체 기판에 복수의 트렌치를 형성한다. 또한, 유전체 재료로 트렌치를 충전하기 위한 퇴적 단계와, 초과 유전체 재료를 제거하고 반도체 기판의 상부면을 평탄화하기 위한 (CMP와 같은)연마 단계를 포함하는 방법에 의해 얕은 트렌치 격리(STI) 특징부가 트렌치에 형성된다. 후속하여, STI 특징부를 리세싱하여(recess) 핀형(fin-like) 활성 구역을 형성하기 위해 선택적 에칭 공정이 유전체 재료에 적용된다.

[0028] 당업자들이 본 발명의 양태를 더 잘 이해할 수 있도록 몇몇 실시예에 대한 상술된 구성요소가 개시되어 있다. 당업자들은 본 명세서에 개시된 실시예의 동일한 목적 및/또는 이점을 달성하기 위해 다른 공정 및 구조를 설계하거나 변경하기 위한 기초로서 본 명세서의 내용을 용이하게 이용할 수 있을 것이다. 또한, 당업자들은 그런 등가 구성들은 본 발명의 기술 사상 및 범주를 벗어나지 않음을 알 것이며, 본 발명의 기술 사상 및 범주 내에서 다양한 변형예, 대체예 및 변경예를 실시할 수 있을 것이다.

[0029] 본 발명의 예시적인 일 양태는 집적 회로(IC)를 위한 목표 패턴을 형성하는 방법에 관한 것이다. 본 발명의 방법은 제1 마스크를 이용하여 복수의 라인을 기판 위에 형성하는 단계와, 기판 위에, 복수의 라인 위에 그리고 복수의 라인의 측벽 상에 스페이서 층을 형성하는 단계를 포함한다. 또한, 본 발명의 방법은 복수의 라인과 기

판을 노출시키기 위해 스페이서 층의 적어도 일부를 제거하는 단계를 포함한다. 또한, 본 발명의 방법은 복수의 라인의 측벽 상에 배치되는 스페이서 층을 수축시키는 단계와, 복수의 라인을 제거함으로써 패터닝된 스페이서 층을 기판 위에 제공하는 단계를 포함한다.

[0030] 본 발명의 예시적인 다른 양태는 집적 회로(IC)를 위한 목표 패턴을 형성하는 방법에 관한 것이다. 본 발명의 방법은 제1 마스크를 이용하여 기판을 패터닝함으로써 제1의 복수의 특징부를 형성하는 단계와, 기판 위에 그리고 제1의 복수의 특징부의 측벽 위에 스페이서 층을 형성하는 단계를 포함한다. 또한, 본 발명의 방법은 제1의 복수의 특징부를 노출시키고 상기 기판을 노출시키기 위해 스페이서 층의 적어도 일부를 이방성 에칭하는 단계를 포함한다. 또한, 본 발명의 방법은 스페이서 층의 두께를 제어가능한 방식으로 감소시키기 위해 화학 용액을 이용하여 스페이서 층을 세정하는 단계와, 제1의 복수의 특징부를 제거하는 단계를 포함한다.

[0031] 본 발명의 예시적인 또 다른 양태는 기판 상에 패턴을 형성하는 방법에 관한 것이다. 본 발명의 방법은 제1 방향으로 제1 치수를 갖는 2개의 라인을 포토리소그래피 공정을 이용하여 기판 위에 형성하는 단계를 포함한다. 또한, 본 발명의 방법은 기판 위에, 2개의 라인 위에 그리고 2개의 라인의 측벽 상에 제1 재료를 퇴적시키는 단계를 포함한다. 또한, 본 발명의 방법은 기판과 2개의 라인을 노출시키기 위해 제1 재료에 이방성 에칭 공정을 수행하는 단계를 포함한다. 또한, 본 발명의 방법은 제1 재료의 두께를 감소시켜 2개의 라인의 측벽 상에 배치되는 제1 재료가 제1 방향으로 제2 치수만큼 이격되도록 제1 재료에 습식 세정 공정을 수행하는 단계와, 2개의 라인을 제거하는 단계를 포함한다.

부호의 설명

[0032] 200 : 목표 패턴

202 : 기판

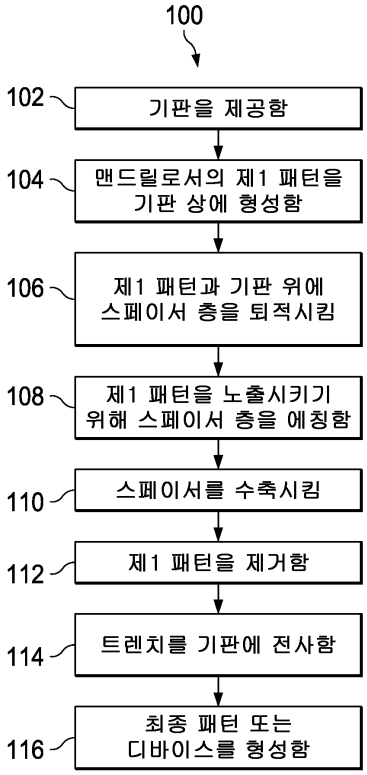
218a, 218b, 218c : 맨드릴 라인

216 : 재료 층

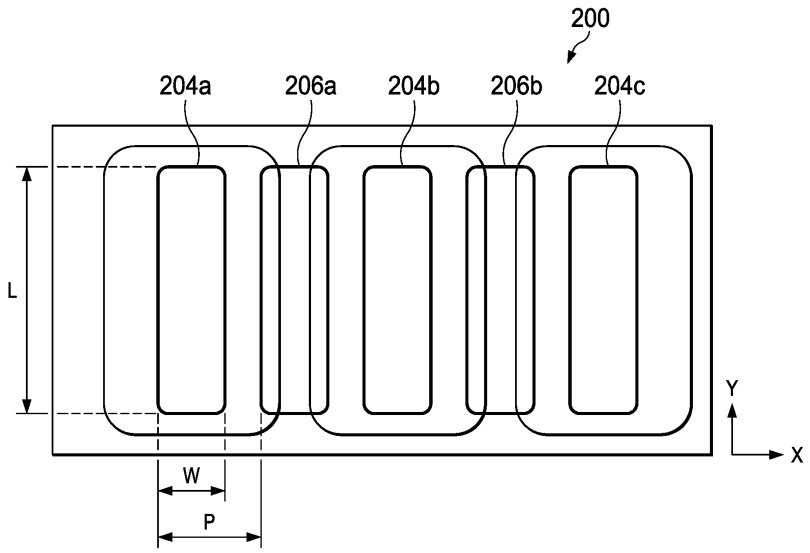
220 : 스페이서 층

도면

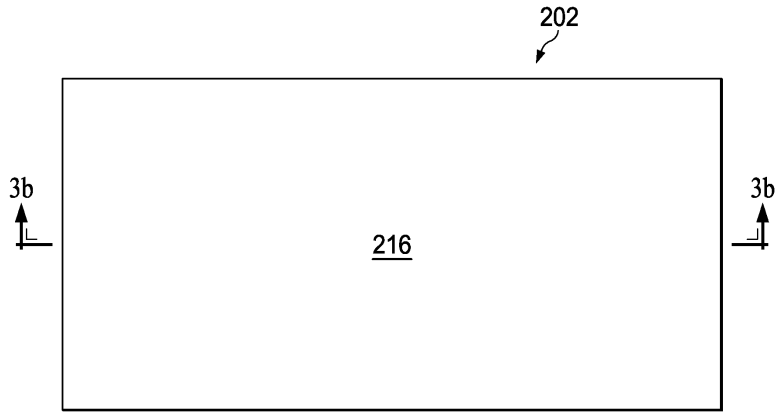
도면1


100
102
기판을 제공함
104
맨드릴로서의 제1 패턴을 기판 상에 형성함
106
제1 패턴과 기판 위에 스페이서 층을 퇴적시킴
108
제1 패턴을 노출시키기 위해 스페이서 층을 에칭함
110
스페이서를 수축시킴
112
제1 패턴을 제거함
114
트렌치를 기판에 전사함
116
최종 패턴 또는 디바이스를 형성함

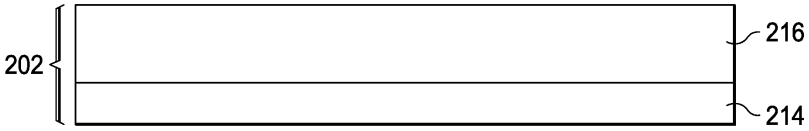
도면2


200
204a
206a
204b
206b
204c
L
W
P
Y
X

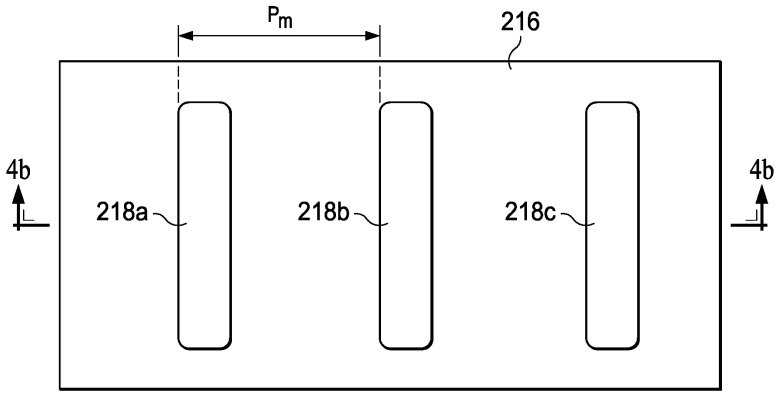
도면3a



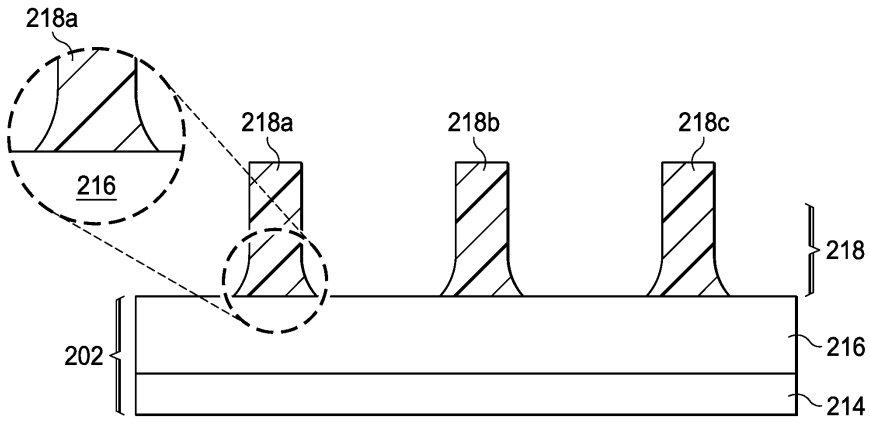
도면3b



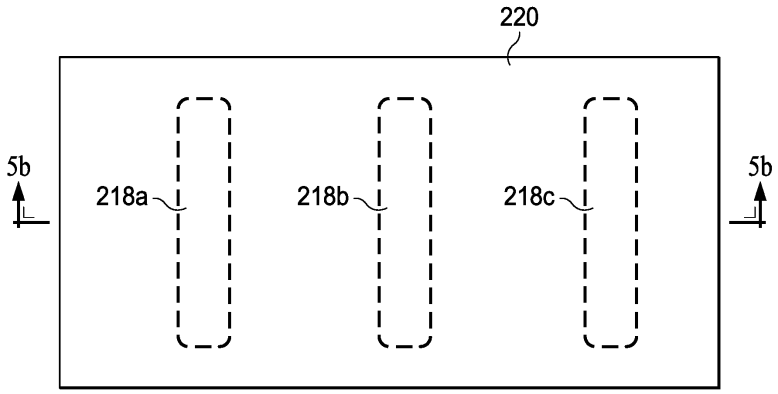
도면4a



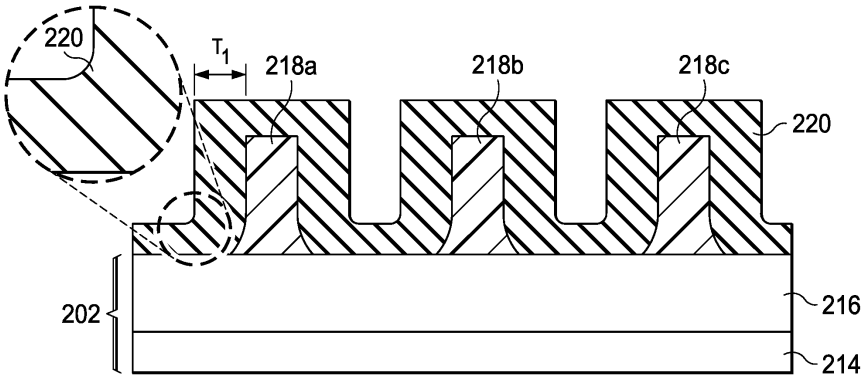
도면4b



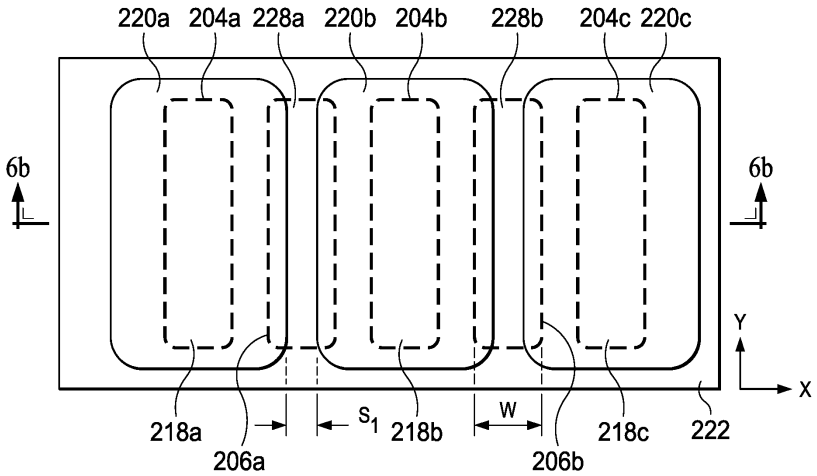
도면5a



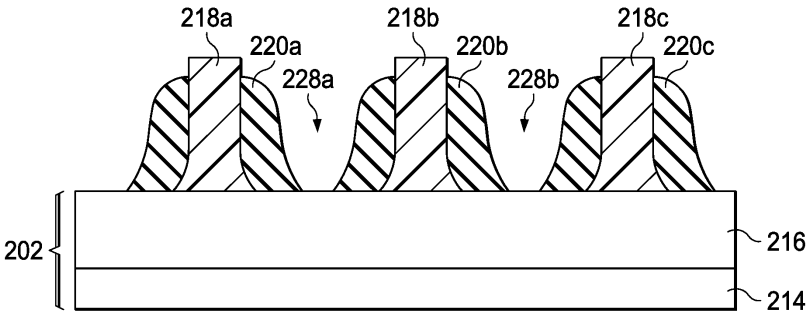
도면5b



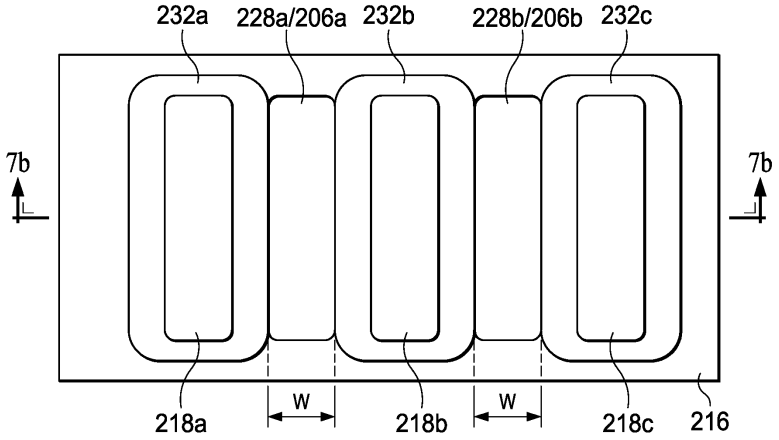
도면6a



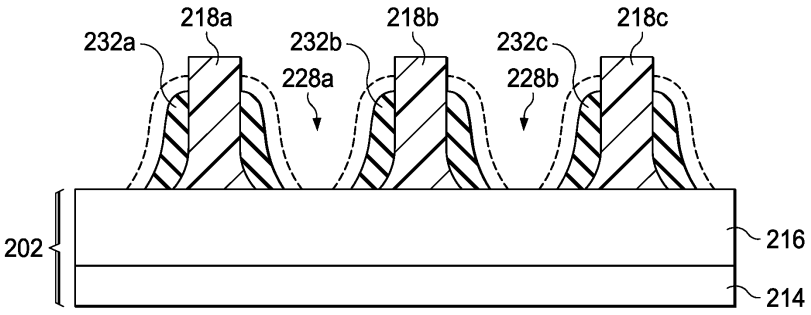
도면6b



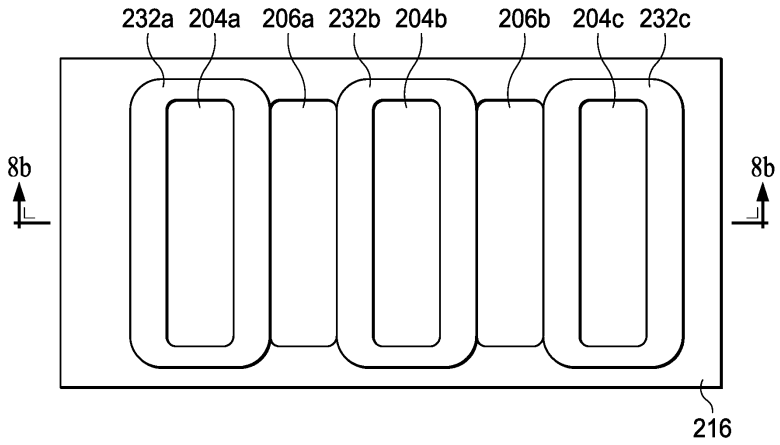
도면7a



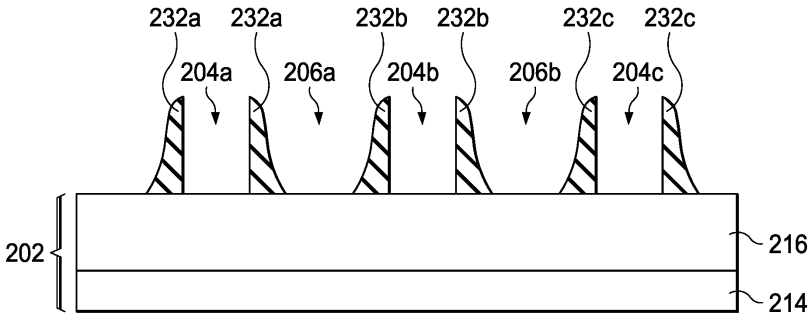
도면7b



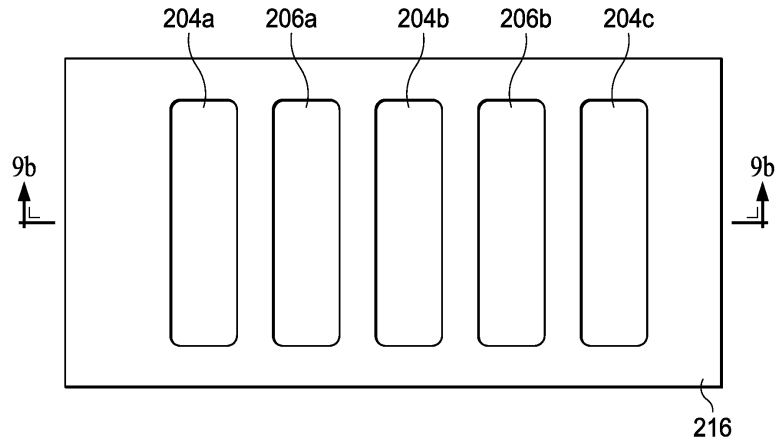
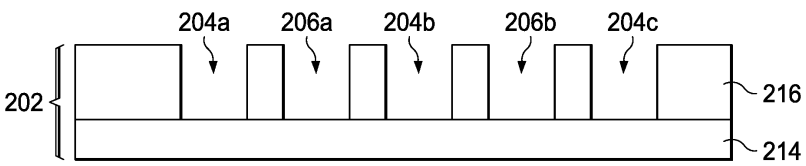
도면8a



도면8b



도면9a



도면9b