

第 90107946 號專利申請案

申請專利範圍修正本

(91年9月20日)

1. 一半導體封裝結構，其包含：

(a) 一導線架，其包括：

(a1) 一晶片座，其具有一位於周邊之上方置晶部 and 一位於中央之下方置晶部，且該上方置晶部與該下方置晶部間具有一高度差；

(a2) 複數支導腳，其係配置於該晶片座之旁側；

(b) 一第一半導體晶片，其具有一電路面和一非電路面；其中電路面上形成有複數個輸出入銲墊；而非電路面則黏貼至該晶片座的下方置晶部，且該第一半導體晶片之厚度小於該上方置晶部與該下方置晶部間之高度差；

(c) 一第二半導體晶片，其具有一電路面和一非電路面；其中電路面上形成有複數個輸出入銲墊；而非電路面則黏貼至該晶片座的上方置晶部，使得該第二半導體晶片與該第一半導體晶片形成一交叉堆疊式雙晶片架構；以及

(d) 複數條銲線，用以將該第一半導體晶片及該第二半導體晶片上的輸出入銲墊分別電性連接至相對應之導腳。

2. 如申請專利範圍第 1 項之半導體封裝結構，其中該

在 NO. 1 中修正

- 晶片座的下方置晶部係進而形成有至少一開口，用以防止該第一半導體晶片產生脫層現象。
3. 如申請專利範圍第 1 項之半導體封裝結構，其中該晶片座的下方置晶部係進而形成有至少一槽孔，用以防止該第一半導體晶片產生脫層現象。
 4. 如申請專利範圍第 1、2 或 3 項之半導體封裝結構，其中該第一半導體晶片的非電路面係藉由銀膠而黏貼至該晶片座的下方置晶部。
 5. 如申請專利範圍第 1、2 或 3 項之半導體封裝結構，其中該第二半導體晶片的非電路面係藉由銀膠而黏貼至該晶片座的上方置晶部。
 6. 如申請專利範圍第 1、2 或 3 項之半導體封裝結構，其中該些鐳線係為金線。
 7. 一半導體封裝製程，包含以下步驟：
 - (1) 預製一導線架，其包括：
 - 一晶片座，其具有一位於周邊之上方置晶部和一位於中央之下方置晶部，且該上方置晶部與下方置晶部間具有一高度差；
 - 複數支導腳，其係配置於該晶片座之旁側；
 - (2) 進行一第一置晶程序，藉以將一第一半導體晶片安置於該晶片座之下方置晶部上；
 - 其中該第一半導體晶片具有一電路面和一非電路面，該電路面上形成有複數個輸出入鐳墊，而非電路面則黏貼至該晶片座的下方置晶部，且該第一

半導體晶片之厚度係小於該上方置晶部與下方置晶部間之高度差；

(3)進行第一鉚線程序，藉以利用一組鉚線將該第一半導體晶片上的輸出入鉚墊分別電性連接至相對應之導腳；

(4)進行一第二置晶程序，藉以將一第二半導體晶片安置於該晶片座之上方置晶部上；

其中該第二半導體晶片具有一電路面和一非電路面；其中電路面上形成有複數個輸出入鉚墊；而非電路面則黏貼至該晶片座的上方置晶部，使得該第二半導體晶片與該第一半導體晶片形成一交叉堆疊式雙晶片架構；以及

(5)進行第二鉚線程序，藉以利用一組鉚線將該第二半導體晶片上的輸出入鉚墊分別電性連接至相對應之導腳。

8. 如申請專利範圍第 7 項之半導體封裝製程，其中於步驟(1)中，該晶片座的下方置晶部係進而形成有至少一開口，用以防止該第一半導體晶片產生脫層現。
9. 如申請專利範圍第 7 項之半導體封裝製程，其中於步驟(1)中，該晶片座的下方置晶部係進而形成有至少一槽孔，用以防止該第一半導體晶片產生脫層現。
10. 如申請專利範圍第 7、8 或 9 項之半導體封裝製程，其中於步驟(2)中，該第一半導體晶片的非電路面係藉由銀膠而黏貼至該晶片座的下方置晶部。

11. 如申請專利範圍第 7、8 或 9 項之半導體封裝製程，其中於步驟(4)中，該第二半導體晶片的非電路面係藉由銀膠而黏貼至該晶片座的上方置晶部。

12. 如申請專利範圍第 7、8 或 9 項所半導體封裝製程，其中於步驟(3)及(5)中，該些鐳線係為金線。

13. 一半導體封裝製程，包含以下步驟：

(1) 預製一導線架，其包括：

一晶片座，其具有一位於周邊之上方置晶部 and 一位於中央之下方置晶部，且該上方置晶部與下方置晶部間具有一高度差；

複數支導腳，其係配置於該晶片座之旁側；

(2) 形成至少一開口於該晶片座的下方置晶部上；

(3) 進行一第一置晶程序，藉以將一第一半導體晶片安置於該晶片座之下方置晶部上；

其中，該第一半導體晶片具有一電路面和一非電路面，該電路面上形成有複數個輸出入鐳墊，而非電路面則黏貼至該晶片座的下方置晶部，且該第一半導體晶片之厚度係小於該上方置晶部與下方置晶部間之高度差；

(4) 進行第一鐳線程序，藉以利用一組鐳線將該第一半導體晶片上的輸出入鐳墊分別電性連接至相對應之導腳；

(5) 進行一第二置晶程序，藉以將一第二半導體

晶片安置於該晶片座之下方置晶部；

其中該第二半導體晶片具有一電路面和一非電路面；其中電路面上形成有複數個輸出入鉚墊；而非電路面則黏貼至該晶片座的上方置晶部，使得該第二半導體晶片與該第一半導體晶片形成一交叉堆疊式雙晶片架構；以及

(6)進行第二鉚線程序，藉以利用一組鉚線將第二半導體晶片上的輸出入鉚墊分別電性連接至相對應之導腳。

- 14.如申請專利範圍第13項之半導體封裝製程，其中於步驟(3)中，該第一半導體晶片的非電路面係藉由銀膠而黏貼至該晶片座的下方置晶部。
- 15.如申請專利範圍第13項之半導體封裝製程，其中於步驟(5)中，該第二半導體晶片的非電路面係藉由銀膠而黏貼至該晶片座的上方置晶部。
- 16.如申請專利範圍第13項之半導體封裝製程，其中於步驟(6)中，該些鉚線係為金線。
- 17.如申請專利範圍第13項之半導體封裝製程，其中該晶片座之下方置晶部上的開口係為槽孔。