

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6608108号
(P6608108)

(45) 発行日 令和1年11月20日(2019.11.20)

(24) 登録日 令和1年11月1日(2019.11.1)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 N

H O 5 K 3/46 (2006.01)

H O 5 K 3/46 Q

H O 5 K 3/28 (2006.01)

H O 5 K 3/46 T

H O 5 K 3/34 (2006.01)

H O 5 K 3/46 N

H O 5 K 3/28 B

請求項の数 8 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2015-255103 (P2015-255103)
 (22) 出願日 平成27年12月25日(2015.12.25)
 (65) 公開番号 特開2017-118067 (P2017-118067A)
 (43) 公開日 平成29年6月29日(2017.6.29)
 審査請求日 平成30年10月10日(2018.10.10)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100105957
 弁理士 恩田 誠
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (72) 発明者 今藤 桂
 長野県長野市小島田町80番地 新光電気
 工業 株式会社 内
 (72) 発明者 吉澤 恵資
 長野県長野市小島田町80番地 新光電気
 工業 株式会社 内

最終頁に続く

(54) 【発明の名称】 配線基板、半導体装置及び配線基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

最上層の第1配線層と、

前記第1配線層と同一平面上に形成され、前記第1配線層と離間して形成された最上層の第2配線層と、

前記第1配線層及び前記第2配線層を被覆する保護絶縁層と、

前記保護絶縁層を厚さ方向に貫通し、前記第1配線層の上面の一部を露出する第1貫通孔と、

前記保護絶縁層を厚さ方向に貫通し、前記第2配線層の上面の一部を露出する第2貫通孔と、を有し、

前記第1貫通孔は、前記保護絶縁層の上面に形成され、内壁面が曲面に形成された凹部と、前記凹部の底部に形成され、前記凹部よりも平面形状が小さく形成された開口部とが連通されてなり、

前記第1貫通孔の内壁面には、深さ方向の中途に段差が形成されており、

前記第2貫通孔は、前記凹部よりも平面形状が大きく形成されており、

前記第2貫通孔の内壁面には、深さ方向の中途に段差が形成されていないことを特徴とする配線基板。

【請求項 2】

前記開口部から露出する前記第1配線層の上面に形成された表面処理層を有し、

前記表面処理層の上面は、前記凹部の内壁面の下端と前記開口部の内壁面の上端との接

続部に形成された角部よりも下側に位置していることを特徴とする請求項1に記載の配線基板。

【請求項 3】

前記開口部から露出する前記第 1 配線層の上面に形成された表面処理層を有し、

前記表面処理層の上面は、前記凹部の内壁面の下端と前記開口部の内壁面の上端との接続部に形成された角部よりも上側に位置していることを特徴とする請求項1に記載の配線基板。

【請求項 4】

前記表面処理層は、前記開口部に充填された基部と、前記凹部の底部に形成され、前記基部よりも平面形状が大きく形成された先端部とを有することを特徴とする請求項3に記載の配線基板。

【請求項 5】

前記表面処理層に接合されたはんだバンプを有することを特徴とする請求項2 ~ 4のいずれか一項に記載の配線基板。

【請求項 6】

請求項5に記載の配線基板と、

前記はんだバンプに接合された接続端子を有し、前記配線基板にフリップチップ実装された半導体チップと、を有することを特徴とする半導体装置。

【請求項 7】

最上層の第 1 配線層及び第 2 配線層を、同一平面上に互いに離間して形成する工程と、前記第 1 配線層及び前記第 2 配線層の一部を被覆する保護絶縁層を形成する工程と、フォトリソグラフィ法により、前記保護絶縁層の上面のうち前記第 1 配線層と平面視で重なる部分に、内壁面が曲面となる凹部を形成するとともに、前記保護絶縁層を厚さ方向に貫通して前記第 2 配線層の上面の一部を露出する第 2 貫通孔を形成する工程と、

レーザ加工法により、前記凹部の底部に、前記凹部よりも平面形状が小さく形成され、前記第 1 配線層の上面の一部を露出する開口部を形成し、前記凹部及び前記開口部が連通してなる第 1 貫通孔を形成する工程と、を有し、

前記第 2 貫通孔は、前記凹部よりも平面形状が大きく形成されることを特徴とする配線基板の製造方法。

【請求項 8】

前記開口部から露出する前記第 1 配線層の上面に表面処理層を形成する工程と、

前記表面処理層の上面にはんだボールを搭載する工程と、

リフロー処理により前記はんだボールを溶融し、前記表面処理層の上面にはんだバンプを形成する工程と、を有することを特徴とする請求項7に記載の配線基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板、半導体装置及び配線基板の製造方法に関するものである。

【背景技術】

【0002】

半導体チップ等の電子部品を配線基板に実装する場合には、配線基板の最表層がソルダレジストと呼ばれる絶縁材料によってはんだの付着や汚染等から保護される。この場合、ソルダレジストには、電子部品との接続に必要な電子部品搭載用のパッドを形成するために、ソルダレジストの下層に形成された配線層を露出させるための開口部が形成される（例えば、特許文献 1，2 参照）。

【0003】

すなわち、図 17 に示すように、絶縁層 100 の上面に配線層 101 が形成され、その配線層 101 を被覆するように絶縁層 100 の上面にソルダレジスト層 102 が形成される。ソルダレジスト層 102 には、配線層 101 の一部を電子部品搭載用のパッド 101P として露出する貫通孔 102X が形成される。この貫通孔 102X は、例えば、フ

10

20

30

40

50

オートリソグラフィ法を用いて形成される。そして、パッド１０１Ｐ上には、例えば、電子部品と接続されるはんだバンプが形成される。このはんだバンプは、パッド１０１Ｐ上にはんだボールを搭載し、そのはんだボールを溶融して形成される。このとき、貫通孔１０２Ｘの内壁面を曲面に形成することにより、はんだボールの搭載性が向上する。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２０１１－２５８５９０号公報

【特許文献２】特開２００８－２５８３７３号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

ところで、近年では、半導体チップの高性能化に伴って、半導体チップの配線基板への接続端子の数が増大（多ピン化）し、さらに半導体チップの接続端子の狭ピッチ化が進んでいる。これに対応して、配線基板のパッドの狭ピッチ化（例えば、５０μm以下のピッチ）が求められている。しかし、内壁面が曲面に形成された貫通孔１０２Ｘでは、その開口端の開口径１０が大きくなってしまう。このため、貫通孔１０２Ｘによって開口されたパッド１０１Ｐの狭ピッチ化は困難である。

【課題を解決するための手段】

【０００６】

本発明の一観点によれば、最上層の第１配線層と、前記第１配線層と同一平面上に形成され、前記第１配線層と離間して形成された最上層の第２配線層と、前記第１配線層及び前記第２配線層を被覆する保護絶縁層と、前記保護絶縁層を厚さ方向に貫通し、前記第１配線層の上面の一部を露出する第１貫通孔と、前記保護絶縁層を厚さ方向に貫通し、前記第２配線層の上面の一部を露出する第２貫通孔と、を有し、前記第１貫通孔は、前記保護絶縁層の上面に形成され、内壁面が曲面に形成された凹部と、前記凹部の底部に形成され、前記凹部よりも平面形状が小さく形成された開口部とが連通されてなり、前記第１貫通孔の内壁面には、深さ方向の中途に段差が形成されており、前記第２貫通孔は、前記凹部よりも平面形状が大きく形成されており、前記第２貫通孔の内壁面には、深さ方向の中途に段差が形成されていない。

【発明の効果】

【０００７】

本発明の一観点によれば、パッドの狭ピッチ化に容易に対応することができるという効果を奏する。

【図面の簡単な説明】

【０００８】

【図１】（ａ）は、第１実施形態の配線基板を示す概略断面図、（ｂ）は、（ａ）に示した配線基板の一部を拡大した拡大断面図。

【図２】（ａ）は、第１実施形態の半導体装置を示す概略断面図、（ｂ）は、（ａ）に示した半導体装置の一部を拡大した拡大断面図。

【図３】（ａ）～（ｃ）は、第１実施形態の配線基板の製造方法を示す概略断面図。

【図４】（ａ）～（ｃ）は、第１実施形態の配線基板の製造方法を示す概略断面図。

【図５】（ａ）は、第１実施形態の配線基板の作用を示す説明図、（ｂ）は、従来の配線基板の問題点を示す説明図。

【図６】（ａ）、（ｂ）は、第１実施形態の配線基板の製造方法を示す概略断面図、（ｃ）は、第１実施形態の半導体装置の製造方法を示す概略断面図。

【図７】（ａ）は、第２実施形態の配線基板を示す概略断面図（図８における７ａ－７ａ断面図）、（ｂ）は、（ａ）に示した配線基板の一部を拡大した拡大断面図。

【図８】第２実施形態の配線基板を示す概略平面図。

10

20

30

40

50

【図 9】(a) は、第 2 実施形態の半導体装置を示す概略断面図、(b) は、(a) に示した半導体装置の一部を拡大した拡大断面図。

【図 10】(a) ~ (c) は、第 2 実施形態の配線基板の製造方法を示す概略断面図。

【図 11】(a) ~ (c) は、第 2 実施形態の配線基板の製造方法を示す概略断面図。

【図 12】(a), (b) は、第 2 実施形態の配線基板の製造方法を示す概略断面図、(c) は、第 2 実施形態の半導体装置の製造方法を示す概略断面図。

【図 13】変形例の配線基板を示す概略断面図。

【図 14】変形例の配線基板を示す概略断面図。

【図 15】変形例の配線基板を示す概略断面図。

【図 16】変形例の配線基板を示す概略断面図。

【図 17】従来例の配線基板を示す概略断面図。

【発明を実施するための形態】

【0009】

以下、添付図面を参照して各実施形態を説明する。なお、添付図面は、便宜上、特徴を分かりやすくするために特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などが実際と同じであるとは限らない。また、断面図では、各部材の断面構造を分かりやすくするために、一部の部材のハッチングを梨地模様に変えて示し、一部の部材のハッチングを省略している。

【0010】

(第 1 実施形態)

以下、図 1 ~ 図 6 に従って第 1 実施形態を説明する。

図 1 (a) に示すように、配線基板 10 は、基板本体 11 を有している。基板本体 11 の下面には、配線層 21 と、ソルダーレジスト層 22 とが順に積層されている。また、基板本体 11 の上面には、配線層 31 と、ソルダーレジスト層 32 とが順に積層されている。

【0011】

基板本体 11 としては、例えば、コア基板、コア基板を有するコア付きビルドアップ基板、コア基板を有していないコアレス基板を用いることができる。基板本体 11 としてコアレス基板を採用する場合には、例えば、最上層の配線層 31 の側面及び下面が基板本体 11 の最上層の絶縁層に埋め込まれ、配線層 31 の上面が最上層の絶縁層から露出されていてもよい。

【0012】

配線層 21, 31 の材料としては、例えば、銅 (Cu) や銅合金を用いることができる。ソルダーレジスト層 22, 32 の材料としては、例えば、フェノール系樹脂やポリイミド系樹脂などを主成分とする感光性の絶縁性樹脂を用いることができる。ソルダーレジスト層 22, 32 は、例えば、シリカやアルミナ等のフィラーを含有していてもよい。

【0013】

配線層 31 は、基板本体 11 の上面に形成されている。この配線層 31 は、配線基板 10 の最上層の配線層である。配線層 31 は、基板本体 11 内の配線層や貫通電極を介して、配線層 21 と電氣的に接続されている。

【0014】

ソルダーレジスト層 (保護絶縁層) 32 は、配線層 31 の一部を被覆するように、基板本体 11 の上面に積層されている。なお、配線層 31 の上面からソルダーレジスト層 32 の上面 32A までの厚さは、例えば、15 ~ 25 μm 程度とすることができる。

【0015】

ソルダーレジスト層 32 には、配線層 31 の上面の一部を接続パッド P1 として露出させるための複数の貫通孔 32X が形成されている。接続パッド P1 は、半導体チップ 60 (図 2 (a) 参照) 等の電子部品と電氣的に接続するための電子部品搭載用のパッドである。

【0016】

10

20

30

40

50

図 1 (b) に示すように、貫通孔 3 2 X は、深さ方向の中途に段差を有している。この貫通孔 3 2 X は、ソルダーレジスト層 3 2 の上面 3 2 A に形成された凹部 3 3 と、凹部 3 3 の底部に形成され、凹部 3 3 よりも平面形状が小さく形成された開口部 3 4 とが連通されて構成され、所謂お椀型に構成されている。

【 0 0 1 7 】

凹部 3 3 は、ソルダーレジスト層 3 2 の上面 3 2 A からソルダーレジスト層 3 2 の厚さ方向の中途位置まで形成されている。すなわち、凹部 3 3 は、その底面がソルダーレジスト層 3 2 の厚さ方向の中途に位置するように形成されている。この凹部 3 3 は、配線層 3 1 側から開口端 (ソルダーレジスト層 3 2 の上面 3 2 A 側) に向かって未広がり形状で形成されている。また、凹部 3 3 の内壁は、断面視凹型 R 形状に形成されている。すなわち、凹部 3 3 の内壁面は曲面に形成されている。例えば、凹部 3 3 の内壁面は、断面視において、ソルダーレジスト層 3 2 の上面 3 2 A 側の上端から凹部 3 3 の底面側の下端まで曲線状 (引弧線状) に形成されている。本例の凹部 3 3 の内壁面は、断面視において、開口端から配線層 3 1 に向かって略楕円弧状に凹むように形成されている。本例の凹部 3 3 は、例えば、断面視略半楕円状に形成されている。また、凹部 3 3 は、例えば、平面視略円形状に形成されている。

【 0 0 1 8 】

開口部 3 4 は、凹部 3 3 の底部の一部に形成され、配線層 3 1 の上面の一部を露出するように形成されている。本例の開口部 3 4 の内壁面は、平面に形成されている。例えば、開口部 3 4 の内壁面は、断面視において、配線層 3 1 の上面に対して略垂直に延びるように形成されている。すなわち、本例の開口部 3 4 は、例えば、断面視略矩形状 (ストレート形状) に形成されている。具体的には、開口部 3 4 の内壁面は、断面視において、凹部 3 3 の底面側の上端から配線層 3 1 の上面側の下端まで直線形状に形成されている。また、開口部 3 4 は、例えば凹部 3 3 と同様に、平面視略円形状に形成されている。但し、開口部 3 4 の開口端の開口径 2 (直径) は、凹部 3 3 の開口端の開口径 1 (直径) よりも小径に設定されている。凹部 3 3 の開口径 1 は例えば 4 0 ~ 5 0 μ m 程度とすることができ、開口部 3 4 の開口径 2 は例えば 1 5 ~ 2 0 μ m 程度とすることができる。また、凹部 3 3 の深さは例えば 1 0 ~ 1 5 μ m 程度とすることができ、開口部 3 4 の深さは例えば 5 ~ 1 0 μ m 程度とすることができる。また、開口部 3 4 の内壁面は、粗化面とすることができる。

【 0 0 1 9 】

以上説明した凹部 3 3 の内壁面と開口部 3 4 の内壁面とによって段差が形成されている。そして、貫通孔 3 2 X には、凹部 3 3 の内壁面の下端と開口部 3 4 の内壁面の上端との接続部に角部 3 5 が形成されている。

【 0 0 2 0 】

貫通孔 3 2 X の底部に露出する配線層 3 1 の上面、つまり接続パッド P 1 上には、必要に応じて、表面処理層 3 6 が形成されている。表面処理層 3 6 は、例えば、貫通孔 3 2 X から露出する配線層 3 1 の上面全面を被覆するように形成されている。本例の表面処理層 3 6 は、その上面が角部 3 5 よりも下側に位置するように形成されている。すなわち、本例の表面処理層 3 6 の厚さは、開口部 3 4 の深さよりも薄く形成されている。

【 0 0 2 1 】

表面処理層 3 6 の例としては、金 (A u) 層、ニッケル (N i) 層 / A u 層 (N i 層と A u 層をこの順番で積層した金属層)、N i 層 / パラジウム (P d) 層 / A u 層 (N i 層と P d 層と A u 層をこの順番で積層した金属層) などを挙げることができる。表面処理層 3 6 の他の例としては、N i 層 / P d 層 (N i 層と P d 層をこの順番で積層した金属層)、P d 層 / A u 層 (P d 層と A u 層をこの順番で積層した金属層) などを挙げることができる。ここで、A u 層は A u 又は A u 合金からなる金属層、N i 層は N i 又は N i 合金 (N i - P、N i - B、N i - W、N i - W - P 等) からなる金属層、P d 層は P d 又は P d 合金 (P d - P 等) からなる金属層である。これら A u 層、N i 層、P d 層としては、例えば、無電解めっき法により形成された金属層 (無電解めっき金属層) や、電解めっき

10

20

30

40

50

法により形成された金属層（電解めっき金属層）を用いることができる。また、貫通孔 3 2 X に露出する配線層 3 1 の上面に、OSP（Organic Solderability Preservative）処理などの酸化防止処理を施して表面処理層 3 6 を形成するようにしてもよい。例えば、OSP 処理を施した場合には、配線層 3 1 の上面に、アゾール化合物やイミダゾール化合物等の有機被膜による表面処理層 3 6 が形成される。

【0022】

接続パッド P 1 の平面形状は、任意の形状及び大きさに設定することができる。接続パッド P 1 の平面形状は、例えば開口部 3 4 と同様に、直径が 15 ~ 40 μm 程度の円形状とすることができる。接続パッド P 1 のピッチは、例えば、30 ~ 70 μm 程度とすることができる。また、表面処理層 3 6 において、Ni 層の厚さは例えば 0.01 ~ 30 μm 程度、Pd 層の厚さは例えば 0.01 ~ 1 μm 程度、Au 層の厚さは例えば 0.01 ~ 1 μm 程度、OSP 膜の厚さは例えば 0.005 ~ 0.5 μm 程度とすることができる。

10

【0023】

表面処理層 3 6 の上面には、はんだバンプ 4 0 が形成されている。はんだバンプ 4 0 は、例えば、表面処理層 3 6 の上面全面を被覆するように形成されている。はんだバンプ 4 0 は、例えば、凹部 3 3 の底部の一部を被覆し、貫通孔 3 2 X の角部 3 5 に食い込むように形成されている。換言すると、角部 3 5 がはんだバンプ 4 0 に食い込むように形成されている。このとき、表面処理層 3 6 内の金属がはんだバンプ 4 0 内に拡散して表面処理層 3 6 が消失する場合がある。この場合には、はんだバンプ 4 0 は、配線層 3 1 の上面を被覆するように形成される。また、表面処理層 3 6 内の金属がはんだバンプ 4 0 内に拡散して表面処理層 3 6 の一部が消失する場合がある。この場合には、はんだバンプ 4 0 は、残った表面処理層 3 6 の上面を被覆するように形成される。なお、はんだバンプ 4 0 の材料としては、例えば、共晶はんだや鉛（Pb）フリーはんだ（Sn-Ag 系、Sn-Cu 系、Sn-Ag-Cu 系など）を用いることができる。また、はんだバンプ 4 0 のピッチは、接続パッド P 1 のピッチと同様に、例えば 30 ~ 50 μm 程度とすることができる。

20

【0024】

一方、図 1 (a) に示すように、配線層 2 1 は、基板本体 1 1 の下面に形成されている。この配線層 2 1 は、配線基板 1 0 の最下層の配線層である。

ソルダーレジスト層 2 2 は、配線層 2 1 の一部を被覆するように、基板本体 1 1 の下面に積層されている。ソルダーレジスト層 2 2 には、配線層 2 1 の下面の一部を外部接続用パッド P 2 として露出させるための複数の貫通孔 2 2 X が形成されている。外部接続用パッド P 2 には、配線基板 1 0 をマザーボード等の実装基板に実装する際に使用される外部接続端子 6 6（図 2 (a) 参照）が接続されるようになっている。

30

【0025】

本例の貫通孔 2 2 X の内壁面は、断面視において、配線層 2 1 の下面に対して略垂直に延びるように形成されている。なお、貫通孔 2 2 X の形状はこれに限らず、貫通孔 2 2 X の内壁面を曲面に形成してもよいし、貫通孔 2 2 X をテーパ状に形成してもよい。

【0026】

貫通孔 2 2 X の底部に露出する配線層 2 1 の下面には、必要に応じて、表面処理層 2 3 が形成されている。表面処理層 2 3 の例としては、表面処理層 3 6 と同様に、Au 層、Ni 層 / Au 層、Ni 層 / Pd 層 / Au 層、Ni 層 / Pd 層、Pd 層 / Au 層などを挙げることができる。また、表面処理層 2 3 として、例えば、OSP 処理を施して形成した OSP 膜を採用することもできる。OSP 膜としては、例えば、アゾール化合物やイミダゾール化合物等の有機被膜を用いることができる。なお、配線層 2 1 の下面に表面処理層 2 3 が形成されている場合には、その表面処理層 2 3 が外部接続用パッド P 2 として機能する。

40

【0027】

本例では、表面処理層 2 3 上に外部接続端子 6 6（図 2 (a) 参照）を設けるようにしたが、貫通孔 2 2 X に露出する配線層 2 1（又は、配線層 2 1 上に表面処理層 2 3 が形成されている場合には、その表面処理層 2 3）自体を、外部接続端子としてもよい。

50

【 0 0 2 8 】

次に、図 2 に従って、半導体装置 5 0 の構造について説明する。

図 2 (a) に示すように、半導体装置 5 0 は、配線基板 1 0 と、1 つ又は複数 (ここでは、1 つ) の半導体チップ 6 0 と、アンダーフィル材 6 5 と、外部接続端子 6 6 とを有している。

【 0 0 2 9 】

図 2 (b) に示すように、半導体チップ 6 0 は、その回路形成面 (ここでは、下面) に、複数の接続端子 6 1 が形成されている。半導体チップ 6 0 は、配線基板 1 0 にフリップチップ実装されている。すなわち、半導体チップ 6 0 は、接続端子 6 1 及びはんだバンプ 4 0 を介して、配線基板 1 0 の表面処理層 3 6 に電氣的に接続されている。はんだバンプ 4 0 は、表面処理層 3 6 に接合されるとともに、接続端子 6 1 に接合されている。

10

【 0 0 3 0 】

ここで、半導体チップ 6 0 としては、例えば、C P U (Central Processing Unit) チップや G P U (Graphics Processing Unit) チップなどのロジックチップを用いることができる。また、半導体チップ 6 0 としては、例えば、D R A M (Dynamic Random Access Memory) チップ、S R A M (Static Random Access Memory) チップやフラッシュメモリチップなどのメモリチップを用いることもできる。なお、配線基板 1 0 に複数の半導体チップ 6 0 を搭載する場合には、ロジックチップとメモリチップとを組み合わせる配線基板 1 0 に搭載するようにしてもよい。

【 0 0 3 1 】

接続端子 6 1 としては、例えば、金属ポストを用いることができる。この接続端子 6 1 は、半導体チップ 6 0 の回路形成面から下方に延びる柱状の接続端子である。本例の接続端子 6 1 は、例えば、円柱状に形成されている。接続端子 6 1 の材料としては、例えば、銅や銅合金を用いることができる。なお、接続端子 6 1 としては、金属ポストの他に、例えば金バンプを用いることもできる。

20

【 0 0 3 2 】

図 2 (a) に示すように、アンダーフィル材 6 5 は、配線基板 1 0 と半導体チップ 6 0 との隙間を充填するように設けられている。アンダーフィル材 6 5 の材料としては、例えば、エポキシ系樹脂などの絶縁性樹脂を用いることができる。

【 0 0 3 3 】

外部接続端子 6 6 は、配線基板 1 0 の表面処理層 2 3 上に形成されている。この外部接続端子 6 6 は、例えば、図示しないマザーボード等の実装基板に設けられたパッドと電氣的に接続される接続端子である。外部接続端子 6 6 としては、例えば、はんだボールやリードピンを用いることができる。本実施形態では、外部接続端子 6 6 として、はんだボールを用いている。

30

【 0 0 3 4 】

なお、本実施形態において、配線層 3 1 は第 1 配線層の一例、ソルダーレジスト層 3 2 は保護絶縁層の一例、貫通孔 3 2 X は第 1 貫通孔の一例である。

次に、配線基板 1 0 の製造方法について説明する。

【 0 0 3 5 】

図 3 (a) に示す工程では、基板本体 1 1 の下面に配線層 2 1 が形成され、基板本体 1 1 の上面に配線層 3 1 が形成された構造体を準備する。

40

続いて、図 3 (b) に示す工程では、配線層 2 1 の表面 (下面及び側面) 全面を被覆するソルダーレジスト層 2 2 を基板本体 1 1 の下面に積層し、配線層 3 1 の表面 (上面及び側面) 全面を被覆するソルダーレジスト層 3 2 を基板本体 1 1 の上面に積層する。これらソルダーレジスト層 2 2 , 3 2 は、例えば、感光性のソルダーレジストフィルムをラミネートする、又は液状のソルダーレジストを塗布することにより形成することができる。なお、本実施形態では、ソルダーレジスト層 2 2 , 3 2 の材料として、ポジ型の感光性樹脂を用いる。

【 0 0 3 6 】

50

次に、図 3 (c) に示す工程では、フォトリソグラフィ法により、ソルダーレジスト層 2 2 の所要箇所に、配線層 2 1 の下面の一部を外部接続用パッド P 2 として露出する貫通孔 2 2 X を形成する。また、フォトリソグラフィ法により、ソルダーレジスト層 3 2 の上面 3 2 A のうち配線層 3 1 と平面視で重なる部分に凹部 3 3 を形成する。

【 0 0 3 7 】

図 4 (a) に示すように、凹部 3 3 は、その底面がソルダーレジスト層 3 2 の厚さ方向の中途に位置するように形成されており、配線層 3 1 の上面に達するまでは形成されていない。そして、凹部 3 3 は、断面視略半楕円状に形成されている。このような凹部 3 3 は例えば以下のように形成することができる。

【 0 0 3 8 】

まず、フォトマスク (図示略) を通じて、ポジ型の感光性樹脂層からなるソルダーレジスト層 3 2 に対して露光を行う。このフォトマスクは、凹部 3 3 に対応する開口部を有する。このとき、露光量 (露光時間) やフォトマスクの開口部における光透過率などを調整することにより、配線層 3 1 と平面視で重なる部分のソルダーレジスト層 3 2 を厚さ方向の途中まで露光する。すなわち、本工程では、配線層 3 1 に到達するまで露光されないように、配線層 3 1 と平面視で重なる部分のソルダーレジスト層 3 2 に対して露光を行う。その後、ソルダーレジスト層 3 2 を現像する。この現像により、露光された部分のソルダーレジスト層 3 2 が除去され、未露光の部分のソルダーレジスト層 3 2 が残る。これにより、ソルダーレジスト層 3 2 の上面 3 2 A に複数の凹部 3 3 が形成される。そして、本工程により、凹部 3 3 の内壁面が曲面となる。

【 0 0 3 9 】

このとき、図 1 7 に示した従来の配線基板のように、配線層 1 0 1 の上面まで露出する貫通孔 1 0 2 X を形成すると、つまり配線層 1 0 1 に到達するまでソルダーレジスト層 1 0 2 を露光すると、貫通孔 1 0 2 X の開口端の開口径 1 0 が大径になってしまう。このため、貫通孔 1 0 2 X を形成した場合には、狭ピッチ化に対応することが難しい。これに対し、本実施形態では、ソルダーレジスト層 3 2 の厚さの途中の位置に底面がある凹部 3 3 を形成するため、その凹部 3 3 の開口径を小径とすることができる。

【 0 0 4 0 】

次に、図 4 (b) に示す工程では、凹部 3 3 の底面に、凹部 3 3 と連通してソルダーレジスト層 3 2 を厚さ方向に貫通し、配線層 3 1 の上面の一部を接続パッド P 1 として露出する開口部 3 4 を形成する。本工程により、凹部 3 3 と開口部 3 4 とが連通してなる貫通孔 3 2 X が形成される。本工程では、開口部 3 4 は、CO₂ レーザや YAG レーザ等によるレーザ加工法によって形成することができる。このレーザ加工法によれば、凹部 3 3 よりも小径の開口部 3 4 を容易に形成することができる。本工程では、レーザ加工法により開口部 3 4 を形成することで、開口部 3 4 の内壁面が略平面に形成される。また、レーザ加工法によって、開口部 3 4 の内壁面は粗化面に形成される。

【 0 0 4 1 】

ところで、図 5 (b) に示すように、従来の配線基板において、貫通孔 1 0 2 X (図 1 7 参照) に代えて、テーパ状の貫通孔 1 0 2 Y をソルダーレジスト層 1 0 2 に形成することもできる。この貫通孔 1 0 2 Y は、例えば、レーザ加工法により形成することができる。レーザ加工法によれば、小径の貫通孔 1 0 2 Y を形成することが可能である。しかし、レーザ加工法はフォトリソグラフィ法に比べてアライメント精度が悪い。そして、貫通孔 1 0 2 Y が小径になると、図中右側に示すように、その貫通孔 1 0 2 Y が配線層 1 0 1 の受けパッドから外れるという問題が発生する。また、厚さが厚いソルダーレジスト層 1 0 2 に小径な貫通孔 1 0 2 Y を形成する場合には、レーザ光の焦点深度により、レーザスポット径が小さくなるに連れて加工が難しくなり、配線層 1 0 1 までレーザ光が届かず貫通孔 1 0 2 Y が形成されないという問題が発生する。

【 0 0 4 2 】

これに対し、本実施形態では、フォトリソグラフィ法により、内壁面が曲面となる凹部 3 3 を形成した後に、レーザ加工法により、凹部 3 3 よりも小径の開口部 3 4 を凹部 3 3

10

20

30

40

50

の底部に形成するようにした。すなわち、貫通孔 3 2 X の形成を、フォトリソグラフィ法とレーザ加工法との 2 段階で行うようにした。これにより、図 5 (a) 及び図 5 (b) に示すように、レーザ加工法によって形成される開口部 3 4 の深さを貫通孔 1 0 2 Y よりも浅くできる。このため、開口部 3 4 の上側の開口端の開口径 2 を、貫通孔 1 0 2 Y の上側の開口端の開口径 1 1 よりも小径に設定することができる。これによって、レーザ加工法のアライメント精度に起因して開口部 3 4 に位置ずれが生じて、その影響を小さくできる。すなわち、レーザ加工法のアライメント精度に起因して、開口部 3 4 が設計位置から位置ずれした場合であっても、その開口部 3 4 が配線層 3 1 の受けパッドから外れることを抑制することができる。この結果、本工程のレーザ加工（開口部 3 4 の形成）において、高いアライメント精度が必要なくなるため、貫通孔 3 2 X（開口部 3 4）の更なる狭ピッチ化にも対応することができる。また、凹部 3 3 の形成により開口部 3 4 を形成するためのソルダーレジスト層 3 2 の厚さを薄くすることができるため、レーザ光が配線層 3 1 まで届かず貫通孔 3 2 X が形成されないという問題の発生を抑制することができる。

【 0 0 4 3 】

続いて、デスミア及び Cu エッチング処理により、開口部 3 4 の底部に露出する配線層 3 1 の上面に付着した樹脂スミア（樹脂残渣）を除去する。

次いで、図 4 (c) に示す工程では、開口部 3 4 の底部に露出する配線層 3 1 の上面に表面処理層 3 6 を形成する。例えば、表面処理層 3 6 が Ni 層 / Pd 層 / Au 層である場合には、配線層 3 1 の上面に、Ni 層と Pd 層と Au 層とをこの順番で積層して表面処理層 3 6 を形成する。これら Ni 層、Pd 層、Au 層は、例えば、無電解めっき法により形成することができる。なお、本工程では、図示は省略するが、図 3 (c) に示した貫通孔 2 2 X の底部に露出する配線層 2 1 の下面に表面処理層 2 3 を形成する。

【 0 0 4 4 】

次に、図 6 (a) に示す工程では、表面処理層 3 6 上に、適宜フラックスを塗布した後に、球状のはんだボール 4 2 を搭載する。例えば、はんだボール 4 2 は、振込治具（図省略）の開口部を通してソルダーレジスト層 3 2 の各貫通孔 3 2 X 内に振り込まれる。このとき、貫通孔 3 2 X の上側の開口端（つまり、凹部 3 3 の開口端）が、レーザ加工法によって形成される貫通孔 1 0 2 Y（図 5 (b) 参照）よりも大径に形成されている。このため、貫通孔 1 0 2 Y 内にはんだボール 4 2 を振り込む場合に比べて、貫通孔 3 2 X 内に容易にはんだボール 4 2 を振り込むことができる。また、貫通孔 3 2 X の内壁面が曲面に形成されている。これにより、貫通孔 3 2 X の内壁面（曲面）に沿って球状のはんだボール 4 2 が振り込まれるため、凹部 3 3 がテーパ状に形成されている場合に比べて、はんだボール 4 2 の搭載性を向上させることができる。

【 0 0 4 5 】

次に、図 6 (b) に示す工程では、はんだボール 4 2 を搭載した配線基板 1 0 をリフロー処理して、表面処理層 3 6 上にはんだバンプ 4 0 を形成する。このリフロー処理前の貫通孔 3 2 X において、小径の開口部 3 4 が浅く形成され、さらに開口部 3 4 内には表面処理層 3 6 が形成されている。このため、貫通孔 3 2 X 内に振り込まれたはんだボール 4 2 と表面処理層 3 6 の上面とを好適に接触させることができる。これにより、リフロー時に、はんだバンプ 4 0 中へのボイドの巻き込みを好適に抑制することができる。さらに、貫通孔 3 2 X は、凹部 3 3 の内壁面と開口部 3 4 の内壁面とによって形成された段差を有している。このため、はんだボール 4 2 の下部が開口部 3 4 内に配置された状態で、はんだボール 4 2 を貫通孔 3 2 X 内に好適に保持することができる。これにより、リフロー時に、はんだボール 4 2 が開口部 3 4 の外に移動しにくくなるため、表面処理層 3 6 上にはんだバンプ 4 0 が形成されない所謂ミッシングバンプの発生を抑制できる。

【 0 0 4 6 】

その後、表面処理層 3 6 とはんだバンプ 4 0 との接合の際にフラックスを用いた場合は、洗浄により残存するフラックスを除去する。

以上説明した製造工程により、図 1 に示した配線基板 1 0 を製造することができる。

【 0 0 4 7 】

次に、図 6 (c) に従って、半導体装置 5 0 の製造方法について説明する。

図 6 (c) に示す工程では、まず、回路形成面に形成された接続端子 6 1 を有する半導体チップ 6 0 を準備する。続いて、表面処理層 3 6 (はんだバンプ 4 0) 上に、半導体チップ 6 0 の接続端子 6 1 をフリップチップ接合する。例えば、表面処理層 3 6 と接続端子 6 1 とを位置合わせした後に、リフロー処理を行ってはんだバンプ 4 0 を溶融させ、このはんだバンプ 4 0 を接続端子 6 1 に接合させる。これにより、接続端子 6 1 がはんだバンプ 4 0 を介して表面処理層 3 6 に電氣的に接続される。

【 0 0 4 8 】

本工程において、はんだバンプ 4 0 の周囲には凹部 3 3 の凹型 R 形状の内壁面が配設されている。このため、半導体チップ 6 0 の搭載によって、はんだバンプ 4 0 が押し潰されて平面方向 (配線基板 1 0 の積層方向と断面視で直交する方向) に広がっても、その広がりが凹部 3 3 の内壁面によって規制される。したがって、はんだバンプ 4 0 のピッチが狭ピッチになった場合であっても、隣接するはんだバンプ 4 0 が接触することを好適に抑制できる。このため、半導体チップ 6 0 と配線基板 1 0 との間の距離を縮めることができるようになる。これにより、配線基板 1 0 の反りやはんだバンプ 4 0 の高さばらつきが生じた場合であっても、はんだバンプ 4 0 と接続端子 6 1 が互いに離反して電氣的な接続が行われない、所謂オープン不良が発生することを好適に抑制できる。

【 0 0 4 9 】

その後、フリップチップ接合された半導体チップ 6 0 と配線基板 1 0 との間に、アンダーフィル材 6 5 (図 2 (a) 参照) を充填し、そのアンダーフィル材 6 5 を硬化する。また、図 2 (a) に示した表面処理層 2 3 上に外部接続端子 6 6 を形成する。

【 0 0 5 0 】

以上の製造工程により、図 2 に示した半導体装置 5 0 を製造することができる。

以上説明した本実施形態によれば、以下の効果を奏することができる。

(1) 配線層 3 1 の上面の一部を露出する貫通孔 3 2 X を、ソルダーレジスト層 3 2 の上面 3 2 A に形成され、内壁面が曲面に形成された凹部 3 3 と、凹部 3 3 の底部に形成され、凹部 3 3 よりも平面形状が小さく形成された開口部 3 4 とが連通されてなるように形成した。これにより、はんだボール 4 2 が振り込まれる側に、内壁面が曲面である凹部 3 3 を形成しつつも、その凹部 3 3 を浅く形成できる。このため、はんだボール 4 2 の搭載性を向上させつつも、凹部 3 3 を小径に形成することができる。この結果、凹部 3 3 (貫通孔 3 2 X) を狭ピッチに形成できるため、接続パッド P 1 (はんだバンプ 4 0) の狭ピッチ化に容易に対応することができる。

【 0 0 5 1 】

さらに、凹部 3 3 の底部に、配線層 3 1 の上面の一部を露出する開口部 3 4 を形成したため、開口部 3 4 の深さを貫通孔 1 0 2 Y (図 5 (b) 参照) よりも浅くできる。これにより、開口部 3 4 を小径に形成できるため、レーザ加工法のアライメント精度に起因して開口部 3 4 に位置ずれが生じた場合であっても、その開口部 3 4 が配線層 3 1 の受けパッドから外れることを好適に抑制することができる。また、凹部 3 3 の形成により開口部 3 4 を形成するためのソルダーレジスト層 3 2 の厚さを薄くすることができるため、レーザ光が配線層 3 1 まで届かず貫通孔 3 2 X が形成されないという問題の発生を抑制することができる。

【 0 0 5 2 】

(2) ところで、狭ピッチ化に対応するために、図 1 7 に示したソルダーレジスト層 1 0 2 の厚さを薄くする方法も考えられる。しかし、ソルダーレジスト層 1 0 2 を薄くすると、貫通孔 1 0 2 X が浅くなるため、はんだボールのリフロー時や半導体チップの接続の際に、貫通孔 1 0 2 X 内ではんだを保持することができず、はんだが貫通孔 1 0 2 X の外に流れ出し、隣接するはんだバンプ同士がショートするという問題が発生する。

【 0 0 5 3 】

これに対し、本実施形態では、貫通孔 3 2 X を 2 段形状とすることにより、ソルダーレジスト層 3 2 の厚さを薄くせずに貫通孔 3 2 X の全体の深さを確保しつつも、貫通孔 3 2

10

20

30

40

50

Xの小径化に対応した。これにより、はんだボール42のリフロー時や半導体チップ60の接続の際に、貫通孔32X内にはんだを好適に保持することができ、はんだが貫通孔32Xの外に流れ出すことを好適に抑制できる。このため、隣接するはんだパンプ40がショートすることを好適に抑制することができ、絶縁信頼性を確保することができる。

【0054】

(3)ところで、図17に示すように、フォトリソグラフィ法により、内壁面が曲面となる貫通孔102Xを形成した場合には、貫通孔102Xの下端が裾を引くような形状に形成される。このため、この場合には、配線層101に画定されたパッド101P上に樹脂残渣が残ってしまう。このように樹脂残渣の残ったパッド101P上に表面処理層(例えば、Ni層)を形成すると、樹脂残渣の存在に起因してNi層の膜質が低下する。例えば、Ni層にピンホールが発生する。このようなNi層の膜質の低下により、表面処理層とはんだパンプとの接合性が低下する。

10

【0055】

これに対し、配線基板10では、配線層31の上面の一部を露出する開口部34を、レーザ加工法により形成した。このため、開口部34の内壁面を、配線層31の上面に対して略垂直に延びるように形成することができる。これにより、接続パッドP1上に樹脂残渣が残ることを抑制できるため、表面処理層36の膜質を向上させることができる。この結果、表面処理層36とはんだパンプ40との接合性を向上させることができる。

【0056】

(4)開口部34から露出する配線層31の上面に表面処理層36を形成した。これにより、貫通孔32X内に振り込まれたはんだボール42と表面処理層36の上面とを好適に接触させることができる。このため、リフロー時に、はんだパンプ40中へのボイドの巻き込みを好適に抑制することができる。

20

【0057】

(5)表面処理層36の上面を、貫通孔32Xの角部35よりも下側に形成した。このため、凹部33の内壁面と開口部34の内壁面とによって形成された段差が外部に露出した状態の貫通孔32X内にはんだボール42が振り込まれる。これにより、リフロー時に、はんだボール42の移動が上記段差によって規制されるため、ミッシングパンプの発生を好適に抑制できる。

【0058】

30

(6)さらに、貫通孔32Xの角部35にはんだパンプ40が食い込むように形成されるため、はんだパンプ40の欠落を好適に抑制することができる。

(7)開口部34の内壁面を粗化面とすることにより、表面処理層36やはんだパンプ40との密着性を向上させることができる。

【0059】

(第2実施形態)

以下、図7～図12に従って第2実施形態を説明する。先の図1～図6に示した部材と同一の部材にはそれぞれ同一の符号を付して示し、それら各要素についての詳細な説明は省略する。

【0060】

40

図7(a)に示すように、配線基板10Aは、基板本体11を有している。基板本体11の下面には、配線層21と、ソルダーレジスト層22とが順に積層されている。また、基板本体11の上面には、配線層31, 37と、ソルダーレジスト層32とが順に積層されている。なお、配線層31, 37の材料としては、例えば、銅や銅合金を用いることができる。

【0061】

配線層31及び配線層37は、基板本体11の上面に形成された最上層の配線層である。これら配線層31及び配線層37は同一平面上に形成されている。また、配線層31と配線層37とは互いに離間して形成されている。配線層31, 37は、例えば、基板本体11内の配線層や貫通電極を介して、配線層21と電氣的に接続されている。

50

【 0 0 6 2 】

配線層 3 7 は、例えば、グランド (G N D) 又は電源と接続される電源用のパッド 3 7 P を有している。例えば、配線層 3 7 が配線基板 1 0 A と接続される外部回路のグランド又は電源に接続されると、配線層 3 7 をグランドや電源の電位に固定することができる。一方、配線層 3 1 は、例えば、信号用のパッド 3 1 P を有している。電源用のパッド 3 7 P は、信号用のパッド 3 1 P よりも平面形状が大きく形成されている。これらパッド 3 1 P , 3 7 P は、半導体チップ 6 0 (図 9 (a) 参照) 等の電子部品と電氣的に接続するための電子部品搭載用のパッドでもある。

【 0 0 6 3 】

図 8 に示すように、各パッド 3 1 P , 3 7 P は、平面視略円形状に形成されている。複数のパッド 3 1 P は、例えば、半導体チップ 6 0 が実装される実装領域の中央部分に形成されている。複数のパッド 3 1 P は、例えば、平面視においてマトリクス状に配列されている。また、複数のパッド 3 7 P は、例えば、複数のパッド 3 1 P の周囲を囲むように形成されている。複数のパッド 3 7 P は、例えば、平面視においてペリフェラル状に配列されている。ここで、パッド 3 1 P の直径はパッド 3 7 P の直径よりも小径に設定され、パッド 3 1 P のピッチはパッド 3 7 P のピッチよりも狭く設定されている。パッド 3 1 P の直径は例えば 1 5 ~ 4 0 μ m 程度とすることができ、パッド 3 7 P の直径は例えば 7 0 ~ 1 5 0 μ m 程度とすることができ、また、パッド 3 1 P のピッチは例えば 3 0 ~ 7 0 μ m 程度とすることができ、パッド 3 7 P のピッチは例えば 1 0 0 ~ 2 0 0 μ m 程度とすることができ、

【 0 0 6 4 】

このように、図 7 (a) に示した配線基板 1 0 A では、基板本体 1 1 の上面に、直径の異なるパッド 3 1 P , 3 7 P が形成されている。すなわち、配線基板 1 0 A では、直径の異なるパッド 3 1 P , 3 7 P が同一平面上に形成されている。

【 0 0 6 5 】

ソルダーレジスト層 3 2 (保護絶縁層) は、配線層 3 1 の一部と配線層 3 7 の一部とを被覆するように、基板本体 1 1 の上面に積層されている。ソルダーレジスト層 3 2 には、配線層 3 1 に画定された信号用のパッド 3 1 P を露出させるための貫通孔 3 2 X と、配線層 3 7 に画定された電源用のパッド 3 7 P を露出させるための貫通孔 3 2 Y が形成されている。

【 0 0 6 6 】

図 7 (b) に示すように、貫通孔 3 2 X は、パッド 3 1 P , 3 7 P のうち小径のパッド 3 1 P を露出するように形成されている。ソルダーレジスト層 3 2 の上面 3 2 A に形成された凹部 3 3 と、凹部 3 3 の底部に形成され、凹部 3 3 よりも平面形状が小さく形成された開口部 3 4 とが連通されてなる。

【 0 0 6 7 】

凹部 3 3 は、ソルダーレジスト層 3 2 の上面 3 2 A からソルダーレジスト層 3 2 の厚さ方向の中途位置まで形成されている。すなわち、凹部 3 3 は、その底面がソルダーレジスト層 3 2 の厚さ方向の中途に位置するように形成されている。この凹部 3 3 は、配線層 3 1 側から開口端 (ソルダーレジスト層 3 2 の上面 3 2 A 側) に向かって末広がり形状で形成されている。また、凹部 3 3 の内壁は、断面視凹型 R 形状に形成されている。すなわち、凹部 3 3 の内壁面は曲面に形成されている。例えば、断面視において、凹部 3 3 の内壁面は、ソルダーレジスト層 3 2 の上面 3 2 A 側の上端から凹部 3 3 の底面側の下端まで曲線状 (引弧線状) に形成されている。本例の凹部 3 3 の内壁面は、断面視において、開口端から配線層 3 1 に向かって略楕円弧状に凹むように形成されている。本例の凹部 3 3 は、例えば、断面視略半楕円状に形成されている。また、凹部 3 3 は、例えば、平面視略円形状に形成されている。

【 0 0 6 8 】

開口部 3 4 は、凹部 3 3 の底部の一部に形成され、配線層 3 1 の上面の一部を露出するように形成されている。本例の開口部 3 4 の内壁面は、平面に形成されている。例えば、

10

20

30

40

50

開口部 3 4 の内壁面は、断面視において、配線層 3 1 の上面に対して略垂直に延びるように形成されている。すなわち、本例の開口部 3 4 は、例えば、断面視略矩形状（ストレート形状）に形成されている。具体的には、開口部 3 4 の内壁面は、断面視において、凹部 3 3 の底面側の上端から配線層 3 1 の上面側の下端まで直線形状に形成されている。また、開口部 3 4 は、例えば凹部 3 3 と同様に、平面視略円形状に形成されている。但し、開口部 3 4 の開口端の開口径 2（直径）は、凹部 3 3 の開口端の開口径 1（直径）よりも小径に設定されている。また、開口部 3 4 の内壁面は、粗化面とすることができる。

【 0 0 6 9 】

以上説明した凹部 3 3 の内壁面と開口部 3 4 の内壁面とによって段差が形成されている。そして、貫通孔 3 2 X には、凹部 3 3 の内壁面の下端と開口部 3 4 の内壁面の上端とが

10

接続される部分に角部 3 5 が形成されている。

【 0 0 7 0 】

貫通孔 3 2 X の底部に露出する配線層 3 1 の上面、つまりパッド 3 1 P 上には、必要に応じて、表面処理層 3 8 が形成されている。本例の表面処理層 3 8 は、その上面が角部 3 5 よりも上側に位置するように形成されている。表面処理層 3 8 は、例えば、凹部 3 3 の底部の一部を被覆し、貫通孔 3 2 X の角部 3 5 を被覆するように形成されている。表面処理層 3 8 は、例えば、断面視略 T 字状に形成されている。詳述すると、表面処理層 3 8 は、開口部 3 4 を充填する基部 3 8 A と、基部 3 8 A の上面及び凹部 3 3 の底部に形成され、基部 3 8 A よりも平面形状が大きく形成された先端部 3 8 B とを有している。

【 0 0 7 1 】

20

基部 3 8 A は、開口部 3 4 と同様の形状に形成されている。基部 3 8 A は、例えば、円柱状に形成されている。先端部 3 8 B は、基部 3 8 A の上面及び凹部 3 3 の底部から上方に突出するように形成され、凹部 3 3 の底部における内壁面の一部を被覆するように形成されている。先端部 3 8 B は、例えば、平面視略円形状に形成されている。

【 0 0 7 2 】

ここで、先端部 3 8 B の直径は、基部 3 8 A の直径よりも大径に設定されている。基部 3 8 A の直径は例えば 1 5 ~ 2 0 μm 程度とすることができ、先端部 3 8 B の直径は例えば 1 7 ~ 4 0 μm 程度とすることができる。また、基部 3 8 A の厚さは例えば 5 ~ 1 0 μm 程度とすることができ、先端部 3 8 B の厚さは例えば 1 ~ 1 0 μm 程度とすることができる。なお、先端部 3 8 B の直径は、おおよそ、先端部 3 8 B の厚さを 2 倍した長さと、

30

基部 3 8 A の直径とを足した長さとなる。

【 0 0 7 3 】

表面処理層 3 8 としては、例えば、Ni 層 / Au 層、Ni 層 / Pd 層、Ni 層 / Pd 層 / Au 層を用いることができる。すなわち、本例の表面処理層 3 8 は、Ni 層を含む複数の金属層が積層された構造を有している。このとき、Ni 層の厚さは、開口部 3 4 の深さよりも厚く設定されている。すなわち、基部 3 8 A は Ni 層のみによって構成され、先端部 3 8 B の一部が Ni 層によって構成されている。

【 0 0 7 4 】

貫通孔 3 2 Y は、パッド 3 1 P , 3 7 P のうち大径のパッド 3 7 P を露出するように形成されている。貫通孔 3 2 Y は、例えばパッド 3 7 P と同様に、平面視略円形状に形成されている。貫通孔 3 2 Y は、凹部 3 3 よりも平面形状が大きく形成されている。例えば、貫通孔 3 2 Y の上側の開口端の開口径 3（直径）は、凹部 3 3 の開口端の開口径 1 よりも大径に設定されている。貫通孔 3 2 Y の開口径 3 は、例えば、7 0 ~ 1 5 0 μm 程度とすることができる。また、貫通孔 3 2 Y は、例えば、貫通孔 2 2 X（図 7（a）参照）よりも平面形状が小さく形成されている。

40

【 0 0 7 5 】

貫通孔 3 2 Y の内壁面には、その深さ方向の中途に段差（角部）が形成されていない。すなわち、貫通孔 3 2 Y の開口径は、その貫通孔 3 2 Y の開口端から底部（配線層 3 1 の上面）まで略同一の開口径に設定されている、又は貫通孔 3 2 Y の開口端から底部まで連続的に変化するように設定されている。本例の貫通孔 3 2 Y の内壁面は、平面に形成され

50

ている。例えば、貫通孔 3 2 Y の内壁面は、断面視において、配線層 3 7 の上面に対して略垂直に延びるように形成されている。具体的には、貫通孔 3 2 Y の内壁面は、断面視において、ソルダーレジスト層 3 2 の上面 3 2 A 側の上端から配線層 3 7 の上面側の下端まで直線形状に形成されている。なお、貫通孔 3 2 Y の形状はこれに限らず、例えば、貫通孔 3 2 Y の内壁面を曲面に形成してもよいし、貫通孔 3 2 Y をテーパ状に形成してもよい。貫通孔 3 2 Y の内壁面を曲面とした場合には、例えば、貫通孔 3 2 Y の内壁面が、断面視において、ソルダーレジスト層 3 2 の上面 3 2 A 側の上端から配線層 3 7 の上面側の下端まで曲線状に形成される。また、貫通孔 3 2 Y をテーパ状とした場合には、例えば、貫通孔 3 2 Y の内壁面が、断面視において、ソルダーレジスト層 3 2 の上面 3 2 A 側の上端から配線層 3 7 の上面側の下端まで所定の傾きを持つ直線形状に形成される。

10

【 0 0 7 6 】

貫通孔 3 2 Y の底部に露出する配線層 3 7 の上面、つまりパッド 3 7 P 上には、必要に応じて、表面処理層 3 9 が形成されている。表面処理層 3 9 は、例えば、貫通孔 3 2 Y に露出する配線層 3 7 の上面全面を被覆するように形成されている。表面処理層 3 9 としては、例えば表面処理層 3 8 と同様に、Ni 層 / Au 層、Ni 層 / Pd 層、Ni 層 / Pd 層 / Au 層を用いることができる。なお、配線層 3 7 の上面に表面処理層 3 9 が形成されている場合には、その表面処理層 3 9 が電源用のパッド 3 7 P として機能する。

【 0 0 7 7 】

このように、配線基板 1 0 A では、同一平面上に直径が異なるパッド 3 1 P , 3 7 P が形成されている。また、ソルダーレジスト層 3 2 には、開口径（開口幅）の異なる貫通孔 3 2 X , 3 2 Y が形成されている。そして、貫通孔 3 2 X , 3 2 Y のうち開口径の小さい貫通孔 3 2 X が段差を有する形状に形成されている。すなわち、狭ピッチに形成される貫通孔 3 2 X が、凹部 3 3 と開口部 3 4 とが連通された構造に形成されている。

20

【 0 0 7 8 】

表面処理層 3 8 の上面には、はんだバンプ 4 0 が形成されている。はんだバンプ 4 0 は、例えば、表面処理層 3 8 の先端部 3 8 B の表面（上面及び側面）全面を被覆するように形成されている。また、表面処理層 3 9 の上面には、はんだバンプ 4 1 が形成されている。はんだバンプ 4 1 は、例えば、表面処理層 3 9 の上面全面を被覆するように形成されている。このとき、表面処理層 3 8 , 3 9 内の金属がはんだバンプ 4 0 , 4 1 内に拡散して表面処理層 3 8 , 3 9 の一部が消失する場合がある。この場合には、はんだバンプ 4 0 は残った表面処理層 3 8 の上面を被覆するように形成され、はんだバンプ 4 1 は残った表面処理層 3 9 の上面を被覆するように形成される。なお、はんだバンプ 4 0 , 4 1 の材料としては、例えば、共晶はんだや鉛（Pb）フリーはんだ（Sn - Ag 系、Sn - Cu 系、Sn - Ag - Cu 系など）を用いることができる。

30

【 0 0 7 9 】

はんだバンプ 4 0 のピッチは、はんだバンプ 4 1 のピッチよりも狭く設定されている。はんだバンプ 4 0 のピッチは例えば 3 0 ~ 7 0 μm 程度とすることができ、はんだバンプ 4 1 のピッチは例えば 1 0 0 ~ 2 0 0 μm 程度とすることができ。

【 0 0 8 0 】

次に、図 9 に従って、半導体装置 5 0 A の構造について説明する。

40

図 9 (a) に示すように、半導体装置 5 0 A は、配線基板 1 0 A と、1 つ又は複数（ここでは、1 つ）の半導体チップ 6 0 と、アンダーフィル材 6 5 と、外部接続端子 6 6 とを有している。

【 0 0 8 1 】

図 9 (b) に示すように、半導体チップ 6 0 は、その回路形成面（ここでは、下面）に、複数の接続端子 6 1 , 6 2 が形成されている。各接続端子 6 1 は、表面処理層 3 8 （パッド 3 1 P）の各々に対向する位置に設けられている。各接続端子 6 2 は、表面処理層 3 9 （パッド 3 7 P）の各々に対向する位置に設けられている。そして、半導体チップ 6 0 は、配線基板 1 0 A にフリップチップ実装されている。詳述すると、半導体チップ 6 0 の接続端子 6 1 は、はんだバンプ 4 0 を介して表面処理層 3 8 と電氣的に接続されている。

50

また、半導体チップ60の接続端子62は、はんだバンプ41を介して表面処理層39と電氣的に接続されている。

【0082】

接続端子61, 62としては、例えば、金属ポストを用いることができる。この接続端子61, 62は、半導体チップ60の回路形成面から下方に延びる柱状の接続端子である。本例の接続端子61, 62は、例えば、円柱状に形成されている。接続端子62の直径は、例えば、接続端子61の直径よりも大径に設定されている。なお、接続端子61, 62の材料としては、例えば、銅や銅合金を用いることができる。

【0083】

次に、配線基板10Aの製造方法について説明する。

10

図10(a)に示す工程では、基板本体11の下面に配線層21が形成され、基板本体11の上面に配線層31及び配線層37が形成された構造体を準備する。このとき、最上層の配線層31及び配線層37は、同一平面上に互いに離間して形成されている。

【0084】

続いて、図10(b)に示す工程では、配線層21の表面(下面及び側面)全面を被覆するソルダーレジスト層22を基板本体11の下面に積層し、配線層31, 37の表面(上面及び側面)全面を被覆するソルダーレジスト層32を基板本体11の上面に積層する。これらソルダーレジスト層22, 32は、例えば、感光性のソルダーレジストフィルムをラミネートする、又は液状のソルダーレジストを塗布することにより形成することができる。なお、本実施形態では、ソルダーレジスト層22, 32の材料として、ポジ型の感光性樹脂を用いる。

20

【0085】

次に、図10(c)に示す工程では、フォトリソグラフィ法により、ソルダーレジスト層22を厚さ方向に貫通して配線層21の下面の一部を外部接続用パッドP2として露出する貫通孔22Xを形成する。また、フォトリソグラフィ法により、ソルダーレジスト層32の上面32Aのうち配線層31と平面視で重なる部分に凹部33を形成するとともに、ソルダーレジスト層32を厚さ方向に貫通して配線層37の上面の一部をパッド37Pとして露出する貫通孔32Yを形成する。

【0086】

図11(a)に示すように、凹部33は、その底面がソルダーレジスト層32の厚さ方向の中途に位置するように形成されており、配線層31の上面に達するまでは形成されていない。そして、凹部33は、断面視略半楕円状に形成されている。一方で、貫通孔32Yは、配線層37上において、ソルダーレジスト層32を厚さ方向に貫通するように形成されている。このような凹部33及び貫通孔32Yは例えば以下のように形成することができる。

30

【0087】

まず、フォトリソマスク(図示略)を通じて、ポジ型の感光性樹脂層からなるソルダーレジスト層32に対して露光を行う。このフォトリソマスクは、凹部33に対応する開口部と貫通孔32Yに対応する開口部を有する。このとき、露光量(露光時間)やフォトリソマスクの2種類の開口部における光透過率などを調整することにより、配線層31と平面視で重なる部分のソルダーレジスト層32を厚さ方向の途中まで露光するとともに、配線層37上のソルダーレジスト層32を配線層37に到達するまで露光する。すなわち、本工程では、配線層31と平面視で重なる部分では、配線層31に到達するまで露光されないようにソルダーレジスト層32に対して露光が行われ、配線層37と平面視で重なる部分では、配線層37に到達するまでソルダーレジスト層32に対して露光が行われる。その後、ソルダーレジスト層32を現像する。この現像により、露光された部分のソルダーレジスト層32が除去され、未露光の部分のソルダーレジスト層32が残る。これにより、配線層31上に位置するソルダーレジスト層32の上面32Aに凹部33が形成されるとともに、配線層37の上面の一部をパッド37Pとして露出する貫通孔32Yが形成される。すなわち、貫通孔32Yは、フォトリソグラフィ法のみによって形成されている。さらに、本

40

50

工程では、凹部 3 3 の内壁面が曲面となるように、フォトリソグラフィ法における条件（露光量や現像時間）が適宜調整されている。

【 0 0 8 8 】

次に、図 1 1 (b) に示す工程では、凹部 3 3 の底面に、凹部 3 3 と連通してソルダーレジスト層 3 2 を厚さ方向に貫通し、配線層 3 1 の上面の一部を露出する開口部 3 4 を形成する。本工程により、凹部 3 3 と開口部 3 4 とが連通してなり、配線層 3 1 の上面の一部をパッド 3 1 P として露出する貫通孔 3 2 X が形成される。開口部 3 4 は、CO₂レーザや YAG レーザ等によるレーザ加工法によって形成することができる。本工程では、レーザ加工法により開口部 3 4 を形成することで、開口部 3 4 の内壁面が略平面に形成される。また、レーザ加工法によって、開口部 3 4 の内壁面は粗化面に形成される。

10

【 0 0 8 9 】

続いて、デスミア及び Cu エッチング処理により、貫通孔 3 2 X の底部に露出する配線層 3 1 の上面に付着した樹脂スミア（樹脂残渣）を除去する。

次いで、図 1 1 (c) に示す工程では、貫通孔 3 2 X の底部に露出する配線層 3 1 の上面全面に表面処理層 3 8 を形成するとともに、貫通孔 3 2 Y の底部に露出する配線層 3 7 の上面全面に表面処理層 3 9 を形成する。例えば、表面処理層 3 8 , 3 9 が Ni 層 / Pd 層 / Au 層である場合には、無電解めっき法により、配線層 3 1 , 3 7 の上面に、Ni 層と Pd 層と Au 層とをこの順番で積層して表面処理層 3 8 , 3 9 を形成する。これら表面処理層 3 8 , 3 9 は、例えば、略同じ厚さに形成される。

【 0 0 9 0 】

20

なお、本工程では、図示は省略するが、図 1 0 (c) に示した貫通孔 2 2 X の底部に露出する配線層 2 1 の下面に表面処理層 2 3 を形成する。

次に、図 1 2 (a) に示す工程では、表面処理層 3 8 , 3 9 上に、適宜フラックスを塗布した後に、球状のはんだボール 4 2 を搭載する。例えば、はんだボール 4 2 は、振込治具（図示略）の開口部を通してソルダーレジスト層 3 2 の各貫通孔 3 2 X 内に振り込まれる。

【 0 0 9 1 】

続いて、図 1 2 (b) に示す工程では、はんだボール 4 2 を搭載した配線基板 1 0 A をリフロー処理して、表面処理層 3 8 上にはんだバンプ 4 0 を形成するとともに、表面処理層 3 9 上にはんだバンプ 4 1 を形成する。このとき、表面処理層 3 8 が凹部 3 3 の底部を被覆するように形成されているため、貫通孔 3 2 X 内に振り込まれたはんだボール 4 2 と表面処理層 3 8 の上面とを好適に接触させることができる。これにより、リフロー時に、はんだバンプ 4 0 中へのボイドの巻き込みを好適に抑制することができる。

30

【 0 0 9 2 】

その後、はんだバンプ 4 0 , 4 1 の接合の際にフラックスを用いた場合は、洗浄により残存するフラックスを除去する。

以上説明した製造工程により、図 7 に示した配線基板 1 0 A を製造することができる。

【 0 0 9 3 】

次に、図 1 2 (c) に従って、半導体装置 5 0 A の製造方法について説明する。

図 1 2 (c) に示す工程では、まず、回路形成面に形成された接続端子 6 1 , 6 2 を有する半導体チップ 6 0 を準備する。続いて、半導体チップ 6 0 を配線基板 1 0 A にフリップチップ実装する。例えば、表面処理層 3 8 と接続端子 6 1 とを位置合わせし、表面処理層 3 9 と接続端子 6 2 とを位置合わせした後に、リフロー処理を行ってはんだバンプ 4 0 , 4 1 を溶融させる。これにより、はんだバンプ 4 0 が接続端子 6 1 に接合され、はんだバンプ 4 1 が接続端子 6 2 に接合される。本工程により、接続端子 6 1 がはんだバンプ 4 0 を介して表面処理層 3 8 に電氣的に接続され、接続端子 6 2 がはんだバンプ 4 1 を介して表面処理層 3 9 に電氣的に接続される。

40

【 0 0 9 4 】

その後、フリップチップ接合された半導体チップ 6 0 と配線基板 1 0 A との間に、アンダーフィル材 6 5（図 9 (a) 参照）を充填し、そのアンダーフィル材 6 5 を硬化する。

50

また、図 9 (a) に示した表面処理層 2 3 上に外部接続端子 6 6 を形成する。

【 0 0 9 5 】

以上の製造工程により、図 9 に示した半導体装置 5 0 A を製造することができる。

以上説明した実施形態によれば、第 1 実施形態の (1) ~ (3)、(7) の効果に加えて以下の効果を奏することができる。

【 0 0 9 6 】

(8) 開口部 3 4 から露出する配線層 3 1 の上面に表面処理層 3 8 を形成した。この表面処理層 3 8 の上面を、貫通孔 3 2 X の角部 3 5 よりも上側に形成した。これにより、貫通孔 3 2 X 内に振り込まれたはんだボール 4 2 を、表面処理層 3 8 の上面に好適に接触させることができる。これにより、リフロー時に、はんだパンプ 4 0 中へのボイドの巻き込みを好適に抑制することができる。

10

【 0 0 9 7 】

(9) 表面処理層 3 8 を、開口部 3 4 を充填する基部 3 8 A と、その基部 3 8 A よりも大径に形成された先端部 3 8 B とによって構成した。これにより、表面処理層 3 8 (先端部 3 8 B) とはんだパンプ 4 0 との接合面積を増大させることができる。このため、表面処理層 3 8 とはんだパンプ 4 0 との接合信頼性を向上させることができる。

【 0 0 9 8 】

(他の実施形態)

なお、上記実施形態は、これを適宜変更した以下の態様にて実施することもできる。

・図 1 3 に示すように、上記第 1 実施形態の配線基板 1 0 において、貫通孔 3 2 X の底部に露出する配線層 3 1 上に、基部 3 8 A と先端部 3 8 B とを有する表面処理層 3 8 を形成するようにしてもよい。

20

【 0 0 9 9 】

・図 1 4 に示すように、上記第 2 実施形態の配線基板 1 0 A において、貫通孔 3 2 X の底部に露出する配線層 3 1 上に表面処理層 3 6 を形成するようにしてもよい。この表面処理層 3 6 は、その上面が貫通孔 3 2 X の角部 3 5 よりも下側に位置するように形成される。この場合に、表面処理層 3 9 を、表面処理層 3 6 と略同じ厚さに形成するようにしてもよい。

【 0 1 0 0 】

・上記各実施形態において、表面処理層 3 6 の形成された貫通孔 3 2 X と、表面処理層 3 8 の形成された貫通孔 3 2 X とが 1 つの配線基板 1 0 , 1 0 A に混在していてもよい。

30

・図 1 5 に示すように、上記各実施形態の貫通孔 3 2 X において、開口部 3 4 をテーパ状に形成してもよい。例えば、開口部 3 4 を、図 1 5 において上側 (ソルダレジスト層 3 2 の上面 3 2 A 側) から下側 (配線層 3 1 側) に向かうに連れて径が小さくなるテーパ状に形成してもよい。

【 0 1 0 1 】

・上記各実施形態では、貫通孔 3 2 X の凹部 3 3 の内壁面を、断面視において、開口端から凹部 3 3 の内側に向かって略楕円弧状に凹むように形成した。これに限らず、例えば凹部 3 3 の内壁面を、断面視において、開口端から凹部 3 3 の内側に向かって円弧状や放物線状に凹むように形成してもよい。

40

【 0 1 0 2 】

・図 1 6 に示すように、はんだパンプ 4 0 を、凹部 3 3 を充填するように形成してもよい。本変形例のはんだパンプ 4 0 は、表面処理層 3 6 の上面に形成され、表面処理層 3 6 から露出する開口部 3 4 を充填するように形成されている。また、本変形例のはんだパンプ 4 0 は、ソルダレジスト層 3 2 の上面 3 2 A よりも上方に突出するように形成されている。

【 0 1 0 3 】

なお、図 1 6 では、表面処理層 3 6 上にはんだパンプ 4 0 を形成した例を示したが、表面処理層 3 8 上に、その表面処理層 3 8 から露出する凹部 3 3 を充填するはんだパンプ 4 0 を形成するようにしてもよい。

50

【 0 1 0 4 】

・上記各実施形態では、表面処理層 3 6 , 3 8 , 3 9 上にはんだボール 4 2 を搭載し、そのはんだボール 4 2 を溶融してはんだバンプ 4 0 , 4 1 を形成した。これに限らず、例えば、はんだめっき法等を用いて、表面処理層 3 6 , 3 8 , 3 9 上にはんだバンプを形成するようにしてもよい。

【 0 1 0 5 】

・上記各実施形態において、表面処理層 3 6 , 3 8 , 3 9 上にはんだバンプ 4 0 , 4 1 を形成した。これに限らず、例えば、表面処理層 3 6 , 3 8 , 3 9 上に金属ポストを形成するようにしてもよい。金属ポストは、例えば、無電解めっき法や電解めっき法により形成することができる。

10

【 0 1 0 6 】

・上記各実施形態の配線基板 1 0 , 1 0 A における表面処理層 3 6 , 3 8 , 3 9 を省略してもよい。

・上記各実施形態では、配線基板 1 0 , 1 0 A の最外層となる保護絶縁層の一例としてソルダーレジスト層 2 2 , 3 2 を例示したが、各種の感光性を有する絶縁性樹脂から保護絶縁層を形成することができる。

【 0 1 0 7 】

・上記各実施形態の配線基板 1 0 , 1 0 A を、C S P (Chip Size Package) や S O N (Small Out line Non-Lead Package) 等のパッケージに用いられる配線基板に具体化してもよい。

20

【 0 1 0 8 】

・上記各実施形態並びに各変形例は適宜組み合わせてもよい。

【 符号の説明 】

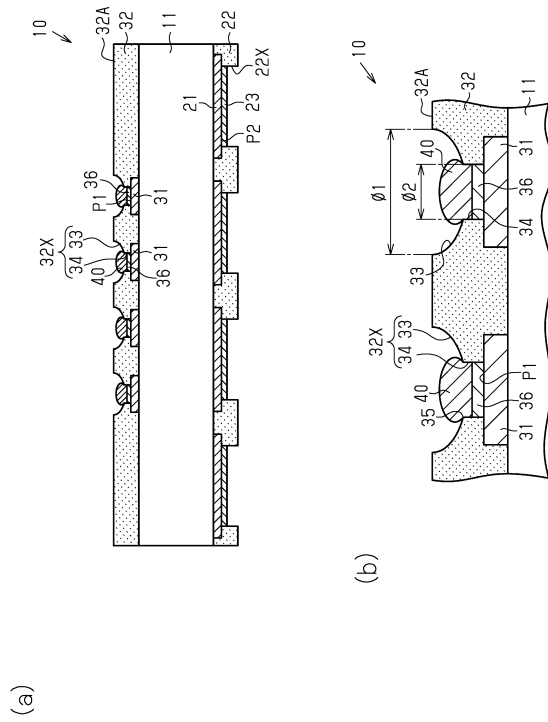
【 0 1 0 9 】

- 1 0 , 1 0 A 配線基板
- 3 1 配線層
- 3 2 ソルダーレジスト層 (保護絶縁層)
- 3 2 X 貫通孔
- 3 3 凹部
- 3 4 開口部
- 3 5 角部
- 3 6 , 3 8 , 3 9 表面処理層
- 3 7 配線層
- 3 8 A 基部
- 3 8 B 先端部
- 4 0 , 4 1 はんだバンプ
- 4 2 はんだボール
- 5 0 , 5 0 A 半導体装置
- 6 0 半導体チップ
- 6 1 , 6 2 接続端子

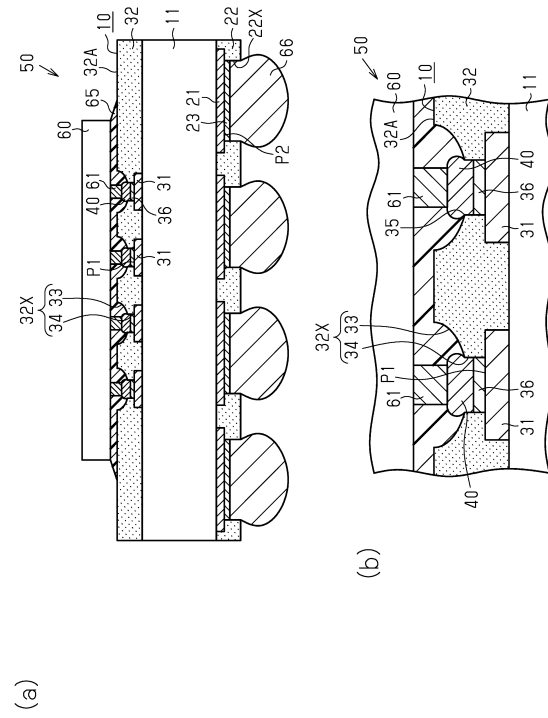
30

40

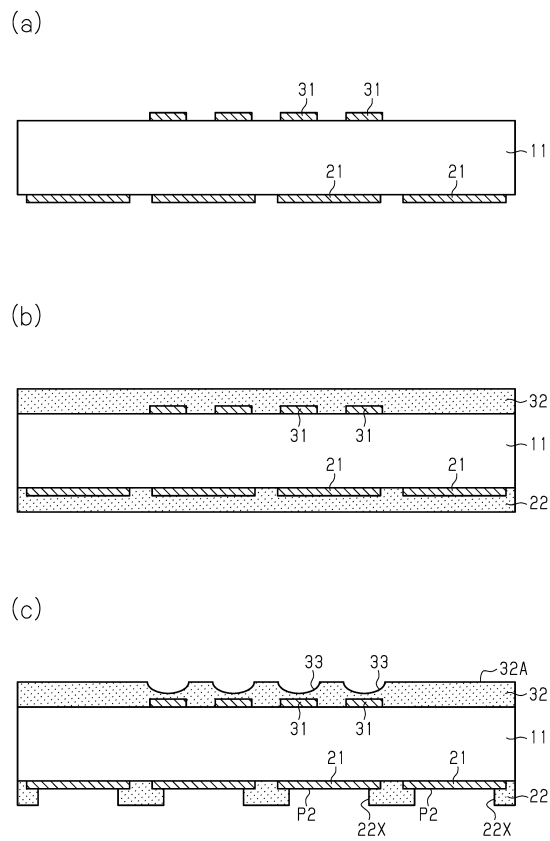
【図 1】



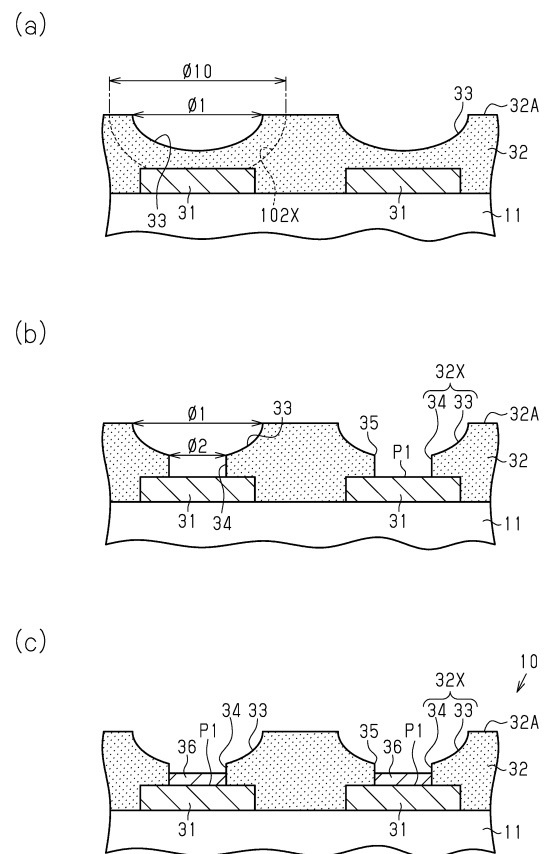
【図 2】



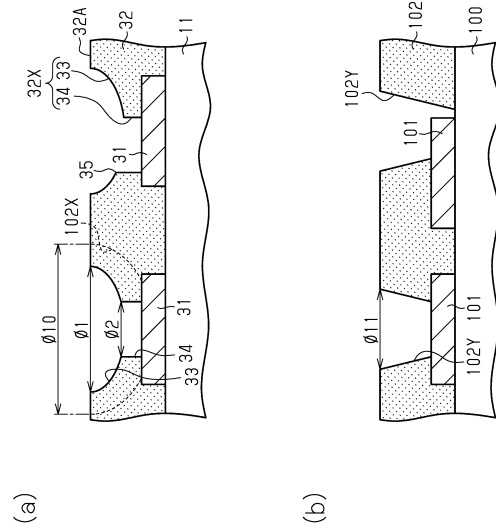
【図 3】



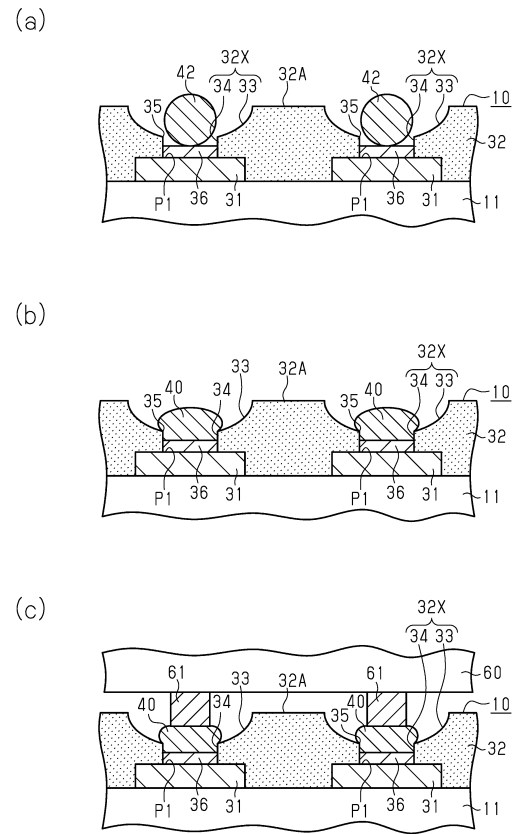
【図 4】



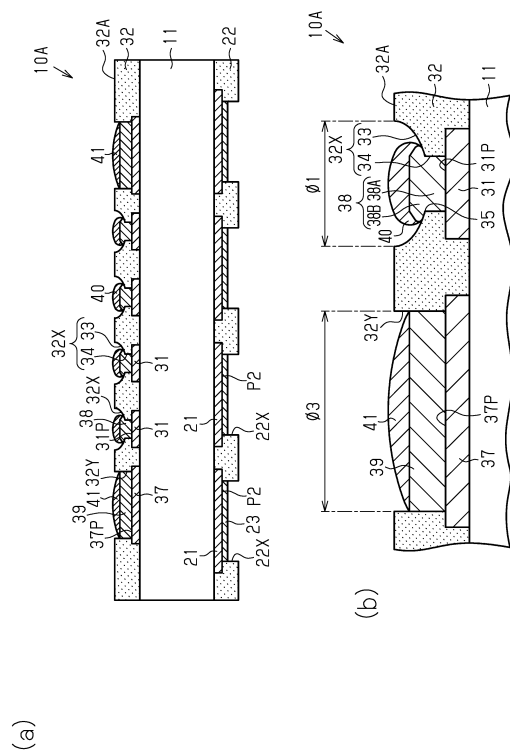
【図 5】



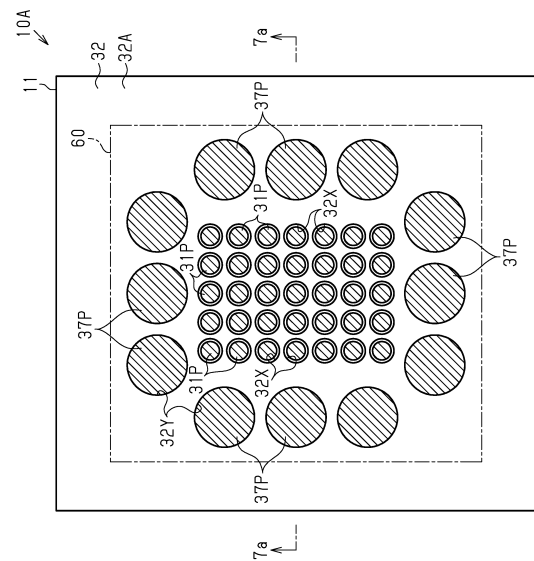
【図 6】



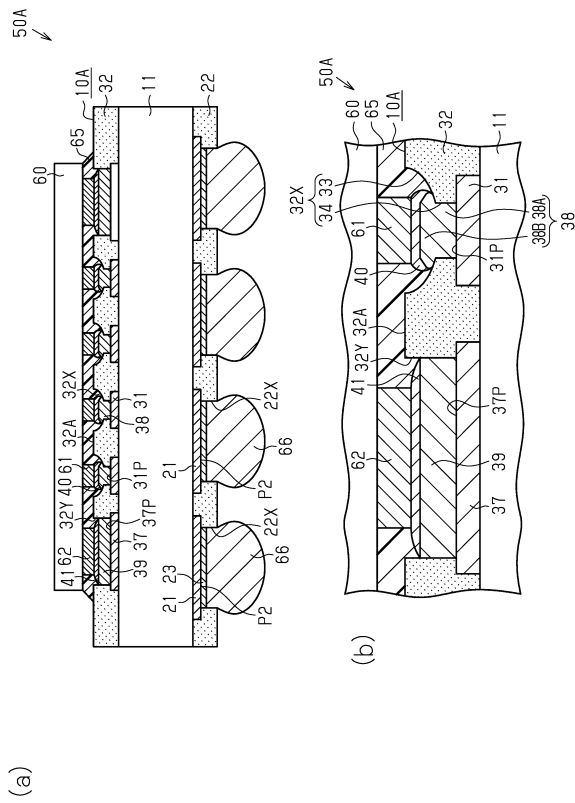
【図 7】



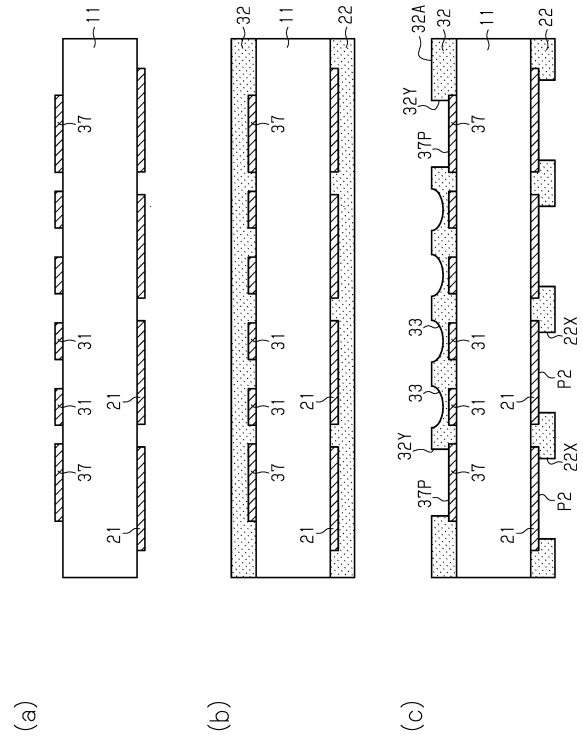
【図 8】



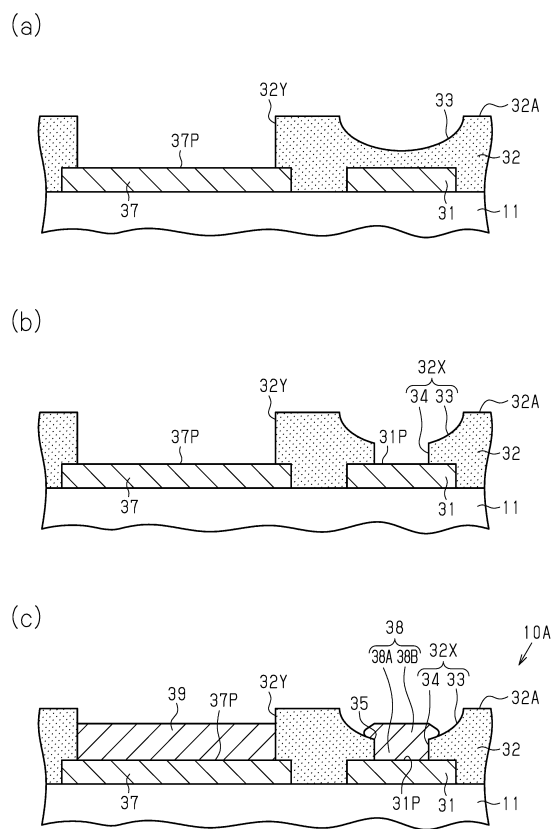
【図 9】



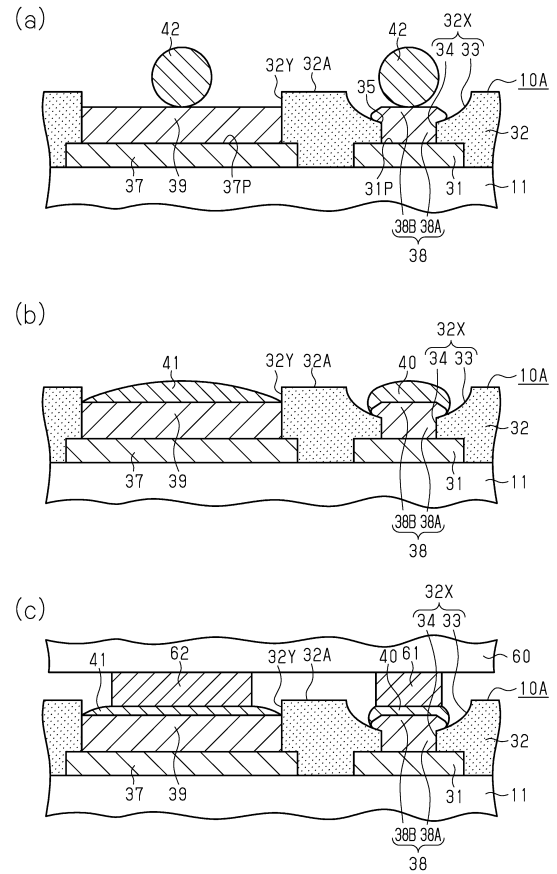
【図 10】



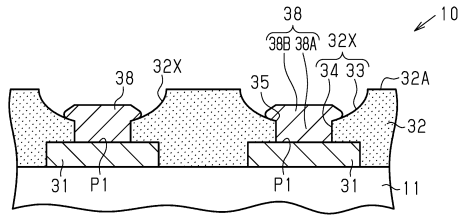
【図 11】



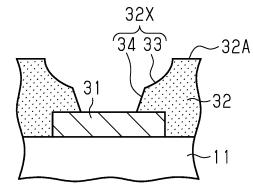
【図 12】



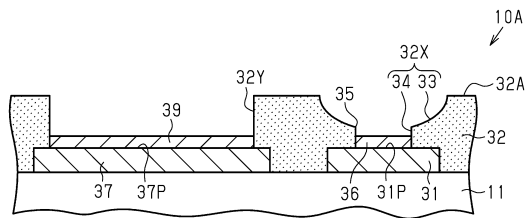
【図 13】



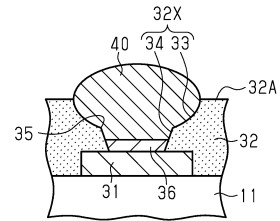
【図 15】



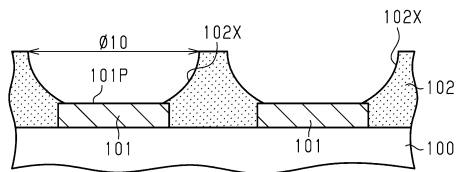
【図 14】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl. F I
H 0 5 K 3/34 5 0 5 E

(72)発明者 吉野 裕一
長野県長野市小島田町 8 0 番地 新光電気工業 株式会社 内
(72)発明者 内山 健太
長野県長野市小島田町 8 0 番地 新光電気工業 株式会社 内

審査官 豊島 洋介

(56)参考文献 特開 2 0 1 2 - 1 2 9 5 2 6 (J P , A)
特開 2 0 1 4 - 0 3 3 1 6 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 3 / 1 2 - 2 3 / 1 5
H 0 5 K 3 / 2 8
3 / 3 2 - 3 / 3 4
3 / 4 6