



## [12] 发明专利申请公开说明书

[21] 申请号 200410080916.9

[43] 公开日 2005 年 7 月 27 日

[11] 公开号 CN 1645354A

[22] 申请日 2004.9.27

[74] 专利代理机构 北京三友知识产权代理有限公司  
代理人 穆魁良

[21] 申请号 200410080916.9

[30] 优先权

[32] 2003.11.3 [33] US [31] 10/699,764

[71] 申请人 旺宏电子股份有限公司

地址 台湾省新竹科学工业园区

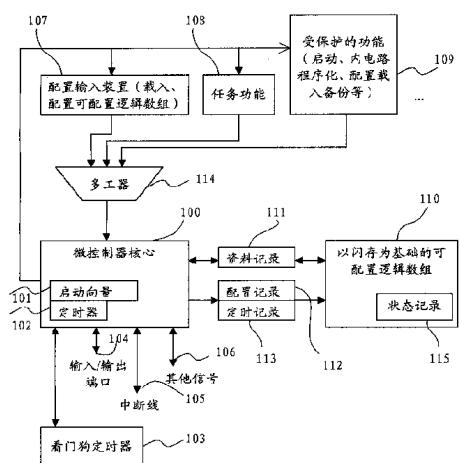
[72] 发明人 孙骏恭 许志铭 陈世梁

权利要求书 4 页 说明书 15 页 附图 8 页

[54] 发明名称 用于嵌入式可配置逻辑数组的内电路配置结构

## [57] 摘要

一系统单芯片集成电路包括一可配置逻辑数组、一处理器核心以及一存储器用以储存任务功能指令以及用于经由在集成电路上的输入端口从外部源加载配置资料到集成电路中的配置加载功能指令，该处理器从该存储器中取得并执行指令，使用配置加载功能接收的配置资料用于配置该可配置逻辑数组。本发明提供使用嵌入式可配置逻辑的系统单芯片设计的更大的弹性，以及提供可配置逻辑的配置加载。



1、一种集成电路，其特征在于包括：

一输入端口，经由该输入端口从外部源接收资料到该集成电路中；

5 一可配置逻辑数组，具有经由储存于该可配置逻辑数组中电气式可程序化配置点的配置资料所定义的可程序化配置；

一存储器，用以储存该集成电路中任务功能指令及储存经由该输入端口接收配置资料的配置加载功能指令以及储存用于转移该配置资料到该可配置逻辑数组中的可程序化配置点的配置功能指令；以及

10 一与该存储器耦合的处理器，用以从该存储器中取得并执行指令。

2、如权利要求1所述的集成电路，其特征在于，其中该存储器包括一非挥发性储存装置。

3、如权利要求1所述的集成电路，其特征在于，其中该存储器包括一浮动闸极存储储存装置。

15 4、如权利要求1所述的集成电路，其特征在于，其中该存储器包括一只读存储储存装置。

5、如权利要求1所述的集成电路，其特征在于，其中该存储器包括一第一非挥发性储存装置用于该配置功能，以及一第二储存装置用于该任务功能。

20 6、如权利要求1所述的集成电路，其特征在于，其中该存储器包括一第一可程序化、非挥发性储存装置用于该配置加载功能，以及一第二储存装置用于该任务功能。

7、如权利要求1所述的集成电路，其特征在于，更包括一与该处理器耦合的看门狗定时器，其中该配置功能包括使用该看门狗定时器响应错误而产生一重置以及根据该重置重新执行该配置加载功能与该配置功能。

25 8、如权利要求1所述的集成电路，其特征在于，更包括一与该处理器耦合的看门狗定时器，其中该配置加载功能包括使用该看门狗定时器响应错误而产生一重置以及根据该重置重新执行该配置加载功能。

9、如权利要求1所述的集成电路，其特征在于，其中该配置加载功能包括经由在该集成电路上的该输入端口接收加密的配置资料以及将该配置资料进行解密。

10、如权利要求1所述的集成电路，其特征在于，其中该配置加载功能包括  
5 经由在该集成电路上的该输入端口接收压缩的配置资料以及将该配置资料进行解压缩。

11、如权利要求1所述的集成电路，其特征在于，其中该电气式可程序化配  
置点包括浮动闸极存储单元。

12、如权利要求1所述的集成电路，其特征在于，其中该电气式可程序化配  
10 置点包括非挥发性、可电荷程序化存储单元。

13、如权利要求1所述的集成电路，其特征在于，其中该电气式可程序化配  
置点包括非挥发性、可程序化存储单元。

14、如权利要求1所述的集成电路，其特征在于，更包括一接口介于该处理器  
与该可配置逻辑数组之间以支持该配置加载功能。

15、如权利要求1所述的集成电路，其特征在于，其中该存储器储存一内电  
路程序化功能指令以写入或修改该配置加载功能指令。

16、如权利要求1所述的集成电路，其特征在于，其中该存储器包括一受保  
护的存储数组储存第一配置加载功能指令以及一第二存储数组储存一第二配置  
加载功能指令，其中，该第一存储数组被保护免于经由内电路程序化功能而改  
变，以及该第二存储数组可经由内电路程序化功能而被重写或修改。  
20

17、如权利要求1所述的集成电路，其特征在于，其中该处理器包括配置该  
可配置逻辑数组以执行该指令。

18、一种提供在加载配置资料到集成电路期间错误恢复方法，该集成电路  
包括一处理器、一具有配置点以储存该配置资料的可配置逻辑数组、以及一存  
25 储器用以储存可经由该处理器执行的指令，包括用以从外部源加载该配置资料  
到该集成电路中的配置加载功能指令，其特征在于该方法包括下列步骤：

监控使用该配置加载功能的配置资料的加载以侦测从远程主机传送该配置资料的延迟；以及

当该延迟超出一到期值时，重新启动该配置加载功能。

19、如权利要求18所述的方法，其特征在于，其中该监控步骤经由使用一  
5 在该集成电路上且与该处理器耦合的看门狗定时器执行。

20、一种配置集成电路的方法，该集成电路包括一处理器、一可配置逻辑数组，具有可经由储存在该可配置逻辑数组中的电气式可程序化配置点的配置资料所定义的可程序化配置，以及一存储器用以储存可经由该处理器执行的指令，其特征在于该方法包括下列步骤：

10 将用于从外部源接收该配置资料到该集成电路中的配置加载功能指令储存于该存储器的第一存储数组中；

将该集成电路的任务功能指令储存于该存储器的第二存储数组中；以及

将用于转移该配置资料到该可配置逻辑数组中的该可程序化配置点的配置功能指令储存于该存储器的第三存储数组中。

15 21、如权利要求20所述的方法，其特征在于，其中该存储器包括一非挥发性储存装置。

22、如权利要求20所述的方法，其特征在于，其中该存储器包括一浮动闸极存储储存装置。

20 23、如权利要求20所述的方法，其特征在于，其中该存储器包括一只读存储器储存装置。

24、如权利要求20所述的方法，其特征在于，其中该存储器的该第一存储数组包括一第一非挥发性储存装置用于该配置功能，以及该存储器的该第二存储数组包括一异于该第一非挥发性储存装置的第二储存装置用于该任务功能。

25 25、如权利要求20所述的方法，其特征在于，其中该存储器的该第一存储数组包括一第一可程序化、非挥发性储存装置用于该配置功能，以及该存储器的该第二存储数组包括一异于该第一非挥发性储存装置的第二储存装置用于该

任务功能。

26、如权利要求20所述的方法，其特征在于，其中该配置加载功能包括经由在该集成电路上的输入端口接收加密的配置资料以及将该配置资料进行解密。

5 27、如权利要求20所述的方法，其特征在于，其中该配置加载功能包括经由在该集成电路上的该输入端口接收压缩的配置资料以及将该配置资料进行解压缩。

28、如权利要求20所述的方法，其特征在于，其中该电气式可程序化配置点包括浮动闸极存储单元。

10 29、如权利要求20所述的方法，其特征在于，其中该电气式可程序化配置点包括非挥发性、可电荷程序化存储单元。

30、如权利要求20所述的方法，其特征在于，其中该电气式可程序化配置点包括非挥发性、可程序化存储单元。

31、如权利要求20所述的方法，其特征在于更包括：

15 监控使用该配置加载功能的配置资料的加载以侦测从远程主机传送该配置资料的延迟；以及

当该延迟超出一到期值时，重新启动该配置加载功能。

32、如权利要求20所述的方法，其特征在于更包括：

20 使用一在该集成电路上且与该处理器耦合的看门狗定时器在该配置加载功能期间监控配置资料的加载以侦测从远程主机传送该配置资料的延迟；以及

当该延迟超出一到期值时，重新启动该配置加载功能。

## 用于嵌入式可配置逻辑数组的内电路配置结构

### 技术领域

本发明是有关于一种系统单芯片集成电路与其它包括嵌入式可配置逻辑数组作为特定用途或客户芯片逻辑的处理器装置。

### 技术背景

已知的可程序化逻辑装置 (PLD) 及场可程序化闸极数组 (FPGA) 的可配置逻辑数组，以及更广为熟知的可程序化逻辑数组 (PLA)，具有愈来愈高密度的设计，配置此类高密度装置的技术通常需要特定的逻辑在芯片上或在与可配置逻辑数组经系统总线沟通的主机处理器上执行。可配置逻辑数组核心的配置资料管理需要复杂的逻辑，参见颁给Lawman的美国专利第6, 049, 222号，配置装置用的特定技术限制该技术可应用的环境。

可配置逻辑数组可经由使用者加载一配置资料以设定在装置上的可程序化组件的指定配置，并将配置资料交付于其中的可程序化配置点以完成使用者指定的功能，例如场可程序化闸极数组包括一逻辑组件的数组及大量可使用配置资料加以程序化的连线。在芯片中配置资料储存于以存储组件所构成的配置点中，通常以静态随机存取存储器 (SRAM) 之类的存储单元实现，其它可配置逻辑数组包括非挥发性配置存储器，使用只读存储器 (ROM)、快闪存储器 (flash) 或可抹除可程序化只读存储器 (EPROM) 之类的存储单元实现。

可电荷程序化、非挥发性存储元件已经被用来作为可程序化的开关及可配置逻辑数组中的其它配置点。参见美国专利第5, 247, 478号、第5, 764, 096号及第6, 122, 209号。

有关可配置逻辑数组的一个问题是将配置资料加载安装在印刷电路板上的芯片或以其它方式结合到功能系统中。参见美国专利第4, 879, 688号“系统中

可程序化的逻辑装置”、第5, 995, 744号“可程序化电路的网络装置”、第6, 028, 445号“场可程序化闸极数组结构的解码器构造与方法”、第6, 049, 222号“使用嵌入式存储器配置场可程序化闸极数组”以及第6, 102, 963号“具有在系统中程序化及确认功能的电气式可抹除及可程序化的非挥发性整合储存装置以支持可程序化逻辑装置在系统中的再配置”。

系统单芯片 (system-on-a-chip; SOC) 装置增加了系统的复杂度，因此SOC系统不易设计且改变费用昂贵。通过在处理器核心增加一可配置逻辑数组与该处理器核心连接可使得改变及设计较为容易，因此，可配置逻辑数组中的逻辑可利用工业上的工具结合可程序化逻辑的使用而进行配置，同时处理器核心可使用已知的软件程序技术而程序化，但是可配置逻辑数组模块的配置资料管理的问题依旧存在。系统单芯片技术在复杂系统上遇到的典型问题即是不易设计且改变费用昂贵，将可配置逻辑数组与处理器核心结合在一起，逻辑的组合可随着处理器的改良而改变，也即经由可程序化逻辑数组的配置工具可达成逻辑的配置。

使系统单芯片在设计上更具弹性，以及改良可配置逻辑中管理配置的技术有所需求。

本发明提供使用嵌入式可配置逻辑的系统单芯片设计的更大的弹性，以及提供可配置逻辑的配置加载。

### 发明内容

本发明提供一种系统单芯片集成电路，包括一可配置逻辑数组、一处理器核心以及一存储器用以储存系统单芯片的任务功能指令与用于经由集成电路上的输入端口从外部源加载配置资料到集成电路中的配置加载功能指令，处理器从存储器中呼叫并执行指令。

在一些实施例中，存储器也储存了配置功能指令以加载配置资料到可配置逻辑数组中的电气式可程序化配置点，在另一些实施例中，使用与可配置逻辑数组结合的专用逻辑执行配置功能，一接口介于处理器与芯片中可配置逻辑数

组或配置逻辑之间以支持配置功能。

存储器包括第一存储数组以储存配置加载功能指令，在一实施例中该存储器为非挥发性存储器，如只读存储器、浮动闸极存储器及氮化金属氧化半导体(nitride MOS)存储器等，同样地，配置功能指令也可储存于第一存储数组中，  
5 较佳者，配置加载功能指令储存在可程序化存储器中，使得在电路中可以改变配置加载功能以适应不同配置资料的远程源以及与远程源建立沟通管道的协议。

经由在芯片上提供配置功能及/或配置加载功能指令并由处理器核心执行，本发明的系统单芯片集成电路可以轻易地应用于广泛的各种希望可配置逻辑数  
10 组的配置加载的环境中。

任务功能包括达成系统使用任务的特定使用者及/或特定用途指令。在使用非挥发性存储器的实施例中，如高速静态随机存取存储器(high-speed SRAM)或动态随机存取存储器(DRAM)，该存储器包括一存储数组以储存任务功能指令。在其它的实施例中，储存任务功能指令的存储器包括非挥发性存储器，如  
15 只读存储器、浮动闸极存储器、氮化金属氧化半导体存储器或类似的存储器。在一些实施例中，储存任务功能指令的存储器可能包括挥发性与非挥发性存储器的组合。

在另外的实施例中，系统中配置加载及任务功能的配置加载的指令均储存于芯片中的非挥发性存储器，如此，可配置逻辑数组的配置资料与任务功能指  
20 令二者的加载可以被写入位于电路板或其它系统中的系统单芯片里。

在一些实施例中，配置加载功能及/或配置功能包括使用看门狗定时器的程序，且集成电路中包括与处理器结合在一起的看门狗定时器电路。

可配置逻辑数组具有一由储存于可配置逻辑数组内的电气式可程序化配置点中的配置资料所定义的可程序化配置，例如电气式可程序化配置点包括浮动  
25 闸极存储单元或其它可电荷程序化、非挥发性存储单元，在可配置逻辑数组的配置程序中配置资料会转移到配置点中。

在一些实施例中，可程序化配置存储器被包含在集成电路上用以储存配置资料，根据这些实施例，配置功能包括从配置存储器中转移配置资料到可配置逻辑数组中的可程序化配置点，同样地，配置加载功能包括经由在系统单芯片集成电路中的输入端口从资料的远程源加载配置资料到配置存储器中。在一些  
5 实施例中，可程序化配置存储器使用非挥发性、可程序化存储单元，例如浮动闸极存储器或其它可电荷程序化非挥发性存储器。在一些实施例中，使用高速静态随机存取存储器作为可程序化配置存储器以支持可配置逻辑数组的快速配置改变。同样地，一些实施例包括非挥发性存储器与高速挥发性存储器，以支持配置资料在芯片上的储存与处理。

10 在其它的实施例中，处理器核心响应一初始化事件，例如重置以执行配置加载及配置功能。根据本发明的系统单芯片集成电路的一个实施例包括一看门狗定时器，依据该看门狗定时器的时间间隔引发一初始化事件，该配置加载功能包括设定看门狗定时器的时间间隔使其适用于从远程源接收配置资料的程序，以及若到达时间间隔时则执行包括重试配置加载功能的初始化功能。

15 在另外的实施例中，存储器储存配置加载功能、任务功能及配置功能的指令。在诸如此类的实施例中，第一配置加载功能储存于免于受配置加载功能而重写或修改的受保护存储器中，第一配置加载功能提供一通道以供配置资料从一预设位置嵌入受保护的存储器中。第二配置加载功能储存于未受保护的存储器中，用来和配置资料远程源沟通，该配置资料可以不在预设位置。假如初始化事件发生于配置加载操作到改变第二配置加载功能的执行期间，则第一配置  
20 加载功能可以用来回复配置加载操作。

#### 附图说明

对于熟习本技艺的人士而言，从以下所作的详细叙述配合伴随的图示，本发明将能够更清楚地被了解，其上述及其它目的及优点将会变得更明显，其中：

25 图1是根据本发明的系统单芯片集成电路的一个实施例的简化方块图；  
图2是根据本发明的系统单芯片集成电路的另一实施例的简化方块图；

图3是根据本发明的系统单芯片集成电路的又一实施例的简化方块图；

图4是根据本发明的系统单芯片集成电路的较详细的功能示意图；

图5是根据本发明在芯片上包括配置资料存储器的系统单芯片集成电路的一个实施例的功能示意图；

5 图6是根据本发明在芯片上包括配置资料存储器的系统单芯片集成电路的另一实施例的功能示意图；

图7是根据本发明在芯片上包括配置资料存储器并支持加密/解密及/或压缩/解压缩的系统单芯片集成电路的一个实施例的功能示意图；以及

10 图8是根据本发明所提供系统单芯片集成电路环境部署的理论图，其中配置资料由远程源提供且系统单芯片集成电路允许配置加载功能的配置加载，以建立与远程源的沟通管道。

主要组件符号说明：

- |     |             |
|-----|-------------|
| 10  | 系统单芯片集成电路   |
| 11  | 微控制器核心模块    |
| 12  | 输入/输出结构     |
| 13  | 受保护存储器      |
| 14  | 可程序化存储器     |
| 15  | 可配置逻辑数组     |
| 15A | 可配置逻辑数组的程序段 |
| 16  | 配置存储器       |
| 100 | 微控制器核心      |
| 101 | 启动向量        |
| 102 | 定时器         |
| 103 | 看门狗定时器      |
| 104 | 输入/输出端口     |
| 105 | 中断线         |

- 
- 106 其他信号输入与输出
  - 107 第一存储数组
  - 108 第二存储数组
  - 109 第三存储数组
  - 110 可配置逻辑数组
  - 111 资料记录
  - 112 配置记录
  - 113 定时记录
  - 114 多工器
  - 115 状态记录
  - 150 可配置逻辑数组
  - 151 非挥发性配置资料存储数组
  - 152 控制电路
  - 160 可配置逻辑数组
  - 161 非挥发性配置资料存储数组
  - 162 控制电路
  - 170 资料路径
  - 171 资料路径
  - 172 存储数组
  - 200 非挥发性存储器
  - 202 启动程序
  - 204 公用程序
  - 206 内电路程序化操作装置
  - 207 微启动码
  - 208 随机存取存储器
  - 210 多工器

---

212	中央处理器 (CPU)
214	周边装置
216	跳跃启动向量
218	内电路程序化/配置加载状态记录
220	远程主机地址记录
222	内电路程序化/配置加载看门狗
224	定时器
226	到期周期记录
228	匹配逻辑
230	读/写路径
232	重置线
234	网际网络
236	远程主机
238	远程主机
240	远程主机
242	磁盘片
244	使用者
250	配置操作装置
251	可配置逻辑数组

### 具体实施方式

本发明实施例的详细说明参考图1-8。一基本的系统单芯片集成电路10如图1所示，包括微控制器核心模块11，例如已知标准的8051或先进精简指令集运算器(ARM)模块，或者，微控制核心模块11也可由其它资料处理器核心例如数字信号处理器核心、高效率精简指令集运算(high-performance RISC)处理器核心或其它微处理器或数字信号处理器模块所取代或补充，受保护存储器13及可程序化存储器14包括在集成电路10中，典型的受保护存储器13储存启动功

能及其类似功能的指令避免被重写或修改，典型的可程序化存储器14储存集成电路10的任务功能指令，输出/输入结构12也包括在集成电路10中，以支持输入与输出集成电路10的串联资料通道及并联资料通道其中一个或两个。

在集成电路10中包括可配置逻辑数组15以支持微控制器核心模块11，可配置逻辑数组15使用场可程序化闸极数组或其它形式的可配置逻辑模块实现，可配置逻辑数组15包括许多配置点用以储存可配置逻辑数组15的配置资料并定义其功能，典型地，可配置逻辑数组15包含在一系统单芯片集成电路中以支持任务功能及执行特定的逻辑。根据本发明，受保护存储器13与可程序化存储器14其中之一所储存的指令经由微控制器核心模块11执行，该指令包括逻辑以完成转移配置资料到可配置逻辑数组15中的配置点的配置功能，该指令也包含逻辑以完成配置加载以确定经由输入/输出结构12从远程源加载配置资料到集成电路中的沟通管道。

图2是系统单芯片集成电路10替代实施例的简化方块图，根据图2的实施例，在芯片上的处理器经由可配置逻辑数组15的程序段15A实现，程序段15A的配置资料储存在程序段15A中非挥发性配置点或集成电路中受保护存储器13内，在本实施例中，根据集成电路的初始化，配置资料从受保护存储器13转移到程序段15A中，处理器经由可配置逻辑数组的程序段15A实现，其执行指令类似于已知微控制器核心模块11或其它处理器核心。

图3是根据本发明的系统单芯片集成电路10另一替代实施例的简化方块图，在图3的实施例中，一配置存储器16被包括在芯片中，配置存储器储存可配置逻辑数组15的配置资料且该配置资料根据初始化或在微控制器核心模块11的控制下或其它在芯片上的配置逻辑转移到可配置逻辑数组中，配置存储器16可使用只读存储器实现，以确定可配置逻辑数组在制造过程中具有最小集合的配置资料。在另一系统中，配置存储器16是可程序化的且在控制指令经由微控制器核心模块11执行下可利用配置加载功能从远程源加载。在另一系统中，配置存储器16可结合只读存储器与可程序化存储器。

图4是根据本发明的系统单芯片集成电路实施例的详细功能图，根据本发明的较佳实施例，所有在单一集成电路中实施的构成要素如图4所示，该芯片包括一微控制器核心100，利用一特定目的的电路或如图2中所述的可配置逻辑数组中的一程序段所实现，微控制器核心100包括启动向量101及定时器电路102以支持看门狗定时器103，微控制器核心100支持输入/输出端口104、至少一中断线105及其它信号的输入与输出106，在集成电路上的存储器用以储存指令并经由微控制器核心执行，该存储器包括第一存储数组107用以储存配置操作装置的指令，其包括配置加载功能及配置功能以支持在集成电路上的可配置逻辑数组110。在一些实施例中，配置操作装置包括一初始化功能的执行以响应一初始化事件，像是经由一中断信号或一看门狗定时器重置所引发的重置。该存储器尚包括第二存储数组108用以储存系统单芯片集成电路的任务功能指令，以及第三存储数组109用以储存受保护的功能，包括启动功能、内电路程序化功能及可配置逻辑数组配置加载备份功能。第三存储数组109被保护免于经由一内电路程序化( ICP )功能而重写或修改，并在例如重置事件及内电路程序化程序或配置加载程序失败时的初始化功能期间恢复系统。

该存储器可使用变化多样的存储单元技术，包括屏蔽式只读存储器(mask ROM)、快闪存储器、静态随机存取存储器以及类似的适合特定实施装置来实现，典型的第三存储数组109经由非挥发性存储器例如屏蔽式只读存储器或闪存来实现，当经由闪存或其它电气式可程序化存储器所实现时，逻辑结构可保护第20三存储数组109免于因配置加载的操作或意外而被重写或修改。

在集成电路中可配置逻辑数组110如图4的实施例，经由一以闪存为基础的可配置逻辑数组来实现，在以闪存为基础的可配置逻辑数组中，配置点为非挥发性，使得配置资料在重置或断电时仍会保留下。

在集成电路中有一接口介于微控制器核心100与可配置逻辑数组110之间，25该接口包括其它在此技术中已知的结构，资料记录111、配置记录112以及定时记录113，且该资料、配置资料以及定时信号经由该接口在模块间进行交换，状

态记录115经由协议的配置功能确认使用配置资料的可配置逻辑数组的配置成功。

微控制器核心100可经由如多工器114所示的指令路径从包括存储数组107、108、109的存储器中检索指令，其它包括如静态随机存取存储器或记录数组的5存储器结构包含在集成电路中，以支持经由微控制器核心100或可配置逻辑数组110的执行功能。

在图4的实施例中，配置操作装置的配置加载功能储存于第一存储数组107中，以确定介于系统单芯片集成电路与配置资料的远程源之间的沟通管道，该10沟通管道通过输入/输出端口104接收配置资料，该配置资料经由在配置操作装置中的配置功能通过配置记录112到达在可配置逻辑数组110中以闪存为基础的配置点。

在配置加载演算的过程中发生重置的事件或其它初始化事件，则配置加载功能将会重新执行。

一内电路程序化( ICP )程序也可储存于存储器中，例如储存于第三存储数组109中或其它位置，用于重写或修改配置操作装置，使得配置加载功能可适用于从使用者选定的远程源接收配置资料，根据本发明的这些实施例，可配置逻辑数组的配置加载备份功能储存于第三存储数组109中，当储存于第一存储数组107中的配置操作装置发生错误时，系统可利用储存于第三存储数组109中的功能恢复原状，根据美国专利第6, 401, 221号、第6, 493, 788号以及第5, 901,20 330号中所揭露的内电路程序化功能是适合使用的。

图5是根据本发明的系统单芯片集成电路的替代结构，相似的构成要素给予图4中使用的相同编号。根据如图5所示的替代结构，可配置逻辑数组150不需使用以闪存或其它非挥发性配置点为基础的可配置逻辑数组实现，例如，可配置逻辑数组150可使用具有以静态随机存取存储器(SRAM)为基础的配置点的标准25型场可程序化闸极数组(FPGA)来实现。

可配置逻辑数组150的配置资料储存在非挥发性配置资料存储数组151中，

并由微控制器核心100取得集成电路的部分存储器而实现，在本实施例中使用控制电路152作为非挥发性配置资料存储数组151与微控制器核心100之间的接口，在第一存储数组107中配置操作装置的配置加载功能用以确定远程源与非挥发性配置资料存储数组151间的通道，在配置演算过程中第一存储数组107中配置5 操作装置的配置功能从非挥发性配置资料存储数组151经过微控制器核心100转移配置资料到可配置逻辑数组150。

图6是根据本发明的系统单芯片集成电路的替代结构，相似的构成要素给予图5中使用的相同编号。根据如图6所示的替代结构，可配置逻辑数组160可使用可程序化逻辑装置（PLD）模块来实现，可配置逻辑数组160的配置资料储存在10 非挥发性配置资料存储数组161中，并由微控制器核心100取得集成电路的部分存储器而实现，控制电路162作为非挥发性配置资料存储数组161与可配置逻辑数组160之间的接口，使得第一存储数组107的配置功能直接经由配置功能专用的资料路径170、171从非挥发性配置资料存储数组161转移配置资料到可配置逻辑数组160中，资料路径170、171可使用宽频并联资料路径或其它适用于配置功能的高速、特别配置的资料路径来实现，在本实施例中，第一存储数组107中的15 配置功能可以简化或忽略，且其更多的功能由控制电路162来达成。

在第一存储数组107中配置操作装置的配置加载功能用以确定远程源与非挥发性配置资料存储数组161间的通道。

图7是根据本发明的系统单芯片集成电路的替代结构，相似的构成要素给予20 图6中使用的相同编号。根据如图7所示的替代结构，存储器增加一存储数组172用以储存加密/解密功能及压缩/解压缩功能指令其中至少之一，根据如图7所示的实施例，配置加载功能确定一远程源与非挥发性配置资料存储数组161间的通道，配置资料以加密形式、压缩形式或加密及压缩形式从远程源接收，当加载配置资料到非挥发性配置资料存储数组161时，配置加载功能从存储数组172中25 进行解密及/或解压缩功能，或者，当转移配置资料到可配置逻辑数组中的配置点时，配置加载功能从存储数组172中进行解密及/或解压缩功能，增加的存储

数组172储存加密/解密功能及压缩/解压缩功能其中至少之一,以用于不同的系统单芯片集成电路的实施例,包括如图4及图5所示的实施例。

图8是一些与本发明观点相同的内电路程序化及配置加载的容错系统的  
主要功能构成要素的方块图,一系统单芯片集成电路包括一处理器核心(CPU212)  
及一可配置逻辑数组251。内电路程序化程序及配置加载系统包括非挥发性存储器200、随机存取存储器(RAM)208、CPU212及周边装置214。该内电路程序化程序及配置加载系统也包括容错系统的构成要素,包括跳跃启动向量216、多工器(MUX)210、内电路程序化/配置加载(ICP/CL)状态记录218、远程主机地址记录220及ICP/CL看门狗222。

更明确地,CPU212是任何形式的处理系统,包括微控制器、微处理器或数字信号处理器。CPU212与RAM208结合在一起且随机存取存储器所包含的编码及资料经由CPU212执行,此外,CPU212也经过由MUX210所表示的资料路径与非挥发性存储器200结合在一起。

非挥发性存储器200是当系统断电时仍可保存资料的任何形式的存储器,包括闪存、可抹除可程序化只读存储器(EPROM)、电气式可抹除可程序化只读存储器(EEPROM)及只读存储器,非挥发性存储器200包括启动程序202、公用程序204、内电路程序化ICP操作装置206、配置操作装置250以及微启动码207。启动程序202包括在系统初始化的程序中执行程序的收集以将系统的硬件及软件资源初始化,启动程序202储存于可程序化存储器中并可在配置加载的过程中被修正。非挥发性存储器200也包括公用程序204,该公用程序204在系统的演算过程中包括许多程序经由CPU212执行以完成任务功能,公用程序204也可被包含于经由内电路程序化加载程序中可被程序化的存储器中。非挥发性存储器200也包括配置操作装置250以进行系统的配置加载功能且其可被包含于经由配置加载程序中可被程序化的存储器中,非挥发性存储器200中所包括的配置操作装置250可被包含于经由内电路程序化程序中可被程序化的存储器中。配置操作装置250所执行的功能如之前图4-7所述。

非挥发性存储器200同时包括位于受保护存储器内的微启动码207，微启动码207在相同内电路正常启动程序化程序与配置操作装置程序中不会被修改，微启动码207可替代系统初始化指令以完成许多如启动程序202的相同功能，然而，当有一个可能由启动程序202引起的错误发生于内电路程序化程序中，即内电路  
5 程序化操作装置206或配置操作装置250失败及不稳定时，微启动码207只是一个跳脱的行为，因此，微激活码207必须储存在相同内电路正常启动程序的程序化过程中不会被修改的存储器中。在本发明的一个实施例中，当启动程序202、公用程序204、配置操作装置250及ICP操作装置206储存在可程序化闪存时，微启动码207储存在屏蔽式只读存储器中。

10 在ICP程序中，CPU212同时结合硬件构成要素以帮助容错，CPU212结合MUX210作为非挥发性存储器200及跳跃启动向量216的输入且控制从ICP/CL状态记录218的输入，MUX210视ICP/CL状态记录218的状况选择性切换CPU212于跳跃启动向量216及非挥发性存储器200之间，若ICP/CL状态记录218是脏的，表示之前的ICP演算或演算修正配置加载运算没有完成，则CPU212在系统初始化的程序  
15 中输入一个跳跃指令给启动向量216以指向微启动码207，另一方面，若ICP/CL状态记录218是干净的，表示没有配置加载运算在进行，则CPU212在系统初始化的程序中输入非挥发性存储器200的初始加载，CPU212同时结合远程主机地址记录220并包含备份远程主机地址，避免在内电路程序化程序中发生系统重置，CPU212也通过读/写路径230及重置线232与ICP/CL看门狗222结合，ICP/CL看门  
20 狗222包括到期周期(timeout period)记录226及定时器224与匹配逻辑228，定时器224及到期周期226二者可透过读/写路径230经由CPU212而被初始化，当定时器224的值与到期周期226相同时，匹配逻辑228引发一个重置信号经由重置线232传送到CPU212。在一实施例中，上述提到的硬件构成要素提供的容错包括保护可程序化存储组件免受内电路程序化程序的影响。

25 此外，CPU212结合周边装置214，包括连接系统使用者的输入及输出装置，如图中周边装置214左边的双箭号所示，周边装置214也包括一接口通过周边装

置214与网际网络234、或其它沟通管道或网络结合。网际网络234本身结合了远程主机236、238及240，远程主机238结合了包含新版本的启动及公用程序的磁盘片242，包括例如新的内电路程序化功能或新的配置加载功能并经由网际网络234下载到系统中。

5 配置加载程序通常运作如下，首先CPU212通过周边装置214与使用者244连接，使用者244引发CPU212开始执行配置操作装置250进行配置加载程序，配置操作装置250引发通过周边装置214到网际网络234及通过网际网络234到远程主机238之间的连接，接着远程主机238开始从磁盘片242通过网际网络234下载资料到非挥发性存储器200中，同时资料开始转移、在ICP/CL看门狗222中的到期  
10 周期226设定一估计值及定时器224开始计时。

若配置加载程序进行顺利，则本发明的容错特征为非活性化的，另一方面，若在配置加载程序中发生过度延迟，则定时器224最终将与到期周期226相同而引发一重置信号经由重置线232到达CPU212，并引发CPU212开始进行一连串的启动。若系统在配置加载程序中重新启动，则ICP/CL状态记录218设定为脏的值，  
15 因而引发MUX210直接跳跃启动向量216到CPU212中，使得微启动码207代替启动程序202引发CPU212启动。若ICP/CL状态记录218设定为干净的值，表示配置加载程序已全部完成且MUX210从启动程序202引发CPU212启动。

20 微启动码207引发CPU212重新开始配置加载程序，是经由从远程主机地址记录220的第一个读取值决定远程主机的连接以重新开始配置加载程序，然后配置加载程序即重新开始。在另一实施例中，微启动码207包括一配置加载程序化的设计，用以从预设位置存取配置资料的设定，例如芯片中的非挥发性存储器或经由连接一预定的主机与系统单芯片集成电路结合。

ICP程序通常运作如下，首先CPU212通过周边装置214与使用者244连接，一些非典型系统单芯片集成电路是经由输入/输出端口而与使用者连接，使用者  
25 244引发CPU212开始执行ICP装置206进行ICP程序，ICP装置206引发通过周边装置214到网际网络234及通过网际网络234到远程主机238之间的连接，接着远程

主机238开始从磁盘片242通过网际网络234下载资料到非挥发性存储器200中，同时资料开始转移，在ICP/CL看门狗222中的到期周期226设定一估计值及定时器224开始计时。

若ICP程序进行顺利，则本发明的容错特征为非活性化的，另一方面，若在  
5 ICP程序中发生过度延迟，则定时器224最终将与到期周期226相同而引发一重置信号经由重置线232到达CPU212，并引发CPU212开始进行一连串的启动。若系统在ICP程序中重新启动，则ICP/CL状态记录218设定为脏的值，因而引发MUX210直接跳跃启动向量216到CPU212中，使得微启动码207代替启动程序202引发CPU212启动。若ICP/CL状态记录218设定为干净的值，表示ICP程序已全部完成，  
10 且MUX210从启动程序202引发CPU212启动。

微启动码207引发CPU212重新开始ICP程序，是经由从远程主机地址记录220的第一个读取值决定远程主机的连接以重新开始ICP程序，然后ICP程序即重新开始。

在一些实施例中，ICP程序可以重写或修改配置操作装置，在这些实施例中，  
15 ICP程序首先备份配置操作装置250到非挥发性存储器中以确定在系统单芯片上配置加载的二份备份，其中一份备份是修改过的，若修改完全成功则另一份备份会被删除，不过，若修改没有完全成功则配置操作装置的安全备份可用来恢复系统操作。

以上对于本发明的较佳实施例所作的叙述为阐明的目的，而无意限定本发明精确地为所揭露的形式，基于以上的教导或从本发明的实施例学习而作修改或变化是可能的，实施例为解说本发明的原理以及让熟习该项技术者以各种实施例利用本发明在实际应用上而选择及叙述，本发明的技术思想由权利要求范围及其均等来决定。

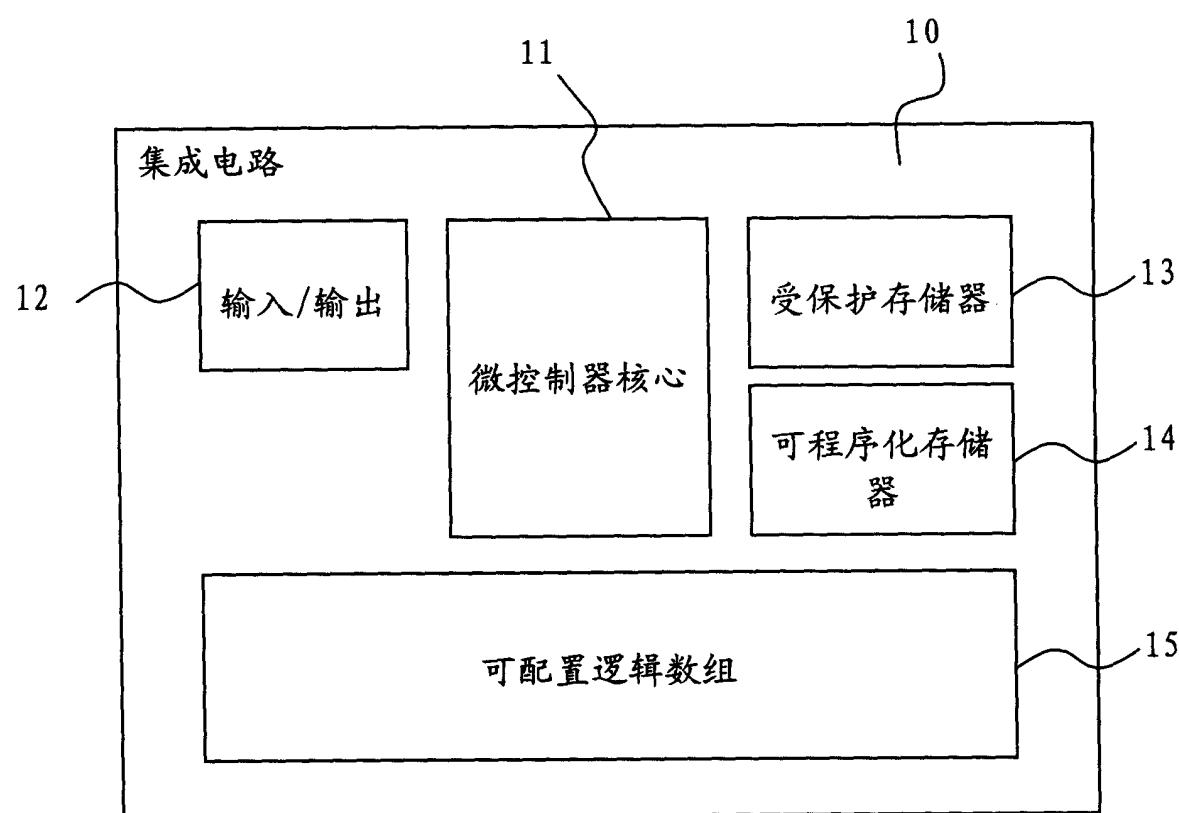


图 1

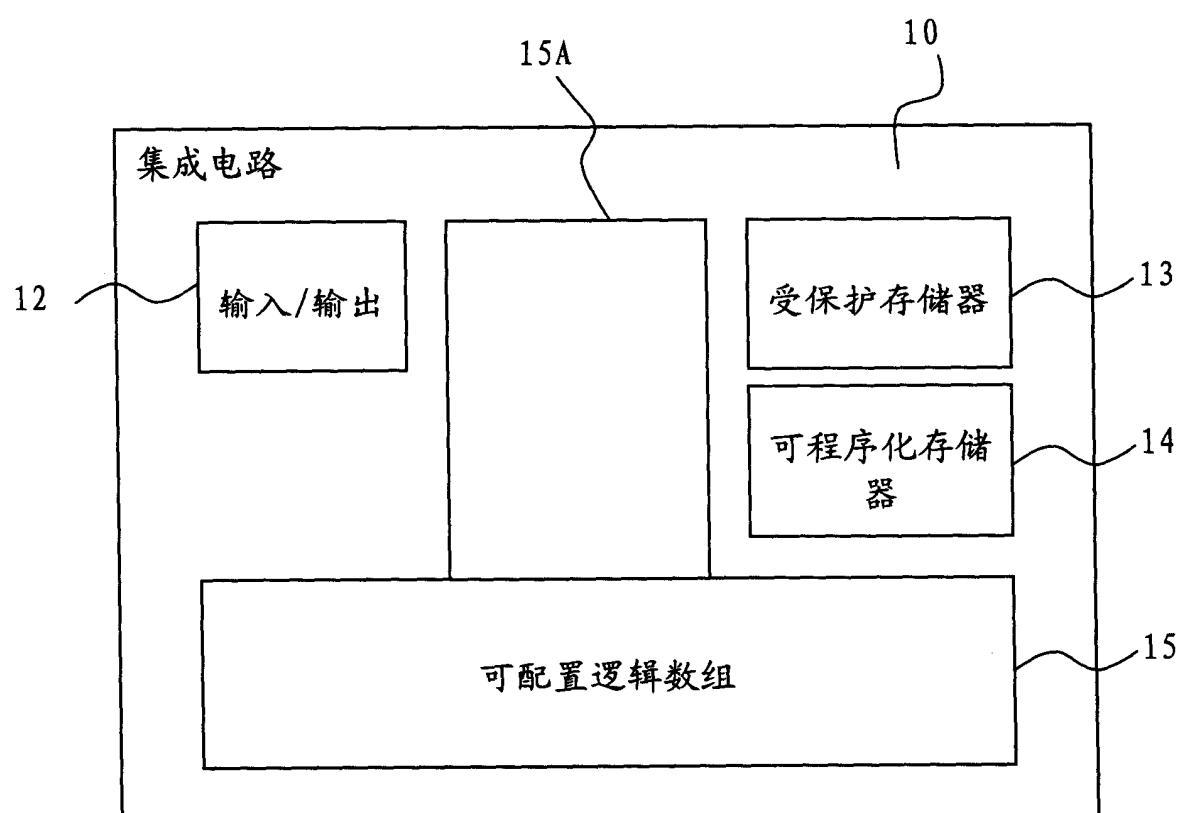


图 2

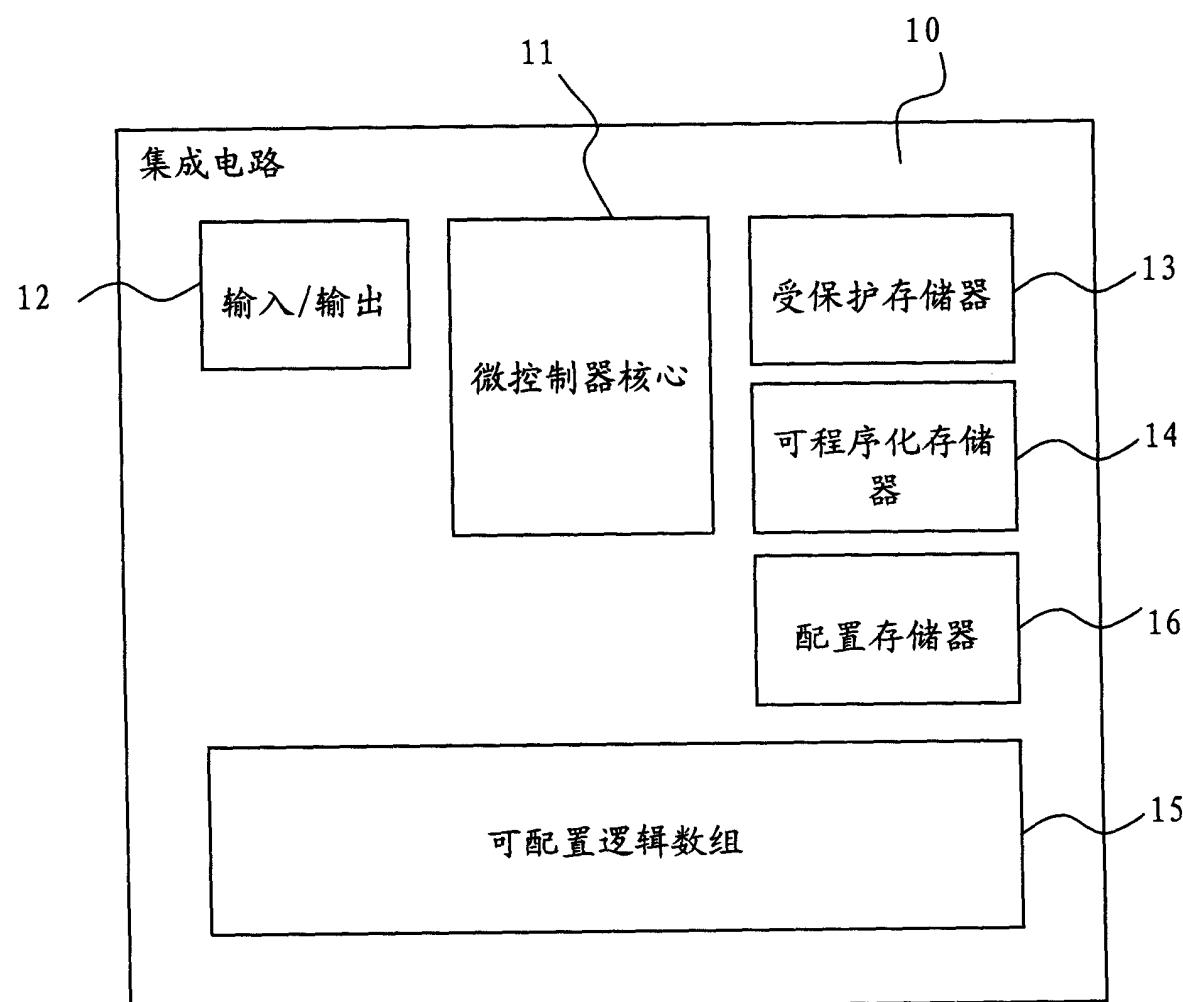


图 3

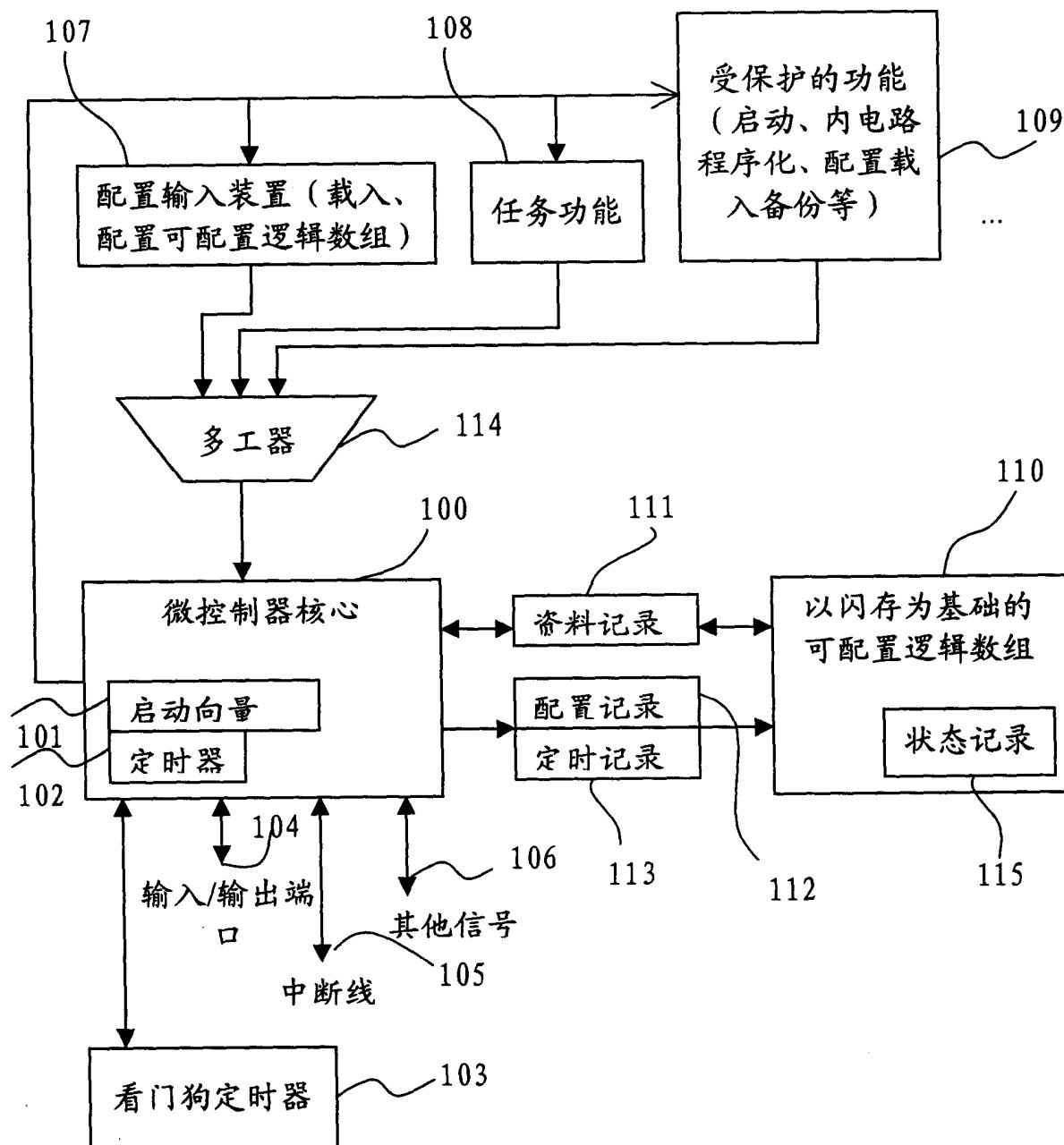


图 4

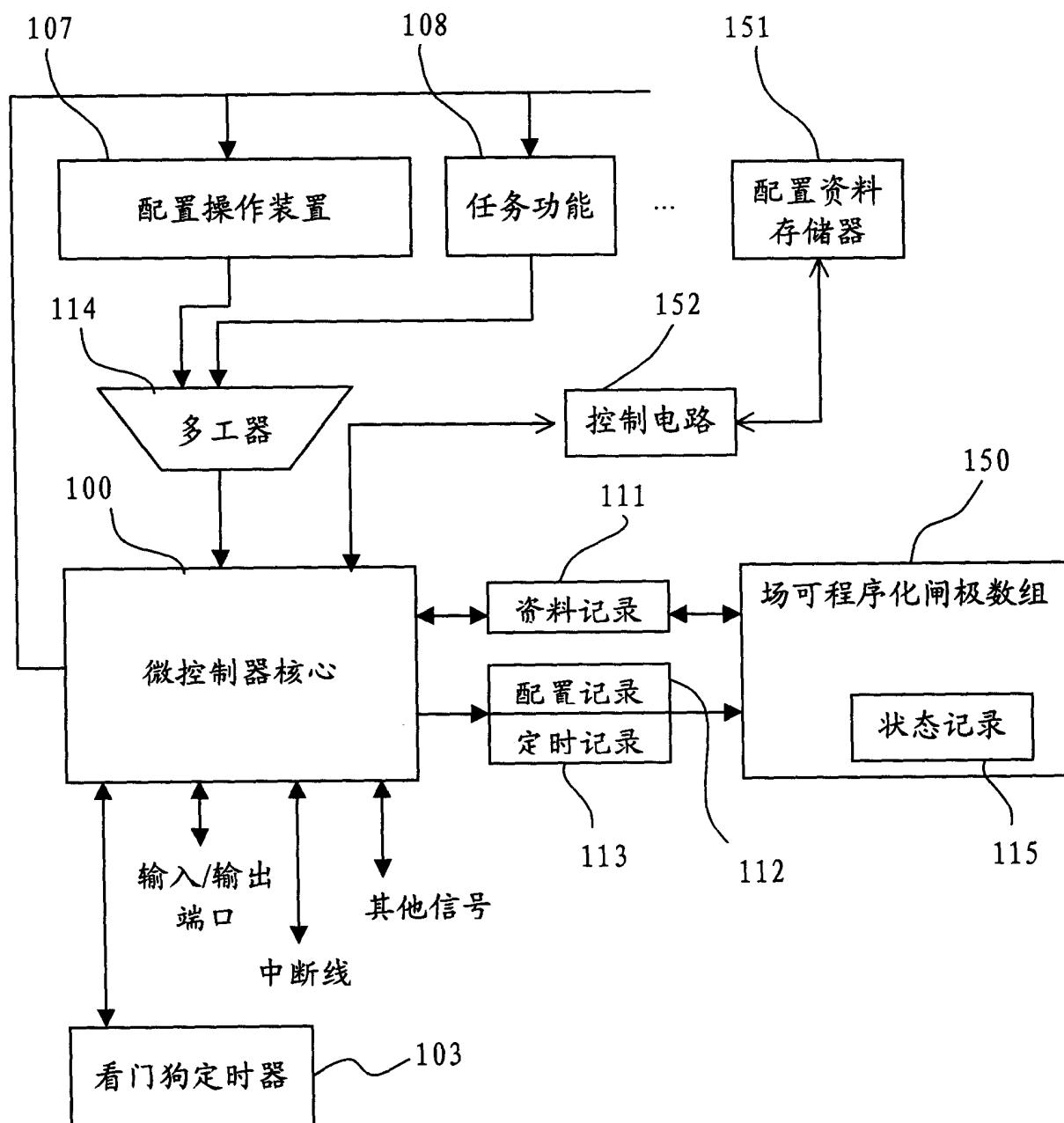


图 5

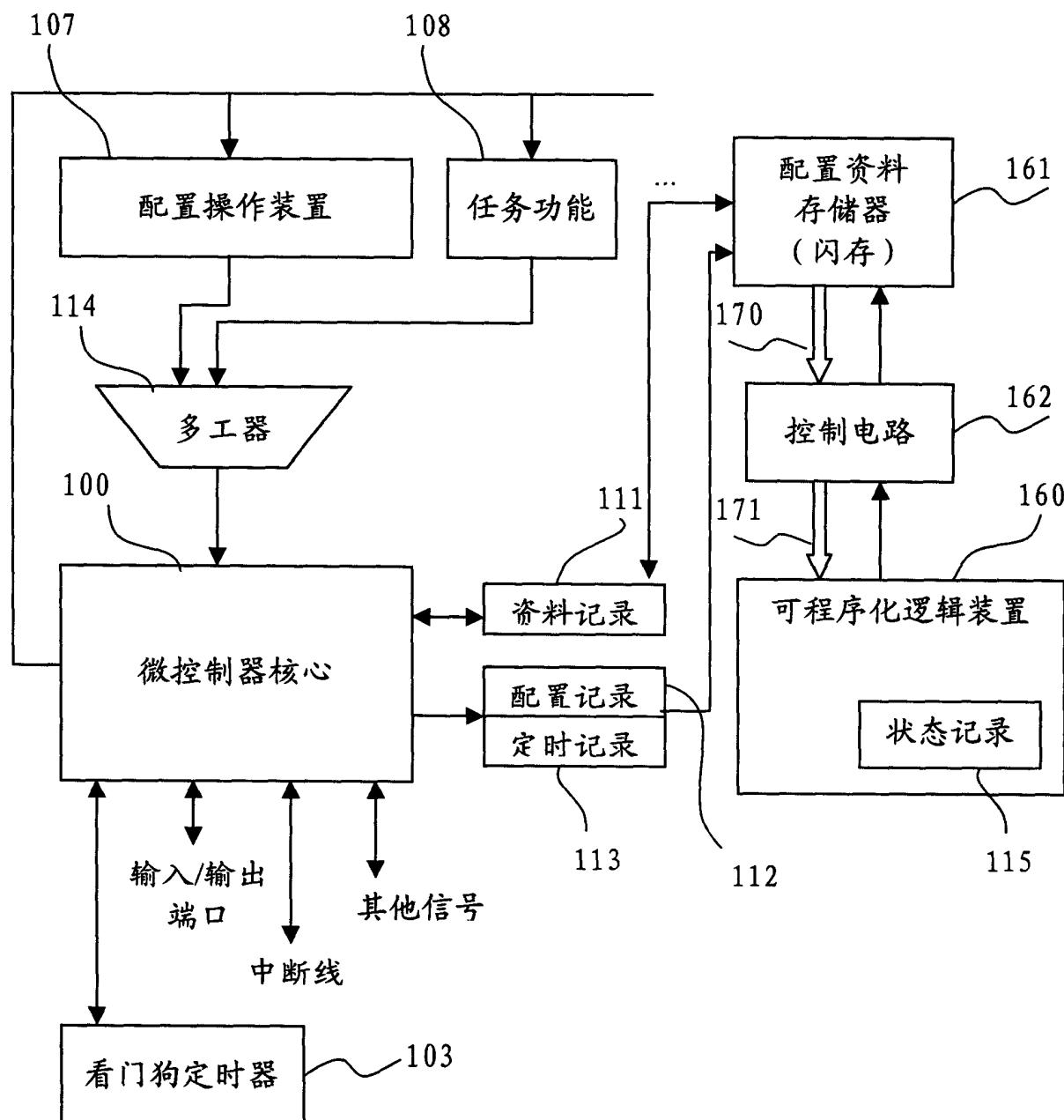


图 6

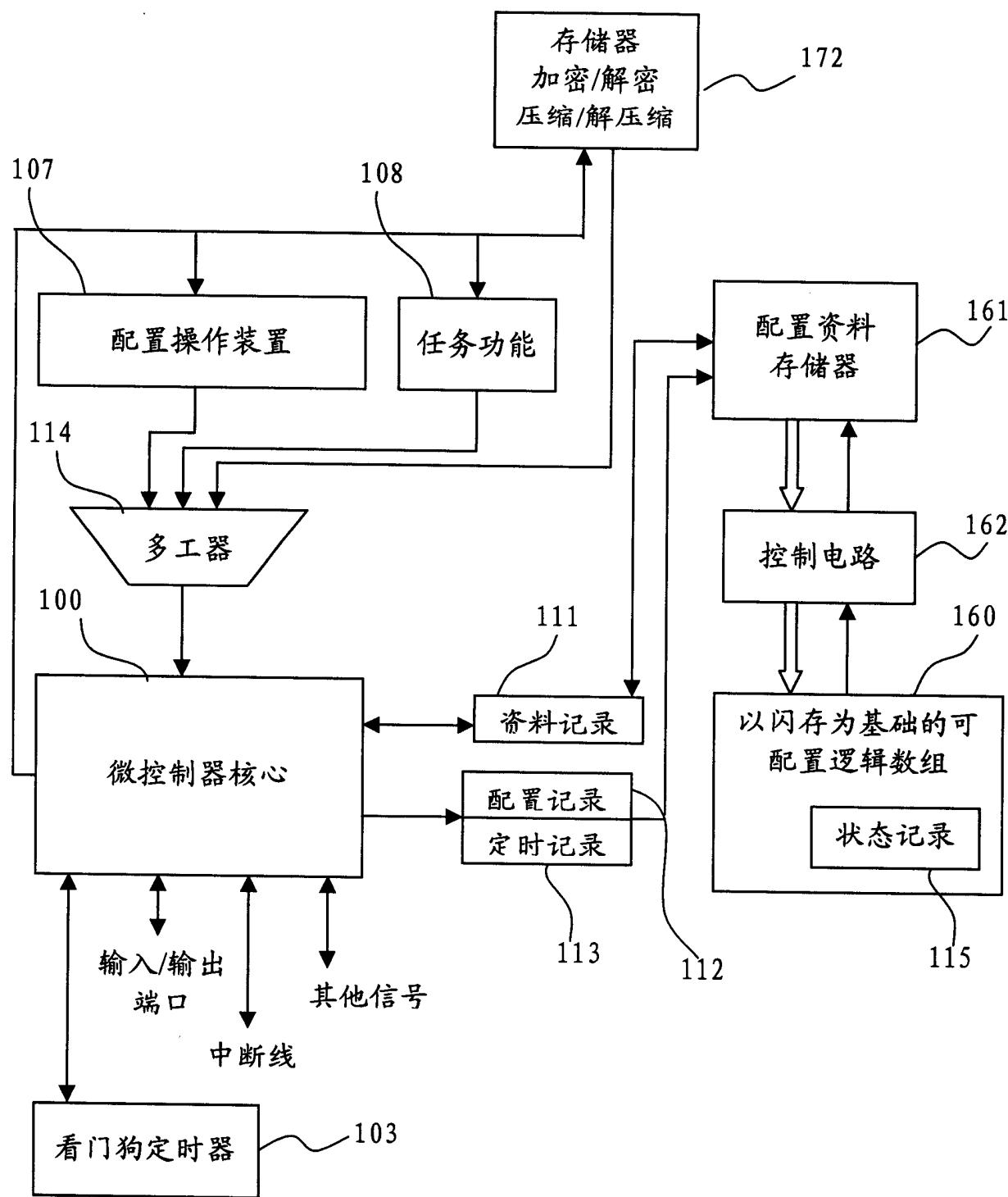


图 7

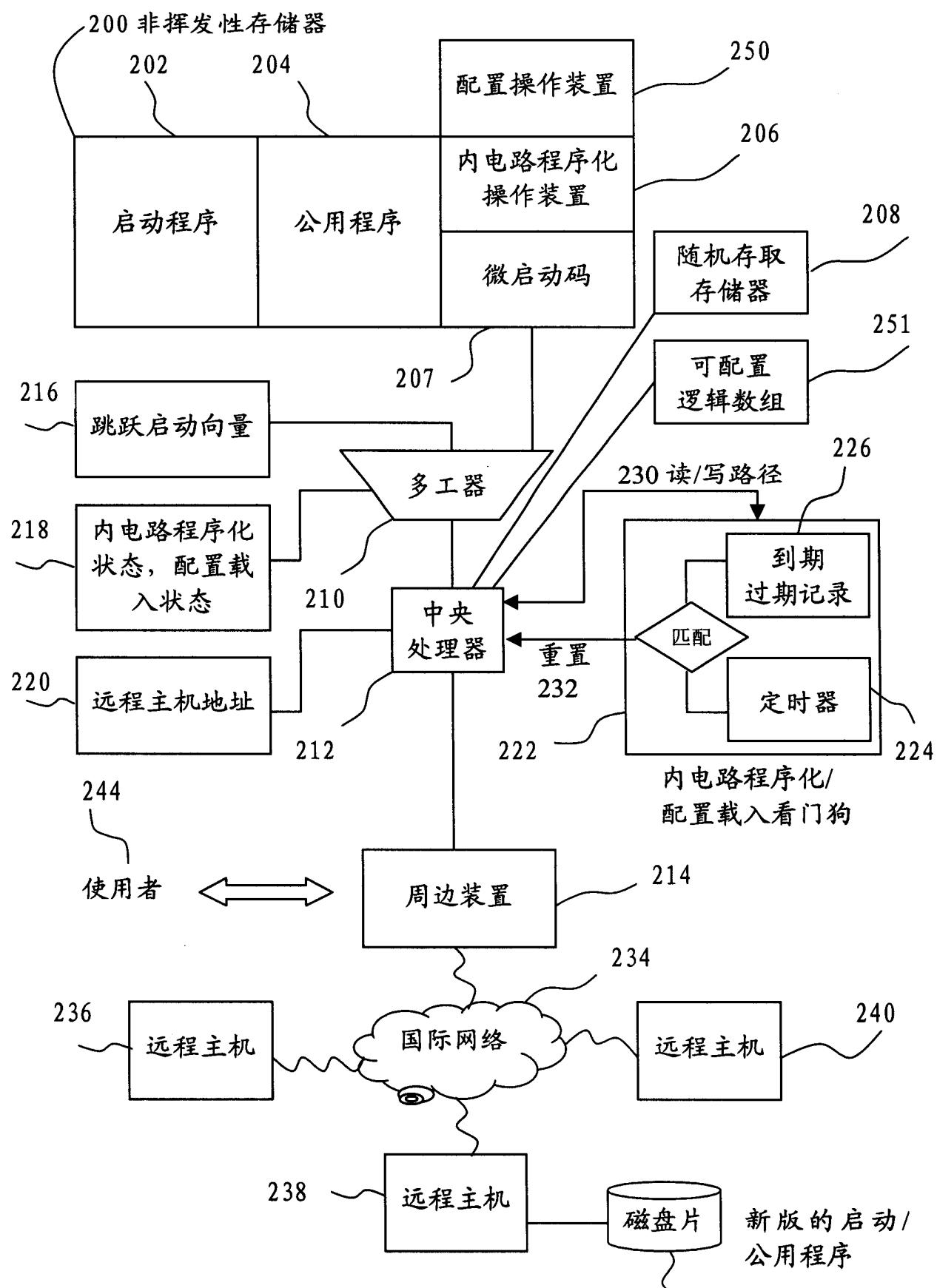


图 8