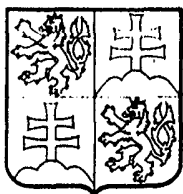


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

270 460

(11)

(13) B1

(51) Int. Cl.⁴
G 08 C 19/02

(21) PV 4492-88,F

(22) Přihlášeno 27 06 88

(40) Zveřejněno 14 11 89

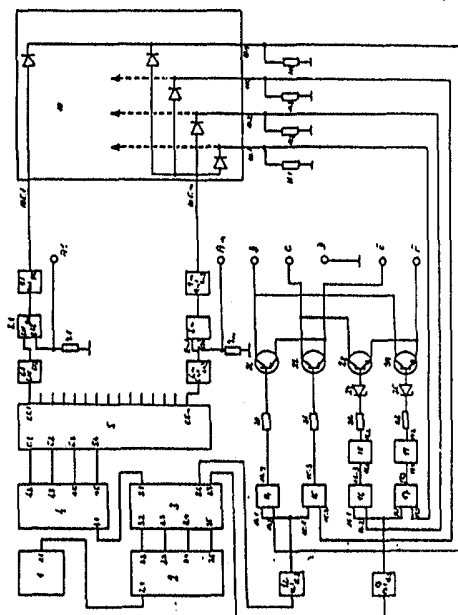
(45) Vydáno 04 06 91

(75) Autor vynálezu RŮZHA JAROSLAV , PŘÍBRAM

(54)

Zapojení vysílače přenosového systému binárních informací

(57) Zapojení sestává ze zdroje hodinových impulsů, desítkového a dvojkového čítače, převodníků, invertorů, logických členů a diodového kodéru. Zdroj hodinových impulsů je spojen s desítkovým čítačem spojeným s prvním převodníkem, který je spojen s dvojkovým čítačem a s prvním a druhým invertorem. Dvojkový čítač je spojen s druhým převodníkem, připojeným přes přizpůsobovací invertory, svodové rezistory, pracovní logické členy a pracovní invertory k diodovému kodéru. První a druhý invertor jsou spojeny přes logické členy a rezistory s tranzistory napojenými na přenosové výstupy a napájecí svorky. Svodové rezistory jsou spojeny se vstupy binární informace.



Vynález se týká zapojení vysílače přenosového systému binárních informací, obsahujícího zdroj hodinových impulsů, desítkový a dvojkový čítač, převodníky, invertory, logické členy a diodový kodér.

Přenosové systémy současné konstrukce jsou řešeny na bázi mikroprocesorů. V nepříznivém prostředí důlních provozů však bývají tyto systémy často poruchové. Jejich případné opravy může provádět jen vysoce kvalifikovaný pracovník. Pořizovací cena je vysoká.

Uvedené nedostatky odstraňuje zapojení vysílače přenosového systému binárních informací podle vynálezu, obsahující zdroj hodinových impulsů, desítkový a dvojkový čítač, převodníky, invertory, logické členy a diodový kodér. Podstata vynálezu spočívá v tom, že výstup zdroje hodinových impulsů je spojen se vstupem desítkového čítače, jehož první výstup je napojen na první vstup prvního převodníku. Druhý vstup prvního převodníku je propojen s druhým výstupem desítkového čítače, jehož třetí výstup je spojen se třetím vstupem prvního převodníku. Čtvrtý výstup desítkového čítače je spojen se čtvrtým vstupem prvního převodníku, jehož první výstup je propojen se vstupem dvojkového čítače. První výstup dvojkového čítače je spojen s prvním vstupem druhého převodníku, jehož druhý vstup je spojen s druhým výstupem dvojkového čítače. Třetí výstup dvojkového čítače je spojen se třetím vstupem druhého převodníku a čtvrtý výstup dvojkového čítače je propojen se čtvrtým vstupem druhého převodníku, jehož první až n-tý výstup je spojen vždy se vstupem odpovídajícího prvního až n-tého přizpůsobovacího invertoru. Výstupy přizpůsobovacích invertorů jsou spojeny vždy s prvním vstupem odpovídajícího prvního až n-tého pracovního logického členu. Druhé vstupy pracovních logických členů jsou napojeny na příslušný první až n-tý svodový rezistor a na první až n-tý vstup binární informace. Výstupy prvního až n-tého pracovního logického členu jsou napojeny vždy na vstup příslušného prvního až n-tého pracovního invertoru. Výstupy pracovních invertorů jsou napojeny na odpovídající první až n-tý vstup diodového kodéru. Druhý výstup prvního převodníku je spojen se vstupem prvního invertoru a třetí výstup prvního převodníku je spojen se vstupem druhého invertoru, jehož výstup je propojen s prvním vstupem třetího logického členu a s prvním vstupem čtvrtého logického členu. Druhý vstup čtvrtého logického členu je napojen na první výstup diodového kodéru a současně na první vývod prvního zatěžovacího rezistoru. Výstup čtvrtého logického členu je spojen se vstupem čtvrtého invertoru, jehož výstup je přes čtvrtý srážecí rezistor a druhou Zenerovu diodu připojen k bázi čtvrtého tranzistoru. Emitor čtvrtého tranzistoru je napojen na druhou napájecí svorku a jeho kolektor je spojen s prvním přenosovým výstupem. Druhý vstup třetího logického členu je propojen s druhým výstupem diodového kodéru a současně s prvním vývodem druhého zatěžovacího rezistoru. Výstup třetího logického členu je spojen se vstupem třetího invertoru, jehož výstup je přes třetí srážecí rezistor a první Zenerovu diodu napojen na bázi třetího tranzistoru, jehož emitor je spojen s druhou napájecí svorkou. Kolektor třetího tranzistoru je připojen na druhý přenosový výstup. Výstup prvního invertoru je spojen s prvním vstupem prvního logického členu a současně s prvním vstupem druhého logického členu, jehož druhý výstup je napojen na třetí výstup diodového kodéru a na první vývod třetího zatěžovacího rezistoru. Výstup druhého logického členu je přes druhý srážecí rezistor spojen s bází druhého tranzistoru, jehož emitor je spojen s první napájecí svorkou a jehož kolektor je připojen na druhý přenosový výstup. První přenosový výstup je spojen s kolektorem prvního tranzistoru, jehož emitor je napojen na první napájecí svorku a jehož báze je přes první srážecí rezistor spojena s vstupem prvního logického členu. Druhý vstup prvního logického členu je připojen ke čtvrtému výstupu diodového kodéru a současně k jednomu z vývodů čtvrtého zatěžovacího rezistoru.

Přenosový systém se zapojením vysílače podle vynálezu lze napojit na běžné telefonní linky bez požadavku odstínění kabelů a je imunní k cizímu rušení a nedochází ani k rušení ostatních přenosových linek v kabelech. Přenosový systém pracuje spolehlivě, má nízkou pořizovací cenu použitých součástí, malé výrobní náklady, je snadno opravitelný a jeho obsluha je velmi jednoduchá.

Na připojeném výkresu je zobrazen příklad zapojení vysílače přenosového systému binárních informací podle vynálezu.

Zapojení vysílače přenosového systému binárních informací obsahuje zdroj 1 hodinových impulsů, jehož výstup 1.1 je spojen se vstupem 2.1 desítkového čítače 2, jehož první výstup 2.2 je napojen na první vstup 3.2 prvního převodníku 3. Druhý vstup 3.3 prvního převodníku 3 je propojen s druhým výstupem 2.3 desítkového čítače 2, jehož třetí výstup 2.4 je spojen se třetím vstupem 3.4 prvního převodníku 3. Čtvrtý výstup 2.5 desítkového čítače 2 je spojen se čtvrtým vstupem 3.5 prvního převodníku 3, jehož první výstup 3.1 je propojen se vstupem 4.1 dvojkového čítače 4. První výstup 4.2 dvojkového čítače 4 je spojen s prvním vstupem 5.1 druhého převodníku 5, jehož druhý vstup 5.2 je spojen s druhým výstupem 4.3 dvojkového čítače 4, jehož třetí výstup 4.4 je spojen se třetím vstupem 5.3 druhého převodníku 5. Čtvrtý výstup 4.5 dvojkového čítače 4 je spojen se čtvrtým vstupem 5.4 druhého převodníku 5, jehož první až n-tý výstup 5.5.1 až 5.5.n je spojen vždy se vstupem 6.1.1 až 6.n.1 odpovídajícího prvního až n-tého přírůbovacího invertoru 6.1 až 6.n. První výstupy 6.1.2 až 6.n.2 prvního až n-tého přírůbovacího invertoru 6.1 až 6.n jsou spojeny vždy s prvním vstupem 8.1.1 až 8.n.1 odpovídajícího prvního až n-tého pracovního logického členu 8.1 až 8.n, jejichž druhé vstupy 8.1.2 až 8.n.2 jsou napojeny na příslušný první až n-tý svodový rezistor 7.1 až 7.n a na první až n-tý vstup A.1 až A.n binární informace. Výstupy 8.1.3 až 8.n.3 prvního až n-tého pracovního logického členu 8.1 až 8.n jsou napojeny vždy na vstup 9.1.1 až 9.n.1 příslušného prvního až n-tého pracovního invertoru 9.1 až 9.n, jejichž výstupy 9.1.2 až 9.n.2 jsou napojeny na odpovídající první až n-tý vstup 10.5.1 až 10.n.5 diodového kodéru 10. Druhý výstup 3.6 prvního převodníku 3 je spojen se vstupem 12.1 prvního invertoru 12. Třetí výstup 3.7 prvního převodníku 3 je spojen se vstupem 13.1 druhého invertoru 13, jehož výstup 13.2 je propojen s prvním vstupem 16.1 třetího logického členu 16 a s prvním vstupem 17.1 čtvrtého logického členu 17. Druhý vstup 17.2 čtvrtého logického členu 17 je napojen na první výstup 10.1 diodového kodéru 10 a současně na první vývod prvního zatěžovacího rezistoru 11.1. Výstup 17.3 čtvrtého logického členu 17 je spojen se vstupem 19.1 čtvrtého invertoru 19, jehož výstup 19.2 je přes čtvrtý srážecí rezistor 23 a druhou Zenerovu diodu 25 připojen k bázi čtvrtého tranzistoru 29. Emitor čtvrtého tranzistoru 29 je napojen na druhou napájecí svorku F. Kolektor čtvrtého tranzistoru 29 je spojen s prvním přenosovým výstupem B. Druhý vstup 16.2 třetího logického členu 16 je propojen s druhým výstupem 10.2 diodového kodéru 10 a současně s prvním vývodem druhého zatěžovacího rezistoru 11.2. Výstup 16.3 třetího logického členu 16 je spojen se vstupem 18.1 třetího invertoru 18, jehož výstup 18.2 je přes třetí srážecí rezistor 22 a první Zenerovu diodu 24 napojen na bázi třetího tranzistoru 28. Emitor třetího tranzistoru 28 je spojen s druhou napájecí svorkou F. Kolektor třetího tranzistoru 28 je připojen na druhý přenosový výstup C. Výstup 12.2 prvního invertoru 12 je propojen s prvním vstupem 14.1 prvního logického členu 14 a současně s prvním vstupem 15.1 druhého logického členu 15, jehož druhý vstup 15.2 je napojen na třetí výstup 10.3 diodového kodéru 10 a na první vývod třetího zatěžovacího rezistoru 11.3. Výstup 15.3 druhého logického členu 15 je přes druhý srážecí rezistor 21 spojen s bázi druhého tranzistoru 27, jehož emitor je spojen s první napájecí svorkou E a kolektor druhého tranzistoru 27 je připojen na druhý přenosový výstup C. První přenosový výstup B je spojen s kolektorem prvního tranzistoru 26, jehož emitor je napojen na první napájecí svorku E a jehož báze je přes první srážecí rezistor 20 spojena s výstupem 14.3 prvního logického členu 14. Druhý vstup 14.2 prvního logického členu 14 je připojen ke čtvrtému výstupu 10.4 diodového kodéru 10 a současně k jednomu z vývodů čtvrtého zatěžovacího rezistoru 11.4. Zapojení je opatřeno uzemňovací svorkou D.

Signál ze zdroje 1 hodinových impulsů je přiváděn na vstup 2.1 desítkového čítače 2. Výstupní BCD kód z desítkového čítače 2 je převeden prvním převodníkem 3 na kód jedna z deseti. Z prvního výstupu 3.1 prvního převodníku 3 je signál veden do dvojkového čítače 4 a dále do druhého převodníku 5 jedna ze šestnácti, kde je dekodován. Pro potřebu dvou vstupního prvního až n-tého pracovního logického členu 8.1 až 8.n je signál z dvojkového čítače 4 invertován prvním až n-tým přírůbovacím invertorem 6.1 až 6.n. Do druhého vstupu 8.1.2 až 8.n.2 prvního až n-tého pracovního logického členu 8.1 až 8.n je vedena binární informace jako logická 1 z prvního až n-tého vstupu A.1 až A.n. První až n-tý svodový rezistor 7.1 až 7.n

slouží pro zajištění správné činnosti prvního až n -tého pracovního logického členu 8.1 až 8. n . Informace z prvního až n -tého pracovního logického členu 8.1 až 8. n je invertována prvním až n -tým pracovním invertorem 9.1 až 9. n pro potřebu diodového kodéru 10, složeného z běžných diod. Odtud je kód veden na první až čtvrtý logický člen 14 až 17, do kterých je současně veden invertovaný signál z prvního invertoru 12 a druhého invertoru 13, přiváděný do nich z prvního převodníku 3. První až čtvrtý zatěžovací rezistor 11.1 až 11.4 slouží k zajištění činnosti prvního až čtvrtého logického členu 14 až 17. Výstupní signál prvního logického členu 14 je veden do prvního tranzistoru 26 a výstupní signál druhého logického členu 15 je veden do druhého tranzistoru 27. První tranzistor 26 a druhý tranzistor 27 jsou typu PNP a jsou napájeny kladným napětím do emitoru z první napájecí svorky E a zapojeny na první přenosový výstup B a druhý přenosový výstup C. Výstupní signály z třetího logického členu 16 a čtvrtého logického členu 17 jsou invertovány třetím invertorem 18 a čtvrtým invertorem 19 a přes třetí srážecí rezistor 22 a čtvrtý srážecí rezistor 23 a první Zenerovu diodu 24 a druhou Zenerovu diodu 25 vedeny do třetího tranzistoru 28 a čtvrtého tranzistoru 29 typu PNP. Třetí tranzistor 28 a čtvrtý tranzistor 29 jsou napájeny záporným napětím do emitorů z druhé napájecí svorky F a zapojeny do prvního přenosového vstupu B a druhého přenosového výstupu C.

Přenosový systém, jehož součástí je zapojení vyslače podle vynálezu se v důlním provozu využívá k signalizaci a k ovládání servošoupát, trolejí, separátního větrání a čerpacích stanic.

PŘEDMĚT VYNÁLEZU

Zapojení vyslače přenosového systému binárních informací, vyznačující se tím, že výstup (1.1) zdroje (1) hodinových impulsů je spojen se vstupem (2.1) desítkového čítače (2), jehož první výstup (2.2) je napojen na první vstup (3.2) prvního převodníku (3), jehož druhý vstup (3.3) je propojen s druhým výstupem (2.3) desítkového čítače (2), jehož třetí výstup (2.4) je spojen se třetím vstupem (3.4) a jehož čtvrtý výstup (2.5) je spojen se čtvrtým vstupem (3.5) prvního převodníku (3), jehož první výstup (3.1) je propojen se vstupem (4.1) dvojkového čítače (4), jehož první výstup (4.2) je spojen s prvním vstupem (5.1) druhého převodníku (5), jehož druhý vstup (5.2) je spojen s druhým výstupem (4.3) dvojkového čítače (4), jehož třetí výstup (4.4) je spojen se třetím vstupem (5.3) a jehož čtvrtý výstup (4.5) je spojen se čtvrtým vstupem (5.4) druhého převodníku (5), jehož první až n -tý výstup (5.5.1 až 5.5. n) je spojen vždy se vstupem (6.1.1 až 6. n .1) prvního až n -tého přizpůsobovacího invertoru (6.1 až 6. n), jejichž výstupy (6.1.2 až 6. n .2) jsou spojeny vždy s prvním vstupem (8.1.1 až 8. n .1) odpovídajícího prvního až n -tého pracovního logického členu (8.1 až 8. n), jejichž druhé vstupy (8.1.2 až 8. n .2) jsou napojeny na příslušný první až n -tý svodový rezistor (7.1 až 7. n) a na první až n -tý vstup (A1 až A n) binární informace, a jejichž výstupy (8.1.3 až 8. n .3) jsou napojeny vždy na vstup (9.1.1 až 9. n .1) příslušného prvního až n -tého pracovního invertoru (9.1 až 9. n), jejichž výstupy (9.1.2 až 9. n .2) jsou napojeny na odpovídající první až n -tý vstup (10.5.1 až 10.5. n) diodového kodéru (10), přičemž druhý výstup (3.6) prvního převodníku (3) je spojen se vstupem (12.1) prvního invertoru (12) a třetí výstup (3.7) prvního převodníku (3) je spojen se vstupem (13.1) druhého invertoru (13), jehož výstup (13.2) je propojen s prvním vstupem (16.1) třetího logického členu (16) a s prvním vstupem (17.1) čtvrtého logického členu (17), jehož druhý vstup (17.2) je napojen na první výstup (10.1) diodového kodéru (10) a současně na první vývod prvního zatěžovacího rezistoru (11.1), kdežto výstup (17.3) čtvrtého logického členu (17) je spojen se vstupem (19.1) čtvrtého invertoru (19), jehož výstup (19.2) je přes čtvrtý srážecí rezistor (23) a druhou Zenerovu diodu (25) připojen k bázi čtvrtého tranzistoru (29), jehož emitor je napojen na druhou napájecí svorku (F) a jehož kolektor je spojen s prvním přenosovým výstupem (B), zatímco druhý vstup (16.2) třetího logického členu (16) je propojen s druhým výstupem (10.2) diodového kodéru (10) a současně s prvním vývodem druhého zatěžo-

vacího rezistoru (11.2) a svým výstupem (16.3) je třetí logický člen (16) spojen se vstupem (18.1) třetího invertoru (18), jehož výstup (18.2) je přes třetí srážecí rezistor (22) a první Zenerovu diodu (24) napojen na bázi třetího tranzistoru (28), jehož emitor je spojen s druhou napájecí svorkou (F) a jehož kolektor je připojen na druhý přenosový výstup (C), přičemž výstup (12.2) prvního invertoru (12) je spojen s prvním vstupem (14.1) prvního logického členu (14) a současně s prvním vstupem (15.1) druhého logického členu (15), jehož druhý vstup (15.2) je napojen na třetí výstup (10.3) diodového kodéru (10) a na první vývod třetího zatěžovacího rezistoru (11.3) a jehož výstup (15.3) je přes druhý srážecí rezistor (21) spojen s bází druhého tranzistoru (27), jehož emitor je spojen s první napájecí svorkou (E) a jehož kolektor je připojen na druhý přenosový výstup (C), kdežto první přenosový výstup (B) je spojen s kolektorem prvního tranzistoru (26), jehož emitor je napojen na první napájecí svorku (E) a jehož báze je přes první srážecí rezistor (20) spojena s výstupem (14.3) prvního logického členu (14), jehož druhý vstup (14.2) je připojen ke čtvrtému výstupu (10.4) diodového kodéru (10) a současně k jednomu z vývodů čtvrtého zatěžovacího rezistoru (11.4).

1 výkres

CS 270460 B1.

