

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成24年7月12日(2012.7.12)

【公開番号】特開2012-90499(P2012-90499A)

【公開日】平成24年5月10日(2012.5.10)

【年通号数】公開・登録公報2012-018

【出願番号】特願2010-237437(P2010-237437)

【国際特許分類】

H 02M 7/48 (2007.01)

【F I】

H 02M 7/48 E

【手続補正書】

【提出日】平成24年5月28日(2012.5.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

さらに加算回路(26)の出力電圧は、電流-電圧変換回路(24)で検出した電流に応じて変化するように、外部に設けられたCPU(3)から出力されるゲイン設定信号およびオフセット設定信号によってゲイン調整分Kgcとオフセット調整分Kocを設定する。上述したようにゲイン調整分Kgcは内部抵抗の差を補正するパラメータ、またオフセット調整分Kocは内部閾値電圧の差を補正するパラメータとしてそれぞれ設定される。このようにすると流れた電流に応じてセンス端子Sの電圧Vsが

$$Vs = Kgc \times Is + Koc$$

ここで Kgc : ゲイン調整分

Koc : オフセット調整分

のように変化する。ゲイン調整分Kgcおよびオフセット調整分Kocがそれぞれ擬似的な抵抗およびオフセット電圧のように機能するため

$$Rm0 \quad Rs0 + Kgc$$

$$Vthm0 \quad Vths0 + Koc$$

ここで $Rm0$: メイン領域の内部抵抗

$Rs0$: センス領域の内部抵抗

$Vthm0$: メイン領域の閾値電圧

$Vths0$: センス領域の閾値電圧

となるように調整することによって、メイン領域とセンス領域の特性の差を補正することができる。なお、ゲイン調整分Kgcおよびオフセット調整分Kocは、外部に設けられたCPU(3)から出力されるゲイン設定信号およびオフセット設定信号により正負両極性に設定することが可能である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

上述したゲイン調整分Kgcとオフセット調整分Kocの設定は、IGBT素子(1)に電流が流れている場合におけるもので、FWD素子(11)に電流が流れている場合においても同様に考

えることが可能である。すなわち、流れた電流に応じてセンス端子Sの電圧Vdsが

$$V_{ds} = K_{gc} \times I_{ds} + K_{oc}$$

ここで Kgc : ゲイン調整分

Koc : オフセット調整分

のように変化する。ゲイン調整分Kgc およびオフセット調整分Koc がそれぞれ擬似的な抵抗およびオフセット電圧のように機能するため

$$R_{dm0} = R_{ds0} + K_{gc}$$

$$V_{dthm0} = V_{dths0} + K_{oc}$$

ここで Rdm0 : メイン領域の内部抵抗

Rds0 : センス領域の内部抵抗

Vdthm0 : メイン領域の閾値電圧

Vdths0 : センス領域の閾値電圧

となるように調整することによって、メイン領域とセンス領域の特性の差を補正することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

図3に示されるようにインバータ装置の下アームにおける出力電流は、下アームにおけるIGBTに電流が流れる期間とFWDに電流が流れる期間とに分けられる。そこで下アームにおけるIGBTに電流が流れる期間（出力電流の電流方向がインバータ装置の下アームへ電流が流れ込む期間（=電流-電圧変換回路（24）の出力がグランドレベルよりも小さい期間）、電流-電圧変換回路（24）の出力は、負の電圧を出力する）における上記IGBT素子（1）におけるメイン電流Imとセンス電流Isのリニアリティの補正が行われる。すなわち、

本発明の電流検出回路（2）では、第1の可変電圧源回路（22）の出力電圧が、電流-電圧変換回路（24）で検出した電流に応じて変化するように出力（ゲイン）調整器（221）を外部に設けられたCPU（3）のゲイン設定信号によってゲインKgを、また第2の可変電圧源回路（23）の出力電圧が、出力（オフセット）調整器（231）を外部に設けられたCPU（3）のオフセット設定信号によってオフセットゲインKoを、それぞれ設定可能にしている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

そして各設定したゲインKgおよびオフセットゲインKoに基づいて第1の可変電圧源回路（22）と第2の可変電圧源回路（23）の出力を加算した出力（この加算出力は電流-電圧変換回路（24）に設けられているオペアンプの+端子（基準端子）となり、これがバーチュアルショートになっている-端子に加わるため結果としてセンス端子Sの電位となる）は

$$Vs = (R7/R5) \times (R1 \times Is) \times Kg + (R7/R6) \times Vref \times Ko$$

$$= \{(R7/R5) \times R1 \times Kg\} \times Is + \{(R7/R6) \times Vref \times Ko\}$$

となり、ゲインKgおよびオフセットゲインKoの各乗算項がそれぞれ擬似的な抵抗およびオフセット電圧として機能する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】**【0043】**

これによってIGBT素子(1)のメイン領域とセンス領域の特性差を補正し、 $I_m - I_s$ 特性をリニアとなるよう補正することができる。

次に下アームにおけるFWDに電流が流れる期間(出力電流の電流方向がインバータ装置の下アームから電流が流れ出す期間(= 電流-電圧変換回路(24)の出力がグランドレベルよりも大きい期間)、電流-電圧変換回路(24)の出力は、正の電圧を出力する)における上記FWD素子(11)におけるメイン電流 I_{dm} とセンス電流 I_{ds} のリニアリティの補正が行われる。すなわち、

本発明の電流検出回路(2)では、第1の可変電圧源回路(22)の出力電圧が、電流-電圧変換回路(24)で検出した電流に応じて変化するように出力(ゲイン)調整器(221)を外部に設けられたCPU(3)のゲイン設定信号によってゲイン K_g を、また第2の可変電圧源回路(23)の出力電圧が、出力(オフセット)調整器(231)を外部に設けられたCPU(3)のオフセット設定信号によってオフセットゲイン K_o を、それぞれ設定可能にしている。

【手続補正6】**【補正対象書類名】明細書****【補正対象項目名】0044****【補正方法】変更****【補正の内容】****【0044】**

そして各設定したゲイン K_g およびオフセットゲイン K_o に基づいて第1の可変電圧源回路(22)と第2の可変電圧源回路(23)の出力を加算した出力(この加算出力は電流-電圧変換回路(24)に設けられているオペアンプの+端子(基準端子)となり、これがバーチュアルショートになっている-端子に加わるため結果としてセンス端子Sの電位となる)は

$$\begin{aligned} V_{ds} &= (R7/R5) \times (R1 \times I_{ds}) \times K_g + (R7/R6) \times V_{ref} \times K_o \\ &= \{(R7/R5) \times R1 \times K_g\} \times I_{ds} + \{(R7/R6) \times V_{ref} \times K_o\} \end{aligned}$$

となり、ゲイン K_g およびオフセットゲイン K_o の各乗算項がそれぞれ擬似的な抵抗およびオフセット電圧として機能する。