公告本

384539

申請日期	~~1997~~.5.21
案號	86106937
類別	H01L 27/10

（以上各欄由本局填註）

A4
C4
384539

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體記憶裝置及其存取方法
	日文	半導体記憶装置及びそのアクセス方法
二、發明 創作 人	姓名	1.望月 義夫 2.辰巳 雄一
	國籍	均日本
	住、居所	1.日本國神奈川縣川崎市麻生區王禪寺2491 2.日本國東京都世田谷區上野毛1-10-18
三、申請人	姓名（名稱）	日商東芝股份有限公司
	國籍	日本
	住、居所（事務所）	日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名	西室 泰三

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

日本　國（地區）　申請專利，申請日期：1996.5.21　案號：特平8-125746　，☑有　☐無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱請背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

發明之技術領域

本發明係關於一種半導體記憶裝置及其存取方法，其具有防止非法複製的保護功能。

先前技術

半導體記憶裝置，例如罩幕式ROM(Read Only Memory)的記憶格陣列，係將由MOS電晶體所構成的記憶格配置成矩陣狀，將各記憶格的閘極連接於行方向延伸的複數個字元線(word line)的各行，將源極連接於列方向延伸的複數個位元線(bit line)的各列，再使汲極接地而成。將資料寫入各記憶格之方法有(a)擴散層程序法、(b)離子植入程序法；(c)接觸程序法等爲人所知，其係使MOS電晶體之有無、MOS電晶體爲壓抑(depression)型或增強(enhancement)型、及接觸孔(contact hole)之有無等對應於記憶資訊"0"與"1"，在製造過程中用光罩進行寫入。另外，在讀出記憶資料時，係選擇位元線使之充電，再選擇字元線使其成爲高位準，視位元線是否透過連接於被選擇的位元線及字元線上的MOS電晶體(記憶格)放電，而判斷記憶資訊的"0"與"1"，以進行讀出。

圖16所示爲上述先前之罩幕式ROM的概略構造的方塊圖。在圖16中，11爲記憶格陣列；12爲行位址緩衝器，其被輸入行位址訊號，並由/RAS(符號前的"/"代表反相訊號，即BAR之意)訊號所控制；13爲列位址緩衝器，其被輸入列位址訊號，並受/CAS訊號控制；14爲行解碼器，其解碼上述行位址緩衝器12所輸出的行位址信號，並選擇性地

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

驅動上述記憶格陣列11中的字元線，以選擇記憶格的行；15爲列位址計數器，其受/CAS訊號控制，且對應於上述行位址緩衝器12之輸出產生列位址訊號；16爲列選擇閘，用於選擇上述記憶格陣列11中之位元線；17爲列解碼器，其解碼從上述列位址計數器15所輸出之列位址訊號，並控制上述列選擇閘16而選擇記憶格的行；18爲感測放大器，其使選自記憶格陣列11中之記憶格中所讀出之資料放大；19爲輸出緩衝器，用於受/OE訊號控制，透過資料匯流排DB輸出上述感測放大器18之放大訊號。

在上述結構中，若行位址訊號被輸入到行位址緩衝器12，且指定開始讀取的列的列位址訊號被輸入到列位址緩衝器13，則行位址訊號對應於/RAS訊號從行位址緩衝器12被供給到行解碼器14，開始讀出列位址訊號對應於/CAS訊號從列位址緩衝器13被供給到列位址計數器15。藉此，行解碼器14選擇並驅動字元線，列解碼器17解碼開始讀出列位址訊號，控制列選擇閘16並選擇位元線使之充電。從連接於被選擇的字元線及位元線上的記憶格讀出資料，再將所讀出之資料透過列選擇閘16供給到感測放大器18以放大之，並對應於/OE訊號從輸出緩衝器19輸出到資料匯流排DB。

上述列位址計數器15對應於/CAS訊號遞增，以依序產生列位址訊號並供給到列解碼器17。藉此，可依序從記憶格陣列11中被選擇的字元線上連接的記憶格中讀出記憶資料。

其後，依序選擇字元線，重覆相同的讀出動作，即可將記憶格陣列11中所記憶的資料讀出。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

但是，上述結構之問題爲：只要用ROM寫入器或個人電腦使ROM位址依序遞增即可輕易地讀出記憶格陣列中所記憶之資料，再將之寫到硬碟或軟碟等記憶媒體中，而簡單地複製記憶資料。

本發明欲解決之問題

如上所述，以往的半導體記憶裝置及其存取方法有其記憶格陣列中所記憶的資訊可輕易地被複製的問題。

本發明鑑於上述狀況，乃以提供一種半導體記憶裝置及其存取方法爲目的，其所記憶之資料即使用非法的手段複製亦無法利用，實質上可保護記憶資料免遭非法複製。

解決問題的方法

本發明之申請專利範圍第1項所述之半導體記憶裝置之特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置；行選擇手段，用於選擇上述記憶格陣列中之記憶格之行；列指定手段，用於指定上述記憶格陣列中之記憶格之列；感測放大手段，用於判斷上述行選擇手段與列指定手段所選擇的記憶格的記憶資料；保持手段，用於保持上述感測放大手段所輸出的資料；及運算手段，用於運算上述保持手段所保持的資料及上述感測放大手段所輸出的資料；其將上述行選擇手段及上述列指定手段所選擇的記憶格中讀出的資料做爲密碼鍵值保持於上述保持手段之後，以運算手段對上述保持手段中所保持的資料及上述感測放大手段所輸出的資料做運算，再讀出運算結果做爲資料輸出。

申請專利範圍第2項之特徵爲：上述記憶格中記憶有被上

（請先閱讀背面之注意事項再填寫本頁）
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

述保持手段中所保持之資料編碼之資料，以藉上述運算手段之運算而解碼。

申請專利範圍第3項之特徵爲：上述記憶格之記憶空間被分割成複數個區域，各區域記憶不同的密碼鍵值，且記憶著用對應密碼鍵值編碼之資料，以藉上述運算手段之運算而解碼。

申請專利範圍第4項之特徵爲：資料輸入到上述保持手段時，係應答於從外部給與的控制訊號而進行者。

申請專利範圍第5項之特徵爲：其另具備一訊號產生手段，當控制從上述記憶格中之資料讀出之訊號被多次連續輸入時，該訊號產生手段會產生控制訊號，且資料輸入到上述保持手段時，係應答於上述訊號產生手段所產生之控制訊號而進行者。

申請專利範圍第6項之特徵爲：上述保持手段中所保持的資料係應答於從外部給與的訊號而增減，在上述記憶格中記憶著用上述保持手段所保持之會增減之資料編碼之資料，以藉上述運算手段之運算而解碼。

申請專利範圍第7項之特徵爲：上述保持手段中所保持之資料係根據與之前讀出的資料之運算而變化，在上述記憶格中記憶著用保持於上述保持手段而變化之資料編碼之資料，以藉上述運算手段之運算而解碼。

申請專利範圍第8項之特徵爲：上述保持手段中所保持的資料係應答於位址的變遷而增減，在上述記憶格中記憶著用保持於上述保持手段而增減之資料編碼之資料，以藉上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

述運算手段之運算而解碼。

本發明之申請專利範圍第9項所述之半導體記憶裝置之特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用該密碼鍵值運算後的資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；鎖定手段，用以鎖定應答於控制訊號而從上述感測放大手段輸出之資料；運算手段，用於運算應答於上述控制訊號而鎖定於上述鎖定手段中之資料及上述感測放大手段所輸出之資料；及輸出手段，用於輸出上述運算手段之運算結果；上述字元線選擇手段及上述位元線選擇手段係選擇上述記憶格陣列中記憶上述密碼鍵值之記憶格之位址，再將上述感測放大手段的輸出的的密碼鍵值鎖定於上述鎖定手段中，其後，用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中的記憶格的位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述鎖定手段所鎖定之密碼鍵值，並從上述輸出手段讀出其運算結果，做爲資料輸出。

本發明之申請專利範圍第10項所述之半導體記憶裝置之特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用使該密碼鍵遞增或遞減所得之資料運算後之資料；字元線，與上述記憶格陣列中之記憶格之閘極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；計數手段，應答於控制訊號設定成上述感測放大手段的輸出的資料，再應答於該控制訊號遞增或遞減；運算手段，用於應答上述控制訊號而運算上述計數手段之計數值及上述感測放大手段所輸出之資料；及輸出手段，用於輸出上述運算手段之運算結果；其係利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中記憶上述密碼鍵值之記憶格之位址，將上述感測放大手段所輸出之密碼鍵值設定到上述計數手段，其後利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中之記憶格之位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述計數手段之計數值，並從上述輸出手段讀出其運算結果，做爲資料輸出。

本發明之申請專利範圍第11項所述之半導體記憶裝置之特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用該密碼鍵值及所記憶之資料依序運算後的資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；運算手段，其被供給上述感測放大手段所輸出

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

之資料；輸出手段，用於輸出上述運算手段之運算結果；及暫存手段，用於暫時記憶上述輸出手段之輸出資料，並將之供給到上運算手段；其係利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中記憶密碼鍵值之記憶格之位址，並將上述感測放大手段所輸出的密碼鍵值暫時記憶到上述暫存手段中，其後，利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中之記憶格之位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述暫存手段所暫時記憶之資料，並從上述輸出手段讀出其運算結果，並將之暫時記憶到上述暫存手段中。

本發明之申請專利範圍第12項所述之半導體記憶裝置之特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用使該密碼鍵遞增或遞減所得之資料運算後之資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；運算手段，其被供給上述感測放大手段所輸出之資料；輸出手段，用於輸出上述運算手段之運算結果；位址變遷檢測手段，用於檢測出位址之變遷；及計數手段，其在上述位址變遷檢測手段檢測出位址的變遷之時遞增或遞減，並將計數值供給到上述運算手段；其係利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中記憶上述密碼鍵

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8）

值之記憶格之位址，將上述感測放大手段所輸出之密碼鍵值設定到上述計數手段，其後利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中之記憶格之位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述計數手段之計數值，並從上述輸出手段讀出其運算結果，做爲資料輸出。

本發明之申請專利範圍第13項所述之半導體記憶裝置之特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用該密碼鍵運算後之資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；運算手段，被供給上述感測放大手段之輸出訊號；輸出手段，用於輸出上述運算手段之運算結果；位址變遷檢測手段，用於檢測出位址之變遷；及暫存手段，用於在上述位址變遷檢測手段檢測出位址的變遷之時將上述輸出手段之輸出資料暫時記；其係利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中記憶上述密碼鍵值之記憶格之位址，將上述感測放大手段所輸出之密碼鍵值暫時記憶到上述暫存手段中，其後利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中之記憶格之位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述暫存手段所暫存之資料，並從上述輸出手段讀出其運算結果，並將之供給並暫時記憶到上述暫存手段中。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9）

申請專利範圍第14項之特徵爲：上述記憶格陣列之記憶體空間被分割成複數個區域，各區域分別記憶不同的密碼鍵值，並記憶用對應於各區域之密碼鍵值運算過之資料。

申請專利範圍第15項之特徵爲：其係利用上述記憶格陣列中所記憶之資料做爲上述密碼鍵值。

本發明之申請專利範圍第16項所述之半導體記憶裝置之存取方法之特徵爲包括：第1步驟，將密碼鍵值及用該密碼鍵運算過之資料記憶於記憶格陣列中；第2步驟，存取上述記憶格陣列之密碼鍵值之記憶位址；第3步驟，保持所讀出之密碼鍵值；第4步驟，存取上述記憶格陣列並讀出資料；第5步驟，運算上述第3步驟保持之密碼及上述第4步驟所讀出之資料；及第6步驟，從記憶格讀出上述第5步驟之運算結果，做爲資料輸出。

本發明之申請專利範圍第17項所述之半導體記憶裝置之存取方法之特徵爲包括：第1步驟，將編碼過之資料記憶於記憶格陣列中；第2步驟，存取上述記憶格陣列中所記憶之資料之位址，做爲密碼鍵值；第3步驟，保持所讀出之資料；第4步驟，存取上述記憶格陣列並讀出資料；第5步驟，運算上述第3步驟保持之資料及上述第4步驟所讀出之資料；及第6步驟，從記憶格讀出上述第5步驟之運算結果，做爲資料輸出。

申請專利範圍第18項之特徵爲：上述第3步驟所保持之資料係應答自外部輸入之控制訊號而變化。

申請專利範圍第19項之特徵爲：上述第3步驟所保持之資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 10 ）

料係應答位址之變遷而變化。。

申請專利範圍第20項之特徵爲：其另包括第7步驟，將上述第6步驟所輸出之資料取代成上述第3步驟所保持之資料。

在如申請專利範圍第1項之構造下，若一開始不存取做爲密碼鍵值之資料之位址並將之保持於保持手段中而在此狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。因此，即使用非法的手段複製所記憶的資料亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

如申請專利範圍第2項所示，由於在記憶格陣列中記憶了用密碼鍵值運算而得的資料，故在記憶格陣列中的記憶資料爲運算處理前的經編碼的資料，若只是單純地複製並無法利用。

如申請專利範圍第3項所示，若將記憶空間分割成複數個區域，並在各區域中記憶不同的密碼鍵值及用此等密碼鍵值編碼之資料，則若要正確地複製所有記憶空間，必須存取所有的密碼鍵值，可進一步提高保護功能。

如申請專利範圍第4項所示，對上述保持手段輸入資料時用來自外部的控制訊號控制即可。

如申請專利範圍第5項所，若設置可產生控制訊號的訊號產生手段，並利用控制資料讀出之訊號來控制資料對保持手段的輸入，則不必有輸入控制訊號用的接腳，可採用一般的接腳數及接腳配置，因此對於進行非違複製者而言難

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

以解析。

如申請專利範圍第6項所示，若使保持手段所保持之資料應答於來自外部之訊號而增減，或是如申請專利範圍第7項所示，與之前讀出之資料進行運算而變化之，則難以分析求得密碼鍵值，可得到更高的保護功能。

如申請專利範圍第8項所示，若使保持手段所保持之資料應答於位址之變遷而增減，則輸入控制訊號用之接腳成爲不必要，可採用一般的接腳數及接腳配置，故求得密碼鍵值之分析將更爲困難。

在申請專利範圍第9項之構造下，若一開始不存取做爲密碼鍵值之資料之位址並將之鎖定於鎖定手段中而在此狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。又，由於記憶格陣列中所記憶者爲用密碼鍵值所運算過的資料，因此記憶格陣列中的記憶資料爲運算處理前的編碼資料，只是單純複製的話並無法利用。因此，即使用非法的手段複製所記憶的資料亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

在申請專利範圍第10項所示之構造下，若一開始不存取做爲密碼鍵值之資料之位址並將之設定於計數手段中而在此狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。而且，由於計數手段之計數值係應答於控制訊號而遞增或遞減，故難以找出上述密碼鍵值。又，由於其係用將密碼鍵值依序遞增或

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

遞減所得之資料進行運算，再將所得到的資料記憶於記憶格陣列中，因此記憶格陣列中的記憶資料爲運算處理前的編碼資料，只是單純複製的話並無法利用。因此，即使用非法的手段複製所記憶的資料亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

在申請專利範圍第11項所示之構造下，若一開始不存取做爲密碼鍵值之資料之位址並將之暫時記憶於暫存手段中而在此狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。而且，由於暫存手段在每次讀出資料時均會更新輸出資料，故難以找出上述密碼鍵值。又，由於其係用密碼鍵值及所記憶之資料依序運算，再將所得到的資料記憶於記憶格陣列中，因此記憶格陣列中的記憶資料爲運算處理前的編碼資料，只是單純複製的話並無法利用。因此，即使用非法的手段複製所記憶的資料亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

在申請專利範圍第12項所示之構造下，若一開始不存取做爲密碼鍵值之資料之位址並將之設定於計數手段中而在此狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。而且，由於計數手段之計數值係在位址變遷檢測手段檢測出位址的變遷時依序遞增或遞減，故難以找出上述密碼鍵值。而且，不必有用於輸入控制訊號的接腳，可採用一般的接腳數及接腳配置，使得分析更爲困難。又，由於其係用將密碼鍵值依

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 13 ）

序遞增或遞減所得之資料進行運算，再將所得到的資料記憶於記憶格陣列中，因此記憶格陣列中的記憶資料爲運算處理前的編碼資料，只是單純複製的話並無法利用。因此，即使用非法的手段複製所記憶的資料亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

在申請專利範圍第13項所示之構造下，若一開始不存取做爲密碼鍵值之資料之位址並將之暫時記憶於暫存手段中而在此狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。而且，由於暫存手段之暫存記憶值係在位址變遷檢測手段檢測出位址的變遷時以所讀出的資料更新，故難以找出密碼鍵值。而且，不必有用於輸入控制訊號的接腳，可採用一般的接腳數及接腳配置，使得分析更爲困難。又，由於其用暫存於暫存手段中之資料依序運算密碼鍵值，再將所得到的資料記憶於記憶格陣列中，因此記憶格陣列中的記憶資料爲運算處理前的編碼資料，只是單純複製的話並無法利用。因此，即使用非法的手段複製所記憶的資料亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

如申請專利範圍第14項所示，若將記憶空間分割成複數個區域，並在各區域中記憶不同的密碼鍵值及用此等密碼鍵值編碼之資料，則若要正確地複製所有記憶空間，必須存取所有的密碼鍵值，可進一步提高保護功能。

如申請專利範圍第15項所示，若以記憶格陣列中記憶之資料做爲密碼鍵值，則可防止記憶容量因記憶密碼鍵值而

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

降低，且對於非法複製者而言，由於難以從記憶資料之排列預知密碼鍵值之存在，故難以找出密碼鍵值。

在申請專利範圍第16項之方法下，若存取記憶有密碼鍵值之記憶格之後不在保持該密碼鍵值之狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。因此，即使用非法的手段複製所記憶的資料亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

在申請專利範圍第17項之方法下，若存取記憶格陣列中所記憶之資料做爲密碼鍵值之後，不在保持該資料之狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。又，可防止因記憶密碼鍵值而使記憶容量降低，且對非法複製者而言，難以從所記憶的資料的排列中預知密碼鍵值之存在，因此難以找出密碼鍵值。從而，即使用非法的手段複製所記憶的資料亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

如申請專利範圍第18項所示，若做爲密碼鍵值保持之資料應答於自外部輸入的控制訊號而增減的話，則難以分析而找出密碼鍵值，可得到更高的保護功能。

如申請專利範圍第19項所示，若做爲密碼鍵值保持之資料應答於位址之變遷而而增減的話，則難以分析而找出密碼鍵值。再者，由於不必有用於輸入控制訊號的接腳，而可採用一般的接腳數及接腳置配，使得分析更爲困難。

如申請專利範圍第20項所示，若將所輸出的資料更換成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

所保持的資料，則難以分析而找出密碼鍵值，可得到更高的保護功能。

發明的實施態樣

於下茲參照圖式說明本發明之實施態樣。

圖1爲本發明之第1實施態樣之半導體記憶裝置之大略構造之方塊圖，顯示其記憶資料被循序(serially)讀出之循序存取ROM之例。在圖1中，11爲記憶格陣列，記憶格矩陣狀配置於記憶格陣列11中，各記憶格之閘極之各行連接字元線，各記憶格之汲極之各列連接位元線，各記憶格之源極接地(亦可浮動接地(floating))。在記憶格陣列11中，在任意的位址中被寫入密碼鍵值。又，用光罩將預先編碼之資料寫入上述記憶格陣列11中，以藉上述密碼鍵值(在此爲8位元資料)解碼之。在寫入此等資料時可用擴散層程序方式、離子植入程序方式、及接觸程序方式等。12爲行位址緩衝器12，被輸入行位址，並由/RAS訊號控制。13爲列位址緩衝器，被輸入列位址，並由/CAS訊號控制。14爲行解碼器，用於使上述行位址緩衝器12所輸出的列位址訊號解碼，選擇性地驅動上述記憶格陣列11中的字元線，藉以選擇記憶格之行。15爲列位址計數器，由/CAS訊號控制，應答上述列位址緩衝器13之輸出而產生列位址訊號。16爲列選擇閘極，用於選擇上述記憶格陣列11中的位元線。17爲列解碼器，用於使上述列位址計數器15所輸出的列位址訊號解碼，控制上述列選擇閘極16而選擇記憶格之列。18爲感測放大器，用於放大上述記憶格陣列11中的記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

憶格中讀出的資料。19爲輸出緩衝器，由/OE訊號控制，透過資料匯流排DB輸出上述感測放大器18之放大訊號。20爲運算電路，對上述感測放大器18之輸出訊號進行一定的運算，供給到上述輸出緩衝器19。該運算電路20內設有鎖定電路，在訊號GETKEY爲"H"位準之時將上述感測放大器18鎖定於該鎖定電路中，"L"位準之時對上述鎖定電路中鎖定之資料與運算電路20之之輸出訊號進行運算，並供給到輸出緩衝器19。

其次，茲參照圖2之時序圖說明上述構造下的資料讀出動作。首先，將供給到運算電路20的訊號GETKEY設定成"H"位準。其次，應答於/RAS訊號之下降，將記憶密碼鍵值之記憶格陣列11之行位址所對應之行位址訊號鎖定於行位址緩衝器12中。其次、應答於/CAS訊號之上昇，將記憶密碼鍵值之記憶格陣列11之列位址所對應之列位址訊號鎖定於列位址緩衝器13中。藉此選擇記憶有記憶格陣列11之密碼鍵值之位址，讀出密碼鍵值，並將該密碼鍵值透過列選擇閘極16及感測放大器18供給到運算電路20中之鎖定電路而鎖定之。

其次，將訊號GETKEY設定成"L"位準，這次將開始讀出本體資料的行位址及列位址同樣地應答於/RAS訊號及/CAS訊號之下降而各鎖定到行位址緩衝器12及列位址緩衝器13中。其後，用行解碼器14解碼行位址，藉以選擇並驅動字元線，用列解碼器17解碼列位址計數器15所輸出的的列位址而控制列選擇閘極16，以選擇位元線並使之充電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

。藉此，可選擇記憶格陣列11中的記憶格。

開始讀出本體資料後，用感測放大器18放大被選擇的記憶格中所記憶的資料，並將之輸入運算電路20。在該運算電路20中，對所輸入的資料及預先鎖定之資料(密碼鍵值)進行運算，將運算結果應答於/OE訊號從輸出緩衝器19輸出到資料匯流排DB。

接著，應答於/CAS訊號的下降，使列位址計數器15之計數值遞增，藉以產生行位址訊號，從連接於行解碼器14所選擇的字元線上的記憶格依序讀出記憶資料。此時與上述相同地對感測放大器18之輸出訊號運算鎖定於鎖定電路中之資料，應答於/OE訊號而將運算結果從輸出緩衝器19輸出到資料匯流排DB。

其後，應答於/RAS訊號的下降，進行讀入。將對應於次行之行位址訊號讀入行位址緩衝器12中，重覆與上述相同之動作，藉以讀出記憶格陣列11所記憶的資料。

藉如上之讀出動作，可將記憶格陣列11中所記憶的資料用密碼鍵值解碼，做爲正常的資料輸出到外部。

圖3所示爲上述圖1所示之運算電路20之構成例，抽出其一位元做示範。該係由P通道(channel)型MOS電晶體Q1~Q6、N通道型MOS電晶體Q7~Q12、及反相器INV1~INV4所構成。感測放大器18之輸出訊號各被供給到MOS電晶體Q1、Q7所構成的轉移閘TR1之一端及MOS電晶體Q2、Q8所構成的轉移閘TR2的一端。上述MOS電晶體Q1、Q8的閘極被供予訊號GETKEY，上述MOS電晶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

體Q7、Q2的閘極被供以用反相器INV1反轉過的訊號GETKEY。上述MOS電晶體Q3、Q4、Q9、Q10之電流通路係串聯連接於電源Vcc及接地點Vss之間，上述MOS電晶體Q5、Q6、Q11、Q12之電流通路係串聯連接於電源Vcc與接地點貞Vss之間。上述轉移閘TR1的另一端各連接反相器INV2之輸入端及MOS電晶體Q6、Q11之閘極。上述反相器INV2之輸出端則連接MOS電晶體Q4、Q9之閘極。又，上述轉移閘TR2之另一端上則各連接MOS電晶體Q10、Q50之閘極、反相器INV3之輸入端、及反相器INV4之輸出端。上述反相器INV3之輸出端與上述反相器INV4之輸入端共通連接，在該共通連接點上連接有MOS電晶體Q3、Q12的閘極。其後，上述MOS電晶體Q4、Q9的連接點與MOS電晶體Q6、Q11之連接點共通連接，並連接於輸出緩衝器19之輸入端。

在上述構造中，當訊號GETKEY爲"H"位準之時，轉移閘TR2爲ON，轉移閘TR1爲OFF。藉此，感測放大器18之輸出訊號透過轉移閘TR2被輸入到由反相器INV3、INV4所構成的鎖定電路中而被鎖定。另一方面，當訊號GETKEY爲"L"位準時，轉移閘TR1爲ON，轉移閘TR2爲OFF。藉此，感測放大器18之輸出訊號可透過轉移閘TR1及反相器INV2供給到MOS電晶體Q4、Q9之閘極，同時透過轉移閘TR1供給到MOS電晶體Q6、Q11之閘極。此時，若鎖定電路LA上所鎖定之資料爲"1"，即反相器INV4之輸出爲"H"位準且反相器INV3之輸出爲"L"位準之時，MOS

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

電晶體Q5、Q10成爲ON狀態，MOS電晶體Q5、Q1成爲OFF狀態，因此感測放大器18的輸出訊號透過轉移閘TR1、反相器INV2、及MOS電晶體Q4、Q9所構成的反相器供給到輸出緩衝器19。相對於此，當鎖定電路LA中鎖定的資料爲"0"之時，即反相器INV3的出爲"H"位準且反相器INV4之輸出爲"L"位準之時，MOS電晶體Q3、Q10成爲OFF狀態、MOS電晶體Q5、Q12成爲ON狀態，因此感測放大器18的輸出訊號透過轉移閘TR1及MOS電晶體Q6、Q11所構成的反相器供給到輸出緩衝器19。

因此，該運算電路20進行運算，以在鎖定之資料爲"1"之時則輸出原資料，爲"0"之時則輸出反轉的資料。

例如，如圖4(a)所示，密碼鍵值爲"A8h"(h表示16進位)時，若要輸入"29h"，則如圖4(b)所示般，在記憶格中寫入以密碼鍵值"A8h"反運算處理後的資料"7Eh"即可。同樣地，要輸入"A9h"、"5Fh"時，只要在記憶格中寫入"FEh"、"28h"即可。

若用以往的罩幕式ROM，在從特定的位址讀出資料時，一定輸出所記憶的資料。但是，在本發明的罩幕式ROM中，由於記憶在記憶格陣列11中的資料是經過編碼的資料，故只是單純複製的話只會複製到此等資料，無法利用複製到的資料。又，在密碼鍵值輸入錯誤之時(圖4(a)所示爲輸入密碼鍵值"82h"之情形)，該錯誤的密碼鍵值與記憶格陣列11中讀出的資料進行運算，並輸出其運算結果，故無法利用所複製的資料。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

如此，在上述第1實施態樣的半導體記憶裝置中，若不首先存取記憶了記憶格陣列11的的密碼鍵值的位址，將該密碼鍵值鎖定於運算電路20之後再讀出資料的話，將無法得到正確的資料。因此，即使用非法的手段複製所記憶的資料，亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

又，在上述第1實施態樣中，係以在記憶格陣列11的持定位址上寫入密碼鍵值爲例做說明，但亦可將記憶格陣列11中所記憶的一般的字串資料或數值資料做爲密碼鍵值利用。此時，不需要記憶密碼鍵值之區域，故可防止記憶容量之降低，同時對進行非違複製者而言，由於無法從記憶資料配置預測密碼鍵值的存在，故難以找出密碼鍵值，可提高保護功能。

圖5係說明本發明的第2實施態樣的半導體記憶裝置，顯示記憶格陣列11的記憶空間。該第2實施施態樣的半導體記憶裝置的基本構造與圖1所示之電路相同，但其記憶格陣列11的記憶空間被分割成複數個區域，此等複數個區域各被指定不同的密碼鍵值。即，位址"0000h"到"3FFFh"區域11a的密碼鍵值爲"A8h"，位址"3FFFh"到"7FFFh"區域11b的密碼鍵值爲"82h"，位址"7FFFh"到"AFFFh"區域的密碼鍵值爲"7Eh"，且位址"AFFFh"到"FFFFh"區域的密碼鍵值爲"F0h"。各位址區域11a、11b、11c、11d各寫入編碼後的資料，以藉對應的密碼鍵值解碼。

在此構造下，當從各位址區域讀出資料時，必須輸入個

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（21）

別對應的密碼鍵值，若要複製所有的記憶空間，必須分析所有的密碼鍵值，故難以分析密碼鍵值。

又，即使如第2實施態樣般將記憶空間分割成複數個，當然亦可如上述第1實施態樣所說明地以半導體陣列中所記憶的一般字串資料或數值資料做爲密碼鍵值。

圖6係說明本發明的第3實施態樣的半導體記憶裝置，顯示記憶資料讀出動作的時序圖。在上述第1及第2實施態樣中，控制運算電路20的動作的訊號GETKEY係從外部輸入者，而在第3實施態樣中，訊號GETKEY係利用晶片內部的訊號產生的。即，在此例中，在/RAS訊號連續輸入2次(設定成"L"位準)之時定義成密碼鍵值位址的輸入。

如此，利用控制資料讀出的訊號(在此爲/RAS訊號)控制密碼鍵值鎖定於運算電路20內所設的鎖定電路及運算的話，則不必有用於輸入訊號GETKEY的接腳，可採用一般的接腳數及接腳配置，故對非法複製者而言難以分析。

圖7所示爲實現上述圖6之時序圖所示之讀出動作所需之訊號GETKEY之產生電路之構成例。在圖7中，21、22爲D型正反電路，23爲脈衝訊號產生電路，該脈衝訊號產生電路23係由延遲電路24、反及(NAND)閘25及反相器26-1、26-2所構成，應答於/CAS訊號重置上述正反電路21、22。上述正反電路21的時鐘(clock)輸入端CLK被供給/RAS訊號，資料輸入端D上連接該正反電路21的輸出端/Q。又，正反電路21的輸出端Q上連接正反電路22的時鐘輸入端CLK。正反電路22的資料輸入端D上連接該正反電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（22）

22的輸出端/Q，從該正反電路22的資料輸出端Q輸出訊號GETKEY。

另一方面，將/CAS訊號供給到遲延電路24之輸入端及反及閘25的另一輸入端。上述反及閘25的另一輸入端上則透過反相器261-1供給上述延遲電路24的輸出訊號，並將反及閘25的輸出訊號透過反相器26-2供給到正反電路21、22的重置輸入端R。

圖8所示爲上述圖7所示之電路中之正反電路21、22之構成例。該正反電路係由反相器27～32、轉移閘33~36、及反或(NOR)閘37、38等所構成。時鐘輸入端CLK上連接反相器27的輸入端，該反相器27的輸出端各連接到反相器28的輸入端、構成轉移閘33、36的P通道型MOS電晶體的閘極、及構成轉移閘34、35的N通道型MOS電晶體的閘極。又，上述反相器28的輸出端則各連接到構成轉移閘33、36的N通道型MOS電晶體的閘極、及構成轉移閘34、35的P通道型MOS電晶體的閘極。上述轉移閘33~36係串聯連接，轉移閘33的一端連接資料輸入端D。轉移閘36的一端連接反相器29的輸入端，該反相器29的輸出端則各連接到輸出端/Q及反相器30的輸入端。該反相器30的輸出端連接到輸出端Q。

又，反相器31的輸入端連接到轉移閘33、34的連接點，輸出端連接到反或閘37的另一輸入端。上述反或閘37的另一輸入端則連接到重置輸入端R，輸出端連接到轉移閘34、35的連接點。反相器32的輸入端連接到轉移閘35、36

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（23）

的連接點，輸出端連接到反或閘38的另一輸入端。上述反或閘38的另一輸入端連接到重置輸入端R，輸出端連接到上述反相器29的輸入端。

在上述構成中，如圖9的時序圖所示，當/RAS訊號下降到"L"位準時，正反電路21被設定，該正反電路21的輸出訊號QA成爲"H"位準，被供給到正反電路22的時鐘輸入端CLK。一定時間之後，/RAS訊號上昇到"H"位準，當/RAS訊號再度下降到"L"位準時，正反電路21的輸出訊號QA成爲"L"位準，正反電路22被設定，訊號GETKEY成爲"H"位準。

藉此，運算電路20的鎖定電路可以鎖定密碼鍵值，故輸入對應於記憶密碼鍵值的記憶格陣列11的位址的行位址訊號及列位址訊號，鎖定密碼鍵值。

其後、若/CAS訊號下降到"L"位準，則脈衝訊號產生電路23會輸出脈衝訊號，正反電路21、22被重置，訊號GETKEY成爲"L"位準。在該狀態下，本體資料的讀出的準備已完成，則存取記憶格陣列11讀出資料。

在此構造下，不必爲了輸入訊號GETKEY而設置外部接點，可使用與以往的半導體記憶裝置相同的接點數及接點配置，對非法複製者而言更難以分析。

圖10爲顯示本發明之第4實施態樣之半導體記憶裝置的方塊圖。該電路係設置運算電路20及計數器39，以取代上述圖1所示的運算電路20。運算電路20內不設鎖定電路，用計數器39進行同樣的作用以取代鎖定電路。即，上述計數

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（24）

器39在讀出本體資料之前，先以與上述各實施態樣相同的動作預先設定密碼鍵值，用運算電路20運算該計數器39的計數值及感測放大器18的輸出，運算結果從輸出緩衝器19輸出到資料匯流排DB。又，該計數器39依讀出的控制訊號(圖10的/CAS訊號)而依序遞增或遞減。

用密碼鍵值(亦可利用本體資料的一部分)及將該密碼鍵值遞增或依遞減所得的資料進行運算，再將所得的編碼資料記憶於上述記憶格陣列11中，再藉運算電路20解碼之。

在此構造之下，計數器39的計數值應答於/CAS訊號遞增或遞減，密碼鍵值應答於/CAS訊號而變化，故更難以分析找出密碼鍵值。

圖11爲顯示本發明的第5實施態樣的半導體記憶裝置的方塊圖。該電路設有運算電路20'及暫存器40，以取代上述圖1所示的電路中的運算電路20。運算電路20'上沒有鎖定電路，而用暫存器40進行相的作用，以取代鎖定電路。上述暫存器40在讀出資料之前，先以與上述各實施的形態相同的動作記憶密碼鍵值，用運算電路20'運算該暫存器40的暫存值及感測放大器18的輸出訊號，再從輸出緩衝器19輸將運算結果輸出到資料匯流排DB，同時再暫存於暫存器40。

將密碼鍵值(亦可利用本體資料的一部分)及用該該密碼鍵值及所記憶的資料依序運算，再將所得的編碼資料記憶於上述記憶格陣列11中，再藉運算電路20'解碼之。

在此構造之下，在每次讀出資料之時，暫存器40中暫存的密碼鍵值會被更新而變化，故更難以分析找出密碼鍵值

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（25）

。

圖12係說明本發明的第6實施態樣的半導體記憶裝置，係將本發明應用於可隨機讀取的ROM者。在圖12中，與上述圖1相同的部分使用同一符號。在隨機讀取的ROM中，列位址訊號係透過位址匯流排AB從外部輸入，故不必有列位址計數器15。

如圖13的時序圖所示，先將訊號GETKEY設定成"H"位準，/CE訊號設定成"L"位準，存取記憶有密碼鍵值的位址，將該密碼鍵值鎖定運算電路20所設的鎖定電路中。之後，開始本體記憶格的讀出動作，應答於/CE訊號的下降輸入行位址及列位址，從記憶格陣列11中被選擇的記憶格中將資料讀出到感測放大器18。其後，用運算電路運算感測放大器18的輸出訊號及鎖定的密碼鍵值，再應答於/OE訊號的下降從輸出緩衝器19輸出資料Dout。

在此構造之下，若一開始不存取做爲密碼鍵值之資料之位址並將之鎖定於鎖定電路中而在此狀態下進行讀出，則運算手段會輸出以錯誤的資料運算出來的運算結果，無法讀出正確的資料。又，由於記憶格陣列11係記憶用密碼鍵值運算過的資料，故記憶格陣列11中的記憶資料爲運算處理前的編碼資料，只是單純地複製並無法利用。

因此，即使用隨機讀取ROM，亦可與上述第1至5之實施態樣中所說明的循序存取ROM得到同樣的高度保護功能。

圖14係顯示本發明之第實施態樣之半導體記憶裝置之方塊圖。該電路爲可隨機讀取的ROM，在上述圖12所示的電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 26 ）

路中設有計數器39及ATD脈衝產生器41。計數器39在讀出一般的資料之前，先被設定記憶格陣列11中所記憶的密碼鍵值。上述ATD脈衝產生器41係檢測出位址的變遷而輸出脈衝訊號，故收到列位址緩衝器13的輸出訊號後，使上述計數器39所設定的計數值遞增遞減。

在此構造下，每次ATD脈衝產生器41檢測出位址的變遷時，被設定於計數器39中的密碼鍵值即會增減，故難以分析找出密碼鍵值。而且，不需要輸入控制訊號用的接腳，可採用一般的接腳數及接腳配置，故使分析更爲困難。

圖15係顯示本發明之第8實施態樣之半導體記憶裝置之方塊圖。該電路爲隨機存機之ROM。在上述圖12所示的電路中設有暫存器40及ATD脈衝產生器41。在上述暫存器40中，在讀出資料之前，先以與上述各實施例相同的動作暫存密碼鍵值。用運算電路20'運算該暫存器40的暫存值及感測放大器18的輸出值，從輸出緩衝器19輸出運算結果，同時在ATD脈衝產生器41檢測出位址的變遷時，再度將上述輸出緩衝器19的輸出訊號暫存於暫存器40中。

在此構造下，每次檢測出位址的變遷時，暫存於暫存器40中的密碼鍵值即被更新而變化，故難以分析找出密碼鍵值。而且，不需要輸入控制訊號用的接腳，可採用一般的接腳數及接腳配置，故使分析更爲困難。

又，本發明並不受限於上述的各實施態樣，只要不脫離本發明之實質，可實施種種變形。例如，在第2實施態樣中所說明的將記憶空間分割成複數個，並各指定不同的密碼

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（27）

鍵值的構造亦可適用於第3到第8實施態樣的構造中。又，在上述各實施態樣中係以罩幕式ROM爲例說明，但亦可同樣地應用於其他ROM或SRAM、DRAW等。

發明之功效

如上所述，在本發明可得到一種半導體記憶裝置及其存取方法，即使用非法的手段複製記憶資料，亦無法利用該資料，可實質上保護記憶資料免遭非法複製。

圖式的簡單說明

圖1係顯示本發明之第1態樣之半導體記憶裝置之概略構造之方塊圖。

圖2係說明圖1所示之半導體記憶裝置之資料讀出動作之時序圖。

圖3係用於說明圖1所示電路中之運算電路之構成例，抽出一位元示範之電路圖。

圖4係說明圖3所示之運算電路所進行之運算之一例及程序資料的產生方法的圖。

圖5係說明本發明之第2實施態樣之半導體記憶裝置之圖，顯示記憶格陣列的位址空間。

圖6係說明本發明之第3實施態樣之半導體記憶裝置者，係說明資料的讀出動作的時序圖。

圖7係顯示實現圖6所示之資料讀出動作之信號產生電路之構成例之電路圖。

圖8係顯示圖7所示之電路中之正反器電路之構成例之電路圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（28）

圖9係用於說明圖7及圖8所示之電路之動作之時序圖。

圖10係顯示本發明之第4實施態樣之半導體記憶裝置之方塊圖。

圖11係顯示本發明之第5實施態樣之半導體記憶裝置之方塊圖。

圖12係說明本發明之第6實施態樣之半導體記憶裝置者，係將本發明應用於隨存讀取ROM中之方塊圖。

圖13係用於說明圖12所示之電路之動作之時序圖。

圖14係顯示本發明之第7實施態樣之半導體記憶裝置之方塊圖。

圖15係顯示本發明之第8實施態樣之半導體記憶裝置之方塊圖。

圖16係用於說明先前技術的半導體記憶裝置，爲顯示罩幕式ROM之概略構造之方塊圖。

符號之說明

11…記憶格陣列、12…行位址緩衝器、13…列位址緩衝器、14…行解碼器、15…列位址計數器15、16…列選擇閘極、17…列解碼器、18…感測放大器18、19…輸出緩衝器、20,20'…運算電路、39…計數器、40…暫存器、41…ATD脈衝產生器、LA…鎖定電路。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：半導體記憶裝置及其存取方法）

本發明之目的在於提供一種半導體記憶裝置，其所記憶之資料即使用非法的手段複製亦無法利用。

本發明之特徵在於在記憶格陣列11中預先記憶密碼鍵值及用該密碼鍵值運算而得之資料，再存取記有密碼鍵值之記憶格，將之鎖定於鎖定電路中，其後將被鎖定的資料與讀出放大器18所輸出的資料用運算電路20運算而解碼，再讀出運算結果，做爲資料輸出。由於記憶格陣列中所預先記憶的資料爲運算處理過之資料，故即使原狀複製亦無法利用。在讀出資料之前，若不存取記有密碼鍵值之記憶格，則會進行錯誤的運算處理，故所讀出的資料無法利用。因此，可實質上保護記憶資料以免被非法複製。

日文發明摘要（發明之名稱：半導体記憶装置及びそのアクセス方法）

【課題】記憶されているデータを違法な手段でコピーしてもそのデータを利用することができない半導体記憶装置を提供することを目的としている。

【解決手段】メモリセルアレイ１１中に暗号キーデータとこの暗号キーデータを用いて演算されたデータを予め記憶し、暗号キーデータを記憶したメモリセルをアクセスしてラッチ回路にラッチした後、ラッチしたデータとセンスアンプ１８から出力されたデータとを演算回路２０で演算してデコードし、演算結果を読み出しデータとして出力することを特徴としている。メモリセルアレイ中に予め記憶されているデータは演算処理したデータであるので、そのままコピーしても利用できない。データの読み出しに先だって、暗号キーデータを記憶したメモリセルをアクセスしないと、誤った演算処理が行われるので、読み出したデータは利用できない。よって、実質的に記憶データを違法なコピーから保護できる。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體記憶裝置，其特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置；行選擇手段，用於選擇上述記憶格陣列中之記憶格之行；列指定手段，用於指定上述記憶格陣列中之記憶格之列；感測放大手段，用於判斷上述行選擇手段與列指定手段所選擇的記憶格的記憶資料；保持手段，用於保持上述感測放大手段所輸出的資料；及運算手段，用於運算上述保持手段所保持的資料及上述感測放大手段所輸出的資料；其將上述行選擇手段及上述列指定手段所選擇的記憶格中讀出的資料做爲密碼鍵值保持於上述保持手段之後，以運算手段對上述保持手段中所保持的資料及上述感測放大手段所輸出的資料做運算，再讀出運算結果做爲資料輸出。
2. 根據申請專利範圍第 1 項之半導體記憶裝置，其中上述記憶格中記憶有被上述保持手段中所保持之資料編碼之資料，以藉上述運算手段之運算而解碼。
3. 根據申請專利範圍第 1 項之半導體記憶裝置，其中上述記憶格之記憶空間被分割成複數個區域，各區域記憶不同的密碼鍵值，且記憶著用對應密碼鍵值編碼之資料，以藉上述運算手段之運算而解碼。
4. 根據申請專利範圍第 1 至 3 項中任一項之半導體記憶裝置，其中資料輸入到上述保持手段時，係應答於從外部給與的控制訊號而進行者。
5. 根據申請專利範圍第 1 至 3 項中任一項之半導體記憶裝置，其另具備一訊號產生手段，當控制從上述記憶格中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

之資料讀出之訊號被多次連續輸入時，該訊號產生手段會產生控制訊號，且資料輸入到上述保持手段時，係應答於上述訊號產生手段所產生之控制訊號而進行者。

6. 根據申請專利範圍第 1 項之半導體裝置，其中上述保持手段中所保持的資料係應答於從外部給與的訊號而增減，在上述記憶格中記憶著用上述保持手段所保持之會增減之資料編碼之資料，以藉上述運算手段之運算而解碼。

7. 根據申請專利範圍第 1 項之半導體裝置，其中上述保持手段中所保持之資料係根據與之前讀出的資料之運算而變化，在上述記憶格中記憶著用保持於上述保持手段而變化之資料編碼之資料，以藉上述運算手段之運算而解碼。

8. 根據申請專利範圍第 1 項之半導體裝置，其中上述保持手段中所保持的資料係應答於位址的變遷而增減，在上述記憶格中記憶著用保持於上述保持手段而增減之資料編碼之資料，以藉上述運算手段之運算而解碼。

9. 一種半導體記憶裝置，其特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用該密碼鍵值運算後的資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

元線選擇手段所選擇的記憶格中所讀出之資料；鎖定手段，用以鎖定應答於控制訊號而從上述感測放大手段輸出之資料；運算手段，用於運算應答於上述控制訊號而鎖定於上述鎖定手段中之資料及上述感測放大手段所輸出之資料；及輸出手段，用於輸出上述運算手段之運算結果；

上述字元線選擇手段及上述位元線選擇手段係選擇上述記憶格陣列中記憶上述密碼鍵值之記憶格之位址，再將上述感測放大手段的輸出的的密碼鍵值鎖定於上述鎖定手段中，

其後，用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中的記憶格的位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述鎖定手段所鎖定之密碼鍵值，並從上述輸出手段讀出其運算結果，做爲資料輸出。

10. 一種半導體記憶裝置，其特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用使該密碼鍵遞增或遞減所得之資料運算後之資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；計數手段，應答於控制訊號設定成上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

感測放大手段的輸出的資料，再應答於該控制訊號遞增或遞減；運算手段，用於應答上述控制訊號而運算上述計數手段之計數值及上述感測放大手段所輸出之資料；及輸出手段，用於輸出上述運算手段之運算結果；

其係利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中記憶上述密碼鍵值之記憶格之位址，將上述感測放大手段所輸出之密碼鍵值設定到上述計數手段，

其後利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中之記憶格之位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述計數手段之計數值，並從上述輸出手段讀出其運算結果，做爲資料輸出。

11. 一種半導體記憶裝置，其特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用該密碼鍵值及所記憶之資料依序運算後的資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；運算手段，其被供給上述感測放大手段所輸出之資料；輸出手段，用於輸出上述運算手段之運算結果；及暫存手段，用於暫時記憶上述輸出手段之輸出

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

資料，並將之供給到上運算手段；

其係利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中記憶上述密碼鍵值之記憶格之位址，將上述感測放大手段所輸出之密碼鍵值暫時記憶到上述暫存手段，

其後，利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中之記憶格之位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述暫存手段所暫時記憶之資料，並從上述輸出手段讀出其運算結果，並將之暫時記憶到上述暫存手段中。

12. 一種之半導體記憶裝置，其特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用使該密碼鍵遞增或遞減所得之資料運算後之資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；運算手段，其被供給上述感測放大手段所輸出之資料；輸出手段，用於輸出上述運算手段之運算結果；位址變遷檢測手段，用於檢測出位址之變遷；及計數手段，其在上述位址變遷檢測手段檢測出位址的變遷之時遞增或遞減，並將計數值供給到上述運算手段；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

其係利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中記憶上述密碼鍵值之記憶格之位址，將上述感測放大手段所輸出之密碼鍵值設定到上述計數手段，

其後利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中之記憶格之位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述計數手段之計數值，並從上述輸出手段讀出其運算結果，做爲資料輸出。

13. 一種半導體記憶裝置，其特徵爲具有：記憶格陣列，其記憶格呈矩陣狀配置，用於記憶密碼鍵值及用該密碼鍵運算後之資料；字元線，與上述記憶格陣列中之記憶格之閘極之各行連接；位元線，與上述記憶格陣列中之記憶格之汲極之各列連接；字元線選擇手段，用於選擇上述字元線；位元線選擇手段，用於選擇上述位元線；感測放大手段，用於放大上述字元線選擇手段及上述位元線選擇手段所選擇的記憶格中所讀出之資料；運算手段，被供給上述感測放大手段之輸出訊號；輸出手段，用於輸出上述運算手段之運算結果；位址變遷檢測手段，用於檢測出位址之變遷；及暫存手段，用於在上述位址變遷檢測手段檢測出位址的變遷之時將上述輸出手段之輸出資料暫時記；

其係利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中記憶上述密碼鍵值之記憶格之位址

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

，將上述感測放大手段所輸出之密碼鍵值暫時記憶到上述暫存手段中，

其後利用上述字元線選擇手段及上述位元線選擇手段選擇上述記憶格陣列中之記憶格之位址，藉上述運算手段運算上述感測放大手段所輸出之資料及上述暫存手段所暫存之資料，並從上述輸出手段讀出其運算結果，並將之供給並暫時記憶到上述暫存手段中。

14. 根據申請專利範圍第 9 項之半導體記憶裝置，其中上述記憶格陣列之記憶體空間被分割成複數個區域，各區域分別記憶不同的密碼鍵值，並記憶用對應於各區域之密碼鍵值運算過之資料。

15. 根據申請專利範圍第 10 項之半導體記憶裝置，其中上述記憶格陣列之記憶體空間被分割成複數個區域，各區域分別記憶不同的密碼鍵值，並記憶用對應於各區域之密碼鍵值運算過之資料。

16. 根據申請專利範圍第 11 項之半導體記憶裝置，其中上述記憶格陣列之記憶體空間被分割成複數個區域，各區域分別記憶不同的密碼鍵值，並記憶用對應於各區域之密碼鍵值運算過之資料。

17. 根據申請專利範圍第 12 項之半導體記憶裝置，其中上述記憶格陣列之記憶體空間被分割成複數個區域，各區域分別記憶不同的密碼鍵值，並記憶用對應於各區域之密碼鍵值運算過之資料。

18. 根據申請專利範圍第 13 項之半導體記憶裝置，其中上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

記憶格陣列之記憶體空間被分割成複數個區域，各區域分別記憶不同的密碼鍵值，並記憶用對應於各區域之密碼鍵值運算過之資料。

19. 根據申請專利範圍第 1 項之半導體記憶裝置，其係利用上述記憶格陣列中所記憶之資料做爲上述密碼鍵值。

20. 根據申請專利範圍第 9 項之半導體記憶裝置，其係利用上述記憶格陣列中所記憶之資料做爲上述密碼鍵值。

21. 根據申請專利範圍第 9 項之半導體記憶裝置，其係利用上述記憶格陣列中所記憶之資料做爲上述密碼鍵值。

22. 根據申請專利範圍第 11 項之半導體記憶裝置，其係利用上述記憶格陣列中所記憶之資料做爲上述密碼鍵值。

23. 根據申請專利範圍第 12 項之半導體記憶裝置，其係利用上述記憶格陣列中所記憶之資料做爲上述密碼鍵值。

24. 根據申請專利範圍第 13 項之半導體記憶裝置，其係利用上述記憶格陣列中所記憶之資料做爲上述密碼鍵值。

25. 一種半導體記憶裝置之存取方法，其特徵爲包括：第 1 步驟，將密碼鍵值及用該密碼鍵運算過之資料記憶於記憶格陣列中；第 2 步驟，存取上述記憶格陣列之密碼鍵值之記憶位址；第 3 步驟，保持所讀出之密碼鍵值；第 4 步驟，存取上述記憶格陣列並讀出資料；第 5 步驟，運算上述第 3 步驟保持之密碼及上述第 4 步驟所讀出之資料；及第 6 步驟，從記憶格讀出上述第 5 步驟之運算結果，做爲資料輸出。

26. 一種半導體記憶裝置之存取方法，其特徵爲包括：第 1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

步驟，將編碼過之資料記憶於記憶格陣列中；第 2 步驟，存取上述記憶格陣列中所記憶之資料之位址，做爲密碼鍵值；第 3 步驟，保持所讀出之資料；第 4 步驟，存取上述記憶格陣列並讀出資料；第 5 步驟，運算上述第 3 步驟保持之資料及上述第 4 步驟所讀出之資料；及第 6 步驟，從記憶格讀出上述第 5 步驟之運算結果，做爲資料輸出。

27. 根據申請專利範圍第 25 項之半導體記憶裝置之存取方法，其中上述第 3 步驟所保持之資料係應答自外部輸入之控制訊號而變化。

28. 根據申請專利範圍第 26 項之半導體記憶裝置之存取方法，其中上述第 3 步驟所保持之資料係應答自外部輸入之控制訊號而變化。

29. 根據申請專利範圍第 25 項之半導體記憶裝置之存取方法，其中上述第 3 步驟所保持之資料係應答位址之變遷而變化。

30. 根據申請專利範圍第 26 項之半導體記憶裝置之存取方法，其中上述第 3 步驟所保持之資料係應答位址之變遷而變化。

31. 根據申請專利範圍第 25 項之半導體記憶裝置之存取方法，其另包括第 7 步驟，將上述第 6 步驟所輸出之資料取代成上述第 3 步驟所保持之資料。

32. 根據申請專利範圍第 26 項之半導體記憶裝置之存取方法，其另包括第 7 步驟，將上述第 6 步驟所輸出之資料取代成上述第 3 步驟所保持之資料。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

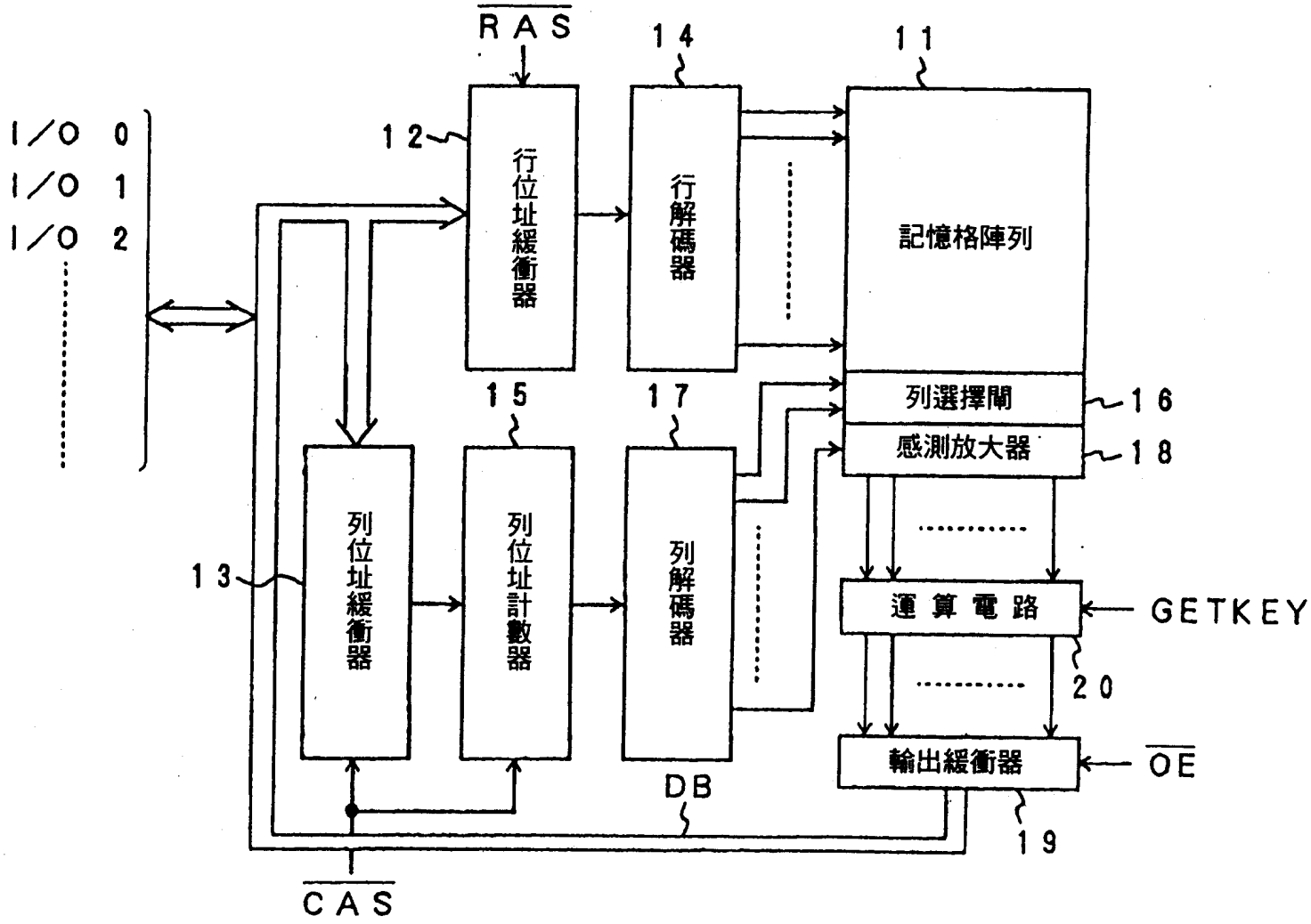

RAS
14
11
I/O 0
I/O 1
I/O 2
12
行位址緩衝器
行解碼器
記憶格陣列
15
17
列選擇閘
16
感測放大器
18
13
列位址緩衝器
列位址計數器
列解碼器
運算電路
GETKEY
20
輸出緩衝器
OE
DB
19
CAS

圖 1

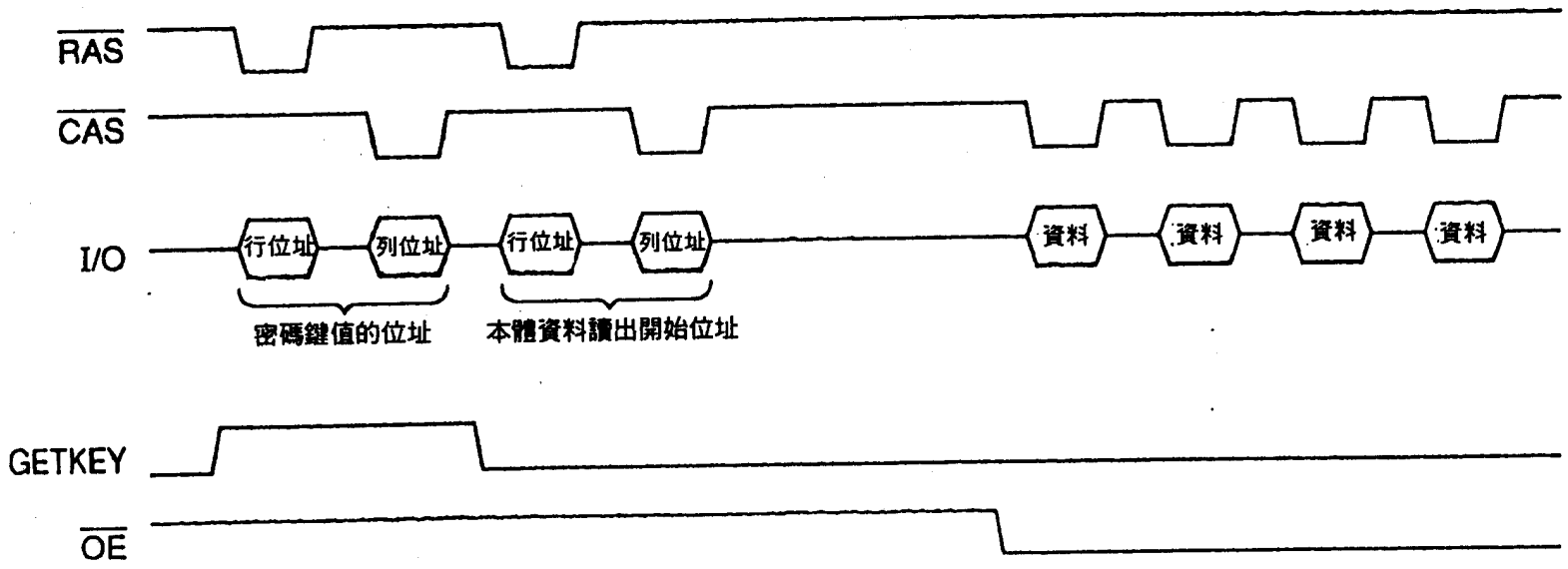

RAS
CAS
I/O
行位址
列位址
行位址
列位址
資料
資料
資料
資料
密碼鍵值的位址
本體資料讀出開始位址
GETKEY
OE

圖 2

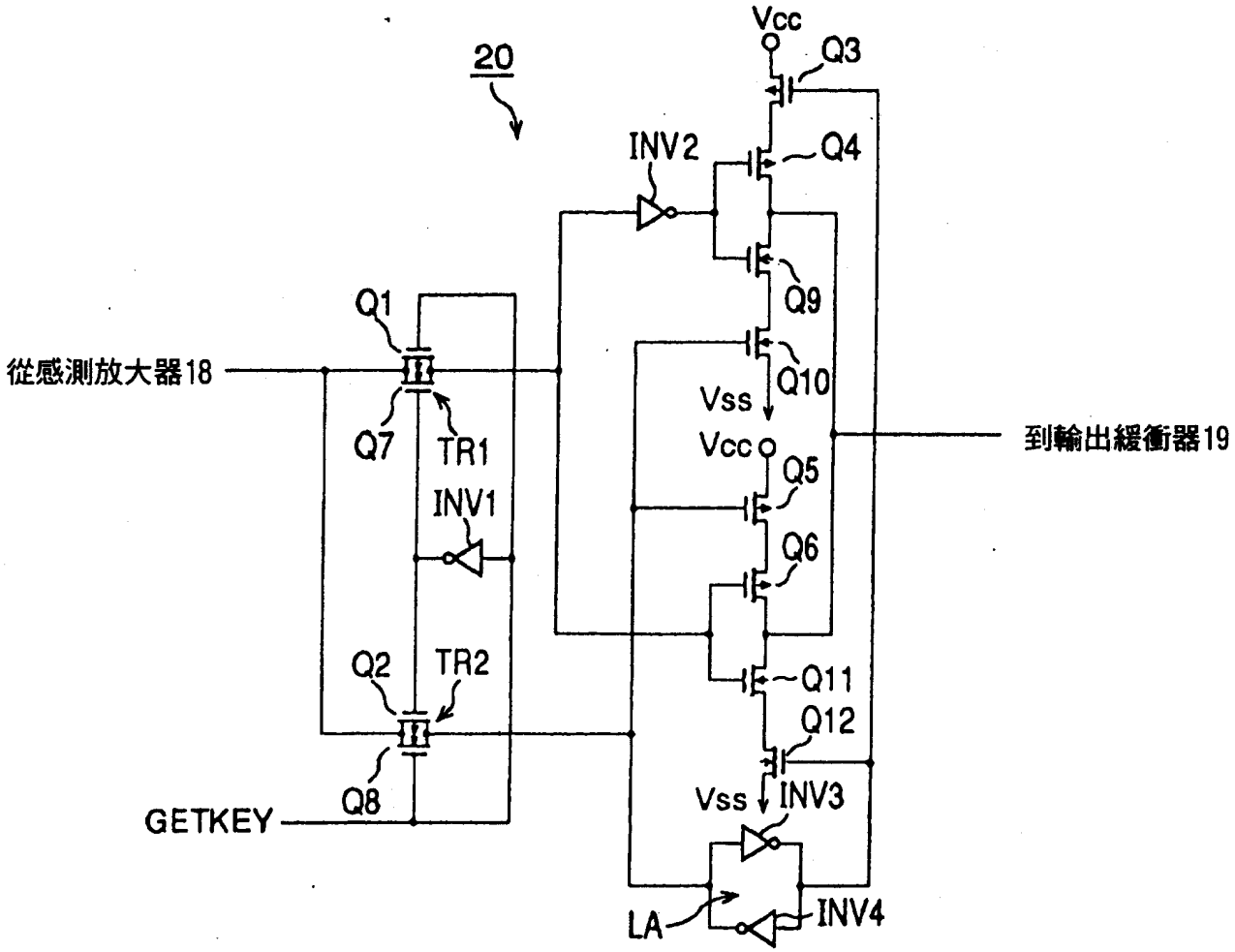

20
Vcc
Q3
INV2
Q4
Q9
Q10
Q1
從感測放大器18
Vss
Vcc
到輸出緩衝器19
Q7
TR1
Q5
INV1
Q6
Q2
TR2
Q11
Q12
Vss
INV3
Q8
GETKEY
LA
INV4

圖 3

(a)

		密碼鍵值	程式化資料	輸出資料	程式化資料	輸出資料	程式化資料	輸出資料	
鎖定正確密碼鍵值時	HEX	A8	7E	29	FE	A9	28	5F	
	BIN	10100100	01111110	00101001	11111110	10101001	00100100	01101111	
鎖定錯誤密碼鍵值時	HEX	82	7E	03	FE	83	28	55	
	BIN	10000100	01111110	00000001	11111110	10000101	00100100	01010101	

(b)

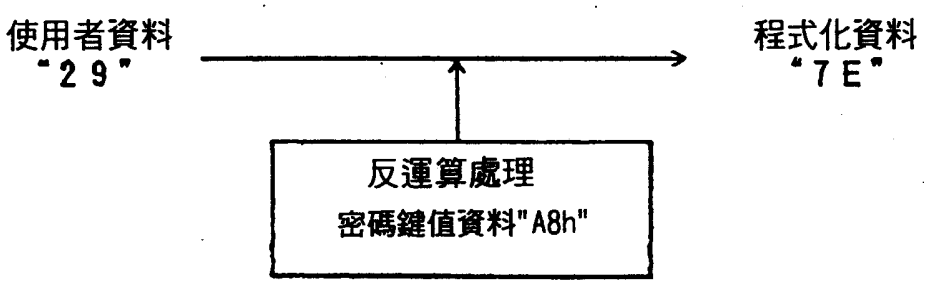


圖 4

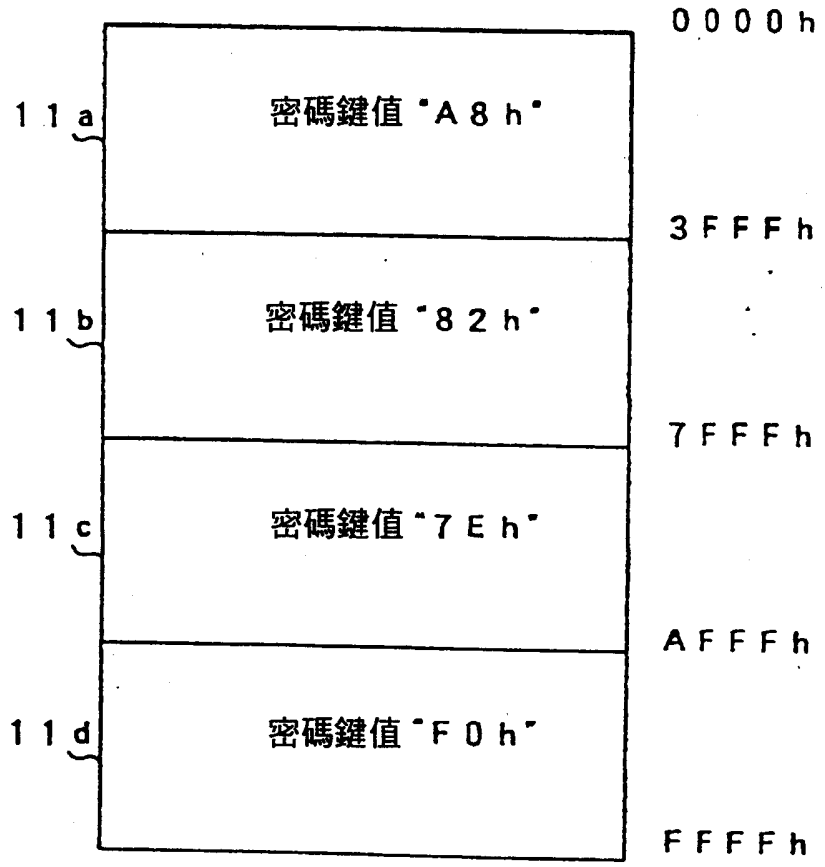

0000h
11a
密碼鍵值"A8h"
3FFFh
11b
密碼鍵值"82h"
7FFFh
11c
密碼鍵值"7Eh"
AFFFh
11d
密碼鍵值"F0h"
FFFFh

圖 5

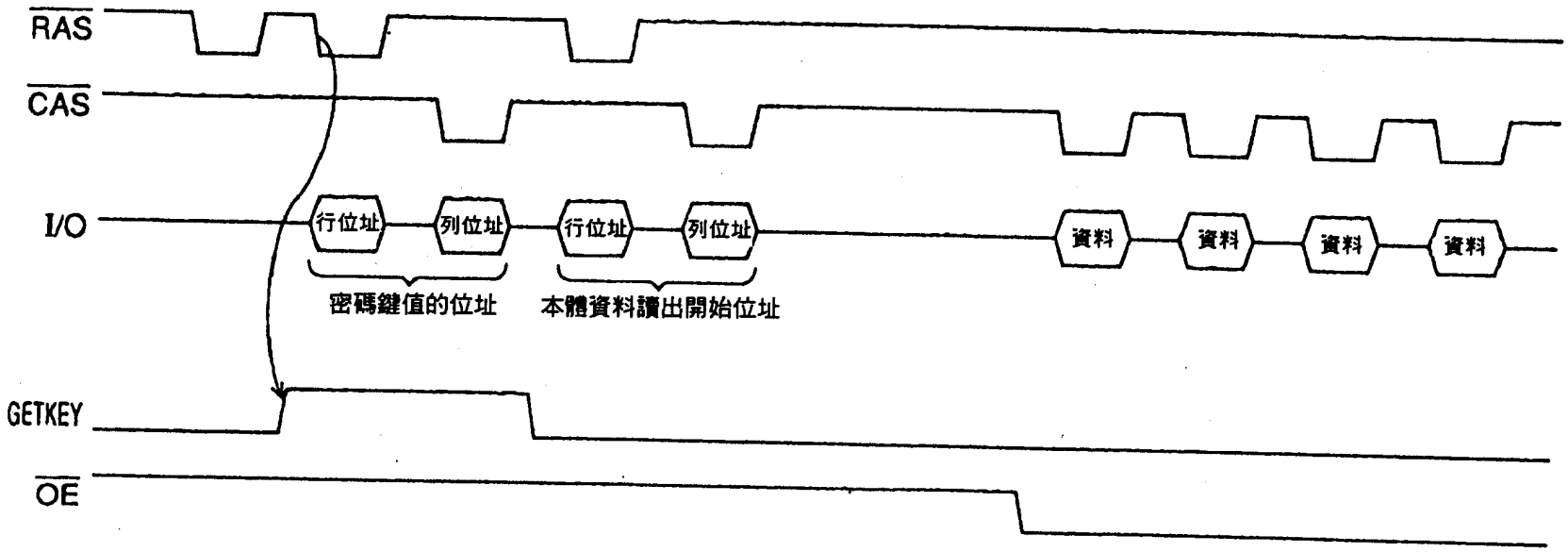

RAS
CAS
I/O
GETKEY
OE
行位址
列位址
行位址
列位址
資料
資料
資料
資料
密碼鍵值的位址
本體資料讀出開始位址

圖 6

圖 7

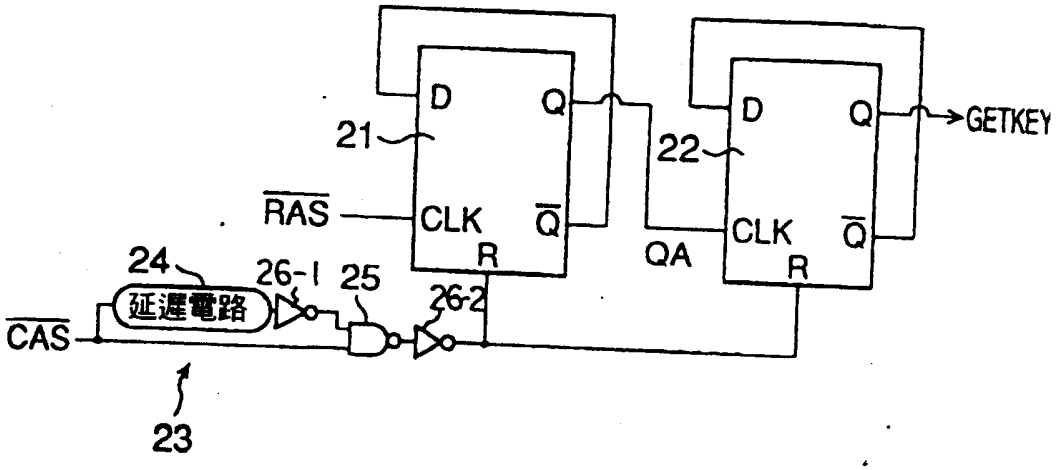
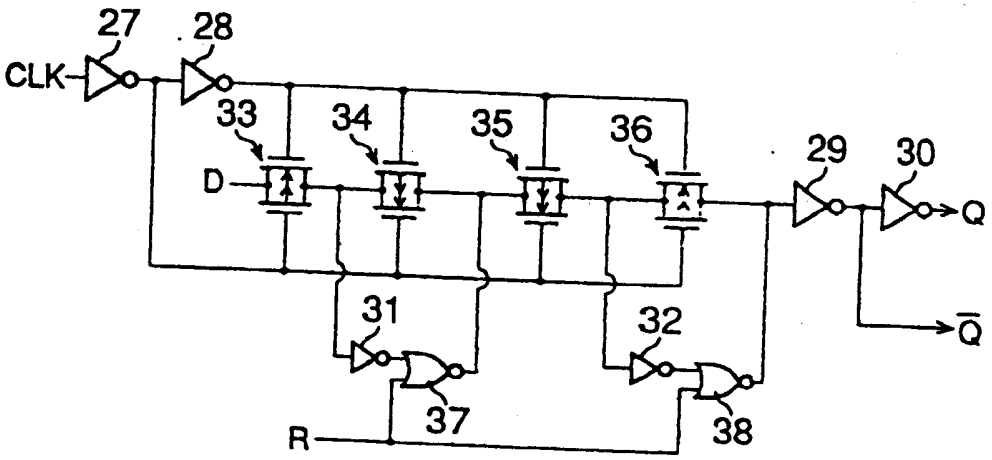

D
Q
21
22
GETKEY
RAS
CLK
Q
R
QA
24
26-1
25
26-2
延遲電路
CAS
23

圖 8


27
28
CLK
33
34
35
36
29
30
D
Q
31
32
37
38
R

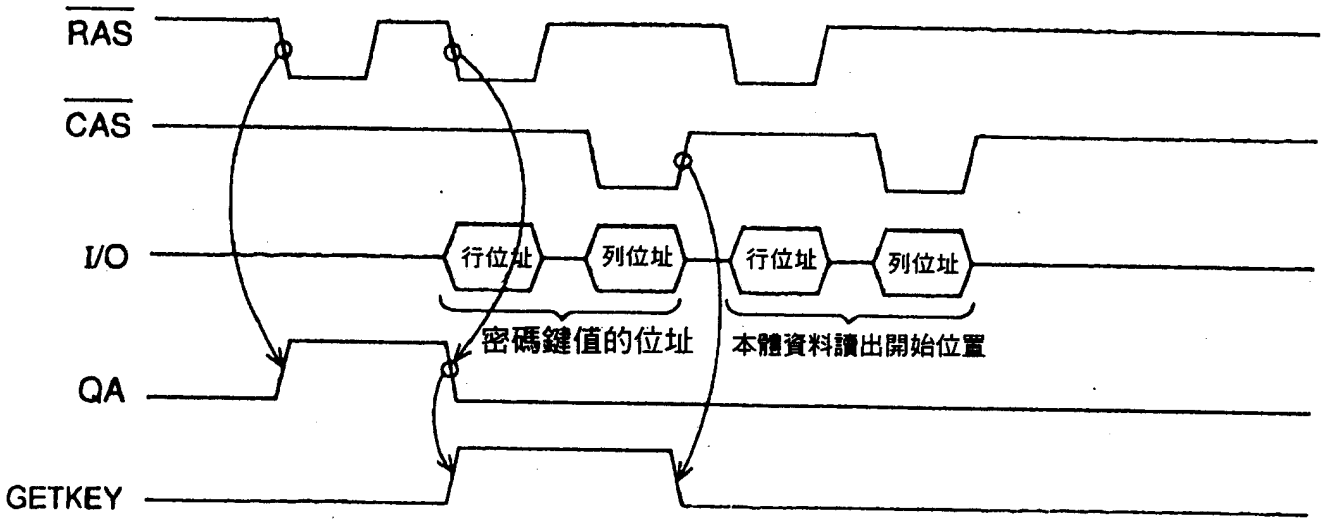


圖 9

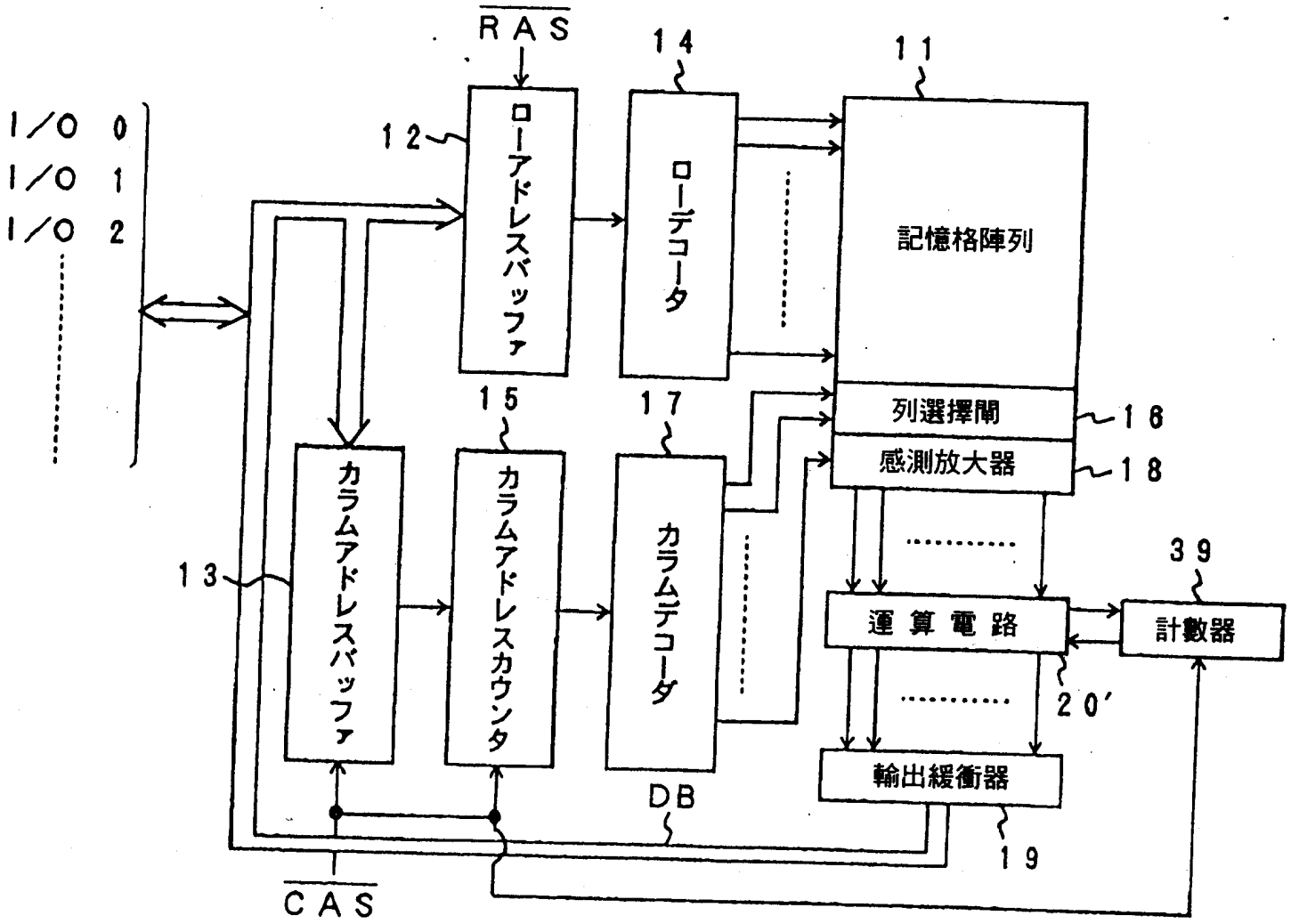

RAS
14
11
I/O 0
I/O 1
I/O 2
12
ローアドレスバッファ
ローデコータ
記憶格陣列
15
17
列選擇閘
16
感測放大器
18
13
カラムアドレスバッファ
カラムアドレスカウンタ
カラムデコーダ
39
運算電路
計數器
20'
輸出緩衝器
DB
19
CAS

圖 10

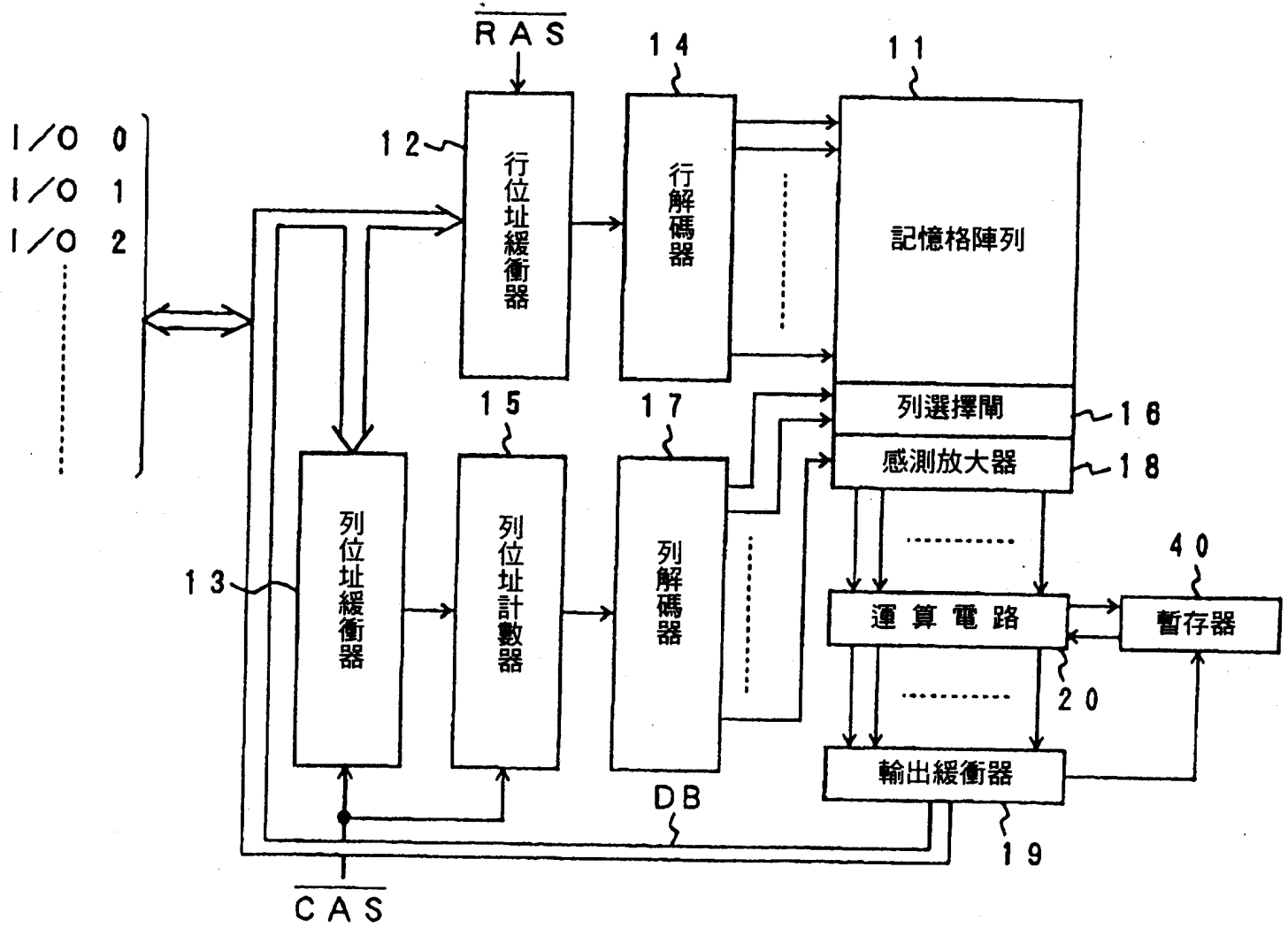

RAS
14
11
I/O 0
I/O 1
I/O 2
12
行位址緩衝器
行解碼器
記憶格陣列
15
17
列選擇閘
16
感測放大器
18
列位址緩衝器
列位址計數器
列解碼器
13
40
運算電路
暫存器
20
輸出緩衝器
DB
19
CAS

圖 11

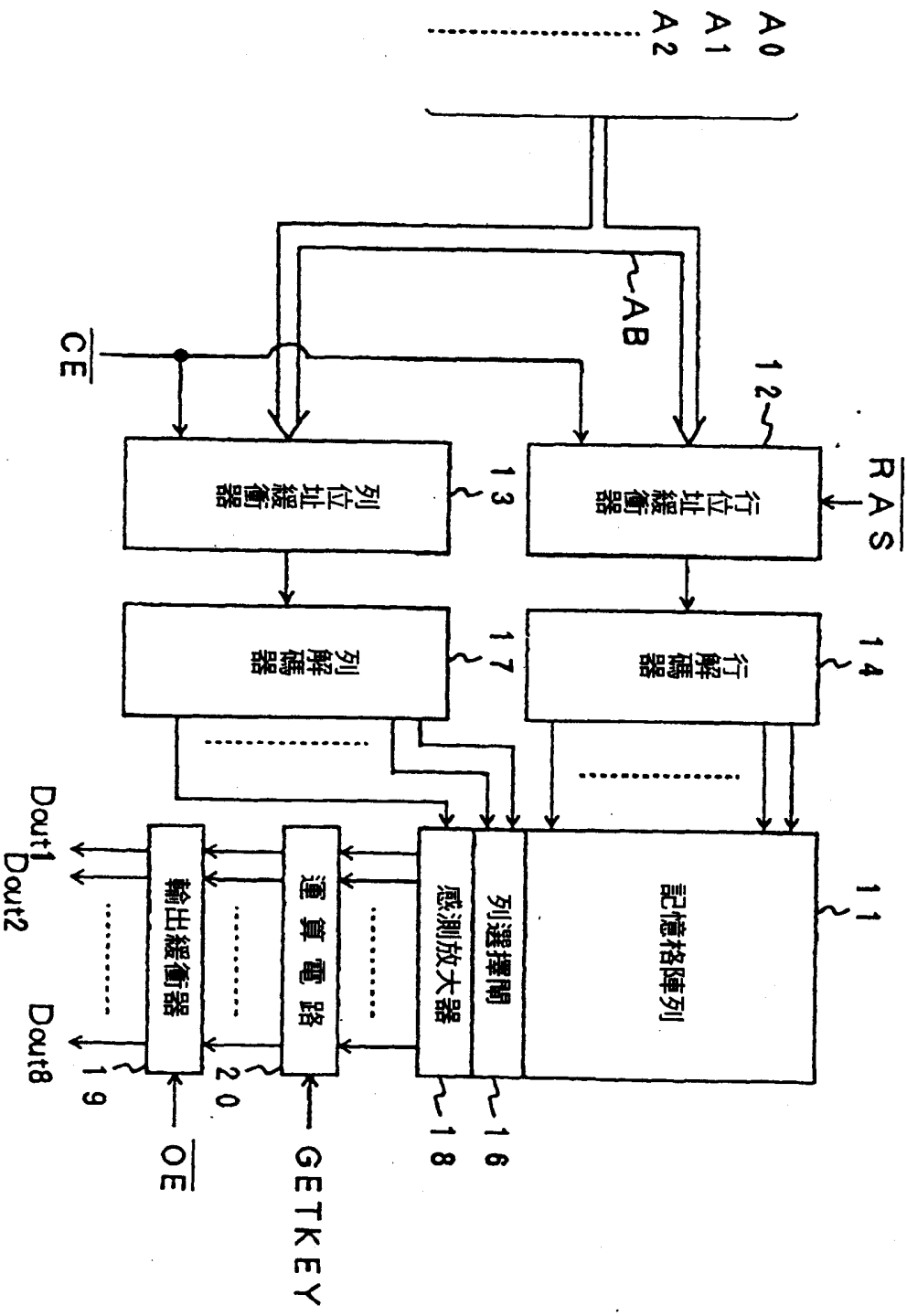

A0
A1
A2
AB
CE
RAS
12
行位址緩衝器
13
列位址緩衝器
14
行解碼器
17
列解碼器
11
記憶格陣列
列選擇閘
16
感測放大器
18
運算電路
20
輸出緩衝器
19
Dout1
Dout2
Dout8
OE
GETKEY

圖 12

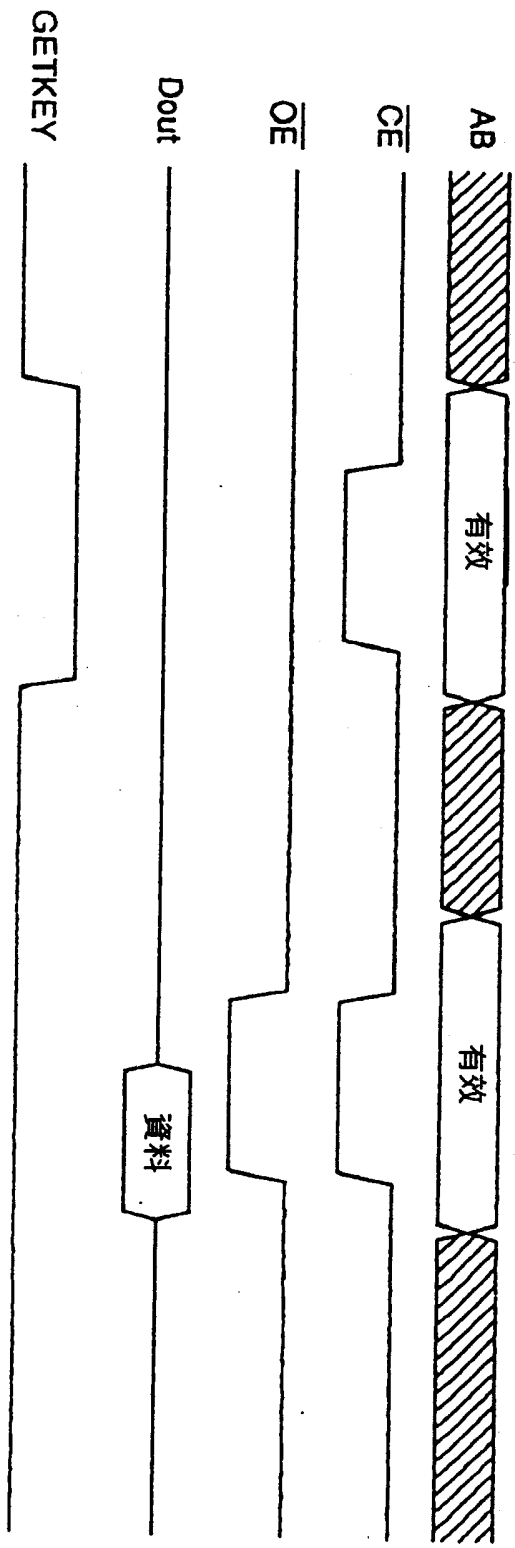


圖 13

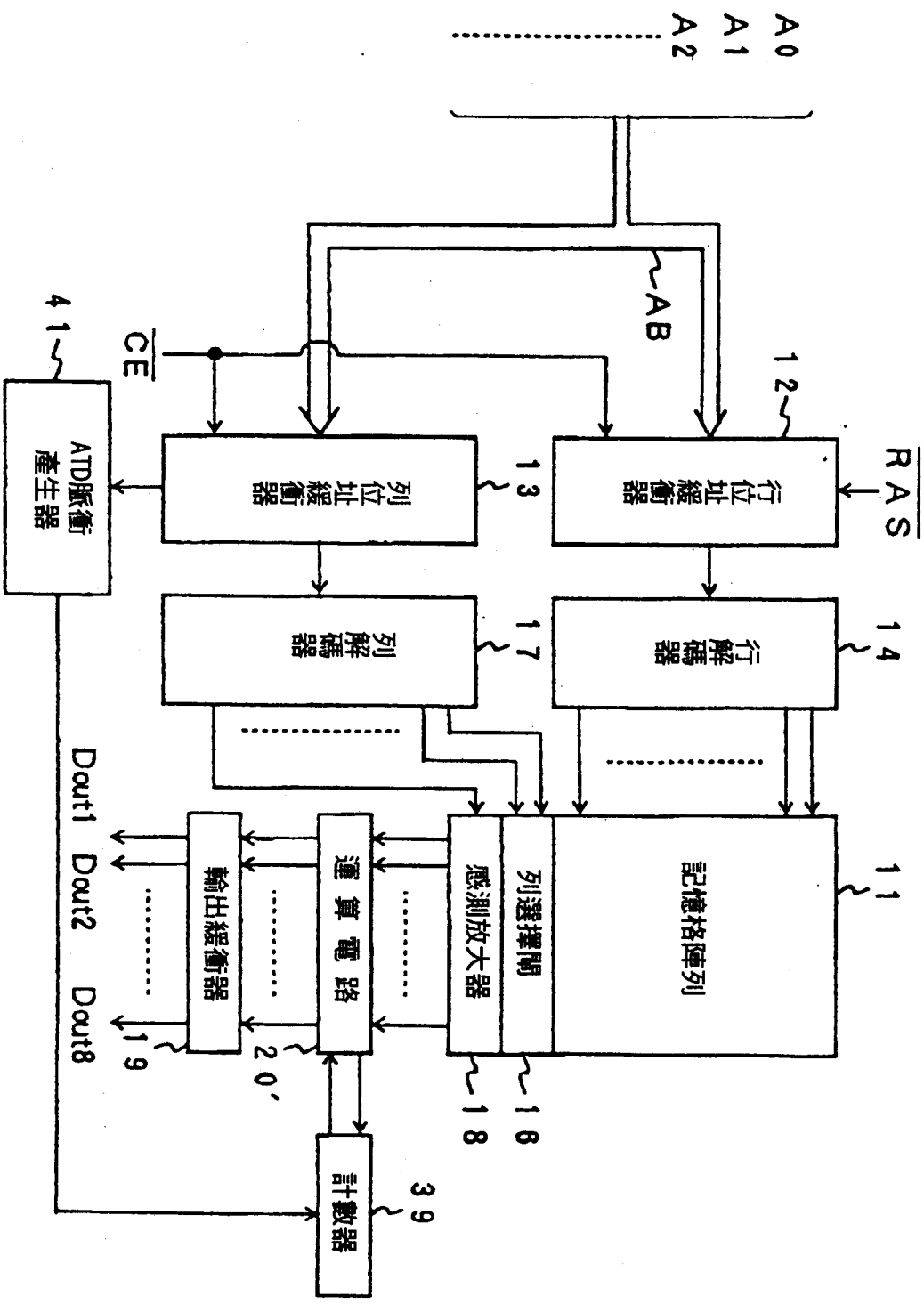

A0
A1
A2
AB
12
RAS
CE
41
ATD脈衝產生器
列位址緩衝器
13
行位址緩衝器
列解碼器
17
行解碼器
14
記憶格陣列
11
列選擇閘
感測放大器
16
18
運算電路
20'
輸出緩衝器
19
Dout1
Dout2
Dout8
計數器
39

圖 14

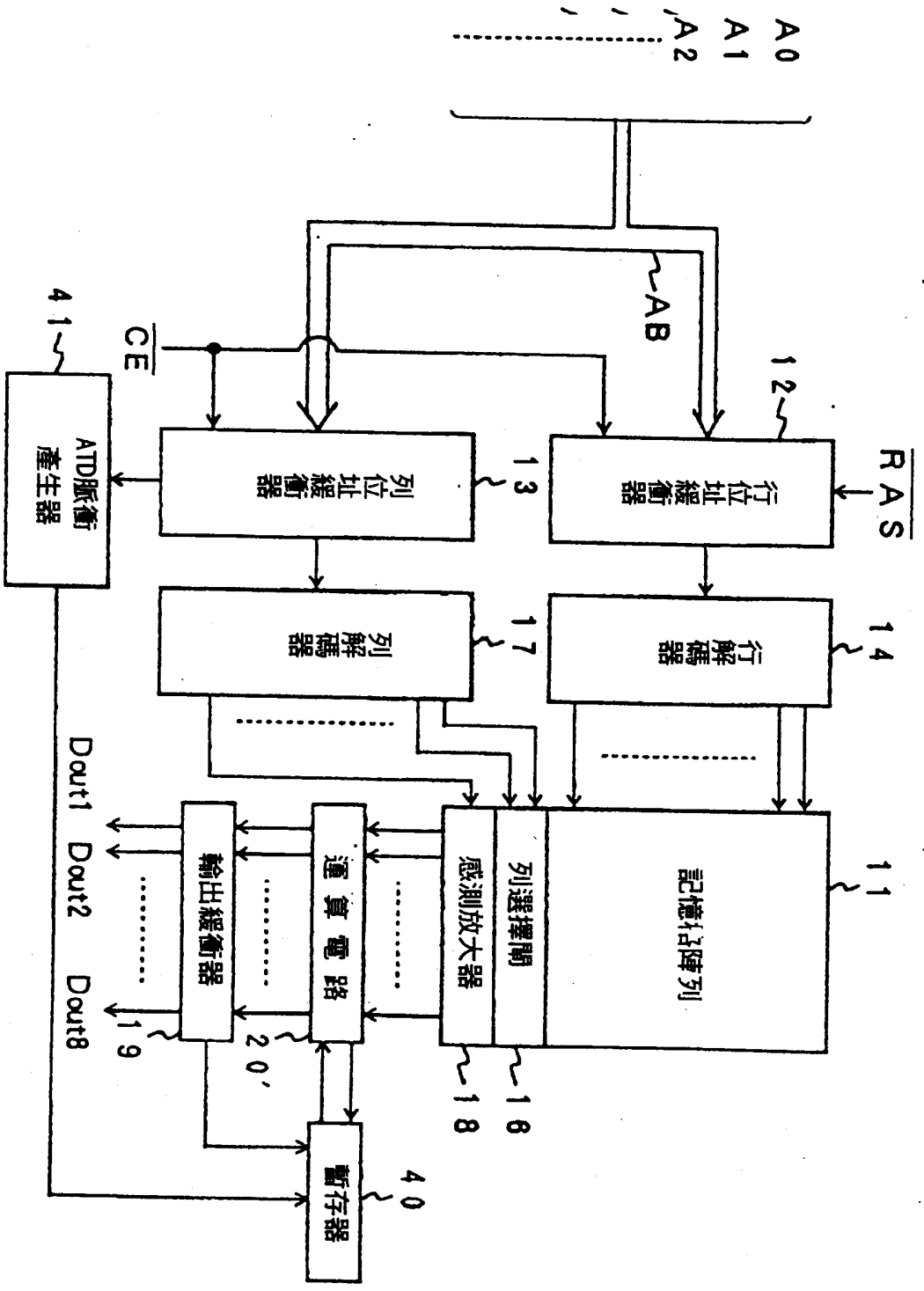

A0
A1
A2
AB
CE
41
ATD脈衝產生器
列位址緩衝器
13
行位址緩衝器
12
RAS
列解碼器
17
行解碼器
14
記憶體陣列
11
列選擇閘
感測放大器
16
18
運算電路
20'
輸出緩衝器
19
Dout1 Dout2 Dout8
暫存器
40

圖 15

3845387

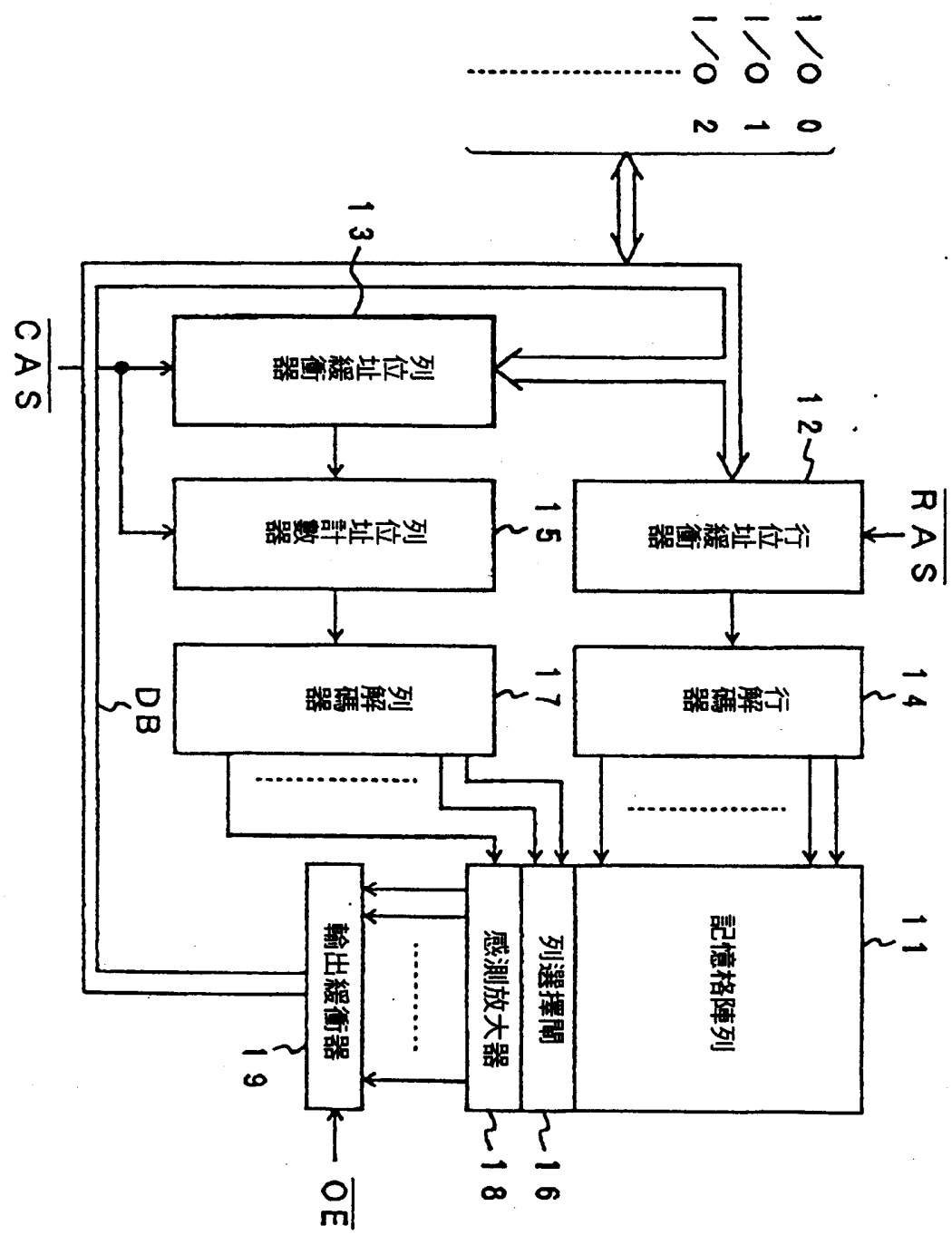

I/O 0
I/O 1
I/O 2
13
CAS
列位址緩衝器
12
RAS
行位址緩衝器
15
列位址計數器
14
行解碼器
17
列解碼器
DB
11
記憶格陣列
16
列選擇閘
18
感測放大器
19
輸出緩衝器
OE

圖 16