

公告本

申請日期	89-9-15
案號	89117607
類別	G06F13/40

A4
C4

552515

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	鄰近於本地輸入/輸出匯流排之橋接中之輸入/輸出位址轉換
	英文	"INPUT/OUTPUT (I/O) ADDRESS TRANSLATION IN A BRIDGE PROXIMATE TO A LOCAL I/O BUS"
二、發明人	姓名	1.拉曼 納耶 2.道格拉斯 R. 莫蘭 3.雷納德 W. 克羅斯
	國籍	1.印度 2.3.美國
	住、居所	1.美國俄勒岡州喜爾柏若市東南艾瑞爾街7106號 2.美國俄勒岡州比佛頓市西南第189大道7949號 3.美國俄勒岡州波特蘭市西北第124廣場3701號
三、申請人	姓名 (名稱)	美商英特爾公司
	國籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人姓名	F. 湯姆士. 當烈二世

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權
美國 1999年08月30日 09/385,209 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

版權聲明

本文中內含的資料受到著作權保護。著作權擁有人不反對任何人傳真再製專利暨商標局專利檔案或記錄中發表的專利，但是絕對保留著作權的所有權限。

發明背景

發明範疇

本發明通常與匯流排通訊協定橋接有關。尤其，本發明與I/O位址轉換有關，諸如，於橋接中，將連續的邏輯位址空間重新映對到可能斷續的實體位址空間。

先前技藝說明

如果輸入/輸出(I/O)週邊裝置擁有大型且連續的系統記憶體(主記憶體)空間，則其運作會更有效率。這允許此類的裝置可於含有資料的大型記憶體區域中隨機存取其所需的資料。對於圖形卡而言，連續的記憶體空間特別重要，因為圖形卡經常必須擷取整個紋理圖，才能在顯示裝置上再現景區。基於此項應用的目的，為了理解大型連續的位址空間，將I/O週邊裝置運作使用的位址空間稱為「虛擬位址空間」。

無論如何，因為週邊裝置採用不同於主電腦系統主記憶體的位址空間，所以需要稱為「位址轉換」的處理程序來將週邊裝置供應的虛擬位址映射到主記憶體中可能對應的斷續實體位址。

現在將參考圖1來說明現行位址轉換技術的範例。圖1顯示一般用途電腦系統100的高階方塊圖，用以解說將圖形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

位址轉換成實體位址。電腦系統100包括處理裝置，諸如一個或一個以上的處理器105與110、晶片組120、主記憶體125、記憶體匯流排124、一圖形加速埠(Accelerated Graphics Port AGP)匯流排130及PCI匯流排140。於此範例中，主記憶體包括圖形位址重定位表(graphics address relocation table GART)，其含有用以將如圖形加速器135之類的週邊裝置使用的虛擬位址映射到主記憶體125中的實體位址。

晶片組120提供AGP匯流排130、PCI匯流排140與記憶體匯流排124間的橋接功能。作為橋接功能的一部份，晶片組120使用GART 126將內傳讀取暨寫入異動(例如源自於圖形加速器135的讀取暨寫入)中內含的圖形位址轉換成主記憶體125中對應的實體位址。因此，根據圖1配置的電腦系統中，如紋理圖之類的圖形資料處理需要多重存取主記憶體125。首先，晶片組120必須自GART 126擷取對應於正在執行之異動中指定之圖形位址的項目。然後，於晶片組120決定想要的實體位址後，晶片組120必須執行第二次存取主記憶體125，才能讀取或寫入異動指定的資料。

AGP優點之一在於，其將視訊子系統與電腦系統的其他部份隔離，使得其I/O頻寬的競爭不會像PCI一樣激烈。但是，從前文中的說明應可得知，目前處理AGP異動轉換的方法在某些方面毫無效能例如，第一，與存取靜態隨機存取記憶體(SRAM)相比，存取主記憶體125(通常係由動態隨機存取記憶體(DRAM)所組成)相當慢速。第二，為位址

五、發明說明(3)

轉換目的存取主記憶體125時，必須與其他的存取請求競爭，諸如，源自於處理器105或110的請求，及在系統匯流排115或PCI匯流排140上接收到的請求。結果，AGP轉換因競爭流量而變慢。最後，如果異動單位(未顯示)處理多重流量類型(例如，系統匯流排流量、PCI流量、AGP流量)，因為仲裁邏輯需要解決各種內傳及外傳異動中異動單元的競爭，所以情況更加複雜。

因此，希望提供一種加速執行I/O異動的轉換I/O位址技術，並提供簡化的位址轉換邏輯建置。此外，還有助於在裝置中執行與其他流量類型(諸如，系統匯流排流量或來自於其他I/O裝置的流量)隔離的必要I/O位址轉換。

發明總結

本發明揭示一種供於一輸入/輸出(I/O)擴充橋接中執行位址轉換的方法及裝置。該I/O擴充橋接包括一第一介面單元、一第二介面單元及一位址轉換單元。該第一介面單元係用於透過一個或一個以上的I/O連接埠耦合到一系統記憶體及一I/O控制器。該第一介面單元能夠透過一個或一個以上的I/O連接埠將資料傳送到電腦系統的主記憶體，或傳送來自於電腦系統主記憶體的資料。該第二介面單元係用於提供匯流排控制信號及位址，使得資料能夠透過匯流排傳送到週邊裝置，或傳送來自於週邊裝置的資料。該位址轉換單元耦合到該第一介面單元及該第二介面單元。位址轉換單元轉換與第二介面上接收到之異動關聯的位址，其方式為存取含有電腦系統主記憶體之頁面實體位址的本地記

五、發明說明（4）

憶體。

參考附圖及詳細說明即可明白本發明的其他功能與優點。

圖式簡單描述

本發明將藉由附圖中顯示的範例來進行解說，但未限制，圖式中相似的參照數字代表相似的元件，並且其中：

圖1顯示供圖形位址轉換之先前技藝方法的方塊圖。

圖2顯示根據本發明一項具體實施例之輸入/輸出位址轉換的方塊圖。

圖3顯示根據本發明一項具體實施例之圖形位址轉換的方塊圖。

圖4顯示可建置本發明具體實施例之示範性晶片組的方塊圖。

圖5A顯示根據本發明一項具體實施例之圖形擴充橋接之功能單元間之高階互相連接的簡化型方塊圖。

圖5B顯示用以更詳說明根據本發明一項具體實施例之圖形擴充橋接的簡化型方塊圖。

圖6顯示用以解說根據本發明一項具體實施例之異動處理概念的高階流程圖。

圖7顯示根據本發明一項具體實施例之內傳PCI寫入異動處理的流程圖。

圖8顯示根據本發明一項具體實施例之外傳PCI寫入異動處理的流程圖。

五、發明說明(5)

圖9顯示根據本發明一項具體實施例之圖形(虛擬)至實體位址空間轉換概念的圖式。

圖10A顯示可用來表示主記憶體中4Kbyte頁面中駐存之資料之示範性虛擬位址格式的圖式。

圖10B顯示可用來表示主記憶體中4Mbyte頁面中駐存之資料之示範性虛擬位址格式的圖式。

圖11A顯示支援將位址轉換成主記憶體4Kbyte頁面之示範性GART項目格式的圖式。

圖11B顯示支援將位址轉換成主記憶體4Mbyte頁面之示範性GART項目格式的圖式。

本發明詳細說明

本發明揭示一種供於一輸入/輸出(I/O)擴充橋接中執行位址轉換的方法及裝置。概括而言，本發明的具體實施例尋找用以提供一種可加速執行I/O異動的轉換I/O位址技術，其方式是除了別的異動以外，將如I/O擴充橋接之類的I/O異動裝置與如系統匯流排異動之類的其他類型流量隔離。根據本發明的一項功能，可在本地SRAM中儲存GART，而不需要橫跨記憶體匯流排。其優點在於，因為介面位於本地，所以不需要與其他流量類型競爭就可存取並取得GART項目，所以可較快速完成異動並可簡化異動裝置的建置。

基於解說的目的，在下面的詳細說明中提出許多的特定細節，以便充分認識本發明。但是，熟知技藝人士應清楚知道，在不運用這些特定細節的情況下，仍然可實施本發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

明。於其他情況下，熟知的結構及裝置係以方塊圖形式來顯示。

下文中將會說明本發明包括的各項步驟。本發明的步驟可藉由硬體組件執行，或用機器可執行的指令具體化，其可能用於以執行步驟的指令來程式化一般用途或特殊用途的處理器或邏輯電路。或者，可藉由組合硬體及軟體來執行步驟。

最為重要的是，雖然將參考可本地存取用於轉換各種 AGP 及如 PCI 異動之圖形擴充橋接 (graphics expansion bridge; GXB) 的圖形加速埠 (Accelerated Graphics Port AGP) 及圖形位址重定位表 (graphics address relocation table GART) 來說明本發明的具體實施例；但是，對於其他類型的 I/O 異動及 I/O 擴充橋接或 I/O 匯流排上的裝置需要連續主記憶體空間之其他類型的匯流排，同樣適用本文中說明的方法及裝置。例如，於涉及 VESA 本地匯流排 (VESA Local Bus VLB) 及 / 或週邊組件互連 (Peripheral Component Interconnect PCI) 匯流排的相關異動中，本文中說明的技術就非常有用。

術語

在說明建置本發明各種具體實施例的示範性環境之前，先簡單定義整份專利申請中將使用的某些術語。

術語「匯流排」表示兩個或兩個以上裝置間流動資訊所使用的實體通訊媒體或通道。雖然有些人認為只有兩個裝置在其上的匯流排是「連接埠」，但是本文中使用的術語

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

「匯流排」也同樣包含此類的連接埠。

術語「處理器匯流排」、「系統匯流排」或「主機匯流排」通常表示電腦系統匯流排階層中的最高階匯流排。系統晶片組通常會使用此匯流排，以便在電腦系統中的一個或一個以上處理器之間傳送資訊。

「記憶體匯流排」表示將記憶體子系統連接到系統晶片組及處理器的匯流排。最為重要的是，於某些電腦系統中，處理器匯流排及記憶體匯流排可能是同一匯流排。

「本地 I/O 匯流排」通常表示高速輸入/輸出 (I/O) 匯流排，其用於將各種週邊裝置連接到電腦系統的記憶體、系統晶片組及/或處理器。例如，視訊卡、磁碟儲存裝置、高速網路介面及其他效能關鍵型週邊裝置通常是耦合到此類型的匯流排。共同本地 I/O 匯流排包括 VESA 本地匯流排 (VESA Local Bus VLB)、週邊組件互連 (Peripheral Component Interconnect PCI) 及圖形加速埠 (Accelerated Graphics Port AGP) 匯流排。再者，基於發表的目的，設計的匯流排係由兩個以上的裝置共用，而設計的連接埠僅供兩個裝置使用，例如 I/O 連接埠或 AGP 都被視為匯流排。

「圖形加速埠」"Accelerated Graphics Port" (AGP) 是為快速顯示高品質 3D 圖形暨視訊影像所設計的高效能匯流排規格，如 1998 年 5 月 4 日第二版圖形加速埠介面規格 (Accelerated Graphics Port Interface Specification) 及其後續修訂版中的說明。

「PCI 異動」通常表示 AGP 匯流排上發出之具有 AGP 語義

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 8 ）

學的PCI異動。

本文中使用的「橋接」通常表示於晶片組中具體化的邏輯及電路元件，例如，用於連接兩個匯流排並允許位於其中一個匯流排上的裝置與位於另一個匯流排上的裝置通訊，反之亦然。電腦系統中常見的橋接範例是PCI-ISA橋接，其通常屬於系統晶片組的一部份。PCI匯流排還可能具有處理器匯流排的橋接，稱為PCI擴充橋接(PXB)。

於本專利申請上下文中，「異動」包括一個或一個以上的請求(位址)階段及資料階段。異動通常包括開始位址、異動類型及要傳送之資料量的指示。

特定異動的指示係從處理器的觀點來決定。因此，「內傳異動」通常表示如視訊卡、磁碟儲存裝置或高速網路介面之類的週邊裝置傳送到電腦系統的讀取或寫入請求；而「外傳異動」通常表示電腦系統傳送到週邊裝置的讀取或寫入請求。

輸入/輸出位址轉換

本發明的各種功能被認為通常有助於在輸入/輸出(I/O)擴充橋接中執行位址轉換。為了在上下文中寫入本發明的廣泛的觀點，現在將參考圖2來說明可建置本發明一項具體實施例的示範性電腦系統架構。圖2顯示一般用途的電腦系統200，於該電腦系統200中執行根據本發明一項具體實施例之方法的一項或一項以上步驟，並且可駐存根據本發明一項具體實施例的裝置。電腦系統200包括處理裝置，諸如一個或一個以上的處理器205與210、晶片組

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

220、主記憶體225、記憶體匯流排224及本地I/O匯流排230。根據此項具體實施例，晶片組220包括一位址轉換表226。位址轉換表含有用以協助將自週邊裝置235接收到之虛擬位址轉換成主記憶體225中之實體位址的項目(未顯示)。如下文中更詳細的說明，晶片組220可包括一個或一個以上的積體電路，用以分散各種晶片組功能，例如，系統匯流排仲裁、I/O位址轉換等等。於此項範例中，晶片組220係作為本地I/O匯流排230、系統匯流排215與記憶體匯流排224間的橋接。作為橋接運作的一部份，晶片組220存取本地位址轉換表226，以便將週邊裝置235採用的連續I/O位址空間映射到主記憶體225的實體位址空間。最為重要的是，如下文中進一步的說明，藉由定位晶片組220本地的位址轉換表226(例如，晶片上或晶片外專用的SRAM)，可更有效率地執行來自於週邊裝置235的內傳異動。

圖形位址轉換

本發明的各種功能通常被認為特別有助於執行將諸如AGP相容圖形裝置之圖形位址空間的位址轉換成主記憶體225的實體位址空間。圖3顯示一般用途電腦系統300的高階方塊圖，該電腦系統300中建置根據本發明一項具體實施例的改良型虛擬位址轉換技術。電腦系統300包括處理裝置，諸如一個或一個以上的處理器305與310、晶片組320、主記憶體225、記憶體匯流排324、一圖形加速埠(Accelerated Graphics連接埠AGP)匯流排330及PCI匯流排340。如圖所示的具體實施例中，晶片組320包括一圖形位

五、發明說明 (10)

址重定位表 (graphics address relocation table GART) 326。GART 326 含有用以實現將自圖形加速器 335 接收到之虛擬位址轉換成主記憶體 325 中之實體位址之資訊的項目 (下文將會說明)。

根據此項具體實施例，GART 326 可本地存取晶片組 320，而不是橫跨主記憶體 325 中的記憶體匯流排 324 來進行定位。晶片組 320 提供 AGP 匯流排 330、PCI 匯流排 340 與記憶體匯流排 324 間的橋接功能。作為橋接功能的一部份，晶片組 320 使用本地 GART 326 將內傳讀取暨寫入異動 (例如源自於圖形加速器 335 的讀取暨寫入) 中內含的圖形位址轉換成主記憶體 325 中對應的實體位址。如上文參考圖 2 的說明，藉由定位晶片組 320 中的 GART 326，可更有效率地處理暨執行來自於諸如圖形加速器 335 之週邊裝置的內傳異動。最為重要的是，自主記憶體 325 (例如，DRAM) 擷取資料可能需要大約 300 到 500 毫微秒，而自本地 SRAM 擷取資料的執行時間可能需要大約 30 毫微秒或更短的時間。

示範性晶片組

簡單介紹可採用本發明的示範性環境後，現在將參考圖 4 來說明示範性晶片組建置。圖 4 顯示根據本發明一項具體實施例之複數個單元 (例如，晶片) 中之功能的示範性配置。於此項範例中，晶片組 320 包括系統位址控制器 (SAC) 415、系統資料控制器 (SDC) 420、PCI 擴充橋接 (PXB) 425、圖形擴充橋接 (GXB) 410 及靜態隨機存取記憶體 RAM (SRAM)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

405。

SAC 420連接到系統匯流排315的位址暨控制部份(未顯示)。SAC負責轉換並指示系統匯流排315存取適當的I/O連接埠或主記憶體325。其還作為內傳流量的投送代理，將內傳流量傳送到對等式I/O連接埠412或427、主記憶體325或系統匯流排315。

SDC連接到系統匯流排315的位址信號(未顯示)，還經由系統匯流排324及SAC 415耦合到主記憶體325。無論資料是從系統匯流排315傳送到主記憶體325、從I/O連接埠412或427的其中一個傳送到記憶體或對等式I/O連接埠412或427，所有要傳送的資料都是透過SDC傳送。SAC 415與SDC 420間的連接允許同時將資料傳送到系統匯流排315及傳送到I/O連接埠412或427，藉此使每個系統代理都可取得最大頻寬。於替代具體實施例中，可將SAC 415與SDC的功能組合成單一系統記憶體及I/O控制器421，或分佈在額外的積體電路上。

PXB 425提供諸如F16匯流排之類的I/O連接埠427與PCI匯流排340間的匯流排通訊協定橋接功能。單一PXB 425通常連接到I/O連接埠427，並建立兩個33Mhz、32位位元PCI匯流排。或者，PXB 425可支援單一64位位元PCI匯流排。電腦系統可包括多重PXB(通常為1到4個)。

GXB 410提供I/O連接埠412(例如，兩個F16匯流排)與AGP匯流排330間的橋接，其方式是在I/O連接埠412與AGP匯流排330間提供匯流排通訊協定橋接功能。在此方法

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

中，GXB 410為電腦系統增加高效率且專用的圖形連接埠。一台電腦系統中可安裝多重GXB，以便建立多圖形連接埠工作站。GXB 410的主要功能是建立I/O連接埠412與AGP匯流排330間的橋接。簡言之，GXB 410完成橋接的方式是，接收來自於I/O連接埠412的外傳異動，於其內部儲存外傳異動，然後使用適當的發信號通訊協定在AGP匯流排330上傳遞外傳異動。相對地，GXB 410接收AGP匯流排330上發出的內傳異動，再於其內部儲存內傳異動，轉換與內傳異動有關的圖形位址，並將經轉換的內傳異動發出到I/O連接埠412上。如下文中進一步的詳細說明，GXB 410執行位址轉換的方式是，存取晶片上或晶片外SRAM 405上儲存的GART 326。圖4的晶片組架構具有數項優點。第一，GXB 410與系統匯流排315及關聯的系統流量隔離，藉此排除GXB 410資源競爭來源，進而不再需要關聯的仲裁邏輯。第二，因為GART 326駐存在GXB 410中，所以位址轉換處理不會干擾主記憶體流量，並且使記憶體匯流排324的運用更有效率。另外，本地SRAM存取GART 326的速率大約是如果GXB 410必須通過記憶體匯流排324存取之速率的十倍。因此，最終結果是供伺服AGP匯流排330上異動的改良型通訊協定橋接。與上面說明的現行橋接技術相比，改良型通訊協定橋接更簡單、更快速且更有效率。下文將說明GXB 410的內部分割。

鑑於近來的整合風潮，最為重要的是可考慮將GXB 410一個或一個以上的組件整合到單一積體電路(IC)中。另

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

外，在替代具體實施例中，可將GXB 410中一個或一個以上的組件與處理器及/或記憶體一起整合到單一積體電路中。

圖形擴充橋接功能分割

現在將參考圖5A來說明將GXB 410的各種功能分割成特定單元的範例。圖5A顯示根據本發明一項具體實施例之圖形擴充橋接之功能單元間之高階互相連接的簡化型方塊圖。於此項範例中，GXB 410包括AGP匯流排介面單元505、資料緩衝器單元510、異動佇列單元515、GART單元520及I/O連接埠介面單元525。AGP匯流排介面單元505可能係以66 Mhz、32位元PCI匯流排為基礎。實際上，為了容易建置AGP匯流排介面單元505，可能將AGP匯流排介面單元505進一步分割成核心PCI匯流排及增加AGP功能的遞增邏輯。於AGP端，AGP匯流排介面單元505包括仲裁邏輯(未顯示)，用以管理內傳及外傳異動間的AGP匯流排330所有權。另外，匯流排控制信號及位址係由AGP匯流排介面單元505提供，使得AGP資料能夠在AGP匯流排330上傳送。AGP匯流排介面單元505還可維護內部異動佇列及資料緩衝器(未顯示)，用以執行任何必要的資料流內部重新定序，並用以保存異動，直到異動佇列單元515可取得足夠資源來伺服異動。

如下文中進一步的詳細說明，異動佇列單元515建置內傳及外傳異動之一個或一個以上的內部異動佇列。還可於GXB 410中建置支援各種資料緩衝所需的緩衝器空間。例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

如，GXB 410內的資料緩衝器單元510可含有用以暫存資料的資料緩衝器。資料緩衝器可建置成每個方向之每種異動類型之分開的緩衝器，或建置成共同緩衝器。

如上文所述，於現行的圖形位址轉換機制中，GART 126係儲存在主記憶體125中。因此，於此類建置中，GART功能的執行近似於主記憶體125。相對地，根據本發明具體實施例，GXB 410內的GART功能係由GART單元520執行。根據一項具體實施例，每當有效的異動駐存在其中一個異動佇列時，GART單元就會執行下推模型並轉換異動。就這一點而言，GART單元520負責接收來自於異動佇列的內傳異動，並在必要時轉換異動。如圖所示的具體實施例中，GART單元520耦合包括GART 326的本地晶片外SRAM 405。或者，GART 326可能儲存在晶片上SRAM中。GART單元520還負責程式化SRAM 405的內容。SRAM 405應在任何存取開始之前，先初始化成無效或程式化。例如，每次啟動新應用時，則可指示GART單元520將SRAM 405程式化。可藉由自系統匯流排315發出程式化存取請求來完成程式化。

I/O連接埠介面單元525提供連接到一個或一個以上I/O連接埠的介面，其方式是使請求及資料可透過一個或一個以上I/O連接埠傳送。例如，根據一項具體實施例，I/O連接埠介面單元525連接兩個F16匯流排。I/O連接埠介面單元525根據可利用性及資料流優先順序，從異動佇列單元515中維護的內傳異動佇列中移除異動，並跨越適當的I/O連接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（15）

埠412來傳送異動。如果是寫入請求，則還會傳送自資料緩衝器單元510中適當的緩衝器讀取的資料。針對外傳異動，可將項目新增到異動佇列單元515中維護的外傳異動佇列。若需要，可將與外傳異動關聯的資料傳遞到資料緩衝器單元510中適當的緩衝器。

基於說明的目的，已將異動及其相關資料分割成不同的單元，但也考慮各種其他的替代方案。例如，根據一項具體實施例，可將相關的資料緩衝器及異動組合在一起。因此，根據GXB功能性的特定分割，本文中發表的內容不應視為將本發明限制於一項具體實施例。

圖5B顯示用以更詳說明根據本發明一項具體實施例之圖形擴充橋接410的簡化型方塊圖。根據本範例，基於AGP規格的精神，高及低AGP與PCI資料流係維護成連接到I/O連接埠介面單元525之不同的結構。異動佇列單元515包括AGP低優先順序佇列560、AGP高優先順序佇列565、PCI內傳佇列570、SAC內傳控制邏輯580、SAC外傳控制邏輯585及PCI外傳佇列590。AGP匯流排介面單元505接收來自於AGP匯流排330的內傳AGP異動，並將內傳AGP異動新增到適當的佇列560、565或570。例如，AGP匯流排介面單元505將來自於AGP匯流排330的內傳AGP異動投送到PCI內傳佇列570。

SAC外傳控制邏輯585接收來自於I/O連接埠412的外傳異動，並將外傳異動排列到PCI外傳佇列590中。接著，AGP匯流排介面單元505卸載PCI外傳佇列590。最為重要的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (16)

是，因為外傳異動不需要位址轉換，所以不需要通過 GART 單元 520。

根據此具體實施例，GART 單元 520 包括仲裁單元 530、執行單元 535 及回寫單元 540。仲裁單元 530 執行兩項主要功能：(1) 在來自於組態配置控制單元 595 的 AGP 暨 PCI 存取與 SRAM 存取 (程式化存取) 之間進行仲裁；以及 (2) 產生 SRAM 位址 (GART 索引)。仲裁單元 530 的仲裁功能需要決定下一次要轉換位於異動佇列 560、565 及 570 頭端之異動中的哪一個異動。與異動佇列 560、565 及 570 中之內傳異動關聯的虛擬位址 (於一項具體實施例中，虛擬位址長度為 40 位元) 太長，而無法直接傳送給 SRAM 405。因此，仲裁單元 530 的 SRAM 索引產生功能 (GART 索引產生功能) 根據奪得仲裁之異動的虛擬位址來決定 SRAM 位址。然後，仲裁單元 530 可與執行單元 535 通訊，由執行單元 535 確證 SRAM 操作 (例如，讀取或寫入) 的適當控制信號。於此方法中，執行單元 535 可立即發生 SRAM 循環，而不需要處理進一步的位址。或者，仲裁單元 530 可將 SRAM 位址提供給執行單元 535，而執行單元 535 可組合全封包，並將全封包發出給 SRAM 405。

觀念上，SRAM 405 應以管道模式執行，並且在所有的時序，仲裁單元 530 應能夠提供下一個要轉換之異動的位址，並將下一個異動的可利用性傳達給執行單元 535。

在一項具體實施例中，執行單元 535 初始化並控制各種 SRAM 操作，其方式是於適當的時間確證並取消確證 SRAM

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

控制信號。於替代具體實施例中，執行單元 535 可執行一項執行階段，其包括處理從仲裁單元 530 進入的 SRAM 位址，並藉由將進入的 SRAM 位址傳送到 SRAM 405 來進行執行。當執行單元 535 接收到 GART 項目時，則可使用 GART 項目來執行位址轉換或丟棄。如果對應到 GART 項目的內傳異動位址係位於 GART 孔隙內，則可使用 GART 項目來執行位址轉換。但是，如果內傳異動位址係位於 GART 孔隙外，則會摘除 GART 項目且不會執行轉換。於替代具體實施例中，執行單元 535 可保存舊異動或使用異動旁視緩衝器來協助位址轉換。無論如何，「經轉換的位址」(例如，原始內傳異動位址或實體位址)都是提供給回寫單元 540。

回寫單元 540 接收 SRAM 資料，並使用執行單元 535 及組態配置控制單元 595 提供的資訊來格式化該資料，並將資料投送給正確的目的地(例如，位於異動佇列單元 515 中的佇列項目)。例如，根據如圖所示的具體實施例，回寫單元 540 負責以執行單元 535 提供的經轉換位址來覆寫內傳異動的虛擬位址。

高階異動處理

圖 6 顯示用以解說根據本發明一項具體實施例之異動處理概念的高階流程圖。在此範例中，於步驟 610 接收到異動。接著於步驟 620 根據異動類型來決定是否要執行位址轉換。如果異動是內傳異動(例如，自 AGP 匯流排 330 接收到的異動)，則會於步驟 630 繼續異動處理。否則，如果異

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

動是外傳異動(例如，自一個或一個以上I/O連接埠412接收到的異動)，則會於步驟640繼續異動處理。於步驟630執行異動處理。基於便利，雖然可推測GART係從SRAM 410擷取，但是並非所有的內傳異動都會經過轉換。例如，指定位於AGP範圍(例如，GART孔隙)外之虛擬位址的內傳異動就不會經過轉換。於步驟640，外傳異動略過異動處理。最後，於步驟650，於適當的匯流排上執行異動(例如，在一個或一個以上I/O連接埠412上執行內傳異動，以及在AGP匯流排330上執行外傳異動)。

內傳PCI寫入異動處理(Inbound PCI Write Transaction Processing)

如圖5B所示，GXB 410最好是用於處理AGP匯流排330上的接收到AGP異動暨PCI異動，以便提供反向相容性等級。PCI、低優先順序AGP及高優先順序AGP資料流通過GXB 410流動的處理非常類似，因此，此處將只說明示範性PCI異動處理。

圖7顯示根據本發明一項具體實施例之內傳PCI寫入異動處理的流程圖。如圖所示的範例中，於步驟710，AGP匯流排330上執行的PCI循環將PCI異動傳遞到GXB 410，其接在與PCI異動關聯的資料後。於步驟720，將PCI異動緩衝儲存到PCI內傳緩衝器570中。在贏得仲裁後，立即將與PCI異動關聯的虛擬位址轉換成記憶體325中的實體位址，如下文中進一步的說明(步驟730)。於步驟740，以經轉換的位址來覆寫PCI異動的虛擬位址。由於推測擷取之GART項

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

目的性質，當不執行異動時，則經轉換的位址可能與虛擬位址相同。無論如何，都會於步驟750將經轉換的PCI異動緩衝儲存到SAC內傳緩衝器580中，直到可在適當的I/O連接埠412上執行異動。最後，藉由在I/O連接埠412上執行寫入循環，以便執行經轉換的PCI異動。

外傳PCI寫入異動處理 (Outbound PCI Write Transaction Processing)

如上文所述，GXB 410不需要轉換外傳異動。為了進一步解說，現在將參考圖8來說明與外傳PCI寫入異動關聯的處理。根據此項範例，在I/O連接埠412上執行寫入請求，並接收PCI請求，然後投送到SAC外傳控制邏輯585 (步驟810及820)。將與PCI請求關聯的資料傳送到資料緩衝器單元510。於步驟840，在贏得仲裁時槽後，立即在AGP匯流排330上執行寫入循環，以便執行外傳PCI寫入異動。於成功完成外傳PCI寫入異動後，提供寫入完成指示 (步驟850及860)。

位址轉譯概覽

圖9顯示根據本發明一項具體實施例之圖形(虛擬)至實體位址空間轉換概念的圖式。簡言之，於此項範例中，虛擬位址915包括AGP位址920及偏移量925。例如，虛擬位址915代表圖形加速器335採用之連續邏輯位址空間中的位址。AGP位址920、其一部份或源自於AGP位址920的其他資訊係用於自GART 905擷取適當的項目。GART項目內含的資訊識別含有對應於虛擬位址915之實體位址之主記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

體 325 中的實體頁面。GART 項目識別的實體頁面與來自於虛擬位址 915 的偏移量 925 組合在一起，以便構成主記憶體位址 930。

支援多重頁大小

根據一項具體實施例，GXB 410 支援主記憶體 325 中兩種不同的頁面大小。虛擬位址 915 的轉換取決於駐存在對應之實體位址中的頁面大小。於一項具體實施例中，屬於 GART 孔隙內的所有頁面都是使用固定頁面大小 (例如，4Kbyte 或 4Mbyte)，並且於系統開機期間，將頁面大小的指示儲存到 GXB 410 中的控制暫存器中。現在，使用 GART 項目的 4Kbyte 頁面來設計 AGP 程式化模型。藉由允許較大的頁面大小 (例如，2Mbyte、4Mbyte 等等)，GXB 410 可相容於高效能電腦系統。

雖然於前文的說明中，GART 孔隙中的所有頁面都是一種大小或另一種大小，但是在替代具體實施例中，GART 孔隙可同時包括不同大小的頁面。於此項具體實施例中，必須按照下文中的說明來動態控制位址轉換。

圖 10A 顯示可用來表示主記憶體中 4Kbyte 頁面中駐存之資料之示範性虛擬位址格式的圖式。根據此項具體實施例，虛擬位址 915 長度為 40 位位元。AGP 位址 1020 長度為 28 位位元，而偏移量 1025 長度為 12 位位元。

圖 10B 顯示可用來表示主記憶體中 4Mbyte 頁面中駐存之資料之示範性虛擬位址格式的圖式。根據此項具體實施例，虛擬位址 915 長度同樣是 40 位位元。但是，AGP 位址

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

1021長度縮短為18位位元，而偏移量1025長度增加為22位位元。這是為了可容納各種其他的頁面大小。

圖 11A 顯示支援將位址轉換成主記憶體 4Kbyte 頁面之示範性 GART 項目格式 1105 的圖式。於此範例中，項目 1105 的長度為 32 位位元，其包括同位檢查位元 1115、相干性位元 1120、有效位元 1125、新頁面位址 1130 及保留區 1110。每個項目都涵蓋一頁 4Kbyte 頁面。一百萬位元組 (MB) 足以保存 256k 項目，或 4Kbyte 頁面之總共 1GB 的可轉換空間。

同位檢查位元 1115 涵蓋整個 GART 項目 1105，其可藉由硬體產生，並以總數為 1's 的方式來進行計算，包括同位檢查位元 1115 總計為奇數或偶數。

相干性位元 1120 指示來自於圖形卡的流量是否需要與系統匯流排 315 相干。下文中將進一步說明相干性。

有效位元 1125 指示 SRAM 405 是否含有此項目的有效資料。有效位元 1125 指示此項目的資料有效，則確定可使用項目來進行位址轉換。

在此範例中，新頁面位址 1130 的長度是 24 位位元。新頁面位址 1130 包括含有想要之實體位址之主記憶體 325 中之 4Kbyte 實體頁面的開始位址。

圖 11B 顯示支援將位址轉換成主記憶體 4Mbyte 頁面之示範性 GART 項目格式的圖式。如上文所述，於此範例中，項目 1106 的長度為 32 位位元，其包括同位檢查位元 1116、相干性位元 1121、有效位元 1126、新頁面位址 1131 及保留區 1111 及 1136。每個項目都涵蓋一頁 4Mbyte 頁面。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

如上文所述，同位檢查位元 1116 涵蓋整個 GART 項目 1106，並以總數為 1's 的方式來進行計算，包括同位檢查位元 1116 總計為奇數或偶數。

相干性位元 1121 指示來自於圖形卡的流量是否需要與系統匯流排 315 相干。下文中將進一步說明相干性。

有效位元 1126 指示 SRAM 405 是否含有考慮之項目的有效資料。有效位元 1126 指示此項目的資料有效，則確定可使用項目來進行位址轉換。

在此範例中，新頁面位址 1131 的長度是 14 位位元。新頁面位址 1131 包括含有想要之實體位址之主記憶體 325 中之 4Mbyte 實體頁面的開始位址。

於替代具體實施例中，位元及欄位的相對定位可不同於圖 11A 及圖 11B 顯示的範例。再者，於替代具體實施例中，項目格式還可包括頁面模式位元，用以指示目的地頁面大小 (例如，4Kbyte 或 4Mbyte)，並為位址轉換處理程序的動態控制作準備。在此方法中，可同時支援一個以上的不同頁面大小。

相干性 (Coherency)

來自於圖形卡 (例如，圖形加速器 335) 的流量可能要或不要與系統匯流排 315 相干。根據一項具體實施例中，可根據按頁面需求來選擇相干性。基於此發表的目的，「相干性」表示將於系統匯流排 315 上出現的位址，使得一個或一個以上的處理器 305 及 310 可窺察 (snoop) 該位址的快取。如果處理器將紋理圖或其他影像資料標示為寫入組合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

(write combining WC)，則該資料不相干。處理器的 WC 緩衝器中命中之系統匯流排 315 的位址不會受到窺察 (snoop)。或者，應用可能已知道處理器未使用主記憶體 325 中的資料 (例如，來自於磁碟)，並且需要繪圖卡擷取資料而不使用系統匯流排 315 頻寬，以便強制存取成為非相干。

如上文所述，針對 AGP 範圍內命中的所有 AGP 型存取，每 GART 項目有一位位元決定位址是否相干。針對 AGP 範圍外的 AGP 型存取，可自 GXB 410 的組態配置暫存器讀取資訊 (例如，一位位元相干性指示項)，以便決定相干性。最為重要的是，相干性或非相干性僅適用於使用 AGP 通訊協定存取。使用 PCI 通訊協定的存取一定是以相干方式完成，無論其是否命中轉換表。

於前面的說明書中，已參考本發明的特定具體實施例來說明本發明。但是顯而易見，可進行各種變更及修改，而不會脫離本發明廣泛的精神及範疇。因此，說明書暨附圖應視為解說，而不應視為限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：鄰近於本地輸入/輸出匯流排之橋接中之輸入/輸出位址轉換）

本發明揭示一種供於一輸入/輸出(I/O)擴充橋接中執行位址轉換的方法及裝置。該I/O擴充橋接包括一第一介面單元、一第二介面單元及一位址轉換單元。該第一介面單元係用於透過一個或一個以上的I/O連接埠耦合到一系統記憶體及一I/O控制器。該第一介面單元能夠透過一個或一個以上的I/O連接埠將資料傳送到電腦系統的主記憶體，或傳送來自於電腦系統主記憶體的資料。該第二介面單元係用於提供匯流排控制信號及位址，使得資料能夠透過匯流排傳送到週邊裝置，或傳送來自於週邊裝置的資料。該位址轉換單元耦合到該第一介面單元及該第二介面單元。位址轉換單元轉換與第二介面上接收到之異動關聯的位址，其方式為存取含有電腦系統主記憶體之頁面實體位址的本地記憶體。

英文發明摘要（發明之名稱："INPUT/OUTPUT (I/O) ADDRESS TRANSLATION IN A BRIDGE PROXIMATE TO A LOCAL I/O BUS"）

A method and apparatus are provided for performing address translation in an input/output (I/O) expansion bridge. The I/O expansion bridge includes a first interface unit, a second interface unit, and an address translation unit. The first interface unit is configured to be coupled to a system memory and I/O controller through one or more I/O ports. The first interface unit enables data transfers over the one or more I/O ports to or from the main memory of a computer system. The second interface unit provides bus control signals and addresses to enable data transfers over a bus to or from a peripheral device. The address translation unit is coupled to the first interface unit and the second interface unit. The address translation unit translates addresses associated with transactions received on the second interface by accessing a local memory containing physical addresses of pages in the main memory of the computer system.

六、申請專利範圍

1. 一種輸入/輸出(I/O)擴充橋接，包括：

一第一介面單元，其用於透過一個或一個以上的I/O連接埠耦合到一系統記憶體及一I/O控制器，該第一介面單元能夠透過一個或一個以上的I/O連接埠將資料傳送到一電腦系統主記憶體，或傳送來自於一電腦系統主記憶體的資料；

一第二介面單元，其用於提供匯流排控制信號及位址，使得資料能夠透過一匯流排傳送到一週邊裝置，或傳送來自於一週邊裝置的資料；以及

一位址轉換單元，其耦合到該第一介面單元及該第二介面單元，該位址轉換單元轉換與該第二介面上接收到之異動關聯的位址，其方式為存取含有電腦系統主記憶體中之頁面實體位址的本地記憶體。

2. 如申請專利範圍第1項之I/O擴充橋接，其中該匯流排包括一圖形加速埠(Accelerated Graphics Port AGP)匯流排。
3. 如申請專利範圍第2項之I/O擴充橋接，其中該本地記憶體包括一位於其內的圖形位址重定位表(graphics address relocation table GART)。
4. 如申請專利範圍第3項之I/O擴充橋接，其中該本地記憶體包括一晶片上靜態隨機存取記憶體(SRAM)。
5. 如申請專利範圍第3項之I/O擴充橋接，其中該本地記憶體包括一晶片外靜態隨機存取記憶體(SRAM)。
6. 如申請專利範圍第3項之I/O擴充橋接，其中該GART包

六、申請專利範圍

括複數個項目，每個項目都與主記憶體中的一頁面關聯；以及，包括一指示，用以識別頁面內的位址是否會在該電腦系統的一處理器匯流排上受到窺察(snoop)。

7. 如申請專利範圍第3項之I/O擴充橋接，其中該位址轉換單元支援多重頁面大小，其方式是根據一第一格式或一第二格式來解譯GART中的項目。
8. 如申請專利範圍第7項之I/O擴充橋接，其中該多重頁面大小包括兩個或兩個以上的4Kbyte頁面、2Mbyte頁面及4Mbyte頁面。
9. 一種圖形擴充橋接，包括：

一第一介面單元，其用於透過一個或一個以上的I/O連接埠耦合到一系統記憶體及一I/O控制器，該第一介面單元能夠透過一個或一個以上的I/O連接埠將資料傳送到一電腦系統主記憶體，或傳送來自於一電腦系統主記憶體的資料；

一圖形加速埠(Accelerated Graphics Port AGP)介面單元，其用於提供匯流排控制信號及位址，使得資料能夠透過一AGP匯流排傳送到一週邊裝置，或傳送來自於一週邊裝置的資料；以及

一位址轉換單元，其耦合到該第一介面單元及該AGP介面單元，該位址轉換單元轉換與該AGP介面上接收到之內傳AGP異動關聯的圖形位址，其方式為存取含有一圖形位址重定位表(graphics address relocation table GART)的晶片外靜態隨機存取記憶體(SRAM)本地記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

體，該 GART 包括電腦系統主記憶體之頁面實體位址。

10. 如申請專利範圍第 9 項之圖形擴充橋接，其中該 GART 包括複數個項目，每個項目都與主記憶體中的一頁面關聯；以及，包括一指示，用以識別頁面內的位址是否會在該電腦系統之一處理器匯流排上受到窺察(snoop)。
11. 如申請專利範圍第 9 項之 I/O 擴充橋接，其中該位址轉換單元支援多重頁面大小，其方式是根據一第一格式或一第二格式來解譯 GART 中的項目。
12. 如申請專利範圍第 11 項之 I/O 擴充橋接，其中該多重頁面大小包括 4Kbyte 及 4Mbyte。
13. 一種晶片組，包括：

橋接裝置，用以提供一個或一個以上輸入/輸出(I/O)連接埠與一圖形加速埠(Accelerated Graphics Port AGP)匯流排間的匯流排通訊協定橋接功能，該橋接裝置用於根據一本地記憶體中儲存之一圖形位址重定位表(graphics address relocation table GART)，將與內傳異動關聯的虛擬位址轉換成電腦系統主記憶體內的實體位址；以及

控制器裝置，其耦合到該橋接裝置並用於耦合到該電腦系統之一系統匯流排及一記憶體匯流排，用以代表該橋接裝置來執行與主記憶體間資料的來回傳送。

14. 一種晶片組，包括：

一圖形擴充橋接，用以提供一個或一個以上輸入/輸出(I/O)連接埠與一圖形加速埠(Accelerated Graphics

六、申請專利範圍

Port AGP) 匯流排間的匯流排通訊協定橋接功能，該圖形擴充橋接用於根據一本地記憶體中儲存的一圖形位址重定位表(graphics address relocation table GART)，將與內傳異動關聯的虛擬位址轉換成電腦系統主記憶體內的實體位址；以及

一系統記憶體暨 I/O 控制器，其耦合到該圖形擴充橋接並用於耦合到該電腦系統的一系統匯流排及一記憶體匯流排，該系統記憶體暨 I/O 控制器係用於代表該圖形擴充橋接來執行與主記憶體間資料的來回傳送。

15. 一種於橋接中轉換輸入/輸出(I/O)異動的方法，該方法包括下列步驟：

該橋接於一本地 I/O 匯流排上接收一 I/O 異動；

決定與該 I/O 異動關聯的一位址及一偏移量；

根據該位址自一位址轉換表擷取一項目，該位址轉換表儲存在直接耦合到該橋接的一本地記憶體中；以及

構成一實體位址，用以根據該項目及該偏移量來識別位於一電腦系統之一主記憶體中的位置。

16. 如申請專利範圍第 15 項之方法，其中該本地 I/O 匯流排包括一圖形加速埠(Accelerated Graphics Port AGP)匯流排；以及，其中該橋接於一本地 I/O 匯流排上接收一 I/O 異動的步驟包括該橋接於一 AGP 匯流排接收一 AGP 異動。

17. 如申請專利範圍第 15 項之方法，其中該本地記憶體包括靜態隨機存取記憶體(SRAM)。

六、申請專利範圍

18. 如申請專利範圍第15項之方法，其中該方法進一步包括下列步驟：決定該位置是否駐存在該主記憶體中的一4Kbyte頁面或一4Mbyte頁面內；以及，根據該決定步驟的結果來解譯該項目。
19. 如申請專利範圍第15項之方法，其中該方法進一步包括下列步驟：決定存取實體位址是否為相干或非相干。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

8911760

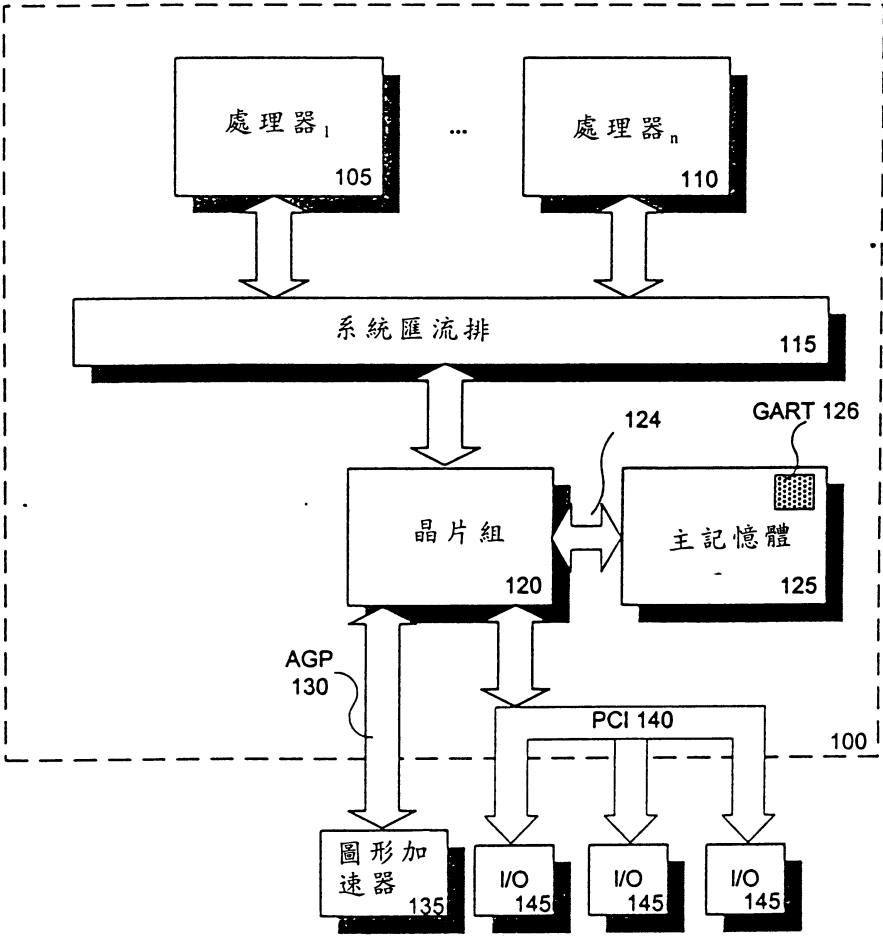


圖 1 (先前技藝)

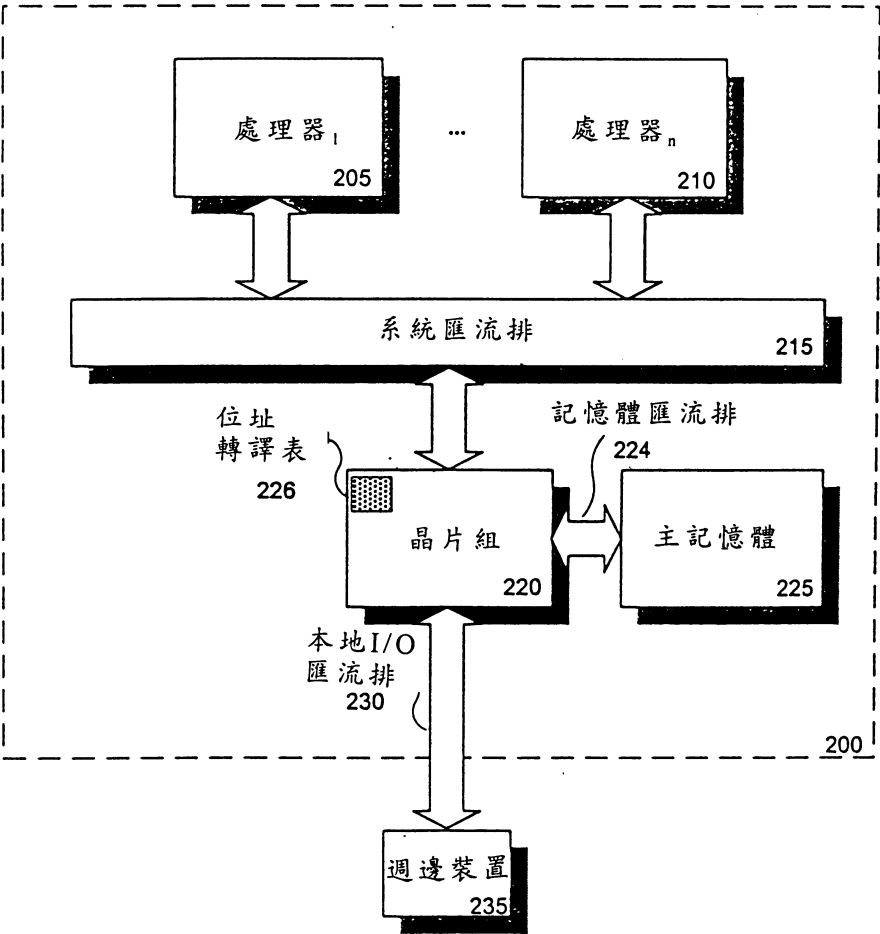


圖 2

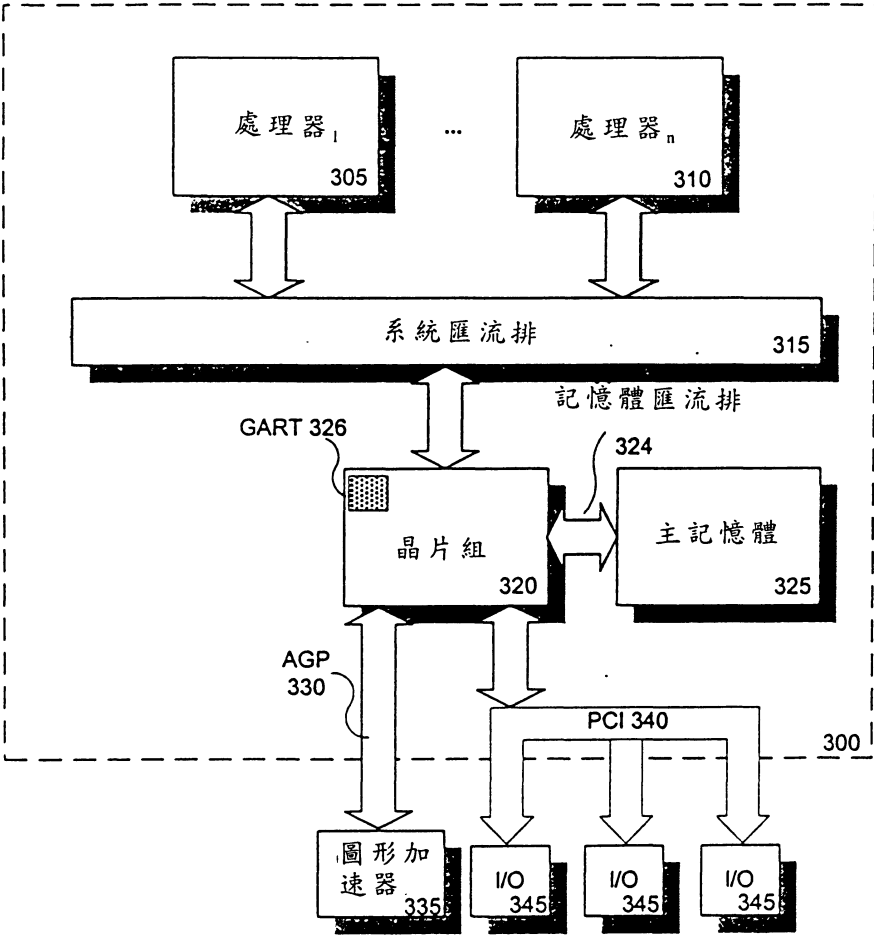


圖 3

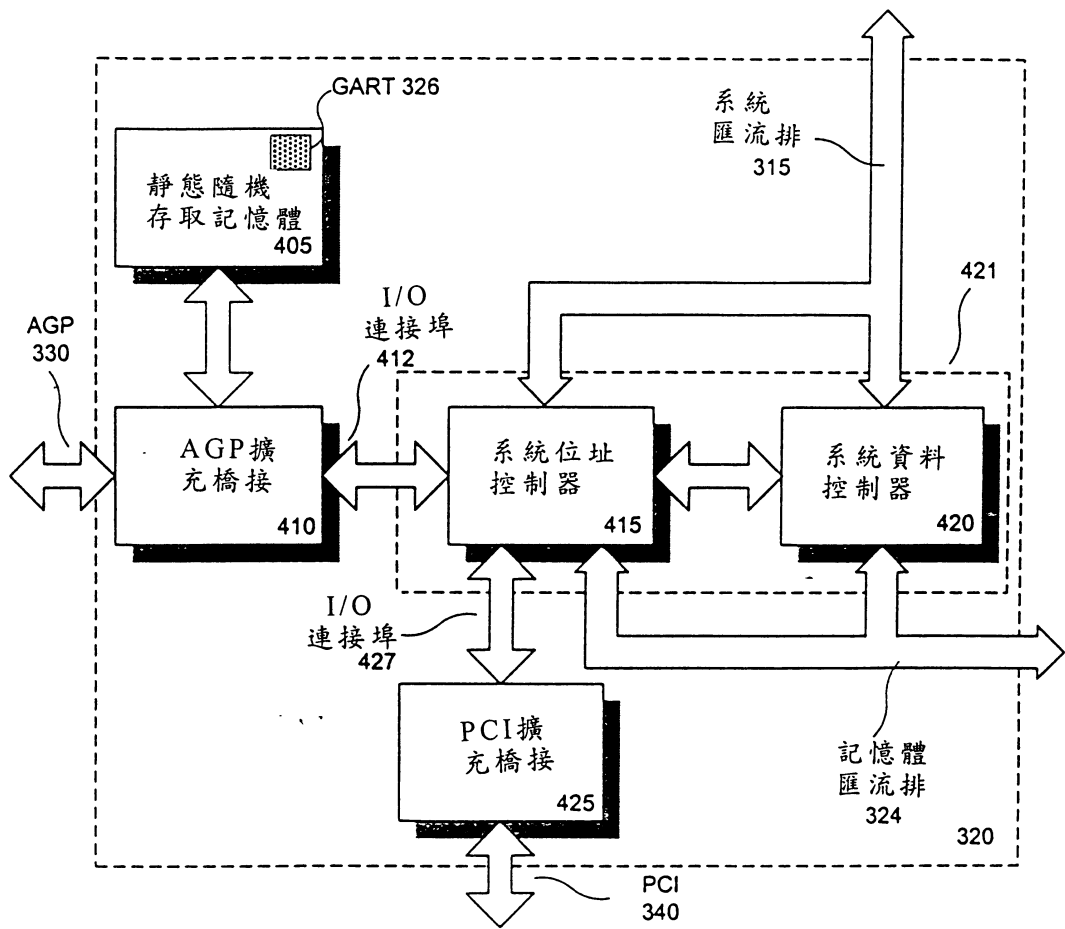


圖 4

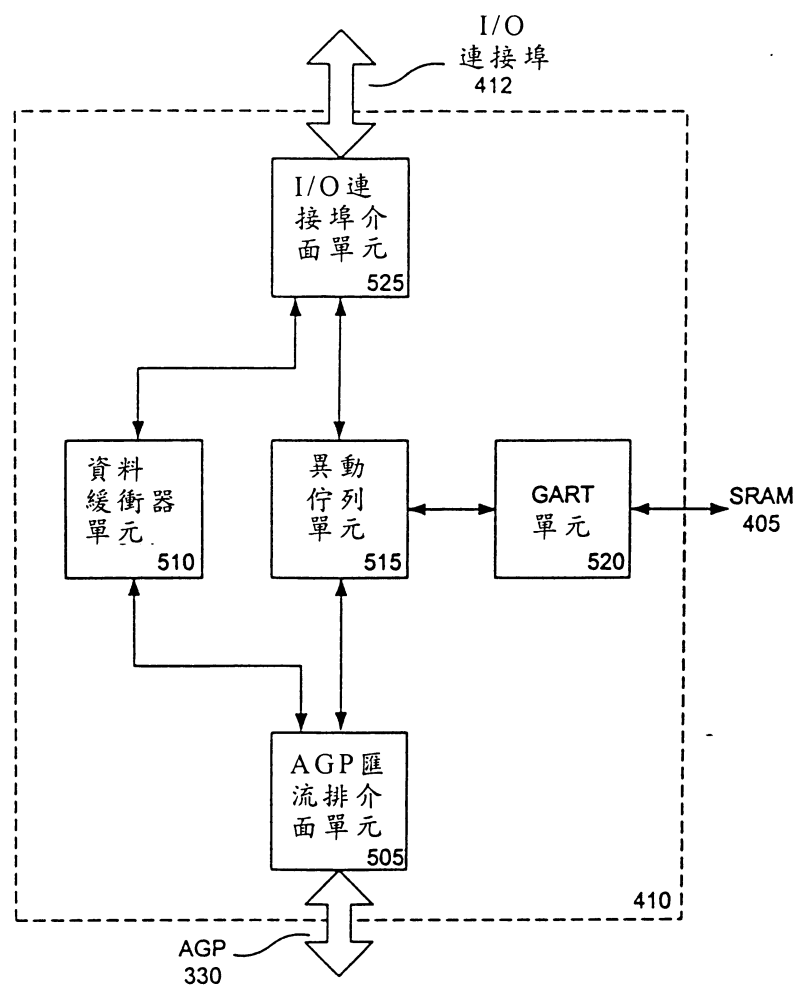


圖 5 A

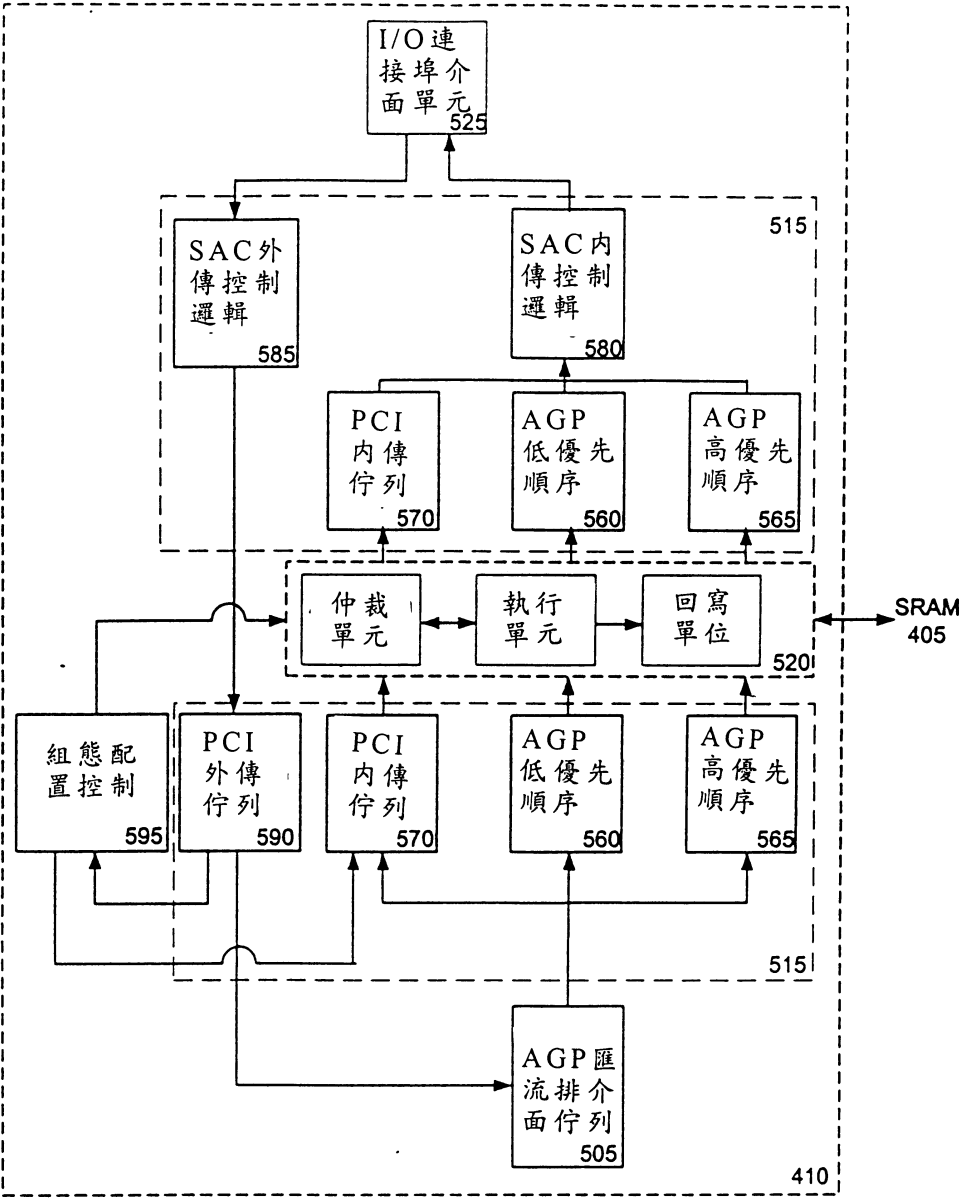


圖 5B

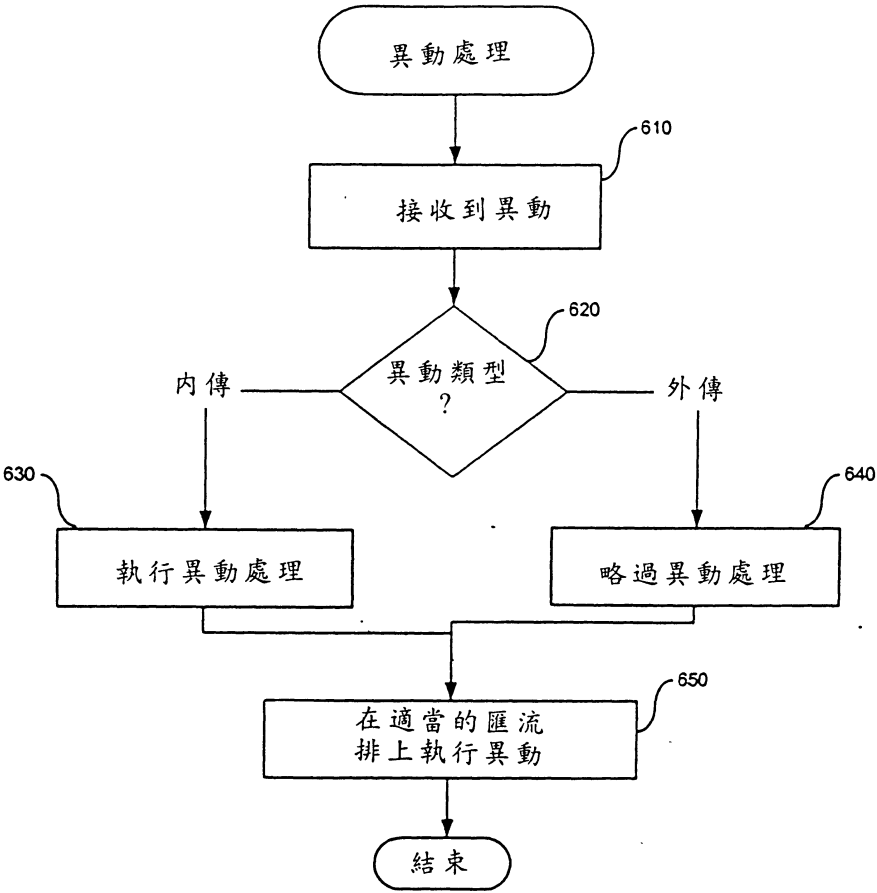


圖 6

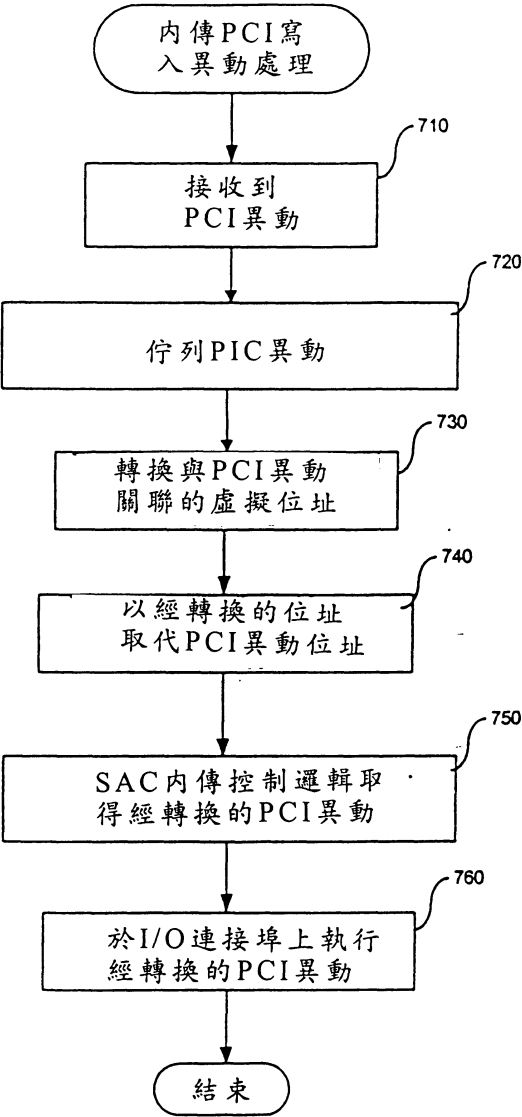


圖 7

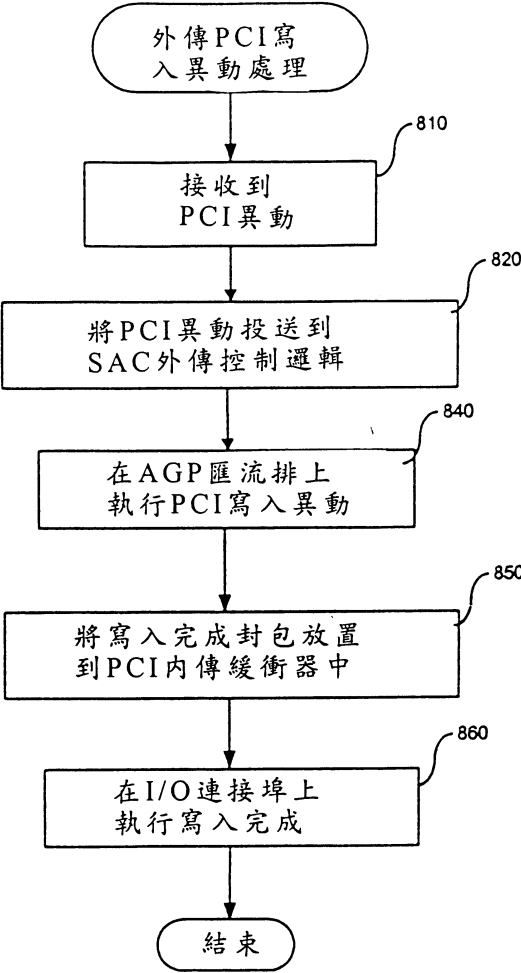


圖 8

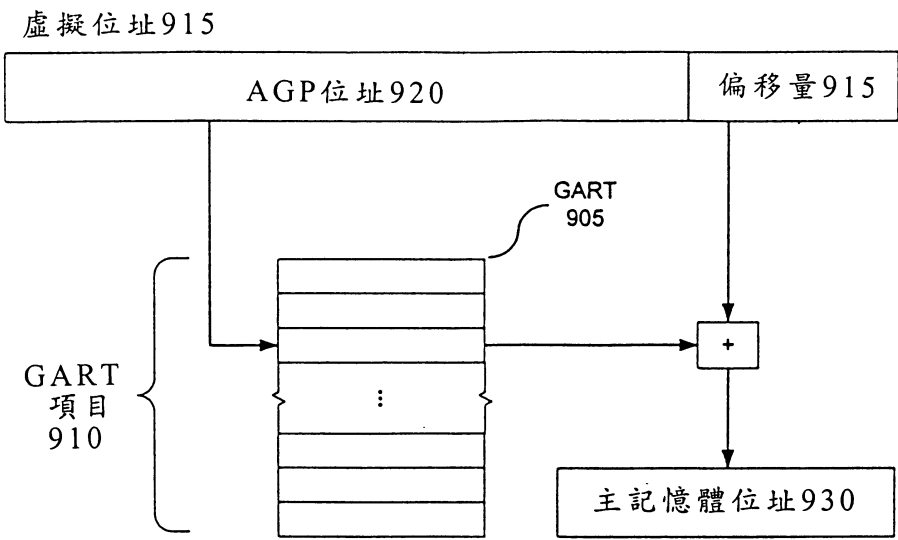
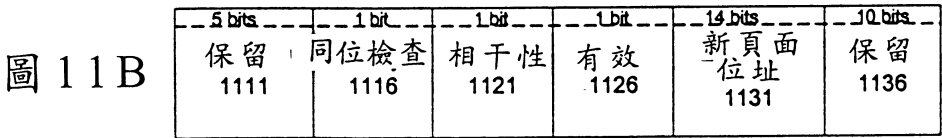
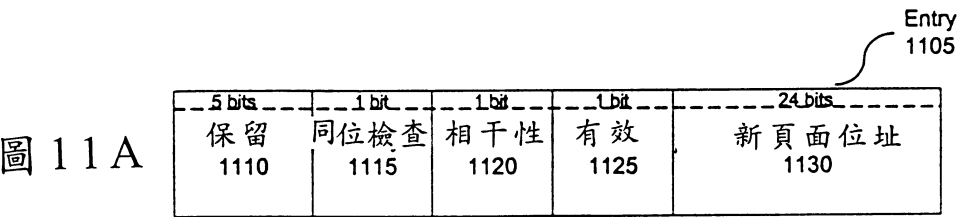
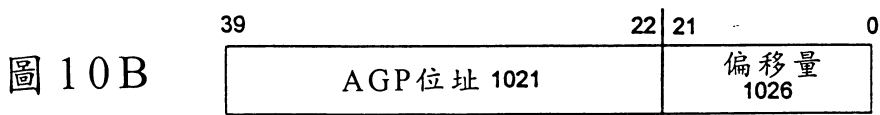
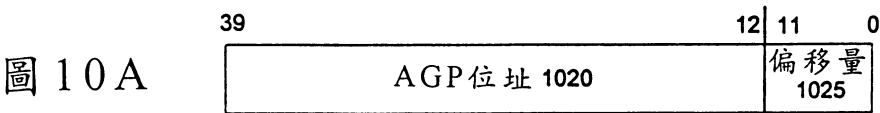


圖 9



項目 1106