(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 105308721 B
(45)授权公告日 2018.11.06

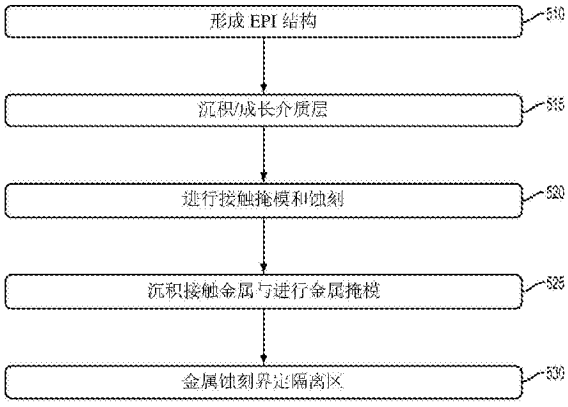
(21)申请号 201480020258.6
(22)申请日 2014.07.02
(65)同一申请的已公布的文献号
申请公布号 CN 105308721 A
(43)申请公布日 2016.02.03
(30)优先权数据
61/843,804 2013.07.08 US
(85)PCT国际申请进入国家阶段日
2015.10.08
(86)PCT国际申请的申请数据
PCT/US2014/045246 2014.07.02
(87)PCT国际申请的公布数据
WO2015/006131 EN 2015.01.15
(73)专利权人 宜普电源转换公司
地址 美国加利福尼亚州
(72)发明人 周春华 曹建军 亚力山大·利道 R·比奇 阿兰娜·纳卡塔 罗伯特·斯特里马特 赵广元 塞沙德里·科卢里 马艳萍 刘芳昌 蒋明坤 曹佳丽
(74)专利代理机构 北京市磐华律师事务所 11336
代理人 高伟 冯永贞
(51)Int.Cl.
*H01L 21/28*(2006.01)
(56)对比文件
US 2006/0226442 A1,2006.10.12,全文.
US 2007/0278518 A1,2007.12.06,全文.
US 2010/0330754 A1,2010.12.30,全文.
CN 102096255 A,2011.06.15,全文.
审查员 周辉辉
权利要求书2页 说明书5页 附图7页

(54)发明名称

在氮化镓器件和集成电路中制备自对准隔离的方法

(57)摘要

形成具有绝源区域的增强型氮化镓异质结场效应晶体管，自对准接触开口或金属掩膜窗口。有利地，所述方法不需要专用隔离掩膜以及相关的处理步骤，因此减少制造成本。所述方法包括提供EPI结构包括基底、缓冲层、氮化镓层以及阻挡层。介质层形成在所述阻挡层之上，开口形成于所述介质层作为器件接触开口和隔离接触开口。




CN 105308721 B

1.形成具有至少两个晶体管器件的集成电路的方法,所述方法包括:

在基底上形成缓冲层;

在所述缓冲层上形成氮化镓层;

在所述氮化镓层上形成阻挡层;

在所述阻挡层上形成介质层;

在所述介质层形成至少一用于所述至少两个晶体管器件中的每一个的器件接触开口以及在所述至少两个晶体管器件之间的所述介质层中形成隔离接触开口;

在所述介质层、所述器件接触开口和所述隔离接触开口上形成金属层;

在每一个所述器件接触开口上形成光刻胶膜,所述光刻胶膜限定金属掩膜窗口;

蚀刻所述金属层;

蚀刻部分所述阻挡层和所述氮化镓层以形成隔离区域,在所述隔离区域所述金属掩膜窗口和所述隔离接触开口重叠;

其中蚀刻部分所述缓冲层和所述氮化镓层在蚀刻所述金属层的同一步骤中进行。

2.如权利要求1所述的方法,其特征在于,其中所述隔离接触开口比所述金属掩膜窗口更宽。

3.如权利要求1所述的方法,其特征在于,其中所述金属掩膜窗口比所述隔离接触窗口更宽。

4.如权利要求1所述的方法,其特征在于,蚀刻所述金属层的步骤包括使用包含$CI_2$、$BCI_3$和Ar等离子体中的至少一种等离子体的金属蚀刻。

5.如权利要求1所述的方法,其特征在于,在所述介质层形成所述器件接触开口和所述隔离接触开口的步骤包括蚀刻所述介质层以露出所述阻挡层。

6.如权利要求1所述的方法,其特征在于,进一步包括剥离所述光刻胶膜。

7.如权利要求1所述的方法,其特征在于,其中所述器件接触开口为所述至少两个晶体管器件的每一个界定各自的栅极接触。

8.如权利要求1所述的方法,其特征在于,其中所述器件接触开口包括一对用于至少两个晶体管器件的每一个的器件接触开口,其界定各自的漏极和源极欧姆接触。

9.如权利要求8所述的方法,其特征在于,所述光刻胶用作蚀刻所述金属层的蚀刻停止。

10.如权利要求9所述的方法,其特征在于,其中蚀刻所述金属层进一步包括界定每一个器件的所述漏极和所述源极欧姆接触之间各自的金属空间。

11.如权利要求1所述的方法,其特征在于,其中所述氮化镓层未掺杂并且包含介于0.5到10微米之间的厚度。

12.如权利要求1所述的方法,其特征在于,其中所述阻挡层未掺杂并且包含介于50埃米到300埃米之间的厚度。

13.如权利要求12所述的方法,其特征在于,其中所述阻挡层包含氮化镓铝,所述氮化镓具有的铝成分比例介于所述氮化镓铝的10%至35%之间。

14.一种形成晶体管器件的方法,所述方法包括:

在基底上形成缓冲层;

在所述缓冲层上形成氮化镓层;

在所述氮化镓层上形成阻挡层；

在所述阻挡层上形成介质层；

在所述介质层中形成至少一器件接触开口和隔离接触开口；

在所述介质层、至少一所述器件接触开口和所述隔离接触开口上形成金属层；

在所述至少一器件接触开口上形成光刻胶膜，所述光刻胶膜限定金属掩膜窗口；

蚀刻所述金属层；

蚀刻部分所述阻挡层和所述氮化镓层以形成隔离区域，在所述隔离区域所述金属掩膜窗口和所述隔离接触开口重叠；

其中蚀刻部分所述缓冲层和所述氮化镓层在蚀刻所述金属层的同一步骤中进行。

15.如权利要求14所述的方法，其特征在于，其中所述隔离接触开口比所述金属掩膜窗口更宽。

16.如权利要求14所述的方法，其特征在于，其中所述金属掩膜窗口比所述隔离接触窗口更宽。

17.如权利要求14所述的方法，其特征在于，其中在所述介质层形成所述至少一器件接触开口和所述隔离接触开口的步骤包括蚀刻所述介质层以露出所述阻挡层。

18.如权利要求14所述的方法，其特征在于，进一步包括剥离所述光刻胶膜。

19.如权利要求14所述的方法，其特征在于，其中所述至少一器件接触开口界定所述晶体管器件的栅极接触。

20.如权利要求14所述的方法，其特征在于，其中所述至少一器件接触开口包括一对器件接触开口，其为所述晶体管器件界定各自的漏极和源极欧姆接触。

21.如权利要求20所述的方法，其特征在于，所述光刻胶用作蚀刻所述金属层的蚀刻停止。

22.如权利要求21所述的方法，其特征在于，其中蚀刻所述金属层进一步包括界定每一个器件的所述漏极和所述源极欧姆接触之间各自的金属空间。

# 在氮化镓器件和集成电路中制备自对准隔离的方法

## 技术领域

[0001] 本发明涉及增强型氮化镓(GaN)异质结场效应晶体管(HFET)的领域。具体地，本发明涉及制造增强型氮化镓器件及其集成电路成本效益更好的方法。

## 背景技术

[0002] 氮化镓(GaN)半导体器件，因为它们携带大电流和支持高电压的能力对于半导体器器件越来越可取。这些器件的发展已普遍针对高功率/高频应用。制造用于这些类型应用的设备是基于一般器件结构，其呈现高电子迁移率，以及被不同地称为异质结场效应晶体管(HFET)、高电子迁移率晶体管(HEMT)或调制掺杂场效应晶体管(MODFET)。

[0003] 氮化镓(GaN)异质结场效应晶体管器件(HFET)包括具有至少两个氮化物层的氮化物半导体。形成在半导体或缓冲层上的不同材料导致所述层具有不同的带隙。不同的材料在相邻的氮化物层还导致极化，这有助于两个层的交界附近的导电性二维电子气(2DEG)区域，特别是在所述层中具有较窄的带隙层。

[0004] 导致极化的氮化物层一般包括临近氮化镓(GaN)层的铝氮化镓(AlGaN)阻挡层，以包括二维电子气(2DEG)，其允许电荷流过器件。阻挡层可以掺杂或未掺杂。因为在栅极在零栅偏压下存二维电子气(2DEG)区域，大多数氮化物器件是常导通状态或耗尽模式器件。如果在栅极处于零施加栅极偏压下，二维电子气(2DEG)区域被耗尽(即，除去)，该装置可以是增强型器件。增强型器件是常关状态并且是有利的，因为它们提供更多的安全性以及因为它们更容易控制简单、成本低的驱动器电路。增强型器件需要在栅极施加正偏压以传导电流。

[0005] 在氮化镓器件和集成电路中，隔离是典型的用于在选择区域除去二维电子气(2DEG)。隔离减少寄生电容，例如，栅极至漏极电容和漏极至源极电容。图1示例性示出具有两个器件10和20的集成电路，其中器件10中的隔离区12以及器件20中的隔离区22被提供给有意去除2DEG以最小化寄生电容。隔离设置在设备的某些区域也可以减少电场。

[0006] 在氮化镓器件集成电路中，使用隔离对于每个设备的不同参考电位成为可能。举例来说，图1中，隔离区域24电性分离器件10和器件20，使得器件10的源极和器件20的源极在不同的电位。器件10和器件20内部的隔离区域12和22去除2DEG，从而降低寄生电容，以及在某些情况下，除去区域中的更高的电场。

[0007] 图2示出另一个示例性集成电路具有隔离的器件30和40。器件30包括漏极31、栅极32和源极33。同样地，器件40包括漏极41、栅极42和源极43。一个隔离区域50电性分离器件30和器件40，使得器件30的源极33以及器件40的源极43将在不同的电位。器件30包括隔离区34以及器件40包括隔离区44用于去除不合需要的二维电子气(2DEG)，从而降低寄生电容，以及在某些情况下，除去区域中的更高的电场。

[0008] 在常规的制造方法中，制造相邻器件30和40之间的隔离区50以及制造器件30和40内部的隔离区34和44，分别通过所述蚀刻或所述离子注入除去导电层和二维电子气(2DEG)。

[0009] 如图3A和3B示出，隔离区50a和50b具有长度$L_{ISO}$，其界定第一器件30的源极33和第二器件42的源极43之间的最大电压差。在氮化镓的基底材料中，击穿电压可以是以每微米50-200V正比于LISO。

[0010] 通常，由专用掩膜制造隔离区50。如图4A和4B示出，在蚀刻或离子注入60制造隔离区50中，一个专用的隔离掩膜用于形成晶片顶部上的图案化光刻胶62。当器件30和器件40的器件区域被图案化光刻胶62覆盖，隔离区域50c和50d被曝露出。

[0011] 以往形成隔离区50的制造方法包括若干方法步骤，举例而言，包括光刻，刻蚀或离子注入，光刻胶剥离和硅片清洗。离子注入隔离需要额外的热退火以激活注入的离子物种。一个专门的隔离掩膜和其相关的工艺步骤增加制造成本。

[0012] 因此，对氮化镓半导体器件形成隔离区的制造方法，有着强烈感受的需求，搭配自对准隔离区域，能避免上述缺点和附加的工艺步骤。

## 发明内容

[0013] 下面描述的实施例，通过提供形成自对准隔离区的氮化镓半导体器件的制造方法，处理上述讨论的问题和其它问题。

[0014] 所述方法包括提供一个EPI结构，包括基底、缓冲层、氮化镓层和阻挡层。所述阻挡层上形成介质层，形成开口于介质层上，作为欧米触点和接触开口。于介质层上形成金属层，以及在每个欧姆接触开口上沉积光刻胶膜。接着蚀刻金属层在接触开口上形成金属掩膜窗口，以及通过介电层中的接触开口，蚀刻阻挡层和氮化镓层露出的部分。

## 附图说明

[0015] 本发明的特征、目的和优点透过以下的详细描述将变得更清楚，结合附图时其中类似的标号标识相应的元件，其中：

[0016] 图1示意性地示出具有两个相邻器件每一个有相应隔离区的俯视图。

[0017] 图2示意性地示出另一氮化镓集成电路具有两个相邻器件的每一个有相应隔离区的常规氮化镓集成电路的俯视图。

[0018] 图3A示出由蚀刻去除有源层形成常规隔离区的剖面视图。

[0019] 图3B示出由离子植入有源层形成常规隔离区的剖面视图。

[0020] 图4A示出使用专门的掩膜通过蚀刻形成常规隔离区的剖面视图。

[0021] 图4B示出使用专门的掩膜通过离子植入形成常规隔离区的剖面视图。

[0022] 图5示出根据本发明示例实施例制作自对准隔离区域的流程图。

[0023] 图6A-6G示出根据本发明实施例的示例性处理步骤。

[0024] 图7A-7B示出本发明示例性的实施例由自对准的金属掩膜窗口形成隔离区域的顶视图和剖视图。

[0025] 图7C-7D示出本发明示例性的实施例由自对准的接触开口形成隔离区域的顶视图和剖视图。

[0026] 所述附图不一定按比例绘制，类似结构或功能的元件通常由相同的附图编号表示，用于整个附图的说明目的。附图仅用于促进本文所述的各种实施例的描述；附图无法描述本公开于此教导的各个方面，并且不得作为限制权利要求的范围。

## 具体实施方式

[0027] 在以下的详细描述中，参考了某些实施例。该详细说明仅旨在教导本领域的技术人员用于实现本教导优选方面的进一步细节，并且没有意图限制权利要求的范围。因此，在下面的详细描述中公开的特征的组合可能没有必要实行最广义的教导，并且按照教导仅仅描述本教导的特别有代表性的例子。但是应该理解的是，其他实施例也可以一并采用，并且可以作出各种结构、逻辑和电性方面的改变。

[0028] 本发明是用于形成具有绝源区域的增强型氮化镓异质结场效应晶体管，自对准接触开口或金属掩模窗口。有利地，所述方法不需要专用隔离掩膜以及相关的处理步骤，因此减少制造成本。

[0029] 图5示出根据本发明第一实施例制作氮化镓(GaN)异质结场效应晶体管(HFET)隔离区域的流程图。最初，在步骤510，形成生长EPI结构。以下将更详细地讨论，EPI结构包括基底、缓冲层、氮化镓(GaN)层13和铝氮化镓(AlGaN)阻挡层。在步骤515中，介电层沉积在所述EPI表面。应当理解的是，沉积可使用任何常规的沉积技术来执行，诸如原子层沉积或等离子体增强化学气相沉积或等。替代地，介电层可以在EPI生长结束时生长。

[0030] 接着，在步骤520，接触掩膜被沉积在介电层上，并进行蚀刻，以在形成有源器件的所述欧姆接触要以及形成所述隔离区域的介电层中介定窗口述介电层中。蚀刻后，将接触金属覆盖沉积并在步骤525完成金属掩膜。金属掩膜界定了金属线和间隙被提供于有源器件，以及形成隔离区域的所述开口区域。

[0031] 最后，在步骤530，执行金属蚀刻以蚀刻掉金属，其中金属掩膜具有开口区域并蚀刻掉导电层形成所述隔离区域。在步骤530的金属过蚀刻过程中，蚀刻停止在金属掩膜或电介质层中的有源器件区。此外，在同时具有在金属掩膜中的开口区域和打开接触掩膜中的窗口的区域中，金属过蚀刻将继续蚀刻掉导电层，以形成隔离区。接触金属掩膜和金属蚀刻可以用于形成漏极和源极欧姆接触。替代地，接触金属掩膜和金属蚀刻可以用于形成栅极接触。所得的氮化镓(GaN)异质结场效应晶体管(HFET)，包括自对准接触开口或金属掩膜窗口的隔离区域。

[0032] 图6A-6G示出用于形成增强型氮化镓(GaN)异质结场效应晶体管(HFET)器件的被选择的处理步骤剖面视图所述HFET器件具有自对准接触开口或金属掩膜窗口的隔离区域。在图中的剖面视图在一个平面上大致垂直于硅片表面，相似的参考标号一致地用于整个附图相同的特征。应当理解的是，剖面视图大致对应于上述关于图5所述的方法步骤。

[0033] 图6A示出起始的EPI结构100。从底部到顶部，EPI结构100包括基底111，例如硅、碳化硅、氮化镓(GaN)和蓝宝石；缓冲层112；氮化镓(GaN)层113，其通常未掺杂和优选的厚度介于0.5至10微米之间；铝氮化镓(AlGaN)阻挡层114，其通常未掺杂和优选的厚度介于50埃至300埃之间；以及优选地包含铝组合物在铝氮化镓(AlGaN)阻隔层114中介于10％至35％之间。EPI结构100的每一层可以使用本领域技术人员知悉的传统沉积技术沉积或以其它方式形成在基底111。

[0034] 图6B示出当介电层沉积在EPI结构100所得的氮化镓(GaN)结构101a(即，图5的步骤515)。如图所示，电介质层115被沉积在EPI结构100的铝氮化镓(AlGaN)阻挡层114上。优选地，介电层115是氮化硅(Si3N4)。介电材料115沉积后，接触掩膜和蚀刻(即，图5的步骤

520)被执行以界定形成器件102的接触116和器件104的接触117的区域。

[0035] 图6C示出金属层119沉积后所得的氮化镓(GaN)结构101b(即,图5的步骤525)。优选地,金属层110是金属薄膜,例如,可以由钛(Ti)、铝(Al)和钼(Mo)堆叠而成。如图所示,金属层119被沉积在介电层115以及在接触116和117的开口,以及在接触开口118。

[0036] 接着,图6D示出执行金属掩膜后的氮化镓(GaN)结构101c。金属掩膜界定光刻胶膜120、有源元件102和104中的金属线121,以及有源元件102和104的金属空间。进一步地,用于两个有源器件102和104之间的隔离区的金属掩膜窗口123形成。优选地,金属掩膜窗口123的尺寸比图6B中所示的接触开口118更宽。

[0037] 图6E示出金属蚀刻除去光刻胶未形成的结构表面上的金属层119后的氮化镓(GaN)结构101d。在示范实施例中,金属蚀刻优选地使用Cl2、BCl3和Ar等离子体。如类似图所示。如同样示于图6D所示,在在两个器件102和104之间的待形成隔离区的地方提供金属掩膜窗口123,优选具有金属掩膜窗口123比接触开口118更宽。图6F示出,在金属过蚀刻后导电层已经被去除的氮化镓(GaN)结构101e。在金属过蚀刻过程中,金属蚀刻停止在金属线121中的光刻胶120。蚀刻也停在接触开口118外的金属空间122和金属线121的介电层115上。在所述示例性的实施例中,仅金属掩膜窗口123和接触开口118重叠的区域,金属过蚀刻将继续蚀刻掉铝氮化镓(AlGaN)阻挡层114以及进入氮化镓(GaN)层113。蚀刻到氮化镓(GaN)层113以去除二维电子气(2DEG)形成隔离区。

[0038] 如上所述,在所述示例性的实施例中,金属掩膜窗口123较接触开口118更大,这使得两个器件102和104之间的隔离区优选的尺寸相同于图5步骤520中创建的接触开口118并如图6B所示。因此,这两个器件102和104之间的隔离区自对准于接触开口118,其引起如图6F中所示的结构101e。应当理解的是,在替代实施例中,接触开口118可以较金属掩膜窗口123更大,这将导致隔离区自对准于金属掩膜窗口123。

[0039] 图6G示出使用常规的技术剥离光刻胶120后的最终氮化镓(GaN)结构101f。两个器件102和104之间的隔离区域106在金属过蚀刻中已经形成。如图所示,器件102包括一对欧姆接触116a和116b(即,漏极和源极接触)以及器件102同样地包括一对欧姆接触117a和117b(即,漏极和源极接触)。有利的是,这里所描述的制造过程中界定了隔离区,而无需使用专用的掩膜和相关的处理步骤,从而显著降低了制造成本。

[0040] 图7A-7D示出金属掩膜窗口和接触开口重叠部位的自对准隔离结构的剖面示意图。特别是,图7A-7B示出本发明实施例接触开口大于金属掩膜窗口的顶视图和剖视图。如图7A所示,因此,如图7B横截面示意图所描绘,隔离区优选地自对准于接触开口202。但是应当理解的是,本实施例可以使用上面讨论的本发明的方法的步骤来实现。

[0041] 图7C-7D示出本发明另一实施例接触开口小于金属掩膜窗口的顶视图和剖视图。如图7C所示,金属掩膜窗口301小于接触开口302。因此,如图7D横截面示意图所描绘,隔离区自对准于金属掩膜窗口301。

[0042] 最后,应该指出的是,虽然上述制造方法关于图5及6A-6G已经描述制造具有两个或两个以上的晶体管器件的集成电路。可以预期,本文所描述的制造方法也可以被实现来制造分立式晶体管装置等。即,在一个示例性应用中,本公开的制造技术可以用于形成一个晶体管等的栅极焊盘的隔离区。另一个例子是使用本发明的制造方法,如本领域技术人员所领会,在单个器件形成隔离台面。

[0043] 上面的描述和附图仅仅被认为是说明性的具体实施例，其实现在此描述的特征和优点的。修改和替换的具体工艺条件可以进行。因此，本发明的实施例不被视为由前面的描述和附图的限制。

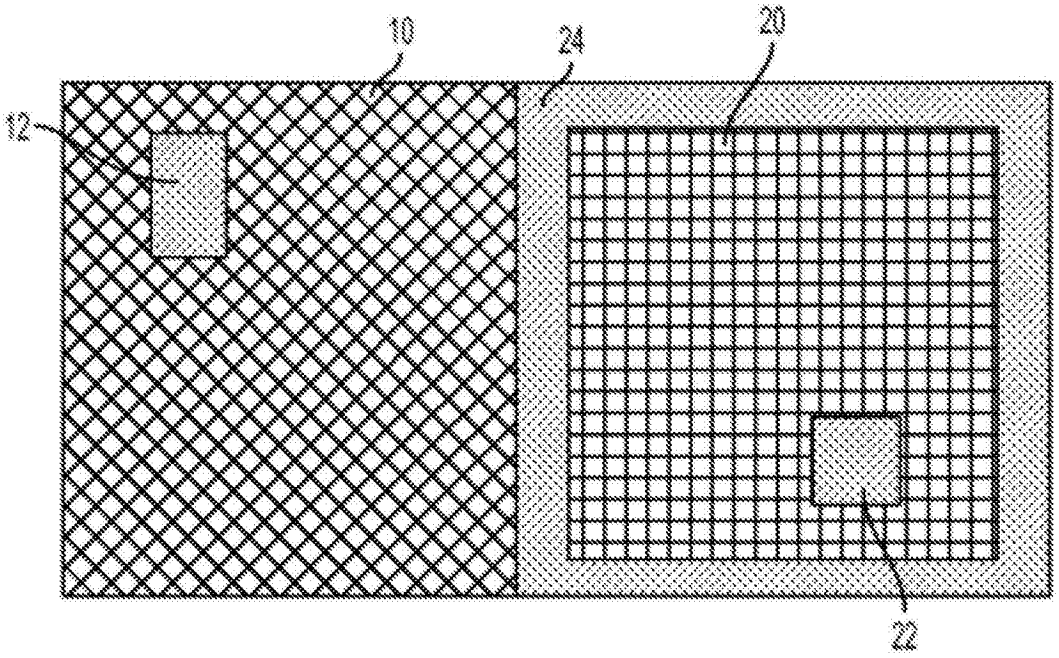



图1(先前技术)

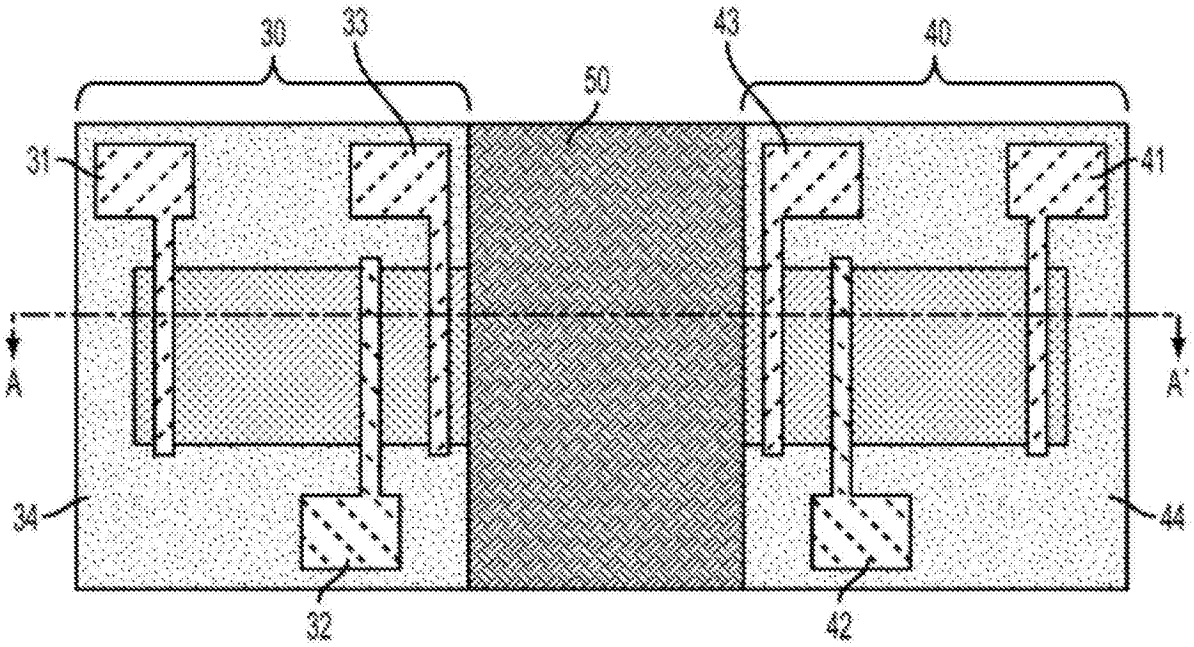



图2(先前技术)

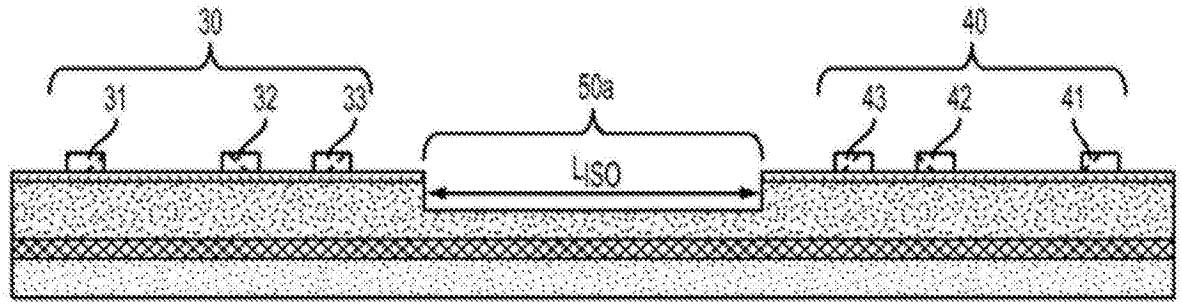



图3A(先前技术)

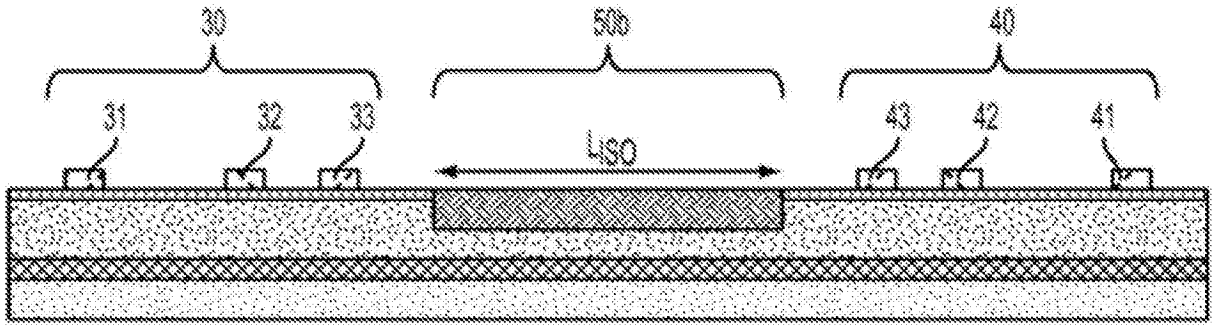



图3B(先前技术)

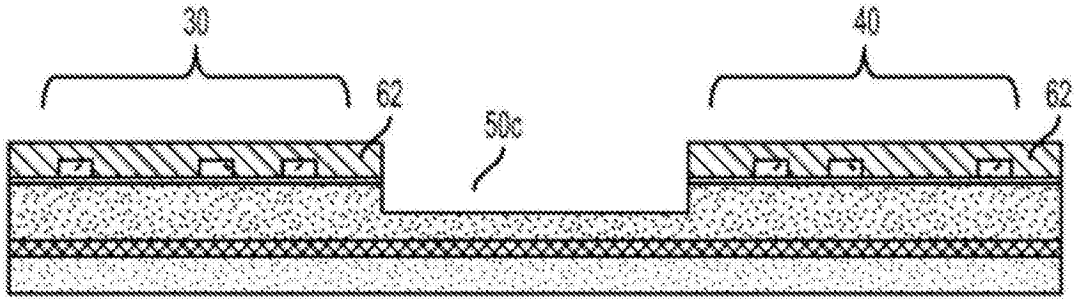



图4A(先前技术)

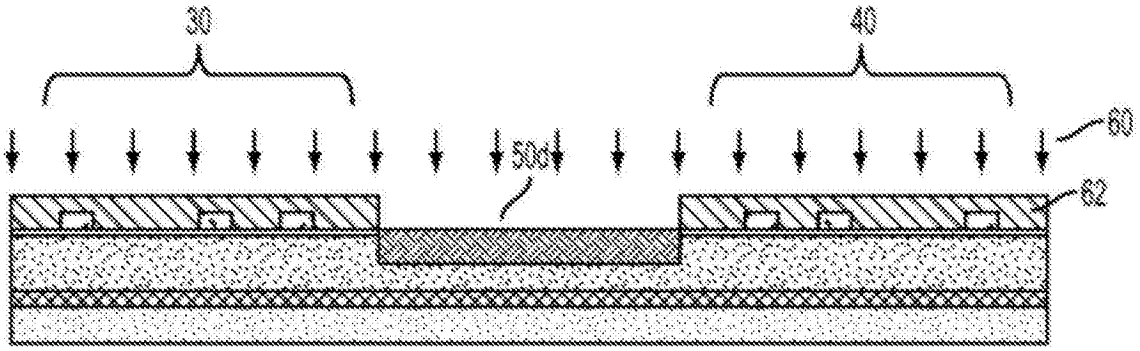

30
40
60
50
62

图4B(先前技术)

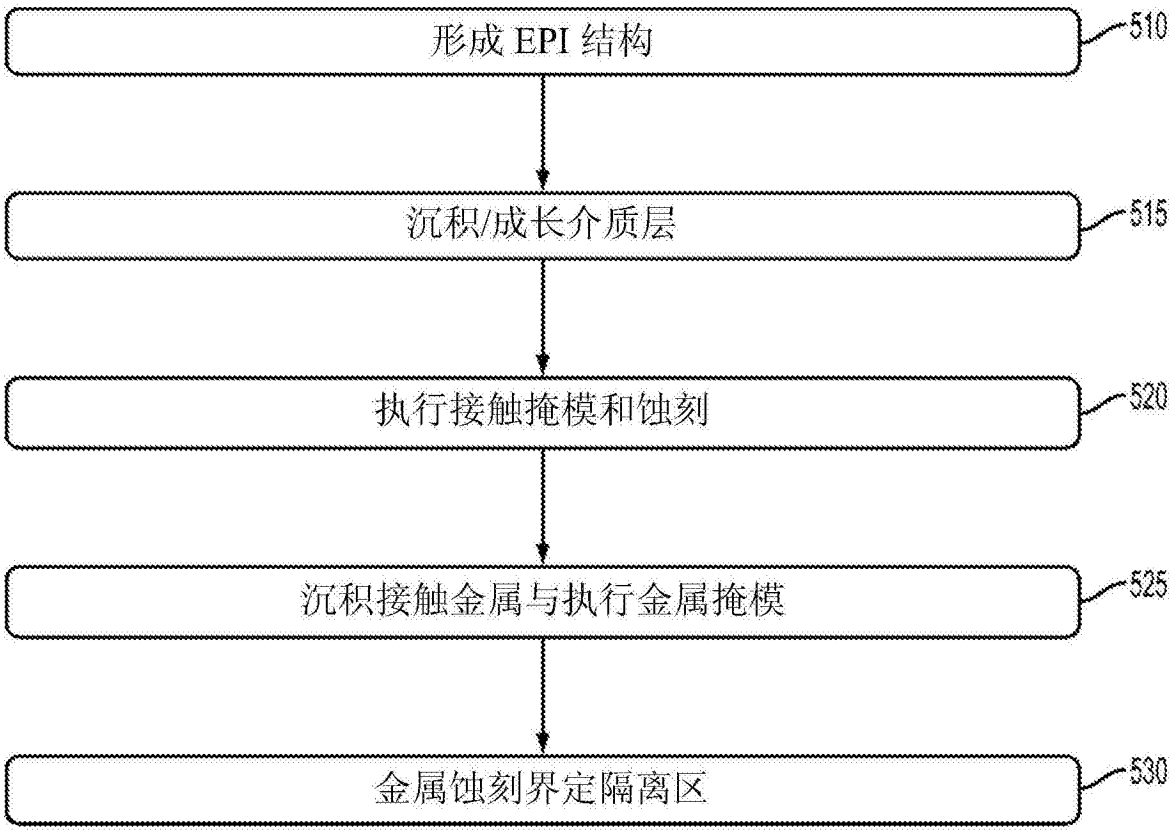

形成 EPI 结构
510
沉积/成长介质层
515
执行接触掩模和蚀刻
520
沉积接触金属与执行金属掩模
525
金属蚀刻界定隔离区
530

图5

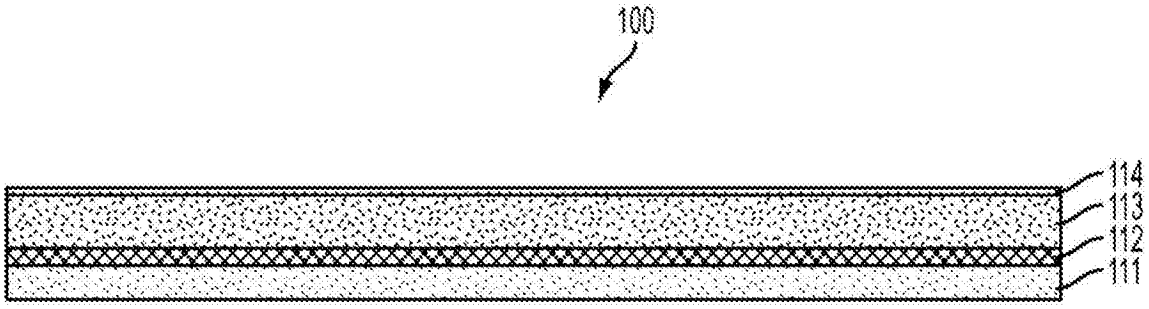

100
114
113
112
111

图6A

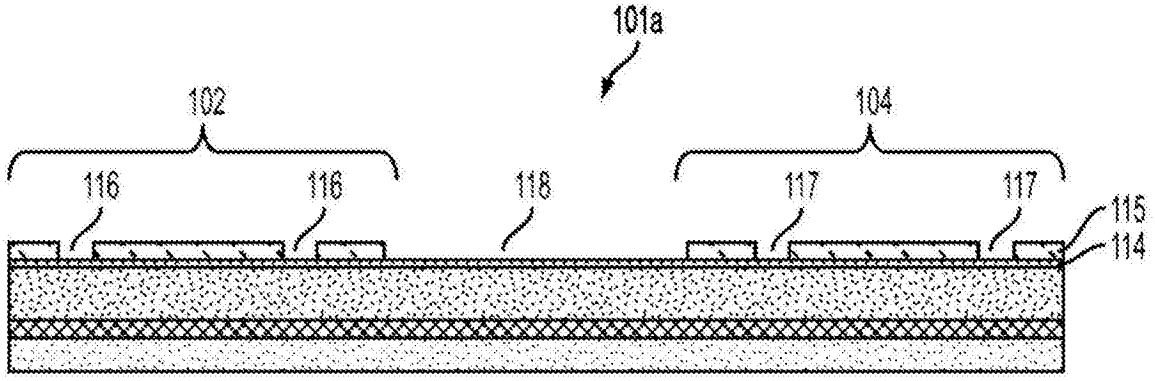

101a
102
104
116
116
118
117
117
115
114

图6B

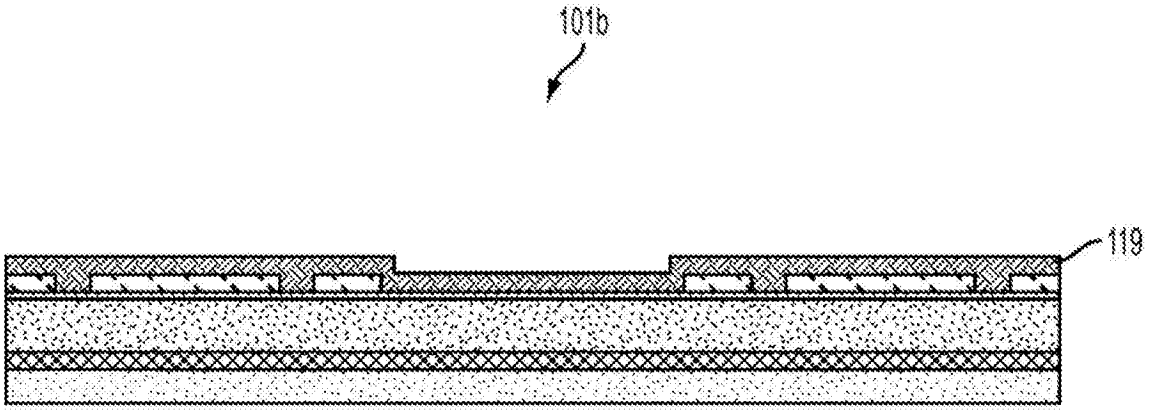

101b
119

图6C

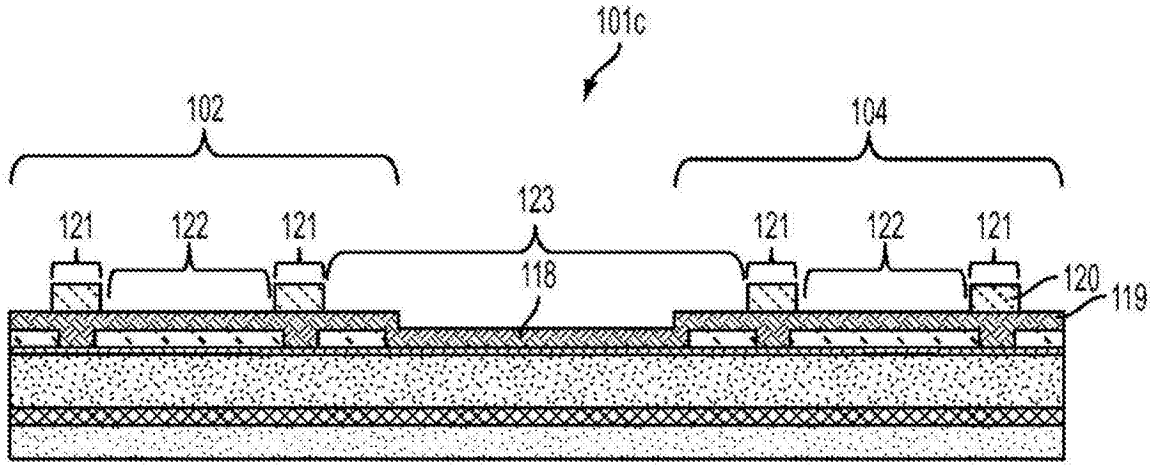

101c
102
104
123
121
122
121
121
122
121
118
120
119

图6D

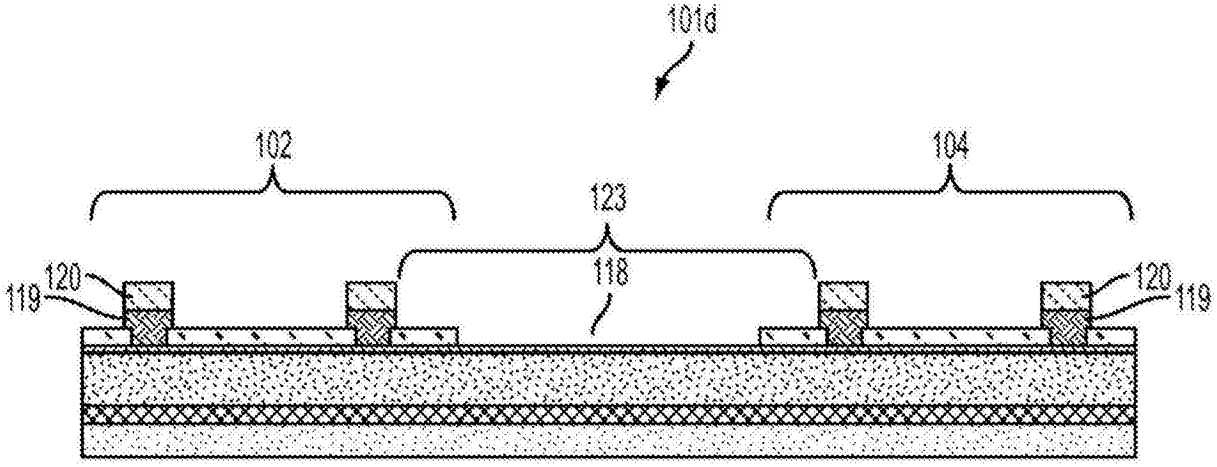

101d
102
104
123
118
119
120
120
119

图6E

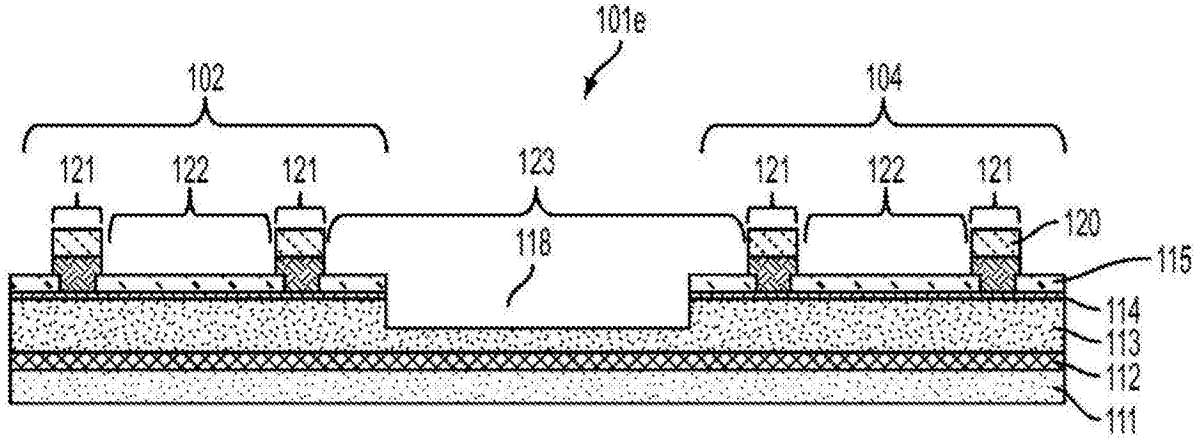

101e
102
104
121
122
121
123
121
122
121
118
120
115
114
113
112
111

图6F

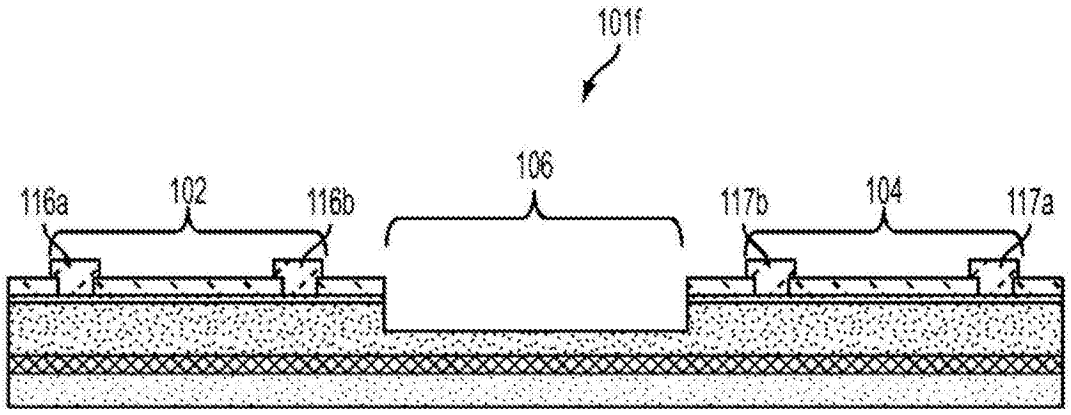



图6G

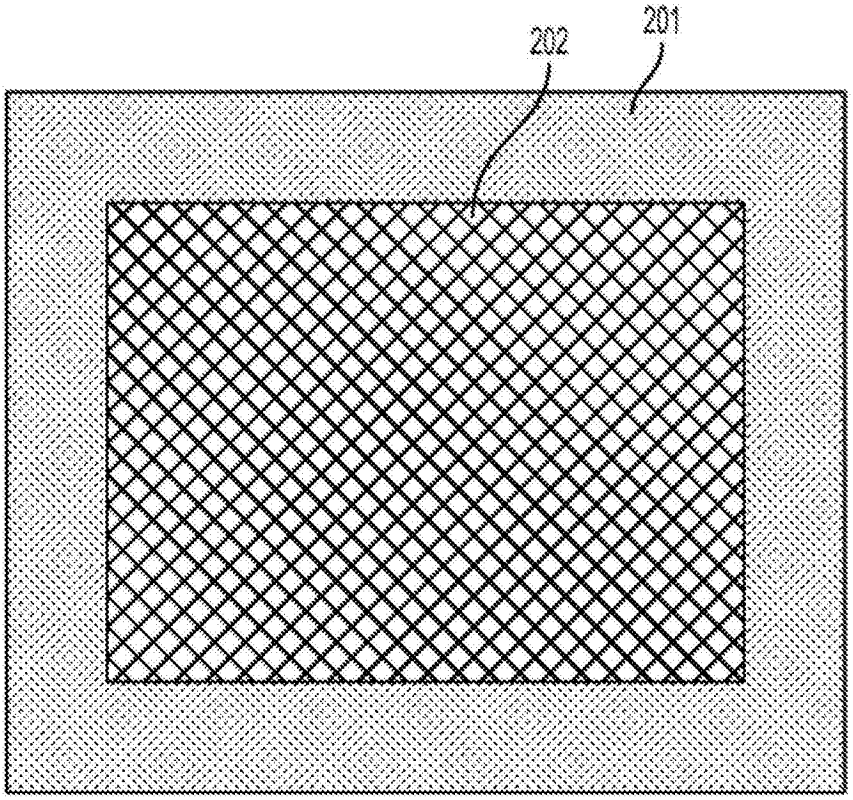



图7A

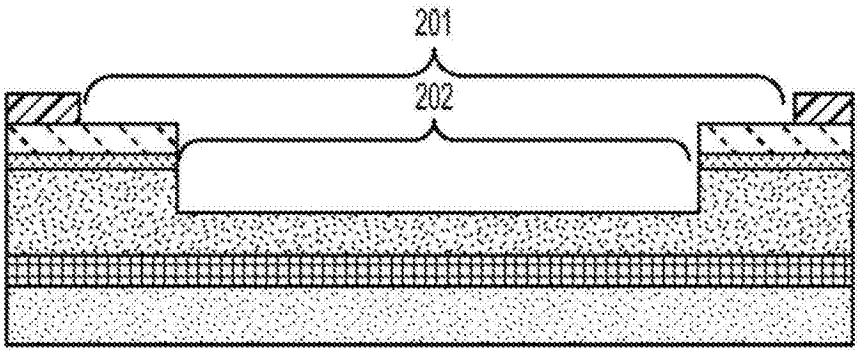



图7B

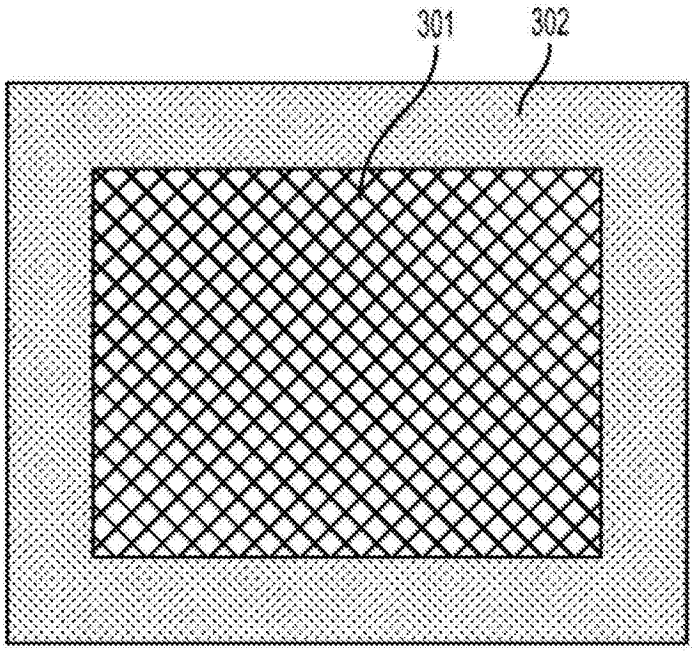



图7C

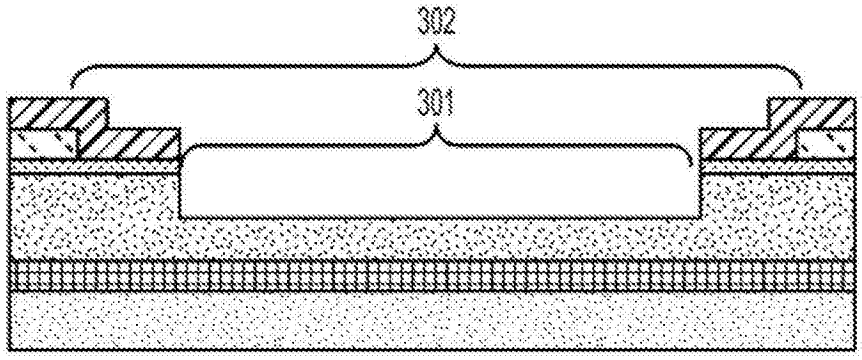



图7D