

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480009252.5

[51] Int. Cl.

H01L 21/331 (2006.01)

H01L 21/8238 (2006.01)

H01L 23/60 (2006.01)

H01L 29/73 (2006.01)

[45] 授权公告日 2010年2月3日

[11] 授权公告号 CN 100587924C

[22] 申请日 2004.3.31

[21] 申请号 200480009252.5

[30] 优先权

[32] 2003.4.4 [33] US [31] 10/407,687

[86] 国际申请 PCT/US2004/009815 2004.3.31

[87] 国际公布 WO2004/090940 英 2004.10.21

[85] 进入国家阶段日期 2005.10.8

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 詹姆斯·D·惠特菲尔德

[56] 参考文献

US6130117A 2000.10.10

US6218226B1 2001.4.17

US5959332A 1999.9.28

US6586818B1 2003.7.1

审查员 韩冰

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 黄启行 谢丽娜

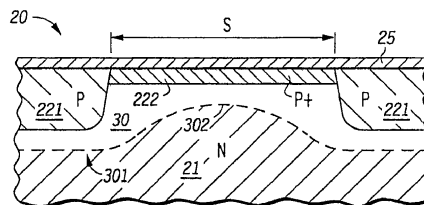
权利要求书1页 说明书11页 附图3页

[54] 发明名称

ESD 保护器件及其制造方法

[57] 摘要

一种 ESD 保护器件(20)，包括：N 型外延集电极(21)，第一轻掺杂的深基区(221)以及延伸了预定横向尺寸的第二重掺杂的浅基区(222)。器件通过影响基区和 N 型外延集电极之间的纵向击穿来响应 ESD 现象。通过预定横向尺寸 S 可控制 ESD 响应，在一个实施例中，可以通过单个掩模步骤来确定预定的横向尺寸 S。因此，致使 ESD 保护器件的操作相对不易受到制造工序的容许偏差或工序之间变化的影响。



1. 一种制造 ESD 保护器件的方法，该方法包括：

提供第一导电类型的集电极层（21）；

在所述集电极层中形成第一基区（221），第一基区具有第二导电类型；

在第一基区内形成第二基区（222），第二基区具有第二导电类型，其中通过以下步骤来形成第二基区：用单个掩模层，构图第一基区上的光刻胶，以便留下具有预定横向尺寸的露出的中心区域；以及

注入所述中心区域以形成第二基区使得具有比第一基区的深度小的深度，并且具有比第一基区的掺杂浓度大的掺杂浓度；以及

其中，形成第一基区和第二基区，使得第一基区具有比第二基区的深度大的深度，以及使得比第一基区更重地掺杂第二基区。

2. 如权利要求 1 所述的制造 ESD 保护器件的方法，其中第一导电类型是 N 型，并且第二导电类型是 P 型。

3. 如权利要求 1 所述的制造 ESD 保护器件的方法，其中形成第一基区和第二基区，使得第一基区仅仅局部围绕第二基区。

4. 如权利要求 1 所述的制造 ESD 保护器件的方法，其中所述构图确立预定的横向尺寸，使得有效引起 ESD 响应，在所述 ESD 响应中，相对于集电极区和第二基区之间的纵向击穿，集电极区和第一基区之间的纵向击穿是主要的。

5. 如权利要求 1 所述的制造 ESD 保护器件的方法，其中所述构图确立预定的横向尺寸，使得有效引起 ESD 响应，在所述 ESD 响应中，相对于集电极区和第一基区之间的纵向击穿，集电极区和第二基区之间的纵向击穿是主要的。

ESD 保护器件及其制造方法

技术领域

本发明总的来说涉及半导体器件的设计和制造，更具体而言，涉及具有以集成双极结型晶体管（BJT）形式的静电放电（ESD）保护的集成电路（IC）器件的设计和制造。

背景技术

随着半导体器件技术仿佛不可避免地持续发展进入亚微米特征尺寸以及以外的领域，器件操作的许多方面已充分呈现出增长的重要性。例如，高级互补金属氧化物半导体（CMOS）器件（其中薄栅极氧化物和低漏/衬底击穿电压是目前流行的）尤其易受到 ESD 现象的损害。当 IC 器件接触或接近一个被充电至与所述器件的静电势大不相同的静电势的物体时，常发生 ESD。在 ESD 现象期间，电荷在短时间内在 IC 封装上的一个或多个管脚与外部带电物体之间转移。典型地，ESD 脉冲持续时间小于一微秒。电荷转移伴随发生瞬时电压和/或电流，瞬时电压和/或电流常足以击穿或至少损坏 IC 内部的有源 MOS 器件的栅极氧化物层。ESD 瞬间变化还可以促成电热失效，例如接触峰值形成、硅熔化或互连中断。因此，IC 产品明智地包括内部 ESD 保护电路作为耐 ESD 现象的防护，ESD 现象是由与人类接触、制造中机械操作、装配和测试以及环境条件所产生的。（从 ESD 的角度，自动环境内半导体器件的操作被认为尤其是不友善的。）

在技术文献中所引起的关注下，反映了作为对半导体器件可靠性威胁的 ESD 现象的幅度。参看，例如，Ajith amerasekera 和 Charvaka Duvuury, ESD in Silicon Integrated Circuits (2nd Ed.), John Wiley & Sons (2002); Albert H.Wang, On-Chip ESD Protection for Integrated Circuits: An IC Design Perspective, Kluwer Academic Publishers (2002)。

或许，在 CMOS IC 中所遇到的最普遍的保护方案是基于与 nMOS 晶体管相关的寄生 BJT。与方法一致，关联 pMOS 晶体管的漏区连接至要保护的 IC 管脚，关联 nMOS 源区耦合至 GND。（在本文中，GND 可以认为是用做电流宿的任何参考节点，不管节点的电压电势是否为 0V。）ESD 保护阈值取决于 nMOS 晶体管从栅极氧化物下面的漏区到源区的宽度。当发生 ESD 现象时，寄生 BJT 的操作被驱动至其快速反向区，并且 BJT 把电流从所保护的管脚传导到 GND，由此把 ESD 能量从 IC 内部的其它器件中转移掉。图 1 中描绘了以上述构造为基础的一种 ESD 保护器件。

如从图 1 中所看到的，可结合到 IC 产品内的常规 ESD 保护器件的相关部分包括已形成在衬底（未示出）上的 N 型外延层 11。P 型基区 12 形成在外延层 11 内，以及一深 N 型集电极区 13 也形成在外延层 11 内。重掺杂的 P⁺基区延伸部分 14 有效地限定了基区和集电极区之间的横向（即，水平）间距。

用于制造 ESD 保护器件 10 的工艺技术对专业技术人员来说基本上是现有的知识，此处将不再详细论述。只要说可以包括有各种光刻、注入和扩散步骤就足够了。然而，认识到集电极区 13 以及基区 12 和 14 的形成需要至少两步截然不同的光刻构图步骤以及伴随有两个不同的掩模层是很重要的。如从图 1 中可以很容易理解的，作为基区和集电极区几何形状的函数，间接确立基区（12、14）和集电极区 13 之间的间距（图 1 中用字母“S”表示）。因此，基区和集电极掩模的对准或排列的变化、或那些掩模自身的尺寸的变化转化为基区和集电极区之间的间距 S 的变化。因为 ESD 保护器件 10 的操作是以在由 ESD 现象所引起的基区和集电极区之间的击穿发生为基础的，所以间距尺寸是 ESD 保护阈值的临界尺寸。

即：ESD 现象（此处假设为正向变化电压瞬时改变）使集电极区

13 处的偏压显著增加。结果，产生空间电荷区 15，空间电荷区 15 从基区（12、14）朝集电极区 13 的方向横过外延区 11 水平向前并延伸。在某些点处，在 P⁺基区 14 的周边处确立了临界电场，并引起了击穿。最终，BJT 的有效集电极/基区结变成正向偏置，使得出现快速反向条件，等效地导致了基区和集电极区之间齐纳二极管的形成。齐纳二极管对 ESD 电流表现出低阻抗路径。以这种方式，ESD 电流和电压从 IC 转移并通过齐纳二极管传导至 GND。

在上述这种 ESD 保护器件的操作中，首先出现击穿的触发电压有明显的重要意义。因为触发电压或 ESD 阈值通常与基区和集电极区之间的临界电场的产生一致，所以触发电压受间距尺寸控制，例如，通常与间距尺寸成反比关系。从一个角度讲，这种形式的 ESD 触发的可控性是 ESD 器件（例如 ESD 保护器件 10）的有益特性。然而，由于间距尺寸取决于至少两个掩模步骤之间的关系，所以尤其易受到制造工艺容许偏差和变化的影响。因此，ESD 保护器件的设计必须以确保面对 ESD 现象的可靠性的方式来适应这种变化。不可避免地，这样大量容许偏差的适应导致了占用超过半导体有效区域（real estate）的最小限度量的设计。此外，上面提到的内在的变化阻碍了制造工艺从一个制造设备到另一个设备的转用能力。

因此，非常希望 ESD 保护技术易于使 ESD 触发点内的变化最小化，使得在给定的制造工艺中可以保持更紧凑的容许偏差，以及使得制造工艺可以从一个制造设备向另一个设备原封不动地转用。ESD 触发点中更紧凑的容许偏差对由此得到的半导体区域的保护的程度也有重要意义。

附图说明

参考下面简要说明并于此附加的图，本领域那些技术人员可以更好地理解主题自对准集成 ESD 器件，清楚明白其许多特征、优点和性能，在几幅图中，相同的参考数字（若有的话）指示相同或相似的元

件，其中：

图 1 是常规 ESD 保护器件的截面图，其中在 N 型外延层（11）中形成了 P 型基区（12）和 N 型集电极（13），从而在 P⁺基区延伸部分（14）和 N 型集电极之间引起水平击穿。

图 2 是根据本发明一个实施例的 ESD 保护器件 20 的顶视图，ESD 保护器件 20 含有多个基区结构（22），其中轻掺杂的深基区 221 完全包围重掺杂的浅基区 222。

图 3 是图 2 沿线 3-3 截取的 ESD 保护器件的水平截面图，描绘了 N 型集电极（21）、轻掺杂的深基区（221）、重掺杂的浅基区（222）、氧化物层（25）和响应 ESD 现象出现的空间电荷区（30）。

图 4 是主题 ESD 保护器件的水平截面图，该器件在形式上基本上类似于图 3 的器件，但由重掺杂区 222 限定的基区间距 S 却不同，其小于图 3 中所描绘的基区间距。

图 5 是以 ESD 保护器件 20 形式的替换实施例的顶视图，其中轻掺杂的基区 221 仅仅局部包围重掺杂的基区 222。

图 6 表示示例了形成自对准重掺杂的浅基区 222 以便具有预定的横向尺寸的方式的工序步骤（掩模和注入）。单个掩模层（62）限定了基区 222 的宽度。

图 7 是结合有根据本发明的 ESD 保护器件（20）的集成电路产品（70）的局部框图/电路简图。

本领域的技术人员应明白，示例图中的元件是为了简明和清楚而示出的，并不必按规定比例来描绘。例如，可以相对其它元件放大图中某些元件的尺寸，以促进并提高对本发明实施例的理解。

具体实施方式

为彻底理解主题自对准集成 ESD 器件，结合上述附图，参考包含所附权利要求的下列详细说明。

以下面的方式将会明显清楚，主题发明以一种形式存在于 ESD 保

护器件中，其通过在集成 NPN 晶体管的基区和集电极之间的纵向击穿的开始响应 ESD 现象。击穿最终引起集电极/基区结成为正向偏压，使得出现了快速反向状态，结果，等效地，在集电极和基区之间形成齐纳击穿二极管。晶体管包括 N 型外延集电极，其中形成有第一（深、轻掺杂的）P 型基区。第二（浅、重掺杂的）P⁺基区形成在外延层上作为在第一基区内的开口或窗口，以便至少局部由第一基区围绕或包围。因为基区的间距、即 P⁺窗口的宽度控制晶体管的击穿，以及因为该间距是通过设计单个掩模步骤来定义的，所以在 ESD 触发点内的变化趋向于最小化。结果产生一种 ESD 保护器件，其有效利用了半导体器件区并能够使在制造器件时所利用的工序在制造设备之间连续转用。

现在参考图 2，其中描绘了 ESD 保护器件 20 的顶视图。如从那里所看到的，ESD 保护器件 20 包括具有集电极 21、多个基区结构 22 和发射极 23 的 NPN 晶体管。如本领域所周知的，ESD 晶体管可以设置有多多个基区结构（在一个实施例中，有两个或更多），以便增强器件 20 的功率处理能力。具体地，ESD 保护器件 20 包括 N 型外延集电极 21，其中形成有多多个 P 型基区结构 22。每个基区结构 22 依次包括第一轻掺杂的（P⁻）基区 221 和第二重掺杂的（P⁺）基区 222。人们可以适当地认为，基区 222 以开孔或窗口的方式来构造，开孔或窗口形成在基区 221 内，因为这样，至少在图 2 的实施例中，区 221 围绕或包围区 222。

在一个实施例中，P⁻基区 221 提供有 2×10^{16} 原子/cm³ 的掺杂剂浓度，而 P⁺基区 222 掺杂到大约 4×10^{17} 原子/cm³ 的浓度。因此，重掺杂区 222 比轻掺杂区 221 掺杂得重大约 200 倍。如众所周知的，P 型导电的区域可以通过注入硼或铈来确立。此外，形成基区 221 到在 ESD 保护器件 20 上方所形成的绝缘层 25 之下大约 2.2 微米（ μm ）的深度。

（如在图 3 中能更好观看到的，例如，层 25 可以是淀积或热生长的 SiO₂。）形成基区 222 到大约 1.3 μm 的深度。

参看图 3，ESD 保护器件 20 的操作的讨论可以更加方便，图 3 是

沿图 2 中的箭头线 3-3 所描绘的平面截取的截面图。以下面说明的方式，ESD 保护器件 20 的操作大部分由图 3 中的字母“S”所指示的尺寸来确定，尺寸“S”在此处可以称为基区间距。也就是，S 是包围 P⁺基区 222 的通常为环形的 P⁻基区 221 的两条相对侧边之间的横向距离。更直接地，S 是 P⁺基区 222 的宽度。

如下面所解释的，基区间距 S 是 ESD 保护器件 20 的触发阈值的主要决定性因素。换句话说，在某种意义上，基区间距 S 控制了在本 NPN 晶体管的给定的基区结构 22 的基区（221、222）与集电极区 21 之间开始响应 ESD 现象的出现的纵向击穿的方式。

针对 ESD 保护器件 20 的操作，首先假设，ESD 现象的发生伴随耦合到集电极区 21 的正向变化瞬时电压和/或电流的出现。作为一实际的问题，由于来自多种势源中任一种的静电放电导致了 ESD 现象以瞬时电压和/或电流的形式被耦合到集电极区 21 上。最初出现在结合有 ESD 保护器件 20 的 IC 产品的封装上的外部管脚处的瞬变沿可能包括各种导电元件的路径传导，所述各种导电元件包括 IC 封装管脚、键合焊盘、导线等。随着集电极偏压增加，由虚线 301 所描绘的空间电荷区 30 出现在 ESD 保护晶体管的集电极和基区之间。在相对短的时间周期内，空间电荷区从基区 221 和 222 朝向外延集电极区 21 前进。如图 3 中所看到的，空间电荷区 30 可以在基区 221 和基区 222 之下的水平方向上延伸以及在从基区（221、222）向集电极区 21 的纵向方向上延伸。在一些点处，临界电场达到基区的边缘处，并开始击穿。击穿开始之后，在集电极和基区之间确立了正向偏压。正向偏压等效地导致了集电极和基区之间齐纳二极管的形成。随着偏压增加，有效的集电极/基区齐纳二极管被驱动到操作的快速反向模式。

快速反向现象首先由雪崩电流的产生而产生，并且认为是 ESD 保护器件最初表现出对 ESD 源的高阻抗的状态。然而，在 ESD 现象出现不久之后，ESD 保护器件被驱动成为低阻抗模式，其中晶体管变成高

度导电并工作以同时转移 ESD 电流和箝位 ESD 瞬时电压到不会破坏内部半导体器件的程度。

针对上述内容,注意到,基区间距 S 以如下方式影响了 ESD 触发。如果基区间距 S 相对宽,假设为 $5\ \mu\text{m}$,那么在重掺杂的浅基区 222 和集电极区 21 之间出现了主要的击穿机制。相反,如果基区间距相对窄,假设为 $1\ \mu\text{m}$,那么就会在轻掺杂的深基区 221 和集电极区 21 之间出现主要的击穿机制。结果,相对宽的基区间距确立了相对低的触发电压;相对窄的基区间距确立了相对高的触发电压。

在这点上,可以认为图 3 描绘了 ESD 保护器件结构,其中基区间距尺寸 S 具有更靠近一般设计范围的宽限制的值。应注意,在这种情况下(相对宽的 S)下,由虚线 301 所指示的空间电荷区 30 在重掺杂基区 222 附近的点 302 处变得最窄。结果,击穿首先主要开始于此处。

现在来关注图 4,可以看到,相对窄的基区间距产生了可检测出的不同集电极/基区结轮廓。这种情况下,由虚线 401 所描绘的空间电荷区 40 几乎破坏在靠近基区 221 的分别相对侧边的点 402 和 403 处的 P 型材料。结果,更窄的基区间距使击穿主要出现在轻掺杂的深基区。

图 5 以 ESD 保护器件 20 的形式表示了实施例的一个替换。作为比较,注意图 2 中的构造,轻掺杂的深基区 221 完全包围或环绕了重掺杂的浅基区 222。在图 2 的方法中, P^- 区彻底包围了 P^+ 区,几乎没有可能出现表面充电或表面电势改变。然而,ESD 保护器件区可以变大。在图 5 的替换实施例中,基区 221 仅局部包围了基区 222,使得减少了器件 20 所占有的半导体区的量。尽管图 2 中的结构的几乎所有优势都存在于图 5 的构造中,但要知道图 5 的实现产生基区结构 22,其中不是被轻掺杂区 221 限定边界的重掺杂区 222 的一边与 N 型集电极 21 形成了结。在这种构造中,一部分电流将沿着基区 222 和相邻的集电极区之间的水平方向流动。(在图 2 中,相应的电流限定为纵向方向,

朝向下面的集电极区。)水平电流横向流动,近似流向在硅区(21、222)和 SiO₂层 25 之间的界面处的 SiO₂层 25。在 SiO₂层 25 附近流动的电流可以导致电子(例如)注入进层 25,使器件特性永久恶化。具体地,在这些条件下,层 25 被认为易受到表面充电或表面电势改变的影响。此外,每个 ESD 现象趋向于以表面充电或表面电势改变的形式对 Si/SiO₂界面造成某种程度的损害。在每个 ESD 现象之后,损害的症状、ESD 阈值趋向于递增地向外迁移。因为 ESD 保护器件的导电必须先于寻求保护的有源器件的不期望的导电而从容地获得,所以朝向更高 ESD 阈值的趋势看来是不和要求的。因此,希望 ESD 阈值保持在安全的低点,使得通过 ESD 保护器件的导电被确保先于通过有源器件的破坏或损害导电。因此,ESD 阈值的增长可易于损害所提供的保护。

图 6 以简化的形式表达了在用于 ESD 保护器件 20 的制造工艺的一个实施例中所遇到的工序步骤。在 N 型外延层 21 的表面上构图一层光刻胶 61。层 21 的露出区域被注入以形成轻掺杂的深基区 221。如上面所指出的,在一个实施例中,可以注入基区 221 以具有 2×10^{16} 原子/cm³ 的净浓度和大约 2.2 μm 的深度。在注入基区 221 之后的步骤中,构图一层光刻胶 62 以覆盖基区 221 的区域,以便留下具有横向尺寸 S 的露出的中心区域(窗口或开孔)。然后注入露出的区域以具有在一个实施例中 4×10^{17} 原子/cm³ 的净浓度和大约 1.3 μm 的深度。从上文中一种容易接受的认识是,基区间距 S 不取决于基区 221 的几何形状或注入,而是为了实际的目的通过施加用于区 222 注入的掩模层来单独确定。

因为基区间距是控制 ESD 触发的点和方式的一个因素,所以用单个掩模步骤来限定基区间距的能力是一个重要优势。作为直接结果,可以稍微紧缩施加在 ESD 触发点上的容许偏差。随着在设计上降低有源 IC 器件的工作电压以便格外保护半导体有效区域以及获得低功率操作,满足在 ESD 触发点上更紧凑的容许偏差的能力变得愈加重要。认为 ESD 保护器件的基础自然状态要无源地存在于 IC 器件上,直到出现

ESD 现象。在那时，ESD 器件必须变成导电的以便在有源器件的导电阈值之前转移 ESD 能量。因此，随着工作电压减小，ESD 触发阈值减小，并且可接受的（绝对）ESD 容许偏差必须相应减少。不能实现跟踪更低的工作电压的容许偏差使一定程度的设计范围成为必要，一定程度的设计范围占用了更大面积的硅，由此违背了节约半导体有效区域的目的。例如，在主题发明的一种应用中，数据表明通过主题发明所实现的 ESD 触发容许偏差方面的改进对应于半导体区域的 5%的节约。

现在考虑图 7，其中描绘了结合有根据主题发明的 ESD 保护器件 20 的 IC 产品 70 的框图/电路简图。正像平常所说的，IC 产品 70 可以包括任何数量的功能性半导体器件。图 7 中示例了 BiCMOS 反相器 71，但此处反相器 71 意图成为可能包含的各种类型的器件的举例说明，各种类型的器件包括（但不限于）微处理器、存储器、数字信号处理器、线性放大器、通讯处理器，等等。通常，IC 产品 70 的半导体器件将根据应用而密封在塑料、金属、陶瓷或其它适当材料的封装 701 内。如图 7 中所示例的，封装 701 内部的器件通过大量金属管脚（例如 72、73、74 和 75）电连接外部信号源。图 7 中的上述管脚示出使 IC 产品 70 内的器件分别连接电压电源 V_{DD} 、连接 GND、连接输入以及连接输出。在图 7 的实施例中，ESD 保护器件 20 耦合在管脚 72 (V_{DD}) 和管脚 73 (GND) 之间。以这种方式，ESD 保护器件 20 运转以保护有源电路免于可能出现在管脚 72 处的 ESD 现象，如通过 BiCMOS 反相器 71 所举例说明的。如上面所指出的，ESD 现象可以以电压瞬变的形式出现，电压瞬变是由人为接触、机械操作、恶劣环境中工作的结果使电荷转移到 IC 管脚所产生的。

图 7 表明配备 ESD 保护器件 20 靠近 IC 产品 70 的一个管脚的实施例。这种形式的局部 ESD 保护意味着提供局部地在一个或多个管脚处的专用 ESD 保护器件，该管脚处是最容易出现 ESD 现象或内部器件最易损坏的地方。例如，ESD 保护器件最好应用在电源电压耦合到 IC

产品 70 的管脚处，此处具有外界接触（例如，在生产、维护、故障查找活动期间）的很大可能性，以及应用在表现出高阻抗的管脚处。在特定的恶劣环境或应用中，可以在每个管脚处提供局部 ESD 保护。作为替换，可以按分布的排列配备 ESD 保护。像可能是这种情况，例如，针对利用用于电源分配的多对（通常）导线的 IC 产品，从而在 IC 的有源区域的周边周围规定电压运载或电流运载导体的线路，通常类似传输线。按照这点，以实现分布的 ESD 保护的方式，使 ESD 保护器件可以有意识地沿电源线和在电源线之间分布。

通过上述说明，毫无疑问，在各种实施例中的主题集成自对准 ESD 器件在其提供的许多特征、优点和能力方面是值得注意的。即，通过单个参数、基区间距（插入在每个基区结构中的重掺杂区的宽度）可控制 ESD 触发电压。通过在双极型晶体管的深、轻掺杂基区内的浅、重掺杂开孔（或窗口）的尺寸确定 ESD 阈值的方式，促进符合 ESD 触发阈值中的要求更高的容许偏差，该尺寸是依次在单个掩模步骤中所实现的尺寸。因为 ESD 保护器件占用了更少的区域，所以更紧凑控制的容许偏差直接转换成半导体区域的节约。此外，当 IC 产品的制造从一个制造设备转用到另一个设备时，可以保持紧密的容许偏差。此外，在至少一个实施例（图 2）中，避免露出 Si/SiO₂ 界面易于使由漏电流所产生的损害最小化。

在上述说明书中，已在具体实施例的上下文中阐述了本发明，以这种方式意图举例说明并想要转达对本发明更彻底的理解。然而，适合于设计和制造半导体器件的本领域普通技术人员应明白，在不脱离本发明范围的情况下，可以对具体描述的实施例给予各种修改和变化。因此，认为本发明涵盖了包含在所附权利要求以及其等效物的字面范围内的所有主题。例如，不应认为本发明局限于此处所确定的具体材料和尺寸。类似的，本领域技术人员应明白，保持必需一致性的前提下，通常导电类型（P 型、N 型）可以转换。因此，说明书和附图应认为是对发明说明性的而不是限制性的，因此不脱离它们的所有修改包

含在主题发明的范围内。

相似的，针对此处所提供的本发明的具体实施例，已列举了对可操作的或其它技术挑战的益处、优势和解决方法。然而，可以使任何益处、优势、能力或方法出现或变得更加显著的益处、优势、解决问题的方法和任何部件不应推论为任何或所有权利要求的关键的、必须的或主要的特征或部件。此外，如此处所使用的，术语“包括（comprise）”、“包含（comprising）”或其任何其它变化想要覆盖不排除的包含物，使得包括一系列部件的工艺、方法、物品或设备不仅包括那些部件，而且还可以包括不额外列出的或含在这种工艺、方法、物品或设备内的其他部件。

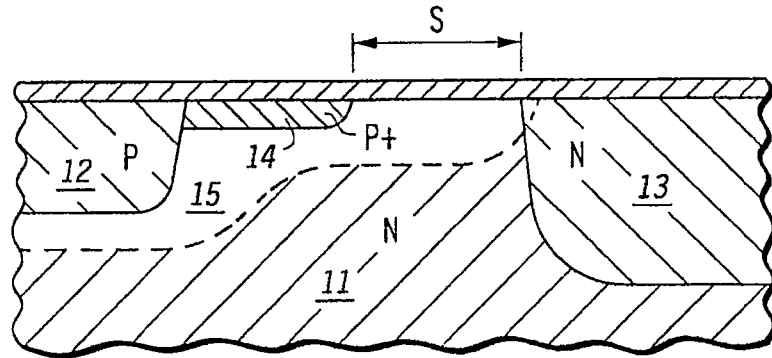


图1
现有技术

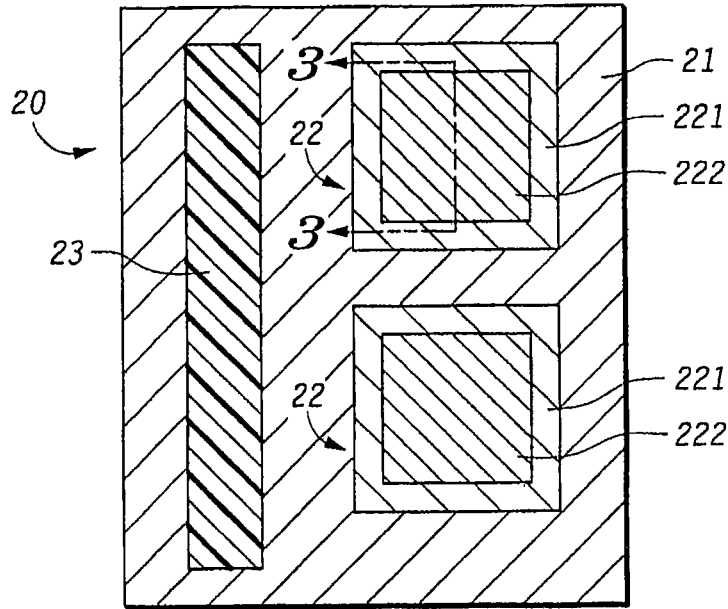


图2

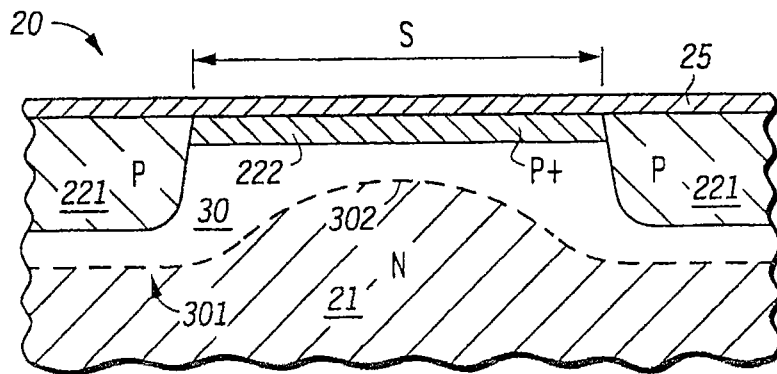


图3

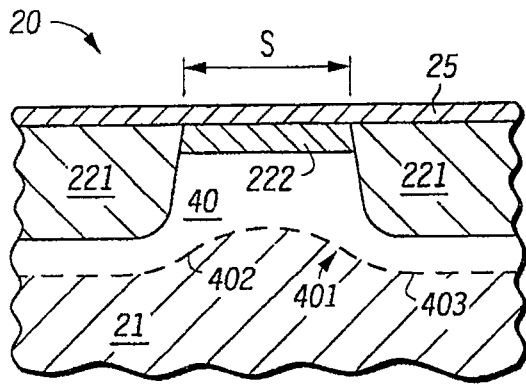


图4

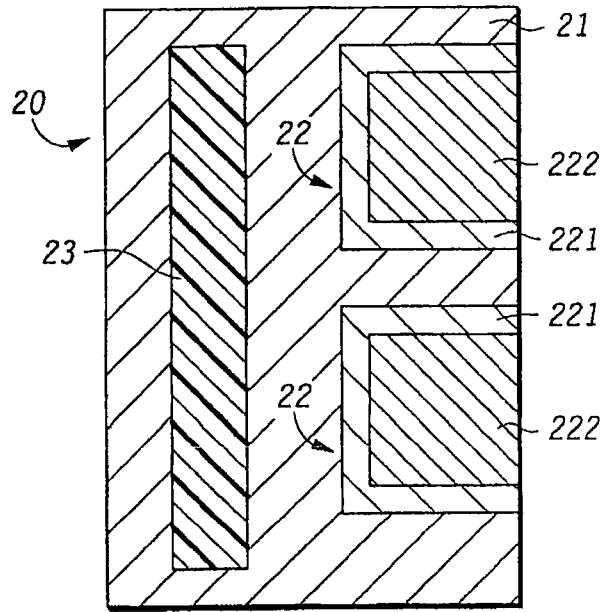


图5

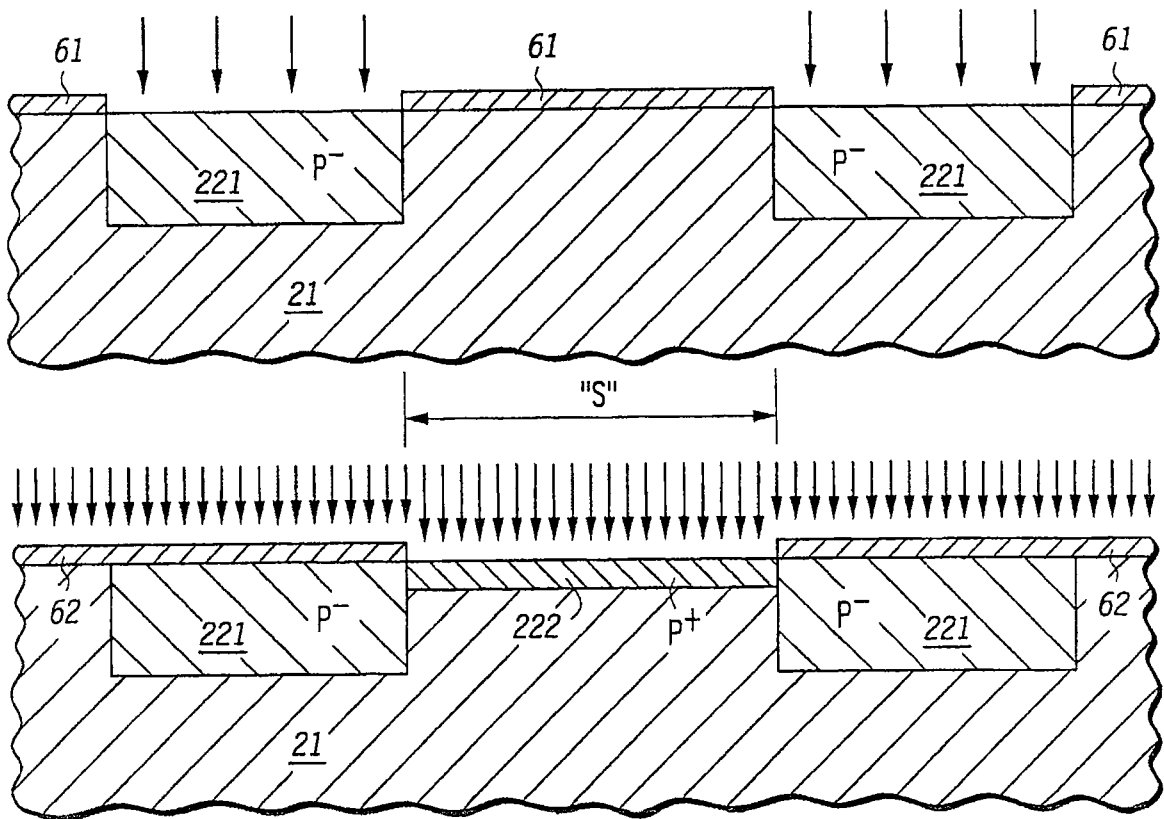


图6

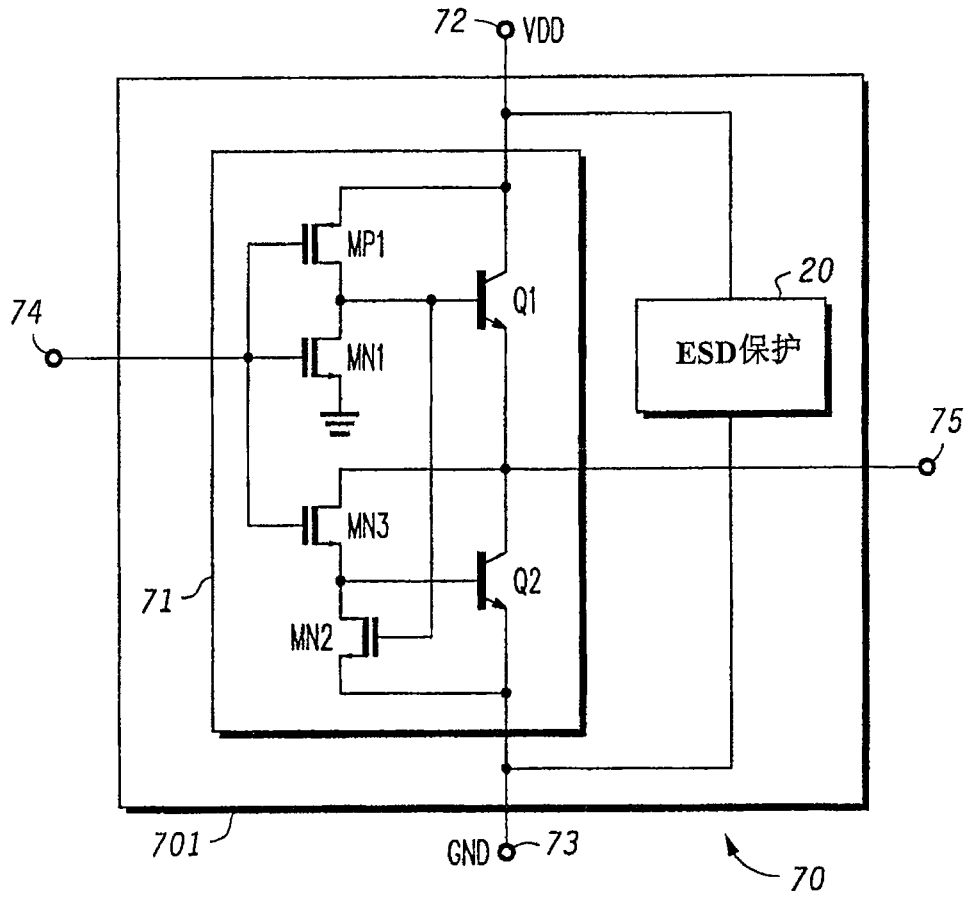


图7