



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월01일
(11) 등록번호 10-1228971
(24) 등록일자 2013년01월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/02 (2006.01) H01L 27/10 (2006.01)
(21) 출원번호 10-2006-0076815
(22) 출원일자 2006년08월14일
심사청구일자 2011년08월08일
(65) 공개번호 10-2007-0019625
(43) 공개일자 2007년02월15일
(30) 우선권주장
JP-P-2005-00234007 2005년08월12일 일본(JP)
(56) 선행기술조사문헌
W02004061812 A1
전체 청구항 수 : 총 21 항

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
키무라 하지메
일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이에네루기 켄큐쇼 나이
(74) 대리인
이화의

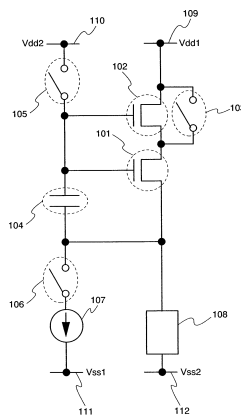
심사관 : 박문철

(54) 발명의 명칭 반도체장치와, 이 반도체장치를 구비한 표시장치 및 전자장치

(57) 요약

본 발명은 소비전력을 증가시키지 않고, 부하에 전류를 공급하기 위한 전원공급 전위를 각 행마다 변화시키지 않고, 신호 기록 동작시에, 표시소자에 전류가 흐르는 것을 방지할 수 있는 반도체장치를 제공한다. 트랜지스터에 소정의 전류가 공급되어 트랜지스터의 게이트-소스 전압을 설정할 때, 트랜지스터의 게이트 단자의 전위는 트랜지스터의 소스 단자에 접속되어 있는 부하에 전류가 흐르는 것을 방지하도록 조절된다. 따라서, 트랜지스터의 게이트 단자에 접속된 배선의 전위를 트랜지스터의 드레인 단자에 접속된 배선의 전위와 상이하게 한다. 그때, 트랜지스터의 동작은 큰 전류량이 흐르게 하도록 시프트되고, 배선 등에 기생하는 교차 커패시턴스 또는 배선 저항에 의한 영향이 거의 발생하지 않고, 설정 동작이 신속하게 행해진다.

대표도 - 도1



특허청구의 범위

청구항 1

제1배선과,

제2배선과,

제3배선과,

제6배선과,

제1스위치와,

제2스위치와,

제1전극과,

상기 제1전극 위에 설치된 유기 화합물을 함유하는 층과,

상기 유기 화합물을 함유하는 상기 층 위에 설치된 제2전극과,

제1단자가 상기 제1배선과 전기적으로 접속되고, 게이트 단자가 상기 제1스위치를 통해 상기 제2배선과 전기적으로 접속된 시프트 트랜지스터와,

제2단자가 상기 시프트 트랜지스터의 제2단자와 전기적으로 접속되고, 게이트 단자가 상기 제1스위치를 통해 상기 제2배선과 전기적으로 접속되며, 제1단자가 상기 제1전극과 전기적으로 접속됨과 동시에, 상기 제2스위치를 통해 상기 제3배선과 전기적으로 접속된 전류원 트랜지스터와,

상기 전류원 트랜지스터의 상기 게이트 단자와 상기 전류원 트랜지스터의 상기 제1단자 사이에 전기적으로 접속된 커패시터 소자와,

상기 시프트 트랜지스터의 상기 제1단자와 상기 시프트 트랜지스터의 상기 제2단자 사이를 단락시키기 위한 수단과,

상기 제6배선과 상기 전류원 트랜지스터의 상기 게이트 단자 사이에 접속된 정류소자를 포함하고,

상기 제6배선에 L(Low) 레벨 신호가 입력되는 경우, 상기 전류원 트랜지스터의 상기 게이트 단자로부터 상기 제6배선으로의 방향으로 순방향 전류가 흘러 상기 전류원 트랜지스터의 상기 게이트 단자의 전위를 상기 정류소자의 순방향 임계전압만큼 상기 L레벨보다 높은 전위로 만들고 상기 커패시터 소자의 전하를 축적하고 상기 전류원 트랜지스터의 상기 제1단자의 전위를 높임으로써, 상기 전류원 트랜지스터를 오프(off)시키는 것을 특징으로 하는 반도체장치.

청구항 2

제 1 항에 있어서,

상기 제1스위치 및 상기 제2스위치의 각각은 트랜지스터를 포함하는 것을 특징으로 하는 반도체장치.

청구항 3

제 1 항에 있어서,

상기 제1배선의 전위는 상기 제2배선의 전위보다 높은 것을 특징으로 하는 반도체장치.

청구항 4

제 1 항에 있어서,

상기 시프트 트랜지스터 및 상기 전류원 트랜지스터는 동일한 도전형을 가지는 것을 특징으로 하는 반도체장치.

청구항 5

제 1 항에 있어서,

상기 단락시키기 위한 수단은 상기 시프트 트랜지스터의 상기 제1단자 및 상기 제2단자에 전기적으로 접속된 스위치를 포함하는 것을 특징으로 하는 반도체장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 반도체장치는 표시장치인 것을 특징으로 하는 반도체장치.

청구항 9

제 1 항에 있어서,

상기 반도체장치는 카메라, 컴퓨터, 화상 재생장치, 고글형 디스플레이, 게임기, 및 이동 전화로 이루어진 그룹에서 선택된 하나인 것을 특징으로 하는 반도체장치.

청구항 10

제1배선과,

제2배선과,

제3배선과,

제1스위치와,

제2스위치와,

상기 제1스위치와 상기 제2스위치의 온/오프를 제4배선에 신호를 입력해서 제어하기 위한 상기 제4배선과,

제6배선과,

제1전극과,

상기 제1전극 위에 설치된 유기 화합물을 포함하는 층과,

상기 유기 화합물을 포함하는 상기 층 위에 설치된 제2전극과,

제1단자가 상기 제1배선과 전기적으로 접속되고, 게이트 단자가 상기 제1스วิต치를 통해 상기 제2배선과 전기적으로 접속된 시프트 트랜지스터와,

제2단자가 상기 시프트 트랜지스터의 제2단자와 전기적으로 접속되고, 게이트 단자가 상기 제1스วิต치를 통해 상기 제2배선과 전기적으로 접속되며, 제1단자가 상기 제1전극과 전기적으로 접속됨과 동시에, 상기 제2스วิต치를 통해 상기 제3배선과 전기적으로 접속된 전류원 트랜지스터와,

상기 전류원 트랜지스터의 상기 게이트 단자와 상기 전류원 트랜지스터의 상기 제1단자 사이에 전기적으로 접속된 커패시터 소자와,

상기 시프트 트랜지스터의 상기 제1단자와 상기 시프트 트랜지스터의 상기 제2단자 사이를 단락시키기 위한 수단과,

상기 제6배선과 상기 전류원 트랜지스터의 상기 게이트 단자 사이에 접속된 정류소자를 포함하고,

상기 제6배선에 L(Low) 레벨 신호가 입력되는 경우, 상기 전류원 트랜지스터의 상기 게이트 단자로부터 상기 제6배선으로의 방향으로 순방향 전류가 흘러 상기 전류원 트랜지스터의 상기 게이트 단자의 전위를 상기 정류소자의 순방향 임계전압만큼 상기 L레벨보다 높은 전위로 만들고 상기 커패시터 소자의 전하를 축적하고 상기 전류원 트랜지스터의 상기 제1단자의 전위를 높임으로써, 상기 전류원 트랜지스터를 오프시키는 것을 특징으로 하는 반도체장치.

청구항 11

제 10 항에 있어서,

상기 제1스위치 및 상기 제2스위치의 각각은 트랜지스터를 포함하는 것을 특징으로 하는 반도체장치.

청구항 12

제 10 항에 있어서,

상기 제1배선의 전위는 상기 제2배선의 전위보다 높은 것을 특징으로 하는 반도체장치.

청구항 13

제 10 항에 있어서,

상기 시프트 트랜지스터 및 상기 전류원 트랜지스터는 동일한 도전형을 가지는 것을 특징으로 하는 반도체장치.

청구항 14

제 10 항에 있어서,

상기 단락시키기 위한 수단은 상기 시프트 트랜지스터의 상기 제1단자 및 상기 제2단자에 전기적으로 접속된 스위치를 포함하는 것을 특징으로 하는 반도체장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

제 10 항에 있어서,

상기 반도체장치는 표시장치인 것을 특징으로 하는 반도체장치.

청구항 18

제 10 항에 있어서,

상기 반도체장치는 카메라, 컴퓨터, 화상 재생장치, 고글형 디스플레이, 게임기, 및 이동 전화로 이루어진 그룹에서 선택된 하나인 것을 특징으로 하는 반도체장치.

청구항 19

신호선 구동회로와,

제1배선과,

제2배선과,
 상기 신호선 구동회로로부터 연장된 제3배선과,
 제1스위치와,
 제2스위치와,
 상기 제1스위치와 상기 제2스위치의 온/오프를 제4배선에 신호를 입력해서 제어하기 위한 상기 제4배선과,
 제6배선과,
 제1전극과,
 상기 제1전극 위에 설치된 유기 화합물을 포함하는 층과,
 상기 유기 화합물을 포함하는 상기 층 위에 설치된 제2전극과,
 제1단자가 상기 제1배선과 전기적으로 접속되고, 게이트 단자가 상기 제1스위치를 통해 상기 제2배선과 전기적으로 접속된 시프트 트랜지스터와,
 제2단자가 상기 시프트 트랜지스터의 제2단자와 전기적으로 접속되고, 게이트 단자가 상기 제1스위치를 통해 상기 제2배선과 전기적으로 접속되며, 제1단자가 상기 제1전극과 전기적으로 접속됨과 동시에, 상기 제2스위치를 통해 상기 제3배선과 전기적으로 접속된 전류원 트랜지스터와,
 상기 전류원 트랜지스터의 상기 게이트 단자와 상기 전류원 트랜지스터의 상기 제1단자 사이에 전기적으로 접속된 커패시터 소자와,
 상기 시프트 트랜지스터의 상기 제1단자와 상기 시프트 트랜지스터의 상기 제2단자 사이를 단락시키기 위한 수단과,
 상기 제6배선과 상기 전류원 트랜지스터의 상기 게이트 단자 사이에 접속된 정류소자를 포함하고,
 상기 제6배선에 L(Low) 레벨 신호가 입력되는 경우, 상기 전류원 트랜지스터의 상기 게이트 단자로부터 상기 제6배선으로의 방향으로 순방향 전류가 흘러 상기 전류원 트랜지스터의 상기 게이트 단자의 전위를 상기 정류소자의 순방향 임계전압만큼 상기 L레벨보다 높은 전위로 만들고 상기 커패시터 소자의 전하를 축적하고 상기 전류원 트랜지스터의 상기 제1단자의 전위를 높임으로써, 상기 전류원 트랜지스터를 오프시키는 것을 특징으로 하는 반도체장치.

청구항 20

제 19 항에 있어서,
 상기 제1스위치 및 상기 제2스위치의 각각은 트랜지스터를 포함하는 것을 특징으로 하는 반도체장치.

청구항 21

제 19 항에 있어서,
 상기 제1배선의 전위는 상기 제2배선의 전위보다 높은 것을 특징으로 하는 반도체장치.

청구항 22

제 19 항에 있어서,
 상기 시프트 트랜지스터 및 상기 전류원 트랜지스터는 동일한 도전형을 가지는 것을 특징으로 하는 반도체장치.

청구항 23

제 19 항에 있어서,
 상기 단락시키기 위한 수단은 상기 시프트 트랜지스터의 상기 제1단자 및 상기 제2단자에 전기적으로 접속된 스

위치를 포함하는 것을 특징으로 하는 반도체장치.

청구항 24

삭제

청구항 25

삭제

청구항 26

제 19 항에 있어서,

상기 반도체장치는 표시장치인 것을 특징으로 하는 반도체장치.

청구항 27

제 19 항에 있어서,

상기 반도체장치는 카메라, 컴퓨터, 화상 재생장치, 고글형 디스플레이, 게임기, 및 이동 전화로 이루어진 그룹에서 선택된 하나인 것을 특징으로 하는 반도체장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0102] 본 발명은 부하에 공급되는 전류를 트랜지스터에 의해 제어하는 기능을 갖는 반도체장치에 관한 것이다. 특히, 본 발명은 전류에 따라 휘도가 변화되는 전류구동형 발광소자로 형성된 화소와, 그 신호선 구동회로를 포함하는 표시장치에 관한 것이다. 또한, 본 발명은 이 반도체장치를 갖는 표시장치 및 전자장치에 관한 것이다.
- [0103] 여기서, 반도체장치는 반도체특성을 이용하여 기능할 수 있는 모든 장치를 의미하는 것임에 유의해야 한다.
- [0104] 최근, 발광 다이오드(LED) 등의 발광소자에 의해 각각 형성된 화소를 갖는 자체발광 표시장치가 주목을 받고 있다. 이러한 자체발광 표시장치에 사용되는 발광소자로서, 유기 발광 다이오드(OLED(Organic Light-Emitting Diode), 유기 EL 소자, 일렉트로-루미네센스(EL : Electroluminescence) 소자 등이라고도 함)가 있으며, 이것은 자체발광 표시장치에 사용하기 위한 발광소자로서 주목을 받고 있고, 유기 EL 디스플레이 등에 사용된다.
- [0105] OLED와 같은 발광소자는 자체발광형이므로, 액정 디스플레이에 비해 화소의 높은 시인성이 확보되고, 백라이트가 불필요하며, 더 높은 응답 속도가 달성되는 등의 여러 장점이 있다. 또한, 발광소자의 휘도는 거기를 흐르는 전류값에 의해 제어된다.
- [0106] 스스로 발광하는(자체발광형) 이러한 발광소자를 사용한 표시장치에 대하여, 그 구동방법으로서, 단순 매트릭스 구동방법 및 액티브 매트릭스 구동방법이 알려져 있다. 전자의 방법은 간단한 구조를 제공하지만, 대형이고 고 휘도의 표시장치 등을 실현하는 것이 어렵다고 하는 문제를 가지고 있다. 최근에는, 발광소자에 흐르는 전류가 화소회로 내부에 구비된 박막 트랜지스터(TFT : thin film transistor)에 의해 제어되는 액티브 매트릭스형이 활발하게 개발되고 있다.
- [0107] 이러한 액티브 매트릭스형 표시장치는 구동 TFT의 전류특성의 변동 또는 열화로 인해 발광소자에 흐르는 전류가 변화되어 휘도 변동에 이르게 되는 문제를 가진다.
- [0108] 즉, 액티브 매트릭스 표시장치는, 발광소자에 공급되는 전류가 발광소자에 흐르는 전류를 위한 구동 TFT의 전류특성의 변동으로 인해 변동하게 되어, 휘도 변동을 일으키는 문제를 가지고 있다. 이것을 고려하여, 구동 TFT의 특성이 화소회로 사이에서 변동하더라도, 발광소자에 공급되는 전류를 변화하지 않고도 휘도 변동이 억제되는 각종 회로가 제안되어 있다.

- [0109] 비특허문헌 1, 특허문헌 1 및 특허문헌 2는 모두 액티브 매트릭스형 표시장치에서의 반도체장치의 구조를 개시한 것이다. 특허문헌 1 및 2는 화소회로 내에 배치된 구동 TFT의 특성의 변동으로 인해 발광소자에 흐르는 전류가 변화되지 않는 회로 구성을 개시하고 있다. 이 구성은 전류기록형 화소 또는 전류입력형 화소라고 부른다.
- [0110] 도 92는 특허문헌 1(국제공개번호 W02004/061812)에 개시되어 있는 회로도의 기본 구성의 일례를 도시한 것이다(특허문헌 1의 도 14 및 그것에 관한 명세서의 설명을 참조). 도 92는, 전류원 트랜지스터(9201), 시프트 트랜지스터(9202), 스위치(9203), 커패시터 소자(9204), 스위치(9205), 스위치(9206), 전류원(9207), 부하(9208), 배선(9209, 9211, 9212) 및 스위치(9213)를 포함하는 회로를 도시한 것이다.
- [0111] 도 93은 특허문헌 2(국제공개번호 W02004/077671)에 개시되어 있는 회로도의 기본 구성의 일례를 도시한 것이다(특허문헌 2의 도 20 및 그것에 관한 명세서의 설명 참조). 도 93은, 전류원 트랜지스터(9301), 시프트 트랜지스터(9302), 스위치(9303), 커패시터 소자(9304), 스위치(9305), 스위치(9306A, 9306B), 전류원(9307A, 9307B), 부하(9308), 배선(9309, 9311A, 9311B, 9312) 및 스위치(9313)를 포함하는 회로를 도시한 것이다.
- [0112] 도 96은 비특허문헌 1(T.Shirasaki et al, SID '04 Digest, pp. 1516-1519(2004))에 개시되어 있는 회로도의 구성의 일례를 도시한 것이다(비특허문헌 1의 도 2 및 도 3과, 그것에 관한 설명 참조). 도 96에 도시된 회로도는 비특허문헌 1에 도시된 회로도가 특허문헌 1 및 2의 설명과 함께 설명되는 도면이다. 도 96은, 전류원 트랜지스터(9601), 스위치(9603), 커패시터 소자(9604), 스위치(9605, 9606), 전류원(9607), 부하(9608), 및 배선(9609, 9611, 9612)을 포함하는 회로를 도시한 것이다.

발명이 이루고자 하는 기술적 과제

- [0113] 특허문헌 1 및 2에 도시된 회로 구성의 경우, 전류원 트랜지스터와 부하 사이에 스위치가 필요하게 되므로, 부하에 전류가 흐르기 어렵다고 하는 문제가 있다. 스위치가 구비되지 않으면, 부하에 전류가 흐르게 되므로, 원하는 동작을 얻을 수 없다. 또한, 특허문헌 1 및 2에 도시된 회로 구성의 경우, 트랜지스터 수가 많고 개구율의 감소에 이르게 되는 문제가 있다.
- [0114] 도 94a 및 도 94b를 참조하여 도 92에 도시된 회로 구성의 문제를 설명한다. 도 94a는 도 92와 동일한 회로 구성을 도시한 것이다. 도 94a에서는, 설명을 위하여, 스위치(9203)를 SW1, 스위치(9205)를 SW2, 스위치(9206)를 SW3, 배선(9209)의 전위를 Vdd, 배선(9211)의 전위를 Vss1, 배선(9212)의 전위를 Vss2, 스위치(9213)를 SW3으로 나타낸다. 배선의 전위는 Vdd>Vss2>Vss1로 설정된다.
- [0115] 도 94b는 도 94a의 회로 구성에서의 신호 기록 동작 및 입력 동작시에, 각 스위치 및 각 배선의 전위의 변화를 도시한 것이다.
- [0116] 도 94b의 신호 기록 동작시에, SW1은 온(ON), SW2는 온, SW3은 온, SW4는 오프(OFF) 된다. 전원(9207)에 대한 전류의 공급이 시작되고, 전원 트랜지스터(9301)가 전원(9207)에 대해 전류를 공급하기 위해 필요한 게이트-소스 전압(Vgs)는 커패시터 소자(9204)에 인가된다. 이때, 노드 G는 Vdd의 전위를 가지며, 이에 따라, 커패시터 소자(9204)가 Vgs의 전압을 유지하므로, 노드 S의 전위가 증가한다. 노드 S의 전위가 정상상태로 되고, 노드 G 및 노드 S 사이의 차이가 Vgs가 된다. 도 94b에서는, 신호 기록 동작시에 노드 S 및 Vss2 사이의 부하(9208)에 V_{load}가 인가되고, 노드 S로부터 Vss2를 향해 전위 경사가 발생된다. 따라서, 신호 기록 동작시에 부하(9208)에 전류가 흐르게 됨으로써, 올바른 신호가 부하에 공급될 수 없다고 하는 결함을 일으킨다.
- [0117] 비특허문헌 1에 설명된 회로도의 경우, 부하인 표시소자에 전류를 공급하기 위한 전원 공급선의 전위가 일 행씩 변화됨으로써, 부하에 대한 신호 기록 동작시에 전류가 표시소자에 흐르는 것을 방지한다. 이것은, 신호 기록 동작시에 부하인 표시소자에 전류가 공급되면, 올바른 신호가 화소에 입력될 수 없기 때문이다. 그 결과, 표시 불량이 발생된다. 또한, 주파수가 F, 커패시턴스(capacitance)가 C, 전압이 V이면, 일반적으로, 소비전력 P는 수식 (1)에 의해 구해진다.
- [0118]
$$P = FCV^2 \quad (F : \text{주파수}, C : \text{커패시턴스}, V : \text{전압}) \quad (1)$$
- [0119] 따라서, 수식 (1)에 따르면, 소비전력을 감소시키기 위해서는 주파수가 작은 것이 바람직하다. 바꾸어 말하면, 전원 공급선의 전위가 변화되는 것은 소비전력의 증가로 귀결되어, 바람직하지 않다.

[0120] 비특허문헌 1에서는, 전원 공급선으로부터 발광소자로 큰 전류가 공급되는 것이 필요하다. 따라서, 각 행의 전원 공급선의 전위를 변화시키고 큰 전류를 공급하기 위하여, 큰 전류를 제어할 수 있는 스위치를 배치하는 것이 필요하다. 이에 따라, 회로의 트랜지스터 사이즈가 클 필요가 있다는 문제가 있다. 트랜지스터 사이즈가 크면, 트랜지스터의 소비전력도 커지게 된다. 비특허문헌 1에서 설명된 것과 같은 종래의 구성에서는, 신호 기록 동작시에 표시소자를 구동하기 위한 트랜지스터에서, $V_{ds}=V_{gs}$ 가 얻어지고, 발광시에는 $V_{ds}>V_{gs}$ 가 얻어진다. 트랜지스터의 포화 영역에서의 정전류 특성(전류의 평탄성)이 나빠지면, 신호 기록 동작 및 발광시의 전류값이 크게 상이하게 된다.

[0121] 비특허문헌 1의 발명에서는, 신호 기록 동작 및 발광시에, 트랜지스터에 흐르는 전류가 동일하다. 그러므로, 예를 들어, 어두운 화상이 표시될 때, 적은 전류량이 트랜지스터에 기록될 경우, 노이즈, 기생 교차 커패시턴스 또는 배선 저항의 영향으로 인해 신호가 충분히 기록되지 않는다는 문제가 있다.

[0122] 이들 문제를 고려한 것으로, 본 발명의 목적은, 신호 기록 동작시에 적은 전류량이 트랜지스터에 기록될 때, 기생 교차 커패시턴스 또는 배선 저항에 의해 거의 영향을 받지 않는 반도체장치를 제공하는 것이다. 또한, 본 발명의 또 다른 목적은, 소비전력을 증가시키지 않고, 그리고, 각 행에서 부하에 전류를 공급하기 위한 전원 공급 전위를 변화시키지 않고도, 신호 기록 동작시에 표시소자에 전류가 흐르는 것을 방지할 수 있는 반도체장치를 제공하는 것이다.

발명의 구성 및 작용

[0123] 본 발명의 반도체장치의 하나의 형태는,

[0124] 제1배선; 제2배선; 제3배선; 제1스위치; 제2스위치; 제1단자가 상기 제1배선과 전기적으로 접속되고, 게이트 단자가 제1스위치를 통해 제2배선과 전기적으로 접속된 제1트랜지스터; 제1단자가 제1트랜지스터의 제2단자와 전기적으로 접속되고, 게이트 단자가 제1스위치를 통해 제2배선과 전기적으로 접속되며, 제2단자가 부하와 전기적으로 접속됨과 동시에 제2스위치를 통해 제3배선과 전기적으로 접속된 제2트랜지스터; 제2트랜지스터의 게이트 단자 및 제2트랜지스터의 제2단자 사이에 전기적으로 접속된 커패시터 소자; 및, 제1트랜지스터의 제1단자 및 제1트랜지스터의 제2단자 사이를 단락(short-circuit)시키기 위한 수단을 포함하는 반도체장치이다.

[0125] 본 발명의 반도체장치의 하나의 형태는,

[0126] 제1배선; 제2배선; 제3배선; 제1스위치; 제2스위치; 제1단자가 제1배선과 전기적으로 접속되고, 게이트 단자가 제1스위치를 통해 제2배선과 전기적으로 접속된 제1트랜지스터; 제1단자가 제1트랜지스터의 제2단자와 전기적으로 접속되고, 게이트 단자가 제1스위치를 통해 제2배선과 전기적으로 접속되며, 제2단자가 부하와 전기적으로 접속됨과 동시에 제2스위치를 통해 제3배선과 전기적으로 접속된 제2트랜지스터; 제2트랜지스터의 게이트 단자 및 제2트랜지스터의 제2단자 사이에 전기적으로 접속된 커패시터 소자; 제3배선과 전기적으로 접속된 전류원; 제1트랜지스터의 제1단자 및 제1트랜지스터의 제2단자 사이를 단락시키기 위한 수단을 포함하는 반도체장치이다.

[0127] 본 발명의 반도체장치의 하나의 형태는,

[0128] 제1배선; 제2배선; 제3배선; 제4배선; 제1스위치; 제2스위치; 제1단자가 제1배선과 전기적으로 접속되고, 게이트 단자가 제1스위치를 통해 제2배선과 전기적으로 접속된 제1트랜지스터; 제1단자가 제1트랜지스터의 제2단자와 전기적으로 접속되고, 게이트 단자가 제1스위치를 통해 제2배선과 전기적으로 접속되며, 제2단자가 부하와 전기적으로 접속됨과 동시에 제2스위치를 통해 제3배선과 전기적으로 접속된 제2트랜지스터; 제2트랜지스터의 게이트 단자 및 제2트랜지스터의 제2단자 사이에 전기적으로 접속된 커패시터 소자; 제3배선과 전기적으로 접속된 제1전류원과, 제4배선과 전기적으로 접속된 제2전류원; 제1트랜지스터의 제1단자 및 제1트랜지스터의 제2단자 사이를 단락시키기 위한 수단을 포함하는 반도체장치이다.

[0129] 본 발명에서, 제1 및 제2스위치는 각각 트랜지스터일 수도 있다.

[0130] 본 발명에서, 제1배선의 전위는 제2배선의 전위보다 더 높을 수도 있다.

[0131] 본 발명에서, 제1트랜지스터 및 제2트랜지스터는 동일한 도전형을 가질 수도 있다.

[0132] 본 발명에서, 단락시키기 위한 수단은 제1트랜지스터의 제1 및 제2단자와 전기적으로 접속된 스위치일 수도 있

다.

- [0133] 본 발명에서, 부하는 정류 특성을 갖는 표시소자일 수도 있다.
- [0134] 본 발명에서, 부하는 EL 소자일 수도 있다.
- [0135] 본 발명의 반도체장치는 표시장치 또는 전자장치에 적용될 수도 있다.
- [0136] 이상 설명한 것과 같이, 본 발명에 따르면, 트랜지스터에 소정의 전류가 공급되어 트랜지스터의 게이트-소스 전압을 설정할 때, 트랜지스터의 소스 단자에 접속된 부하에 전류가 흐르는 것을 방지하도록, 트랜지스터의 게이트 단자의 전위가 조정된다. 따라서, 트랜지스터의 게이트 단자에 접속된 배선의 전위는 트랜지스터의 드레인 단자에 접속된 배선의 전위와 상이하게 된다.
- [0137] 또한, 본 발명에 따르면, 직렬로 접속된 2개의 트랜지스터에서, 설정 동작(또는 신호 기록 동작)시에, 2개의 트랜지스터 중 하나는 낮은 소스-드레인 전압을 갖도록 설정되어, 다른 트랜지스터에 대하여 설정 동작을 행하도록 한다. 출력 동작시에, 2개의 트랜지스터는 멀티게이트(multigate) 트랜지스터로서 작용하고, 출력 동작시의 전류값이 작게 된다. 바꾸어 말하면, 설정 동작시의 전류를 크게 할 수 있다. 따라서, 배선 등에 기생하는 교차 커패시턴스 또는 배선 저항에 의한 영향이 거의 발생하지 않으며, 설정 동작은 신속하게 행해진다.
- [0138] 종합하면, 배선 등에 기생하는 교차 커패시턴스 또는 배선 저항에 의한 영향이 거의 발생하지 않으며, 설정 동작이 신속하게 행해지며, 트랜지스터의 게이트 단자의 전위를 트랜지스터의 드레인 단자의 전위보다 더 높게 또는 더 낮게 하여, 트랜지스터의 소스 단자의 전위를 조정함으로써, 부하에 전류가 흐르는 것을 방지한다.
- [0139] 또한, 본 발명에서 사용된 스위치는 전기적 스위치 또는 기계적 스위치와 같은 임의의 스위치일 수도 있다. 즉, 특수한 형태에 한정되지 않고, 전류를 제어할 수 있지만 하면, 각종 형태의 스위치가 사용될 수 있다. 트랜지스터, 다이오드(PN 다이오드, PIN 다이오드, 쇼тки 다이오드(Schottky diode), 다이오드-접속 트랜지스터 등) 또는 이들을 결합하여 구성된 논리회로일 수도 있다. 그러므로, 트랜지스터를 스위치로서 적용할 경우, 트랜지스터는 단지 스위치로서 동작하므로, 트랜지스터의 극성(도전형)은 특별하게 한정되지 않는다. 그러나, 오프 전류가 작은 것이 바람직할 경우, 작은 오프 전류를 갖는 극성의 트랜지스터를 사용하는 것이 바람직하다. 예를 들어, 작은 오프 전류를 갖는 트랜지스터로서, LDD 영역을 갖는 트랜지스터, 멀티게이트 구조를 갖는 트랜지스터 등이 있다. 또한, 스위치로서 작용하는 트랜지스터의 소스 단자의 전위가 저전위측 전원(Vss, GND, 0V 등)에 더 근접한 때에는, N-채널 트랜지스터가 사용되는 것이 바람직하고, 소스 단자의 전위가 고전위측 전원(Vdd 등)에 더 근접한 때에는, P-채널 트랜지스터가 사용되는 것이 바람직하다. 이것은, 게이트-소스 전압의 절대값이 증가될 수 있으므로, 트랜지스터가 용이하게 스위치로서 작용하는데 도움을 준다. 또한, N-채널 및 P-채널 트랜지스터의 양쪽을 사용함으로써, CMOS 스위치가 적용될 수도 있음에 유의해야 한다. 상황이 변화하여 스위치를 통한 전압 출력(즉, 스위치에 대한 입력 전압)이 출력 전압보다 더 높거나 더 낮더라도, CMOS 스위치에 의하여, 동작이 적절하게 수행될 수 있다.
- [0140] 본 발명에서, "접속되어 있음"은 "전기적으로 접속되어 있음" 및 "직접 접속되어 있음"을 의미한다. 그러므로, 본 발명에서 개시된 구성에서는, 소정의 접속에 더하여, 전기적인 접속을 가능하게 하는 또 다른 소자(예를 들어, 스위치, 트랜지스터, 커패시터 소자, 인덕터, 저항 소자, 다이오드 등)가 구비될 수도 있다. 이와 달리, 또 다른 소자를 중간에 두지 않고 직접 접속이 행해질 수도 있다. 전기적 접속을 가능하게 하는 또 다른 소자를 중간에 두지 않고 소자가 접속되어 있으며, 전기적인 것이 아니라 직접적으로 소자가 접속되어 있으면, "직접 접속되어 있음" 또는 "직접 접속 상태임"이라고 함에 유의해야 한다. "전기적으로 접속되어 있음"으로 설명이 행해지면, 소자가 전기적으로 접속되어 있는 경우와, 소자가 직접 접속되어 있는 경우를 포함함에 유의해야 한다.
- [0141] 표시소자는 각종 모드를 채용할 수 있음에 유의해야 한다. 예를 들어, EL 소자(유기 EL 소자, 무기 EL 소자, 또는 유기물 및 무기물을 포함하는 EL 소자), 전자 방출 소자, 액정 소자, 전자 잉크, 광 회절 소자, 방출 소자, 디지털 마이크로미러 장치(DMD : digital micromirror device), 압전 소자 및 카본 나노튜브와 같이, 전자자기적 작용에 의해 콘트라스트를 변화시키는 표시매체가 사용될 수 있다. EL 소자를 이용한 EL 패널형 표시장치는 EL 디스플레이를 포함하고, 전자 방출 소자를 이용한 표시장치는 전계방출 디스플레이(FED : field emission display), SED(SED : Surface-conduction Electron-emitter Display) 타입 평판 패널 디스플레이 등을 포함하며, 액정 패널형 표시장치는 액정 디스플레이를 포함하며, 전자 잉크를 이용한 디지털 종이형 표시장치는 전자 종이(electronic paper)를 포함하며, 광 회절 소자를 이용한 표시장치는 격자 광 밸브(GLV : grating light valve) 타입 디스플레이를 포함하며, 방출 소자를 이용한 PDP(Plasma Display Panel) 타입 디스플레이는

플라즈마 디스플레이를 포함하며, 마이크로 미러 소자를 이용한 DMD 패널형 표시장치는 디지털 광 처리(DLP : digital light processing) 타입 표시장치를 포함하며, 압전 소자를 이용한 표시장치는 압전 세라믹 디스플레이를 포함하며, 카본 나노튜브를 이용한 표시장치는 나노 방출 디스플레이(NED : nano emissive display) 등을 포함함에 유의해야 한다.

[0142] 본 발명의 트랜지스터로서 각종 모드의 트랜지스터가 적용될 수 있음에 유의해야 한다. 그러므로, 본 발명에 적용 가능한 트랜지스터의 종류는 한정되지 않는다. 따라서, 비정질 실리콘 및 다결정 실리콘으로 대표되는 비정질 반도체막을 이용한 박막 트랜지스터(TFT), 반도체 기판 또는 SOI 기판을 이용하여 형성되는 MOS 트랜지스터, 접합 트랜지스터 또는 쌍극성 트랜지스터, ZnO 또는 a-InGaZnO와 같은 화합물 반도체를 이용한 트랜지스터, 유기 반도체 또는 카본 나노튜브를 이용한 트랜지스터, 및 그 외의 트랜지스터가 사용될 수 있다. 비정질 반도체막은 수소 또는 할로젠을 포함할 수도 있음에 유의해야 한다. 트랜지스터가 설치되는 기판은 특정 타입에 한정되지 않으며, 각종 기판이 사용될 수 있다. 그러므로, 예를 들어, 단결정 기판, SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 종이 기판, 셀로판 기판, 석재(stone material) 기판, 스테인레스 스틸 기판, 스테인레스 스틸 박(foil) 등을 포함하는 기판상에 트랜지스터가 설치될 수 있다. 또한, 특정 기판을 이용하여 형성된 트랜지스터는 다른 기판으로 전달될 수도 있다.

[0143] 트랜지스터는 각종 모드의 구조를 가질 수 있으며, 특수한 구조에 한정되지 않음에 유의해야 한다. 예를 들어, 둘 이상의 게이트선을 갖는 멀티게이트 구조가 마찬가지로 채용될 수도 있다. 멀티게이트 구조에서는, 오프 전류가 감소될 수 있고, 트랜지스터의 압력 저항을 향상시킴으로써 신뢰성이 향상될 수 있으며, 또 다른 평탄 특성이 얻어질 수 있으므로, 포화 영역에서의 동작시에 드레인-소스 전압이 변화하더라도, 드레인-소스 전류는 거의 변화하지 않는다. 또한, 게이트 전극은 채널의 상부 및 하부에 설치될 수도 있다. 따라서, 게이트 전극이 채널의 상부 및 하부에 설치되어 있는 이러한 구조에서는 채널 영역이 증가함으로써, 전류값이 용이하게 증가되고 공핍층이 용이하게 형성되므로, S 값(서브-임계 계수)이 향상될 수 있다. 또한, 게이트 전극은 채널의 상부 또는 채널의 하부에 설치될 수도 있다. 순방향 스택거 구조 또는 역방향 스택거 구조가 채용될 수도 있다. 채널 영역은, 평행하게 접속되거나, 또는 직렬로 접속된 복수의 영역으로 분할될 수도 있다. 또한, 소스 전극 또는 드레인 전극은 채널(또는 그 일부)을 중첩할 수도 있다. 이와 달리, 소스 전극 또는 드레인 전극이 채널(또는 그 일부)을 중첩하지 않는 이러한 구조를 채용함으로써, 전하는 채널의 일부에 축적되며, 불안정한 동작이 방지될 수 있다. 또한, LDD 영역이 설치될 수도 있다. LDD 영역을 설치함으로써, 오프 전류가 감소될 수 있고, 트랜지스터의 압력 저항을 향상시킴으로써, 신뢰도가 향상될 수 있으며, 또 다른 평탄 특성이 얻어질 수 있으므로, 포화 영역에서의 동작시에 드레인-소스 전압이 변화하더라도, 드레인-소스 전류는 거의 변화하지 않는다.

[0144] 본 발명의 트랜지스터로서 각종 트랜지스터가 사용될 수 있고, 각종 기판상에 형성될 수도 있음에 유의해야 한다. 그러므로, 모든 회로는 유리 기판, 플라스틱 기판, 단결정 기판, SOI 기판, 또는 그 밖의 기판상에 형성될 수도 있다. 모든 회로가 하나의 기판상에 형성되면, 부품의 수를 감소시킴으로써 비용이 감소될 수 있고, 부품과의 접속 수를 감소시킴으로써 신뢰도가 향상될 수 있다. 이와 달리, 회로의 일부가 특정 기판상에 형성될 수 있고, 회로의 또 다른 부분은 또 다른 기판상에 형성될 수도 있다. 즉, 모든 회로가 동일한 기판상에 형성될 필요가 없다. 예를 들어, 회로의 일부가 트랜지스터를 이용하여 유리 기판상에 형성되고, 회로의 일부는 단결정 기판상에 형성되어, IC 칩을 얻을 수도 있다. 그 IC 칩은 COG(Chip On Glass)에 의해 유리 기판상에 설치될 수도 있다. 이와 달리, IC 칩은 TAB(Tape Automated Bonding) 또는 인쇄 기판을 이용하여 유리 기판과 접속될 수도 있다. 이와 같은 방식으로, 회로의 일부가 동일한 기판상에 형성되면, 부품의 수를 감소시킴으로써 비용이 감소될 수 있고, 부품과의 접속 수를 감소시킴으로써, 신뢰도가 향상될 수 있다. 또한, 전력을 더 많이 소비하는 높은 구동 전압 또는 높은 구동 주파수를 갖는 부분이 동일한 기판상에 형성되지 않는 것이 바람직하며, 이에 따라, 소비전력의 증가가 방지될 수 있다.

[0145] 본 발명에서는, 하나의 화소는 명도(brightness)를 제어할 수 있는 하나의 요소에 대응함에 유의해야 한다. 그러므로, 예를 들어, 하나의 화소는 명도가 표현되게 하는 하나의 색요소를 표현한다. 따라서, R(적), G(녹), B(청)의 색요소로 이루어진 컬러 표시장치의 경우, 화상의 최소 단위는 R 화소, G 화소, 및 B 화소의 3개의 화소로 이루어진다. 색요소는 3개의 컬러로 이루어지는 것으로 한정되지 않으며, RGB(W는 백색), 또는 RGB에 더하여 옐로우, 시안(cyan) 및 마젠타(magenta) 등과 같은 더 많은 컬러일 수도 있음에 유의해야 한다. 또한, 또 다른 예로서, 복수의 영역을 이용하여 하나의 색요소의 명도를 제어할 때, 복수의 영역 중 하나는 하나의 화소에 대응한다. 그러므로, 예를 들어, 구역 그레이 스케일 디스플레이를 수행할 경우, 명도를 제어하기 위하여, 하나의 색요소에 대하여 복수의 영역이 설치되며, 이것은 전체적으로 그레이 스케일을 표현한다. 명도를 제어

하기 위한 영역 중 하나는 하나의 화소에 대응한다. 그러므로, 그 경우, 하나의 색요소는 복수의 화소로 이루어진다. 또한, 그 경우, 디스플레이에 기여하는 영역은 화소에 따라 사이즈가 상이하다. 하나의 색요소에 대해 설치된 명도를 제어하기 위한 복수의 영역, 즉, 하나의 색요소를 구성하는 복수의 화소에서는, 각 화소에 미세하게 상이한 신호를 공급함으로써, 시야각이 확대될 수도 있다.

[0146] 본 발명에서는, 화소가 매트릭스 형태로 배치될 수도 있는 경우가 있다. 화소가 매트릭스 형태로 배치되는 경우는, 세로 줄무늬 및 가로 줄무늬가 서로 교차하는 격자(grid) 형상으로 화소가 배치되는 경우뿐만 아니라, 3개의 색요소(예를 들어, RGB)를 이용하여 풀 컬러 디스플레이가 수행될 때에, 소위 델타(delta) 형상으로 3개의 색요소의 도트가 배치되는 경우도 해당한다. 또한, 바이어 배열(Bayer arrangement)도 포함된다. 색요소는 3개의 컬러에 한정되지 않으며 더 많은 컬러를 가질수도 있음에 유의해야 한다. 발광 영역의 사이즈는 색요소의 각 도트에 따라 상이할 수도 있다.

[0147] 트랜지스터는 게이트, 드레인 및 소스의 적어도 3개의 단자를 갖는 소자이다. 채널 영역은 드레인 영역 및 소스 영역 사이에 설치된다. 여기서, 소스 및 드레인은 트랜지스터의 구조, 동작 조건 등에 따라 의존하므로, 두 단자 중 어느 것이 소스 또는 드레인인지를 결정하는 것은 어렵다. 그러므로, 본 발명에서는, 소스 또는 드레인으로서 기능하는 영역이 소스 또는 드레인으로 부르지 않는 경우가 있다. 그 경우, 일례로서, 소스 또는 드레인은 제1단자 또는 제2단자로 부른다.

[0148] 게이트는 게이트 전극 및 게이트 배선(게이트선, 게이트 신호선 등이라고도 함) 또는 그 일부를 포함함에 유의해야 한다. 게이트 전극은 채널 영역 또는 LDD(Lightly Doped Drain) 영역 등을 구성하는 반도체와 중첩하는 부분의 도전막에 대응하며, 게이트 절연막이 그 중간에 위치한다. 게이트 배선은 화소의 게이트 전극을 서로 접속시키기 위한 배선과, 게이트 전극 및 다른 배선을 접속시키기 위한 배선에 대응한다.

[0149] 그러나, 게이트 전극 및 게이트 배선으로도 기능하는 부분이 있다. 이러한 영역은 게이트 전극 또는 게이트 배선이라고 할 수도 있다. 즉, 게이트 전극 또는 게이트 배선으로 구별될 수 없는 영역이 있다. 예를 들어, 연장되어 있는 게이트 배선과 중첩하는 채널 영역이 있으면, 그 영역은 게이트 배선 및 게이트 전극으로도 기능한다. 그러므로, 이러한 영역은 게이트 전극 또는 게이트 배선이라고 할 수도 있다.

[0150] 또한, 게이트 전극과 동일한 재료로 이루어지며 게이트 전극에 접속되어 있는 영역도 마찬가지로 게이트 전극이라고 할 수도 있다. 이와 유사하게, 게이트 배선과 동일한 재료로 이루어지며 게이트 배선에 접속되어 있는 영역은 게이트 배선이라고 할 수도 있다. 엄밀한 의미에서, 이러한 영역은 채널 영역과 중첩하지 않거나, 일부의 경우에 다른 게이트 전극에 접속시키는 기능을 가지지 않는다. 그러나, 게이트 전극 또는 게이트 배선과 동일한 재료로 이루어지며, 제조 마진 등으로 인해 게이트 전극 또는 게이트 배선에 접속되어 있는 영역이 있다. 그러므로, 이러한 영역도 게이트 전극 또는 게이트 배선이라고 할 수 있다.

[0151] 예를 들어, 멀티게이트 트랜지스터에서는, 하나의 트랜지스터 및 또 다른 트랜지스터의 게이트 전극이 게이트 전극과 동일한 재료로 이루어진 도전막을 통해 종종 접속되어 있다. 멀티게이트 트랜지스터가 하나의 트랜지스터라고 간주될 때, 게이트 전극을 접속시키기 위한 이러한 영역은 게이트 배선 또는 게이트 전극이라고 할 수도 있다. 즉, 게이트 전극 또는 게이트 배선과 동일한 재료로 이루어지며 게이트 전극 또는 게이트 배선에 접속되어 있는 부분은 게이트 전극 또는 게이트 배선이라고 할 수도 있다. 또한, 예를 들어, 게이트 전극 및 게이트 배선을 접속시키는 부분의 도전막도 게이트 전극 또는 게이트 배선이라고 할 수도 있다.

[0152] 게이트 단자는 게이트 전극의 일부의 영역 또는 게이트 전극과 전기적으로 접속된 영역에 대응함에 유의해야 한다.

[0153] 소스는 소스 영역, 소스 전극 및 소스 배선(소스선, 소스 신호선 등이라고도 함), 또는 그 일부를 포함함에 유의해야 한다. 소스 영역은 다량의 P-형 불순물(붕소, 갈륨 등) 또는 N-형 불순물(인, 비소 등)을 포함하는 반도체 영역에 대응한다. 그러므로, 소량의 P-형 불순물 또는 N-형 불순물을 포함하는 영역, 즉, LDD(Lightly Doped Drain) 영역은 소스 영역에 포함되지 않는다. 소스 전극은 소스 영역과 상이한 재료로 이루어지며 소스 영역과 전기적으로 접속되어 있는 부분의 도전층에 대응한다. 그러나, 소스 전극은 때때로 소스 영역을 포함하는 소스 전극이라고 한다. 소스 배선은 화소의 소스 전극을 서로 접속시키기 위한 배선과, 소스 전극 및 다른 배선을 접속시키기 위한 배선에 대응한다.

[0154] 그러나, 소스 전극 및 소스 배선으로도 기능하는 영역이 있다. 이러한 영역은 소스 전극 또는 소스 배선이라고 할 수도 있다. 즉, 소스 전극 또는 소스 배선으로 구별할 수 없는 영역이 있다. 예를 들어, 연장되어 있는 소스 배선과 중첩하는 소스 영역이 있으면, 그 영역은 소스 배선 및 소스 전극으로도 기능한다. 그러므로, 이러

한 영역은 소스 전극 또는 소스 배선이라고 할 수도 있다.

[0155] 또한, 소스 전극과 동일한 재료로 이루어지며 소스 전극과 접속되어 있는 영역도 마찬가지로 소스 전극이라고 할 수 있다. 하나의 소스 전극 및 다른 소스 전극을 접속하는 부분도 소스 전극이라고 할 수 있다. 또한, 소스 영역과 중첩하는 부분은 소스 전극이라고 할 수도 있다. 이와 유사하게, 소스 배선과 동일한 재료로 이루어지며 소스 배선과 접속되어 있는 부분은 소스 배선이라고 할 수도 있다. 엄밀한 의미에서, 이러한 부분은 하나의 소스 전극을 다른 소스 전극과 접속시키는 기능을 가지지 않는 경우가 있다. 그러나, 소스 전극 또는 소스 배선과 동일한 재료로 이루어지며, 제조 마진 등으로 인해 소스 전극 또는 소스 배선과 접속되어 있는 영역이 있다. 그러므로, 그 영역도 소스 전극 또는 소스 배선이라고 할 수 있다.

[0156] 예를 들어, 소스 전극 및 소스 배선을 접속시키는 부분의 도전막은 소스 전극 또는 소스 배선이라고 할 수도 있다.

[0157] 소스 단자는 소스 영역의 일부, 소스 전극, 또는 소스 전극과 전기적으로 접속된 영역에 대응함에 유의해야 한다.

[0158] 트레인 소스와 유사함에 유의해야 한다.

[0159] 또한, 본 발명에서는, 반도체장치가 반도체소자(트랜지스터, 다이오드 등)를 갖는 회로를 포함하는 장치에 대응한다. 또한, 반도체장치는 반도체 특성을 활용하여 기능하는 일반적인 장치일 수도 있다. 표시장치는 표시소자(액정소자, 발광소자 등)를 포함하는 장치에 대응한다. 표시장치는, 액정소자 또는 EL 소자, 또는 화소를 구동하기 위한 주변 구동회로와 같은 표시소자를 포함하는 복수의 화소가 기판 상에 형성되어 있는 표시패널 자체일 수도 있음에 유의해야 한다. 또한, 표시장치는 플렉시블 인쇄회로(FPC : flexible printed circuit) 또는 인쇄 배선 보드(PWB : printed wire board)(IC, 저항소자, 커패시터 소자, 인덕터, 트랜지스터 등)가 설치된 것을 포함할 수도 있다. 표시장치는 편광 판 또는 위상 판과 같은 광학 시트를 포함할 수도 있다. 또한, 표시장치는 (광 유도 판, 프리즘 시트, 확산 시트, 반사 시트 또는 광원(예를 들어, LED 또는 냉음극 튜브)과 같은) 백라이트를 포함할 수도 있다. 또한, 발광장치는 EL 소자 및 특히 FED에 사용하기 위한 소자와 같은 자체발광 발광소자를 포함하는 표시장치에 대응한다. 액정 표시장치는 액정소자를 포함하는 표시장치에 대응한다.

[0160] 본 발명에서는, 대상물이 상이한 대상물의 "상에 형성" 또는 "상부에 형성"되어 있다는 표현이 반드시 그 대상물이 상이한 대상물과 직접 접촉하고 있음을 의미하는 것은 아니다. 이 표현은 2개의 대상물이 서로 직접 접촉되어 있지 않는 경우, 즉, 또 다른 대상물이 그 사이에 위치되어 있는 경우를 포함할 수도 있다. 따라서, 층 B가 층 A 상에 형성되어 있다고 설명되어 있으면, 층 B가 층 A 상에 형성되어 직접 접촉하고 있는 경우, 또는, 또 다른 층(예를 들어, 층 C 또는 층 D)이 층 A 상에 형성되어 직접 접촉하고 있고, 그 다음에, 층 B가 층 C 또는 D 상에 형성되어 직접 접촉하고 있는 경우 중의 어느 하나를 의미한다. 또한, 대상물이 상이한 대상물 "위에 형성"되어 있다고 설명되어 있으면, 대상물이 상이한 대상물과 직접 접촉하고 있음을 반드시 의미하는 것은 아니며, 또 다른 대상물이 그 사이에 위치될 수도 있다. 따라서, 예를 들어, 층 B가 층 A의 상부 또는 위에 형성되어 있다고 설명되어 있으면, 층 B가 층 A와 직접 접촉하도록 형성되어 있는 경우, 또는, 또 다른 층(예를 들어, 층 C 또는 층 D)이 층 A와 직접 접촉하도록 형성되어 있고, 그 다음, 층 B가 층 C 또는 D와 직접 접촉하도록 형성되어 있는 경우 중 어느 하나를 의미한다. 이와 유사하게, 대상물이 상이한 대상물의 아래 또는 하부에 형성되어 있다고 설명되어 있으면, 대상물이 서로 직접 접촉하거나, 서로 접촉하지 않는 경우 중의 하나를 의미한다.

[0161] 본 발명은, 각 행에서 부하에 전류를 공급하기 위한 전원 공급선의 전위를 변화시키지 않고, 신호 기록 동작시에 표시소자에 전류가 흐르는 것을 방지할 수 있는 반도체장치를 제공할 수 있다. 그러므로, 종래의 반도체장치보다 더 낮은 소비전력이 달성되는 반도체장치가 제공될 수 있다.

[0162] 또한, 본 발명은, 부하 및 전류공급 트랜지스터 사이에 스위치를 배치하지 않아서 높은 개구율을 가지며, 신호 기록 동작시에 표시소자에 전류가 흐르는 것을 방지할 수 있는 반도체장치를 제공한다. 그러므로, 종래의 반도체장치보다 더욱 소형화된 반도체장치가 제공될 수 있다.

[0163] 또한, 본 발명에 따르면, 배선 등에 기생하는 교차 커패시턴스 또는 배선 저항에 의한 영향이 거의 발생하지 않으므로, 설정 동작이 신속하게 행해지며, 출력 동시의 전류를 크게 할 수 있다. 본 발명은, 노이즈 등에 의해 발생된 소량의 전류에 의해 거의 영향을 받지 않으며, 예를 들어, 어두운 계조가 표시될 때, 올바른 신호를 화소에 입력할 수 있고, 신호 기록 동작시에 표시소자에 전류가 흐르는 것을 방지할 수 있는 반도체장치를 제공할 수 있다. 따라서, 본 발명은 소형화 및 낮은 소비전력을 실현하며, 양호하게 동작할 수 있는 반도체장치를 제

공할 수 있다.

- [0164] 본 발명에 따르면, 신호 기록 동작 및 출력 동작시에, 전류원으로 작용하는 트랜지스터가 스위치에 의해 시프트(shift)되어, 신호 기록 동작시에 흐르는 전류를 출력 동작시에 부하 등에 흐르는 전류보다 크게 할 수 있다. 따라서, 신호 기록 동작시에 흐르는 전류를 더 크게 할 수 있으므로, 신속하게 정상상태로 할 수 있다.
- [0165] 또한, 본 발명은, 상술한 반도체장치를 구비하고 있으며, 낮은 소비전력 및 소형화를 실현할 수 있고, 양호하게 동작할 수 있는 표시장치를 제공할 수 있으며, 상기 표시장치가 구비되어 있는 전자장치도 제공할 수 있다.
- [0166] 이하, 본 발명의 실시 형태에 대하여 도면을 참조하여 설명한다. 본 발명은 아래의 설명에 한정되지 않으며, 여기에 개시된 형태 및 상세한 내용은 본 발명의 취지 및 범위를 벗어나지 않고도 각종 방식으로 변형될 수 있다는 것은 당업자에 의해 용이하게 이해된다는 점에 유의해야 한다. 그러므로, 본 발명은 이하에 주어진 실시 형태의 설명에 한정되는 것으로 해석되지 않아야 한다. 동일한 기능을 갖는 동일한 부분 또는 부분들은 도면에서 동일한 참조 번호에 의해 나타내고, 그 설명을 반복하지 않음에 유의해야 한다.
- [0167] [실시 형태 1]
- [0168] 본 발명은, EL 소자를 포함하는 화소뿐만 아니라, 전류원을 포함하는 각종 아날로그 회로에 적용될 수 있다. 우선, 본 실시 형태에서는, 본 발명의 기본원리에 대해서 설명한다.
- [0169] 도 1은 본 발명의 기본 원리에 의거한 구성을 도시한 것이다. 항상 전류원(또는, 전류원의 일부)으로서 작용하는 트랜지스터(101)(이하, 제1트랜지스터 또는 전류원 트랜지스터라고도 함)와, 상태에 따라서 상이하게 동작하는 트랜지스터(102)(이하, 제2트랜지스터 또는 시프트 트랜지스터라고도 함)가 구비되어 있다. 전류원 트랜지스터(101), 시프트 트랜지스터(102) 및 배선(109)은 직렬로 접속되어 있다. 전류원 트랜지스터(101)의 게이트는 커패시터 소자(104)의 하나의 단자에 접속되어 있다. 커패시터 소자(104)의 다른 단자는 전류원 트랜지스터(101)의 소스 단자에 접속되어 있다. 따라서, 전류원 트랜지스터(101)의 게이트 전위 즉, 게이트-소스 전압(V_{gs})은 유지될 수 있다. 전류원 트랜지스터(101)의 게이트는 스위치(105)를 통해 배선(110)에 접속되어 있고, 커패시터 소자(104)에 대한 전하 공급은 스위치(105)의 ON/OFF에 의해 제어될 수 있다. 전류원 트랜지스터(101)의 소스는 전류원(107) 및 스위치(106)를 통해 배선(111)에 접속되어 있다. 그것과 병렬로, 전류원 트랜지스터(101)의 소스는 부하(108)를 통해 배선(112)에 접속되어 있다.
- [0170] 커패시터 소자(104)는 전류원 트랜지스터(101)의 게이트 단자 및 제1단자 사이에 접속되어 있다. 즉, 커패시터 소자(104)의 제1전극은 전류원 트랜지스터(101)의 게이트 단자에 접속되어 있고, 커패시터 소자(104)의 제2전극은 전류원 트랜지스터(101)의 제1단자에 접속되어 있다. 또한, 커패시터 소자(104)는, 배선, 활성층, 전극 등에 의해 절연막이 끼워지거나, 전류원 트랜지스터(101)의 게이트 커패시터가 사용될 경우에 생략될 수도 있는 구조로 할 수도 있다.
- [0171] 상술한 것과 같이, 하나의 트랜지스터에 포함되어 있으며 각각 드레인 또는 소스로서 작용하는 2개의 전극은, 2개의 전극 사이에서 발생된 전위차에 따라 드레인 또는 소스로서 작용하도록 결정된다는 것에 유의해야 한다. 따라서, 구동에 의해 2개의 전극 사이에서 발생된 전위 관계(어느 전극의 전위가 더 높은지 또는 낮은지)가 구동시에 변화하면, 2개의 전극 중 하나는 제1단자로 부르고, 다른 전극은 제2단자로 부른다.
- [0172] 부하(108)는 정류 속성을 가지는 것에 유의해야 한다. 즉, 부하는 인가하는 바이어스의 방향에 의거하여 상이한 저항값을 나타내는 전류-전압 특성을 가지며, 하나의 방향으로만 전류가 흐르게 하는 전기적 속성을 가진다. 본 실시 형태에서, 부하(108)는 전류원 트랜지스터(101)로부터 배선(112)으로 전류가 흐르도록 설치되어 있다.
- [0173] "접속되어 있음"이라는 용어는 달리 지정되지 않을 경우에는 전기적 접속을 의미한다는 것에 유의해야 한다.
- [0174] 시프트 트랜지스터(102)에는 시프트 수단이 접속되어 있다. 시프트 수단은, 상태에 따라, 전류원으로 기능하거나, 소스 및 드레인 사이에 전류가 거의 흐르지 않도록 기능(또는 스위치로서 기능)할 수 있다. 여기서, 시프트 트랜지스터(102)가 전류원(또는 그 일부)으로서 작용하는 경우를 전류원 동작이라고 한다. 또한, 시프트 트랜지스터(102)가 소스 및 드레인 사이에 전류를 거의 흐르지 않도록 동작(또는 스위치로서 기능)하는 경우, 또는 소스-드레인 전압이 낮은 상태에서 동작할 경우를 단락 동작이라고 한다.
- [0175] 배선(111)에 접속된 전류원(107)은 전류 I_b 를 설정한다. 여기서, 배선(109)에 입력되는 전위는 V_{dd1} , 배선

(110)에 입력되는 전위는 Vdd2, 배선(111)에 입력되는 전위는 Vss1, 배선(112)에 입력되는 전위는 Vss2로 나타낸다. 이때, 전위의 관계는 $Vdd1 > Vdd2 > Vss1$ 및 $Vdd1 > Vss2 > Vss1$ 을 만족시킨다. 그러나, 이것에 한정되는 것은 아니다. 예를 들어, $Vss1 > Vss2$ 를 만족시킬 수도 있다.

- [0176] 배선(110)에 입력되는 전위 Vdd2와, 배선(112)에 입력되는 전위 Vss2 사이의 관계는 동일하거나 상이할 수도 있다. Vdd2가 Vss2와 상이한 전위일 경우, 전류원 트랜지스터의 임계 전압만큼, 부하에 인가될 때의 임계 전압만큼, 또는 전류원 트랜지스터의 임계 전압과, 부하에 인가될 때의 임계 전압과의 합만큼, Vdd2가 Vss2보다 더 높게 설정될 수도 있다.
- [0177] 이와 같은 방식으로, 시프트 트랜지스터(102)에 대하여, 전류원 동작 및 단락 동작 사이의 시프트를 실현하기 위한 각종 구성이 채용될 수도 있다.
- [0178] 도 1에서, 시프트 트랜지스터(102)의 소스 단자 및 드레인 단자는 스위치(103)를 통해 접속될 수 있다. 시프트 트랜지스터(102)의 게이트 단자는 전류원 트랜지스터(101)의 게이트 단자에 접속되어 있다. 스위치(103)를 이용하여, 시프트 트랜지스터(102)의 동작은 전류원 동작 및 단락 동작 사이에서 시프트될 수 있다.
- [0179] 도 1의 동작에 대하여 설명한다. 도 2에 도시된 것과 같이, 스위치(103, 105, 106)가 우선 ON으로 된다. 그때의 전류 경로는 화살표(201)를 갖는 파선으로 개략적으로 도시되어 있다. 이 경우, 시프트 트랜지스터(102)의 소스 및 드레인은 거의 동일한 전위를 가진다. 즉, 시프트 트랜지스터(102)의 소스 및 드레인 사이에는 거의 전류가 흐르지 않으며, 스위치(103)를 향해 전류가 흐른다. 전류원(107)으로 흐르는 전류 Ib는 커패시터 소자(104) 또는 전류원 트랜지스터(101)로 흐른다. 전류원 트랜지스터(101)의 소스 및 드레인의 사이에 흐르는 전류가 전류원(107)으로 흐르는 전류 Ib와 동일해지면, 커패시터 소자(104)로는 전류가 흐르지 않는다. 즉, 정상상태가 된다. 그때의 전류원 트랜지스터(101)의 게이트 전위는 커패시터 소자(104)에 축적된다. 바꾸어 말하면, 전류원 트랜지스터(101)의 소스 및 드레인 사이에 전류 Ib가 흐르게 하기 위해 필요한 전압은 전류원 트랜지스터(101)의 게이트에 인가된다. 상술한 동작은 신호 기록 동작에 대응한다. 신호 기록 동작시에, 시프트 트랜지스터(102)는 단락 동작을 행한다.
- [0180] 이와 같은 방식으로, 커패시터 소자(104)에 전류가 흐르지 않게 되고, 정상상태가 얻어지면, 신호 기록 동작이 완료된 것으로 간주될 수 있다.
- [0181] 전류원 트랜지스터(101)의 소스 전위, 배선(112)의 전위 Vss2 및 부하(108)의 전류-전압 특성으로 인해, 부하(108)에는 전류가 거의 흐르지 않는다는 것에 유의해야 한다. 전류원 트랜지스터(101)의 소스 전위는 전류원 트랜지스터(101)의 게이트 전위 즉, 배선(110)의 전위 Vdd2에 의해 제어될 수 있다. 따라서, 배선(110)의 전위 Vdd2는 부하(108)에 대한 전류 공급을 정지하도록 제어되는 것이 가능하다.
- [0182] 다음으로, 도 3에 도시된 것과 같이, 스위치(103, 105, 106)는 OFF로 된다. 그때의 전류 경로는 화살표(301)를 갖는 파선에 의해 개략적으로 도시되어 있다. 도 3에서, 스위치(103)는 OFF이므로, 시프트 트랜지스터(102)의 소스 및 드레인 사이에는 전류가 흐른다. 한편, 신호 기록 동작시에 축적된 전하는 커패시터 소자(104)에서 유지되며, 이 전하는 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 게이트에 인가된다. 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 게이트는 서로 접속되어 있다. 상술한 것과 같이, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)는 함께 멀티게이트 트랜지스터로서 작용한다. 그러므로, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)가 하나의 트랜지스터라고 간주되면, 트랜지스터의 게이트 길이 L은 전류원 트랜지스터(101)의 게이트 길이 L 보다 더 크다. 일반적으로, 트랜지스터의 게이트 길이 L이 더 커지면, 그곳에 흐르는 전류는 작아진다. 그러므로, 부하(108)에 흐르는 전류는 Ib보다 작아진다. 이상의 동작은 출력 동작에 대응한다. 출력 동작시에, 시프트 트랜지스터(102)는 전류원 동작을 행한다.
- [0183] 이와 같은 방식으로, 스위치(103)의 ON/OFF가 제어됨으로써, 신호 기록 동작시에 흐르는 전류 Ib가 출력 동작시에 부하(108) 등에 흐르는 전류보다 더 크게 할 수 있다. 그러므로, 신호 기록 동작시에 흐르는 전류를 더 크게 할 수 있기 때문에, 신속하게 정상상태가 얻어질 수 있다. 바꾸어 말하면, 전류가 흐르는 배선상에 기생하는 (교차 커패시턴스 또는 배선 저항 등과 같은) 부하의 영향이 감소될 수 있고, 신호 기록 동작이 신속하게 행해질 수 있다.
- [0184] 또한, 신호 기록 동작시에 흐르는 전류 Ib가 크므로, 노이즈 등의 영향이 감소될 수 있다. 즉, 노이즈 등으로 인해 소량의 전류가 어느 정도 흐르더라도, Ib의 값이 크므로, 노이즈 등의 영향이 거의 없다.
- [0185] 따라서, 예를 들어, 부하(108)가 EL 소자이면, EL 소자를 낮은 계조로 발광시키기 위한 신호 기록 동작시에, EL 소자에 흐르는 전류보다 더 큰 전류 Ib에 의해 신호가 기록될 수 있다. 따라서, 신호 전류가 노이즈가 되는 문

제가 방지되며, 신속한 기록 동작이 가능하다.

- [0186] 도 95a 및 도 95b를 참조하여, 도 1에 도시된 아날로그 회로의 각 스위치의 ON/OFF에 따른 전류원 트랜지스터(101)의 게이트 및 소스의 전위에 대해 설명한다. 도 95a는 도 1과 동일한 회로도들을 도시한 것이다. 도 95a에서, 설명을 위하여, 스위치(103)는 SW1, 스위치(105)는 SW2, 스위치(106)는 SW3, 배선(109)의 전위는 Vdd1, 배선(110)의 전위는 Vdd2, 배선(111)의 전위는 Vss1, 배선(112)의 전위는 Vss2로 나타낸다.
- [0187] 도 95b에서는, 도 95a의 회로 구성에서의 신호 기록 동작 및 출력 동작시의 각 스위치 및 각 배선의 전위 변화에 대해 설명한다. 여기서, 배선(109)에 입력되는 전위는 Vdd1, 배선(110)에 입력되는 전위는 Vdd2, 배선(111)에 입력되는 전위는 Vss1, 배선(112)에 입력되는 전위는 Vss2로 나타낸다. 전위의 관계는 $Vdd1 > Vdd2 > Vss1$ 및 $Vdd1 > Vss2 > Vss1$ 을 만족시킨다. 전위 Vdd2는 전위 Vss2보다, 전류원 트랜지스터의 임계 전압만큼, 그리고, 부하에 전압이 인가될 경우의 임계 전압만큼 더 높게 설정된다.
- [0188] 도 95b의 신호 기록 동작시에, SW1은 ON, SW2는 ON, SW3은 ON으로 된다. 전류원(107)에 대한 전류 공급이 시작되고, 전류원 트랜지스터(101)가 전류원(107)으로 전류를 흐르게 하기 위해 필요한 게이트-소스 전압(Vgs)이 커패시터 소자(104)에 인가된다. 이때, 노드 G는 Vdd2의 전위를 가지고, 커패시터 소자(104)는 Vgs의 전압을 유지하므로, 노드 S의 전위가 증가된다. 그 다음, 정상 상태가 얻어지며, 이에 따라, 노드 G 및 노드 S 사이의 차이는 Vgs가 된다. 이때, 도 95b에서, 신호 기록 동작시에 노드 S의 전위와 Vss2의 사이에는 전압 V_{load} 가 부하(108)에 인가되며, Vss2로부터 노드 S를 향해 전위 경사가 발생한다. 따라서, 신호 기록 동작시에 부하(108)에 전류가 흐르며, 올바른 신호가 부하에 공급될 수 없다고 하는 문제가 발생하지 않는다. 이것은 부하(108)의 전압-전류 특성에 의한 것이며, 전류 속성을 가지기 때문이다. 따라서, 전류원 트랜지스터(101) 및 부하(108) 사이에 스위치를 설치하지 않고도 동작이 행해질 수 있다. 또한, 전원선의 전위 Vdd1이 변화될 필요가 없으며, 이것은 낮은 소비전력에 기여할 수 있다.
- [0189] 부하(108)로는 전류 속성을 가지기만 하면 임의의 소자가 사용될 수 있음에 유의해야 한다. 저항과, 트랜지스터와, EL 소자와, 트랜지스터, 커패시터 및 스위치로 이루어진 전류원 회로와 같은 소자가 사용될 수도 있다. 신호선 또는 신호선 및 그것에 접속된 화소가 사용될 수도 있다. 화소는 EL 소자 또는 FED를 위해 사용되는 소자 등과 같은 임의의 타입의 표시소자를 포함할 수도 있다.
- [0190] 전류원 트랜지스터(101) 또는 시프트 트랜지스터(102)의 게이트 커패시터는 커패시터 소자(104)로 대체될 수도 있다. 이 경우, 커패시터 소자(104)는 생략될 수 있다.
- [0191] 배선(109 및 110)에는 고전위측 전원 Vdd1 및 Vdd2가 각각 공급되고 있지만, 항상 동일한 전위가 유지될 필요는 없다. 신호 기록 동작 및 출력 동작시에 전위가 상이하더라도, 동작이 정상적으로 행해지면, 문제가 없다.
- [0192] 배선(111 및 112)에는 저전위측 전원 Vss1 및 Vss2가 각각 공급되고 있지만, 항상 동일한 전위가 유지될 필요는 없다. 신호 기록 동작 및 출력 동작시에 전위가 상이하더라도, 동작이 정상적으로 행해지면, 문제가 없다.
- [0193] 이와 달리, 각 신호 기록 동작시에 배선(110)에 공급될 전위 Vdd2가 변화될 수도 있다. 특히, 신호 기록 동작시에 전류원 트랜지스터(101)에 흐르는 전류가 크면, 배선(110)에 공급되는 전위 Vdd2가 증가됨으로써, 전류원(107)에 접속된 배선(111)에 공급되는 전위 Vss1을 너무 많이 떨어뜨리지 않고도 동작을 정상적으로 수행할 수 있으며, 이것이 바람직하다. 따라서, 신호 기록 동작시에 전류원 트랜지스터(101)에 미리 흐르게 하는 전류가 크더라도, 배선(110)에 공급되는 전위 Vdd2가 증가됨으로써, 전류원 트랜지스터(107)에 접속되어 있는 배선(111)에 공급될 전위 Vss1을 떨어뜨릴 필요가 없다. 따라서, 전류원 트랜지스터(101)에 흐르는 전류가 크더라도, 전위 Vss1을 설정하기 위한 마진이 주어질 수 있다. 배선(110)에 공급될 전위 Vdd2는 신호 기록 동작시에 전류원 트랜지스터(101)에 흐르는 전류량에 따라 변화할 수도 있음에 유의해야 한다. 예를 들어, 신호 기록 동작시에 전류원 트랜지스터(101)에 흐르는 전류량이 크면, 배선(110)에 공급될 전위 Vdd2를 높게 하고, 배선(111)에 공급될 전위 Vss1의 마진을 확보한다. 한편, 신호 기록 동작시에 전류원 트랜지스터(101)에 흐르는 전류량이 작으면, 배선(110)에 공급될 전위 Vdd2를 낮게 함으로써, 배선(112) 측, 즉, 신호 기록 동작시에 부하(108)를 향해 전류가 흐르는 것을 방지한다.
- [0194] 커패시터 소자(104)는 전류원 트랜지스터(101)의 게이트 단자 및 배선(111)에 접속되어 있지만, 본 발명은 이것에 한정되지 않는다. 가장 바람직하게는, 커패시터 소자(104)는 전류원 트랜지스터(101)의 게이트 단자 및 소스 단자에 접속된다. 이것은, 트랜지스터의 동작이 게이트-소스 전압에 의해 결정되므로, 게이트 단자 및 소스 단자 사이에서 전압이 유지되기만 하면, 트랜지스터의 동작이 다른 원인에 의해 쉽게 영향을 받지 않기 때문이다. 전류원 트랜지스터(101)의 게이트 단자 및 다른 배선 사이에 커패시터 소자(104)가 배치되어 있으면, 전류

원 트랜지스터(101)의 게이트 단자의 전위가 다른 배선의 전압 강하의 값에 따라 변화할 수도 있을 가능성이 있다.

[0195] 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)는 출력 동작시에 멀티게이트 트랜지스터로서 동작하므로, 이들 트랜지스터는 동일한 극성(동일한 도전형)을 가지는 것이 바람직함에 유의해야 한다.

[0196] 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)는 출력 동작시에 멀티게이트 트랜지스터로서 동작하지만, 각 트랜지스터의 게이트 폭 W 는 동일 또는 상이할 수도 있음에 유의해야 한다. 이와 유사하게 게이트 길이 L 은 동일 또는 상이할 수도 있다. 그러나, 게이트 폭 W 는 통상적인 멀티게이트 트랜지스터와 동일한 것으로 간주될 수 있으므로, 게이트 폭 W 는 동일한 것이 바람직하다. 시프트 트랜지스터(102)의 게이트 길이 L 이 길어질수록, 부하(108)에 흐르는 전류는 작아진다. 그러므로, 이 상황에 따라 적절한 설계가 수행될 수도 있다.

[0197] 스위치(103, 105 및 106)와 같은 스위치는 전기적 스위치 또는 기계적 스위치와 같은 스위치일 수도 있다. 전류의 흐름을 제어할 수 있지만 하면, 어느 것이라도 된다. 트랜지스터, 다이오드, 이들로 구성된 논리회로일 수도 있다. 그러므로, 스위치로서 트랜지스터를 사용할 경우, 단지 스위치로서 동작하므로, 그 극성(도전형)은 특히 한정되지 않는다. 그러나, 오프(off) 전류가 작은 것이 바람직하면, 작은 오프 전류를 갖는 극성의 트랜지스터를 사용하는 것이 양호하다. 예를 들어, 작은 오프 전류를 갖는 트랜지스터로서, LDD 영역을 갖는 트랜지스터, 멀티게이트 구조를 갖는 트랜지스터 등이 주어진다. 또한, 스위치로서 작용하는 트랜지스터의 소스 단자의 전위가 저전위측 전원(V_{ss} , GND, 0V 등)에 더 근접하면, N-채널 트랜지스터가 채용되는 것이 바람직하고, 소스 단자의 전위가 고전위측 전원(V_{dd} 등)에 더 근접하면, P-채널 트랜지스터가 채용되는 것이 바람직하다. 이것은, 게이트-소스 전압의 절대값이 증가될 수 있으므로, 트랜지스터가 스위치로서 용이하게 작용하는 것에 도움을 준다. 또한, N-채널 및 P-채널 트랜지스터를 모두 이용함으로써, CMOS 스위치가 적용될 수도 있음에 유의해야 한다.

[0198] 도 1은 본 발명의 회로로서 도시되어 있지만, 본 발명은 이 구성에 한정되지 않음에 유의해야 한다. 스위치의 배치 및 수, 각 트랜지스터의 극성, 전류원 트랜지스터(101)의 수 및 배치, 시프트 트랜지스터(102)의 수 및 배치, 각 배선의 전위, 전류 흐름의 방향 등을 변화시킴으로써, 각종 회로가 구성에서 채용될 수 있다. 또한, 상술한 이러한 변화를 조합함으로써, 각종 회로를 이용한 구성이 달성될 수 있다.

[0199] 예를 들어, 스위치(103, 105 및 106)와 같은 스위치는 대상 전류의 ON/OFF를 제어할 수 있지만 하면, 어디에라도 배치될 수도 있다. 구체적으로, 전류원(107)에 흐르는 전류를 제어하는 스위치(106)는 전류원(107)에 직렬로 배치되는 것이 바람직하다. 또한, 시프트 트랜지스터(102)에 흐르는 전류를 제어하는 스위치(103)는 시프트 트랜지스터(102)와 병렬로 배치되는 것이 바람직하다. 스위치(105)는 커패시터 소자(104)의 전하를 제어하도록 배치되는 것이 바람직하다.

[0200] 도 4는 스위치(106)가 상이하게 배치되어 있는 경우의 일례를 도시한 것이다. 즉, 전류원(107)으로부터의 전류 I_b 가 전류원 트랜지스터(101)에 흐르고 시프트 트랜지스터(102)가 단락 동작을 수행하는 신호 기록 동작시에는, 도 5에 도시된 것과 같이 접속되어 있고, 시프트 트랜지스터(102)가 전류원 동작을 수행하고 시프트 트랜지스터(102) 및 전류원 트랜지스터(101)에 흐르는 전류가 부하(108)에 흐르는 출력 동작시에는, 도 6에 도시된 것과 같이 접속되어 있지만 하면, 스위치(103, 105 및 106)와 같은 스위치는 어디에라도 배치될 수 있다.

[0201] 이 실시 형태는 본 명세서에서 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.

[0202] [실시 형태 2]

[0203] 도 1의 아날로그 회로와 상이한 구성에 대해 설명할 것이다.

[0204] 도 7은 도 1의 스위치(103)의 접속이 변화되어 있는 예를 도시한 것이다. 스위치(103)는 배선(702)에 접속되어 있다. 배선(702)의 전위에는 V_{dd1} 보다 높은 V_{dd3} 이 공급된다.

[0205] 도 7의 동작에 대하여 간단하게 설명한다. 도 8에 도시된 것과 같이, 스위치(103, 105 및 106)는 ON 되고, 스위치(701)는 OFF 된다. 그때의 전류 경로는 화살표(801)를 갖는 파선으로 개략적으로 도시되어 있다. 시프트 트랜지스터(102)의 소스 및 드레인 사이에는 전류가 흐르지 않으며, 전류는 스위치(103)로부터 전류원 트랜지스터로 흐른다. 전류원 트랜지스터(101)의 소스 및 드레인 사이에 흐르는 전류가 전류원(107)에 흐르는 전류 I_b 와 동일하면, 커패시터 소자(104)에는 전류가 흐르지 않는다. 즉, 정상 상태가 얻어진다. 그때, 전류원 트랜지스터(101)의 게이트 전위는 커패시터 소자(104)에 축적된다. 즉, 전류원 트랜지스터(101)의 소스 및 드레인

사이에 전류 I_b 가 흐르게 하기 위해 필요한 전압은 전류원 트랜지스터(101)의 게이트에 인가된다. 상술한 동작은 신호 기록 동작에 대응한다. 신호 기록 동작시에, 시프트 트랜지스터(102)는 단락 동작을 행한다.

- [0206] 이와 같은 방식으로, 커패시터 소자(104)에 전류가 흐르지 않고 정상 상태가 얻어지면, 신호 기록 동작이 완료된 것으로 간주될 수 있다.
- [0207] 도 7에서, 신호 기록 동작시에는 V_{dd1} 보다 높은 V_{dd3} 이 공급된다. 따라서, 전류원 트랜지스터의 소스 및 드레인 사이에는 더 많은 전류가 공급될 수 있고, 배선 등에 기생하는 교차 커패시턴스 및 배선 저항에 의해 영향을 받지 않으면서, 설정 동작이 신속하게 수행될 수 있다. 바꾸어 말하면, 출력 동작시의 전류가 클 수 있으므로, 노이즈 등으로 인한 소량의 전류에 의해 거의 영향을 받지 않는 반도체장치가 얻어질 수 있다.
- [0208] 다음으로, 도 9에 도시된 것과 같이, 스위치(103, 105 및 106)는 OFF 되어 있지만, 스위치(701)는 ON 된다. 그때의 전류 경로는 화살표(901)를 갖는 파선으로 개략적으로 도시되어 있다. 도 9에서, 스위치(701)는 ON이므로, 전류는 시프트 트랜지스터(102)의 소스 및 드레인 사이에서 흐른다. 한편, 신호 기록 동작시에 축적된 전하는 커패시터 소자(104)에서 유지되며, 이 전하는 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 게이트에 인가된다. 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 게이트는 서로 접속되어 있다. 상술한 것과 같이, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)는 멀티게이트 트랜지스터로서 함께 작용한다. 그러므로, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)가 하나의 트랜지스터로서 간주되면, 트랜지스터의 게이트 길이 L 은 전류원 트랜지스터(101)의 게이트 길이 L 보다 더 길다. 일반적으로, 트랜지스터의 게이트 길이 L 이 길어지면, 거기에 흐르는 전류는 작아진다. 그러므로, 부하(108)에 흐르는 전류는 I_b 보다 작아진다. 상술한 동작을 출력 동작에 대응한다. 출력 동작시에, 시프트 트랜지스터(102)는 전류원 동작을 행한다.
- [0209] 도 7의 경우, 스위치(701)는 추가되거나 그렇지 않을 수도 있다. 스위치(701)는 시프트 트랜지스터(102)의 소스 단자측에 배치되거나, 그 드레인 단자측에 배치될 수도 있다. 스위치(701)는 스위치(103)와 반대의 상태에 있도록 ON 또는 OFF 될 수도 있다. 상술한 것과 같이, 스위치를 각종 위치에 배치하여 회로가 구성될 수 있다. 또한, V_{dd1} 보다 높은 V_{dd3} 은 배선(702)에 공급되지만, 본 발명은 이것에 한정되지 않는다. 상이한 전위가 공급될 수도 있다.
- [0210] 다음으로, 도 10은 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 배치가 교체되어 있는 경우를 도시한 것이다. 도 1에서, 배선(109), 시프트 트랜지스터(102) 및 전류원 트랜지스터(101)는 이 순서로 배치되어 있지만, 도 10에서는, 배선(109), 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)가 이 순서로 배치되어 있다.
- [0211] 여기서, 도 1의 회로 및 도 10의 회로를 비교한다. 도 1에서는, 시프트 트랜지스터(102)가 단락 동작을 수행하면, 시프트 트랜지스터(102)의 게이트 단자 및 소스 단자(드레인 단자) 사이에는 전위차가 존재한다. 그러므로, 시프트 트랜지스터(102)의 채널 영역에서의 전하는 게이트 커패시터에 보존된다. 그리고, 전류원 동작에서도 마찬가지로, 전하는 게이트 커패시터에 보존된 상태로 유지된다. 그러므로, 전류원 트랜지스터(101)의 게이트 단자의 전위는 단락 동작(신호 기록 동작) 및 전류원 동작(출력 동작) 사이에 거의 변화하지 않는다.
- [0212] 한편, 도 10에서, 시프트 트랜지스터(102)가 단락 동작을 수행하면, 시프트 트랜지스터(102)의 게이트 단자 및 소스 단자(드레인 단자) 사이에는 전위차가 거의 존재하지 않는다. 그러므로, 시프트 트랜지스터(102)의 채널 영역에는 전하가 거의 없으므로, 그 게이트 커패시터에는 거의 전하가 보존되지 않는다. 그리고, 전류원 동작시에 스위치(105 및 103)는 OFF 되므로, 시프트 트랜지스터(102)의 게이트 커패시터에는 전하가 축적되고, 시프트 트랜지스터(102)는 전류원의 일부로서 동작한다. 여기서, 전하는 커패시터 소자(104) 또는 전류원 트랜지스터(101)의 게이트 커패시터에 축적된 것이다. 이 전하는 시프트 트랜지스터(102)의 게이트 부분으로 이동한다. 그러므로, 단락 동작(신호 기록 동작) 및 전류원 동작(출력 동작)시에, 전류원 트랜지스터(101)의 게이트 단자의 전위는 이동한 전하의 양만큼 변화한다. 그 결과, 출력 동작시에, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 게이트-소스 전압의 절대값은 더 작아지며, 이것은 부하(108)에 흐르는 전류를 더 작게 한다.
- [0213] 그러므로, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 배치는 상황에 따라 설계될 수도 있다. 예를 들어, EL 소자가 부하(108)인 경우, 블랙(black)을 표시할 때에 미세하게 발광이 있으면, 콘트라스트(contrast)가 감소된다. 그 경우, 전류가 약간 감소되므로, 도 10의 구성을 채용하는 것이 더욱 바람직하다.
- [0214] 도 1에서는, 하나의 전류원 트랜지스터(101) 및 하나의 시프트 트랜지스터(102)가 배치되어 있지만, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 어느 하나 또는 양쪽 모두를 복수 개 배치할 수도 있다. 또한, 그 배치는 임의로 택될 수도 있다. 도 11은 제2시프트 트랜지스터(1101) 및 스위치(1102)가 배치되어 있는 경우의

예를 도시한 것이다.

- [0215] 도 11의 경우, 도 1에 도시된 예에 비해, 부하(108)에 흐르는 전류량을 작게할 수 있다. 예를 들어, 부하(108)가 EL 소자일 때, 블랙 표시시에 발광이 약간 존재하여, 이것이 콘트라스트를 감소시키는 경우에 바람직하다.
- [0216] 본 실시 형태에서 설명된 내용은 그 내용이 부분적으로 변형된 실시 형태 1에 대응한다. 그러므로, 실시 형태 1에서 설명된 내용은 본 실시 형태에도 적용될 수 있다.
- [0217] 본 실시 형태는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0218] [실시 형태 3]
- [0219] 실시 형태 3에서는, 상기 실시 형태의 아날로그 회로와 상이한 구성에 대해 설명할 것이다.
- [0220] 도 1에서, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)는 모두 N-채널 트랜지스터이다. 본 실시 형태에서는, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)가 모두 P-채널 트랜지스터인 경우에 대해 설명한다. 도 1의 회로에 관하여, 도 12는 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 극성(도전형)이 변화되고 회로의 접속 구조는 변화되지 않은 경우의 예를 도시한 것이다. 도 1 및 도 12를 비교하면, 배선(109, 110, 111 및 112)의 전위를 배선(1209, 1210, 1211 및 1212)의 전위로 변화시키고, 전류원(1207)의 방향을 변화시킴으로써, 상기 변화가 용이하게 행해진다는 점이 명백하다. 전류원 트랜지스터(1201), 시프트 트랜지스터(1202), 스위치(1203, 1205 및 1206), 전류원(1207), 부하(1208) 등의 접속은 변화되지 않는다.
- [0221] 부하(1208)는 정류 속성을 가짐에 유의해야 한다. 즉, 부하는 인가된 바이어스의 방향에 따라 상이한 저항값을 갖는 전류-전압 특성을 가지며, 거의 하나의 방향으로만 전류가 흐르게 하는 전기적 속성을 가진다. 본 실시 형태에서, 부하(1208)는 배선(1212)으로부터 전류원 트랜지스터(1201)에 전류가 흐르도록 설치되어 있다.
- [0222] 배선(1211)에 접속된 전류원(1207)은 전류 I_b 를 설정한다. 여기서, 배선(1209)에 입력되는 전위는 V_{ss1} , 배선(1210)에 입력되는 전위는 V_{ss2} , 배선(1211)에 입력되는 전위는 V_{dd1} , 배선(1212)에 입력되는 전위는 V_{dd2} 로 나뉜다. 전위의 관계는 적어도 $V_{ss1} < V_{ss2} < V_{dd1}$, 및 $V_{ss1} < V_{dd2} < V_{dd1}$ 을 만족시킨다.
- [0223] 배선(1210)에 입력되는 전위 V_{ss2} 와, 배선(1211)에 입력되는 전위 V_{dd1} 사이의 관계는 동일 또는 상이할 수도 있다. V_{dd2} 가 V_{ss2} 와 상이한 전위일 경우, 전류원 트랜지스터의 임계 전압, 부하에 인가될 경우의 임계 전압, 또는 전류원 트랜지스터의 임계 전압과 부하에 인가될 경우의 임계 전압의 합만큼, V_{dd2} 가 V_{ss2} 보다 높게 설정될 수도 있다.
- [0224] 도 12의 동작에 대해 간단하게 설명한다. 도 13에 도시된 것과 같이, 스위치(1203, 1205 및 1206)는 ON 된다. 그때의 전류 경로는 화살표(1301)를 갖는 파선에 의해 개략적으로 도시되어 있다. 도 12에서, 시프트 트랜지스터(1202)의 소스 및 드레인은 거의 동일한 전위를 가진다. 즉, 시프트 트랜지스터(1202)의 소스 및 드레인 사이에는 전류가 거의 흐르지 않으면, 전류는 스위치(1203)로 흐른다. 따라서, 전류원(1207)에 흐르는 전류 I_b 는 커패시터 소자(1204) 또는 전류원 트랜지스터(1201)로 흐른다. 전류원 트랜지스터(1201)의 소스 및 드레인 사이에 흐르는 전류와, 전류원(1207)에 흐르는 전류가 동일해지면, 커패시터 소자(1204)로는 전류가 흐르지 않는다. 즉, 정상 상태가 얻어진다. 그때, 전류원 트랜지스터(1201)의 게이트 전위는 커패시터 소자(1204)에서 축적된다. 바꾸어 말하면, 전류원 트랜지스터(1201)의 소스 및 드레인 사이에 전류 I_b 를 흐르게 하기 위해 필요한 전압은 전류원 트랜지스터(1201)의 게이트에 인가된다. 상술한 동작은 신호 기록 동작에 대응한다. 신호 기록 동작시에, 시프트 트랜지스터(1202)는 단락 동작을 행한다.
- [0225] 이와 같은 방식으로, 커패시터 소자(1204)에 전류가 흐르지 않고 정상 상태가 얻어지면, 신호 기록 동작이 완료된 것으로 간주될 수 있다.
- [0226] 전류원 트랜지스터(1201)의 소스 전위, 배선(1212)의 전위인 V_{ss2} , 및 부하의 전류-전압 특성으로부터, 전류원 트랜지스터(1201)의 소스 전위는 전류원 트랜지스터(1201)의 게이트 전위, 즉, 배선(1210)의 전위 V_{dd2} 에 의해 제어될 수 있음에 유의해야 한다. 따라서, 배선(1210)의 전위 V_{dd2} 를 제어함으로써, 부하(1208)에 전류가 흐르지 않는 것이 가능하다.
- [0227] 다음으로, 도 14에 도시된 것과 같이, 스위치(1203, 1205 및 1206)는 OFF 된다. 그때의 전류 경로는 화살표(1401)를 갖는 파선에 의해 개략적으로 도시되어 있다. 도 14에서는, 스위치(1203)가 OFF이므로, 시프트 트랜지스터(1202)의 소스 및 드레인 사이에 전류가 흐른다. 한편, 신호 기록 동작시에 축적된 전하는 커패시터 소

자(1204)에서 유지되며, 이 전하는 전류원 트랜지스터(1201) 및 시프트 트랜지스터(1202)의 게이트에 인가된다. 전류원 트랜지스터(1201) 및 시프트 트랜지스터(1202)의 게이트는 서로 접속되어 있다. 상술한 것과 같이, 전류원 트랜지스터(1201) 및 시프트 트랜지스터(1202)는 함께 멀티게이트 트랜지스터로서 작용한다. 그러므로, 전류원 트랜지스터(1201) 및 시프트 트랜지스터(1202)가 하나의 트랜지스터로서 간주되면, 트랜지스터의 게이트 길이 L 은 전류원 트랜지스터(1201)의 길이 L 보다 더 길다. 일반적으로, 트랜지스터의 게이트 길이 L 이 길어지면, 거기에 흐르는 전류는 작아진다. 그러므로, 부하(1208)에 흐르는 전류는 I_b 보다 작아진다. 상기 동작은 출력 동작에 대응한다. 출력 동작시에, 시프트 트랜지스터(1202)는 전류원 동작을 행한다.

[0228] 다음으로, 도 15는 전류원 트랜지스터(1201) 및 시프트 트랜지스터(1202)의 배치가 교체되어 있는 경우를 도시한 것이다. 도 1에서, 배선(109), 시프트 트랜지스터(102) 및 전류원 트랜지스터(101)는 이 순서로 배치되어 있지만, 도 15에서는, 배선(1209), 전류원 트랜지스터(1201) 및 시프트 트랜지스터(1202)가 이 순서로 배치되어 있다.

[0229] 여기서, 도 1의 회로와 도 15의 회로 사이의 차이를 설명한다. 도 1에서, 시프트 트랜지스터(102)가 단락 동작을 수행하면, 시프트 트랜지스터(102)의 게이트 단자 및 소스 단자(드레인 단자) 사이에는 전위차가 존재한다. 그러므로, 전하는 시프트 트랜지스터(102)의 게이트 커패시터에 보존된다. 그리고, 전류원 동작시에든 마찬가지로, 전하는 게이트 커패시터에 보존된 상태로 유지된다. 그러므로, 단락 동작(신호 기록 동작) 및 전류원 동작(출력 동작) 중에 전류원 트랜지스터(1201)의 게이트 단자의 전위는 거의 변화하지 않는다.

[0230] 한편, 도 15에서, 시프트 트랜지스터(1202)가 단락 동작을 수행하면, 시프트 트랜지스터(1202)의 게이트 단자 및 소스 단자(드레인 단자) 사이에는 전위차가 거의 존재하지 않는다. 그러므로, 시프트 트랜지스터(102)의 채널 영역에는 거의 전하가 존재하지 않으며, 그 게이트 커패시터에는 전하가 보존되지 않는다. 그 다음, 전류원 동작시에 스위치(1205 및 1203)가 OFF 되므로, 시프트 트랜지스터(1202)의 게이트 커패시터에는 전하가 축적되고, 시프트 트랜지스터(1202)는 전류원의 일부로서 동작한다. 이때의 전하는 커패시터 소자(1204) 또는 전류원 트랜지스터(1201)의 게이트 커패시터에 축적된 전하이다. 이 전하는 시프트 트랜지스터(1202)의 게이트 부분으로 이동한다. 그러므로, 전류원 트랜지스터(1201)의 게이트 단자의 전위는 단락 동작(신호 기록 동작) 및 전류원 동작(출력 동작) 중에 이동한 전의 양만큼 변화한다. 그 결과, 전류원 트랜지스터(1201) 및 시프트 트랜지스터(1202)의 게이트-소스 전압의 절대값은 출력 동작시에 더 작아지며, 부하(1208)에 흐르는 전류도 작아진다.

[0231] 그러므로, 전류원 트랜지스터(1201) 및 시프트 트랜지스터(1202)의 배치는 상황에 따라 설계될 수도 있다. 예를 들어, EL 소자가 부하(1208)인 경우, 블랙을 표시할 때에 발광이 약간 존재하면, 콘트라스트가 감소된다. 그 경우, 전류는 약간 감소되므로, 도 15의 구성을 채용하는 것이 더욱 바람직하다.

[0232] 도 12에서는, 하나의 전류원 트랜지스터(101) 및 하나의 시프트 트랜지스터(102)가 배치되어 있지만, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)의 어느 하나 또는 양쪽의 복수 개를 배치할 수도 있다. 또한, 그 배치는 임의로 선택될 수도 있다. 도 16은 제2시프트 트랜지스터(1601) 및 스위치(1602)가 배치되어 있는 경우의 예를 도시한 것이다.

[0233] 도 16의 경우, 도 12에 도시된 예에 비해, 부하(1208)에 흐르는 전류의 양을 작게 할 수 있다. 예를 들어, 부하(1208)가 EL 소자이면, 블랙을 표시할 때에 발광이 약간 존재하며, 이것이 콘트라스트를 감소시키게 되는 경우에 대해 바람직하다.

[0234] 이와 같은 방식으로, 스위치의 배치 및 수, 각 트랜지스터의 극성, 전류원 트랜지스터의 수 및 배치, 시프트 트랜지스터의 수 및 배치, 각 배선의 전위, 전류 흐름의 방향 등을 변화시킴으로써, 도 1에 도시된 회로에 한정되지 않고도, 본 발명을 구성하기 위한 각종 회로가 채용될 수 있다. 또한, 이러한 변화를 조합함으로써, 본 발명은 또 다른 각종 회로를 이용하여 구성될 수 있다.

[0235] 본 실시 형태에서 설명된 내용은 부분적으로 변형된 실시 형태 1에 대응한다. 그러므로, 실시 형태 1에 설명된 내용은 본 실시 형태에도 마찬가지로 적용될 수 있다.

[0236] 본 실시 형태는 본 명에서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.

[0237] [실시 형태 4]

[0238] 실시 형태 4에서는, 상기 실시 형태의 아날로그 회로와 상이한 구성에 대해 설명할 것이다.

- [0239] 상기 실시 형태에서, 종래의 전류 구동회로 및 이를 이용한 표시장치는, 신호 전류 및 TFT를 구동하기 위한 전류, 또는 신호 전류 및 발광할 경우에 발광 소자에 흐르는 전류가 서로 동일하거나 서로 비례하도록 한 구성을 가진다.
- [0240] 그러므로, 발광소자를 구동하기 위한 구동 TFT의 구동 전류가 작은 경우, 또는 발광소자에 의해 어두운 계조 표시를 수행할 경우, 신호 전류는 비례적으로 작아진다. 그러므로, 구동 TFT 및 발광소자에 신호 전류를 공급하기 위해 사용된 배선의 기생 커패시턴스가 상대적으로 매우 크기 때문에, 신호 전류가 작으면, 배선의 기생 커패시턴스를 충전하는 시상수(time constant)가 커지고, 신호 기록 속도는 느려진다. 즉, 트랜지스터에 전류가 공급되면, 트랜지스터가 전류를 흐르게 하기 위해 필요한 전압이 게이트 단자에서 발생하는 속도가 느려진다고 하는 문제가 발생한다.
- [0241] 본 실시 형태에서는, 본 발명의 유익한 효과에 더하여, 신호 전류가 작더라도, 신호의 기록 속도 및 소자 구동 속도를 향상시킬 수 있는 반도체장치에 대해 설명할 것이다.
- [0242] 본 실시 형태에서는, 설정 동작을 신속하게 완료하기 위하여, 트랜지스터의 게이트 단자의 전위가 설정 동작을 수행하기 이전에 미리 소정의 전위로 설정된다. 소정의 전위는 설정 동작이 완료(정상 상태가 얻어짐)될 경우에 얻어진 전위와 대략 동일하다. 그러므로, 설정 동작은 신속하게 수행될 수 있다. 본 실시 형태의 설정 동작은 트랜지스터에 전류를 공급하고, 트랜지스터가 전류를 흐르게 하기 위해 필요한 전압을 그 게이트 단자에서 발생하기 위한 동작임에 유의해야 한다.
- [0243] 또한, 설정 동작을 신속하게 완료하기 위하여, 트랜지스터의 게이트 단자의 전위를 소정의 전위로 하기 위한 동작은 프리차지(precharge) 동작이라고 하며, 이러한 기능을 갖는 회로는 프리차지 수단이라고 한다.
- [0244] 우선, 도 17은 본 실시 형태의 구성을 도시한 것이다. 항상 전류원(또는 그 일부)으로서 동작하는 전류원 트랜지스터(1701)와, 그 동작이 상태에 따라 변화하는 시프트 트랜지스터(1702)가 설치되어 있으며, 전류원 트랜지스터(1701), 시프트 트랜지스터(1702) 및 배선(1709)은 직렬로 접속되어 있다. 전류원 트랜지스터(1701)의 게이트는 커패시터 소자(1704)의 하나의 단자에 접속되어 있다. 커패시터 소자(1704)의 다른 단자는 전류원 트랜지스터의 소스에 접속되어 있다. 그러므로, 전류원 트랜지스터(1701)의 게이트-소스 전압(V_{gs})을 유지하는 것이 가능하다. 또한, 전류원 트랜지스터(1701)의 게이트 단자 및 배선(1710)은 스위치(1705)를 통해 서로 접속되어 있고, 커패시터 소자(1704)에 유지된 전하는 스위치(1705)의 ON/OFF에 의해 제어될 수 있다. 전류원 트랜지스터(1701)의 소스 및 배선(1711)은 제1전류원(1707) 및 스위치(1706)를 통해 서로 접속되어 있다. 전술한 것과 병렬로, 전류원 트랜지스터(1701)의 소스 및 배선(1712)은 부하(1708)를 통해 서로 접속되어 있다. 또한, 전류원 트랜지스터(1701)의 소스 및 배선(1715)은 제2전류원(1713) 및 스위치(1714)를 통해 접속되어 있다.
- [0245] 배선(1711)에 접속된 제1전류원(1707)은 전류 I_{b1} 을 설정하고, 배선(1715)에 접속된 제2전류원(1713)은 전류 I_{b2} 를 설정한다. 여기서, 배선(1709)에 입력되는 전위는 V_{dd1} , 배선(1710)에 입력되는 전위는 V_{dd2} , 배선(1711)에 입력되는 전위는 V_{ss1} , 배선(1712)에 입력되는 전위는 V_{ss2} , 배선(1715)에 입력되는 전위는 V_{ss3} 으로 나타낸다. 그때, 전위의 관계는 적어도 $V_{dd1} > V_{dd2} > V_{ss1} > V_{ss3}$, 및 $V_{dd1} > V_{ss2} > V_{ss1} > V_{ss3}$ 을 만족시킨다.
- [0246] 배선(1710)에 입력되는 전위 V_{dd2} 와, 배선(1712)에 입력되는 전위 V_{ss2} 사이의 관계는 동일하거나 상이할 수도 있다. V_{dd2} 가 V_{ss2} 와 상이한 전위일 경우, 전류원 트랜지스터의 임계 전압, 부하에 인가될 경우의 임계 전압, 또는 전류원 트랜지스터의 임계 전압과 부하에 인가될 경우의 임계 전압의 합만큼, V_{dd2} 가 V_{ss2} 보다 높게 설정될 수도 있다.
- [0247] 부하(1708)는 정류 속성을 가짐에 유의해야 한다. 즉, 부하는, 인가된 바이어스 방향에 따라 상이한 저항값을 갖는 전류-전압 특성을 가지며, 하나의 방향으로만 전류가 거의 흐르도록 하는 전기적 속성을 가진다. 본 실시 형태에서는, 전류원 트랜지스터(1701)로부터 배선(1712)으로 전류가 흐르도록 부하(1708)가 설치되어 있다.
- [0248] 도 17의 동작에 대해 간단하게 설명한다. 도 18에 도시된 것과 같이, 스위치(1703, 1705 및 1714)는 ON 되고, 스위치(1706)는 OFF 된다. 그 다음, 시프트 트랜지스터(1702)의 소스 및 드레인은 거의 동일한 전위를 가진다. 즉, 시프트 트랜지스터(1702)의 소스 및 드레인 사이에는 거의 전류가 흐르지 않으며, 전류는 스위치(1703)로 흐른다. 그때의 전류 경로는 화살표(1801)를 갖는 파선에 의해 개략적으로 도시되어 있다. 따라서, 제2전류원(1713)으로 흐르는 전류 I_{b2} 는 커패시터 소자(1704) 또는 전류원 트랜지스터(1701)에 흐른다. 전류원 트랜지스터(1701)의 소스 및 드레인 사이에 흐르는 전류와, 제2전류원(1713)에 흐르는 전류가 동일해지면, 커패시터 소자(1704)로는 전류가 흐르지 않는다. 즉, 정상 상태가 얻어진다. 그때, 전류원 트랜지스터(1701)의 게이트-소스 전압은 커패시터 소자(1704)에 축적된다. 바꾸어 말하면, 전류 I_{b2} 가 전류원 트랜지스터(1701)의 소스 및

드레인 사이에 흐르게 하기 위해 필요한 전압은 게이트 및 소스 사이에 인가된다. 상술한 동작은 프리차지 동작에 대응한다. 프리차지 동작시에, 시프트 트랜지스터(1702)는 단락 동작을 행한다.

- [0249] 다음으로, 도 19에 도시된 것과 같이, 스위치(1705 및 1706)는 ON 되고, 스위치(1703 및 1714)는 OFF 된다. 스위치(1703)가 OFF이므로, 시프트 트랜지스터(1702)의 소스 및 드레인 사이에는 전류가 흐른다. 그때의 전류 경로는 화살표(1901)를 갖는 파선에 의해 개략적으로 도시되어 있다. 따라서, 제1전류원(1707)에 흐르는 전류 Ib1은 커패시터 소자(1704), 전류원 트랜지스터(1701) 또는 시프트 트랜지스터(1702)에 흐른다. 그때, 전류원 트랜지스터(1701) 및 시프트 트랜지스터(1702)의 게이트는 서로 접속되어 있다. 따라서, 전류원 트랜지스터(1701) 및 시프트 트랜지스터(1702)는 함께 멀티게이트 트랜지스터로서 작용한다. 멀티게이트 트랜지스터의 게이트 길이 L은 전류원 트랜지스터(1701)의 게이트 길이 L보다 더 길다. 일반적으로, 트랜지스터의 게이트 길이 L이 더 길어지면, 거기에 흐르는 전류는 작아진다.
- [0250] 멀티게이트 트랜지스터의 소스 및 드레인 사이에 흐르는 전류가 제1전류원(1707)에 흐르는 전류 Ib1과 동일하면, 커패시터 소자(1704)에는 전류가 흐르지 않는다. 즉, 정상 상태가 얻어진다. 정상 상태에서는, 커패시터 소자(1704)에 전류가 흐르지 않는다. 그때, 멀티게이트 트랜지스터의 게이트-소스 전압은 커패시터 소자(1704)에 축적된다. 즉, 멀티게이트 트랜지스터의 소스 및 드레인 사이에 전류 Ib1을 공급하기 위해 필요한 전압은 그 게이트 및 소스 사이에 인가된다. 전술한 동작은 설정 동작에 대응한다. 설정 동작시에, 시프트 트랜지스터(1702)는 전류원 동작을 수행한다.
- [0251] 커패시터 소자(1704)에 축적된 전하, 즉, 전류원 트랜지스터(1701)의 게이트 단자의 전위는, 제1전류원(1707)의 전류 Ib1, 제2전류원(1713)의 전류 Ib2, 및 전류원 트랜지스터(1701) 및 시프트 트랜지스터(1702)의 트랜지스터 사이즈(게이트 폭 W, 게이트 길이 L 등)를 적절하게 설정함으로써, 프리차지 동작 및 설정 동작 중에 대략 동일한 전압이 되도록 설정된다. 그리고, 제2 기본 전류원(1713)에 흐르는 전류 Ib2가 제1전류원(1707)에 흐르는 전류 Ib1보다 높은 전류값을 가질 경우, 커패시터 소자(1704)는 프리차지 동작에 의해 신속하게 충전될 수 있고, 정상 상태가 얻어질 수 있다. 그 후, 제1전류원(1707)에 흐르는 전류 Ib1이 설정 동작시에 작더라도, 정상 상태가 신속하게 얻어질 수 있다. 이것은, 프리차지 동작에 의해 커패시터 소자(1704)가 거의 충전되기 때문이다.
- [0252] 다음으로, 스위치(1703, 1705, 1706 및 1714)는 도 20에 도시된 것과 같이 OFF 된다. 그리고, 전류는 부하(1708)에 흐른다. 그때의 전류 경로는 화살표(2001)를 갖는 파선에 의해 개략적으로 도시되어 있다. 전술한 동작은 출력 동작에 대응한다. 출력 동작시에, 시프트 트랜지스터(1702)는 전류원 동작을 행한다.
- [0253] 이와 같은 방식으로, 스위치(1703)의 ON/OFF를 제어함으로써, 프리차지 동작시에 흐르는 전류를 크게 할 수 있고, 이것은 정상 상태가 신속하게 얻어지도록 한다. 말하자면, 전류가 흐르는 배선에 기생하는 부하의 영향(배선 저항, 교차 커패시턴스 등)이 완화되고, 정상 상태가 신속하게 얻어질 수 있다. 그때, 설정 동작시의 정상 상태와 거의 동일한 상태 이미 얻어진다. 그러므로, 프리차지 동작 이후에, 설정 동작시에 정상 상태가 신속하게 얻어질 수 있다.
- [0254] 전류원 트랜지스터(1701)의 소스 전위, 배선(1712)의 전위 Vss2, 및 부하(1708)의 전류-전압 특성으로 인해, 부하(1708)에는 전류가 흐르지 않음에 유의해야 한다. 전류원 트랜지스터(1701)의 소스 전위는 전류원 트랜지스터(1701)의 게이트 전위, 즉, 배선(1710)의 전위 Vdd2에 의해 제어될 수 있다. 따라서, 배선(1710)의 전위 Vdd2는 부하(1708)에 대한 전류 공급을 정지하도록 제어된다.
- [0255] 커패시터 소자(1704)의 전위는 다수의 경우에 설정 동작 및 출력 동작 사이에 상이하다는 것에 유의해야 한다. 그러나, 커패시터 소자(1704)의 양단의 전압(전위차)은 변화하지 않으므로, 전류원 트랜지스터(1701)의 게이트-소스 전압은 변화하지 않으며, 원하는 전류가 부하(1708)에 흐른다.
- [0256] 또한, 도 17에서, 제1전류원(1707) 및 제2전류원(1713)의 2개의 전류원, 또는 2개의 스위치는, 프리차지 동작시에 흐르는 전류의 양과, 설정 동작시에 흐르는 전류의 양을 변화하기 위하여, 각 전류를 공급할 것인지를 제어하기 위해 사용되지만, 본 발명은 이것에 한정되지 않는다. 예를 들어, 도 38에 도시된 것과 같이, 전류원(3807)은 제어를 위해서만 사용될 수도 있다. 이와 달리, 전류량은 스위치(3806)를 배치하지 않고도 제어될 수 있다. 도 38에 도시된 구성에서의 동작은 도 39 내지 도 41에 도시되어 있다(파선의 화살표(3901, 4001 및 4101)는 전류 경로를 개략적으로 도시한 것임). 그러나, 이 경우, 프리차지 동작(도 39) 및 설정 동작(도 40)시의 전류원(3807)의 전류량은 각 동작에 대응하는 값을 가지며, 통상적으로 상이한 값을 가진다.
- [0257] 전류 속성을 가지기만 하면, 부하(3808)로서 임의의 소자가 사용될 수 있음에 유의해야 한다. 저항과, 트랜지

스터와, EL 소자와, 다른 타입의 발광소자와, 트랜지스터, 커패시터 및 스위치로 구성된 전류원 회로와 같은 소자가 사용될 수도 있다. 신호선 또는 신호선과 그것에 접속된 화소가 사용될 수도 있다. 화소는 EL 소자 또는 FED로 사용되는 소자와 같은 임의의 타입의 표시소자를 포함할 수도 있다.

- [0258] 전류원 트랜지스터(3801) 또는 시프트 트랜지스터(3802)의 게이트 커패시터는 커패시터 소자(3804)로 대체될 수도 있다. 이 경우, 커패시터 소자(3804)는 생략될 수 있다.
- [0259] 고전위측 전원 Vdd1 및 Vdd2는 배선(1709 및 1710)에 각각 공급되지만, 항상 동일한 전위가 유지될 필요는 없다. 예를 들어, 신호 기록 동작 및 출력 동작시에 전위가 상이하더라도, 동작이 정상적으로 행해지면, 문제가 없다.
- [0260] 이와 달리, 배선(1710)에 공급되는 전위 Vdd2는 각각의 신호 기록 동작시에 변화될 수도 있다. 구체적으로, 신호 기록 동작시에 전류원 트랜지스터(1701)에 흐르는 전류가 크면, 배선(1710)에 공급되는 전위 Vdd2가 증가됨으로써, 전류원(1707)에 접속된 배선(1711)에 공급되는 전위 Vss1을 너무 많이 떨어뜨리지 않고도, 동작을 정상적으로 수행할 수 있으며, 이것이 바람직하다. 따라서, 신호 기록 동작시에 전류원 트랜지스터(1701)에 미리 흐르는 전류가 크더라도, 배선(1710)에 공급되는 전위 Vdd2는 증가됨으로써, 전류원 트랜지스터(1707)에 접속되어 있는 배선(1711)에 공급될 전위 Vss1을 떨어뜨릴 필요가 없다. 따라서, 전류원 트랜지스터(1701)에 흐르는 전류가 크더라도, 전위 Vss1을 설정하기 위한 마진이 주어질 수 있다. 배선(1710)에 공급되는 전위 Vdd2는 신호 기록 동작시에 전류원 트랜지스터(1701)에 흐르는 전류의 양에 따라 변화될 수도 있음에 유의해야 한다. 예를 들어, 신호 기록 동작시에 전류원 트랜지스터(1701)에 흐르는 전류의 양이 크면, 배선(1710)에 공급되는 전위 Vdd2가 높아지게 되고, 배선(1711)에 공급되는 전위 Vss1의 마진이 확보된다. 한편, 신호 기록 동작시에 전류원 트랜지스터(1701)에 흐르는 전류의 양이 작으면, 배선(1710)에 공급되는 전위 Vdd2가 낮아지게 됨으로써, 신호 기록 동작시에, 배선(1712) 측, 즉, 부하(1708)를 향해 전류가 흐르는 것을 방지할 수 있다.
- [0261] 저전위측 전원 Vss1, Vss2 및 Vss3은 배선(1711, 1712 및 1715)에 각각 공급되지만, 항상 동일한 전위가 유지될 필요는 없다. 신호 기록 동작 및 출력 동작시에 전위가 상이하더라도, 동작이 정상적으로 행해지면, 문제가 없다.
- [0262] 커패시터 소자(3804)는 전류원 트랜지스터(3801)의 게이트 단자 및 소스 단자에 접속될 수도 있음에 유의해야 한다. 이것은, 트랜지스터의 동작이 게이트-소스 전압에 의해 결정되므로, 게이트 단자 및 소스 단자 사이에 전압이 유지되지만 하면, 트랜지스터의 동작이 다른 원인에 의해 쉽게 영향(배선 저항 등으로 인한 전압 강하와 같은 영향)을 받지 않기 때문이다. 전류원 트랜지스터(3801)의 게이트 단자 및 다른 배선 사이에 커패시터 소자(3804)가 배치되어 있으면, 전류원 트랜지스터(3801)의 게이트 단자의 전위가 다른 배선의 전압 강하의 값에 따라 변화할 수도 있다.
- [0263] 전류원 동작시에, 전류원 트랜지스터(3801) 및 시프트 트랜지스터(3802)는 멀티게이트 트랜지스터로서 동작하므로, 이들 트랜지스터는 동일한 극성(동일한 도전형)을 가지는 것이 바람직하다는 것에 유의해야 한다.
- [0264] 전류원 동작시에, 전류원 트랜지스터(3801) 및 시프트 트랜지스터(3802)는 멀티게이트 트랜지스터로서 동작하지만, 각 트랜지스터의 게이트 폭 W는 동일하거나 상이할 수도 있음에 유의해야 한다. 이와 유사하게, 게이트 길이 L도 동일 또는 상이할 수도 있다. 그러나, 게이트 폭 W는 통상적인 멀티게이트 트랜지스터와 동일한 것으로 간주될 수 있으므로, 게이트 폭 W는 동일한 것이 바람직하다. 시프트 트랜지스터(3802)의 게이트 길이 L은 더 길어지기 때문에, 설정 동작 또는 출력 동작시에 흐르는 전류는 더 작아진다. 그러므로, 상황에 따라 적절한 설계가 수행될 수도 있다.
- [0265] 스위치(3803, 3805 및 3806)와 같은 스위치는 전기적 스위치 또는 기계적 스위치와 같은 스위치일 수도 있다. 전류의 흐름을 제어할 수 있기만 하면, 어떤 것이라도 된다. 트랜지스터, 다이오드, 또는 이들로 구성된 논리 회로일 수도 있다. 그러므로, 트랜지스터를 스위치로서 사용할 경우, 단지 스위치로서 동작하므로, 그 극성(도전형)은 특별히 한정되지 않는다. 그러나, 오프 전류가 작은 것이 바람직하면, 작은 오프 전류를 갖는 극성의 트랜지스터를 사용하는 것이 바람직하다. 작은 전류를 갖는 트랜지스터로서, LDD 영역을 포함하는 트랜지스터 등이 존재한다. 또한, 스위치로서 작용하는 트랜지스터의 소스 단자의 전위가 저전위측 전원(Vss, GND, 0V 등)에 더 근접하면, N-채널 트랜지스터가 채용되는 것이 바람직하고, 소스 단자의 전위가 고전위측 전원(Vdd 등)에 더 근접하면, P-채널 트랜지스터가 채용되는 것이 바람직하다. 이것은, 게이트-소스 전압의 절대값이 증가될 수 있기 때문에, 트랜지스터가 스위치로서 용이하게 작용하는 것에 도움을 준다. 또한, N-채널 및 P-채널 트랜지스터를 모두 사용함으로써, CMOS 스위치가 적용될 수도 있음에 유의해야 한다.

- [0266] 도 17 및 도 38 등은 본 실시 형태의 회로를 도시한 것이지만, 본 발명은 이 구성에 한정되지 않음에 유의해야 한다. 스위치의 배치 및 수, 각 트랜지스터의 극성, 전류원 트랜지스터(3801)의 수 및 배치, 시프트 트랜지스터(3802)의 수 및 배치, 각 배선의 전위, 전류 흐름의 방향 등을 변화시킴으로써, 각종 회로가 구성에서 채용될 수 있다. 또한, 이러한 변화를 조합함으로써, 각종 회로를 사용한 구성이 달성될 수 있다.
- [0267] 예를 들어, 스위치(3803, 3805 및 3806)와 같은 스위치는 대상 전류의 ON/OFF를 제어할 수 있지만 하면, 어디에라도 배치될 수 있다. 구체적으로, 전류원(3807)에 흐르는 전류를 제어하는 스위치(3806)는 직렬로 배치되는 것이 바람직하다. 또한, 시프트 트랜지스터(3802)에 흐르는 전류를 제어하는 스위치(3803)는 시프트 트랜지스터(3802)와 병렬인 것이 바람직하다. 스위치(3805)는 커패시터 소자(3804)에서의 전하를 제어하도록 배치되는 것이 바람직하다.
- [0268] 본 실시 형태에서는, 설정 동작 전에 프리차지 동작이 수행된다. 그러므로, 설정 동작은 작은 전류 값으로도 신속하게 수행될 수 있다. 따라서, 출력 동작시에 정확한 전류가 출력될 수 있다고 하는 유의한 효과가 얻어질 수 있다.
- [0269] 본 실시 형태에서 설명된 내용은 부분적으로 변형된 실시 형태 1에 대응한다. 그러므로, 실시 형태 1에서 설명된 내용은 본 실시 형태에도 마찬가지로 적용될 수 있다.
- [0270] 본 실시 형태는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0271] [실시 형태 5]
- [0272] 실시 형태 5에서는, 상시 실시 형태의 아날로그 회로와 상이한 구성에 대해 설명할 것이다.
- [0273] 실시 형태 1에서는, 시프트 트랜지스터(102)의 전류원 동작 또는 단락 동작을 실현하기 위하여, 도 1의 구성이 채용되어 있다. 본 실시 형태에서는, 전류원 동작 및 단락 동작 사이에서 시프트를 실현하기 위한 구성으로서, 실시 형태 1과 상이한 구성의 예가 도시되어 있다.
- [0274] 실시 형태 1과 유사한 대부분의 설명은 여기서 생략될 것이라는 점에 유의해야 한다.
- [0275] 우선, 도 21은 시프트 트랜지스터(102)의 전류원 동작 또는 단락 동작이 실현되고 있는 도 1과 상이한 구성을 도시한 것이다.
- [0276] 도 1에서는, 시프트 트랜지스터(102)가 단락 동작을 수행할 수도 있도록, 스위치(103)가 사용된다. 스위치(103)를 제어함으로써, 시프트 트랜지스터(102)의 소스 및 드레인 사이에 전류가 흐르지 않게 되어, 시프트 트랜지스터(102)의 소스 단자 및 드레인 단자는 대략 동일한 전위를 가진다.
- [0277] 반대로, 도 21의 시프트 트랜지스터(2102)에 큰 전류가 흐를 수 있도록, 시프트 트랜지스터(2102)의 게이트 단자의 전압이 제어된다. 구체적으로, 시프트 트랜지스터(2102)의 게이트-소스 전압의 절대값은 스위치(2103)를 사용하게 크게 한다. 그 결과, 특정 값의 전류가 흐르면, 시프트 트랜지스터(2102)의 작은 소스-드레인 전압이 필요하다. 즉, 시프트 트랜지스터(2102)는 스위치로서 동작한다.
- [0278] 전류원 동작에서는, 도 1에서, 스위치(103)가 전류원 동작시에 OFF 되고, 그 게이트 단자가 서로 접속되어 있으므로, 전류원 트랜지스터(101) 및 시프트 트랜지스터(102)가 멀티게이트 트랜지스터로서 동작한다.
- [0279] 한편, 도 21에서는, 전류원 트랜지스터(2101) 및 시프트 트랜지스터(2102)의 게이트 단자가 서로 접속되어 있지 않으므로, 스위치(2103)를 사용하여 게이트 단자가 접속되게 한다. 그 결과, 멀티게이트 트랜지스터로서 동작할 수 있다. 도 21에서, 전류원(또는 그 일부)으로서 동작하는 전류원 트랜지스터(2101)와, 상태에 따라 동작이 변화하는 시프트 트랜지스터(2102)가 설치되어 있으며, 전류원 트랜지스터(2101), 시프트 트랜지스터(2102) 및 배선(109)은 직렬로 접속되어 있다. 전류원 트랜지스터(2101)의 게이트는 커패시터 소자(104)의 하나의 단자에 접속되어 있다. 커패시터 소자(104)의 다른 단자는 시프트 트랜지스터(2102)를 통해 전류원 트랜지스터(2101)의 소스에 접속되어 있다. 그러므로, 전류원 트랜지스터(2101)의 게이트-소스 전압을 유지하는 것이 가능하다. 또한, 전류원 트랜지스터(2101)의 게이트는 스위치(105)를 통해 배선(110)에 접속되어 있고, 커패시터 소자(104)는 스위치(2103)의 ON/OFF에 의해 전하를 유지하도록 제어될 수 있다. 시프트 트랜지스터(2102)의 게이트 단자 및 배선(2105)은 스위치(2104)를 통해 서로 접속되어 있다. 시프트 트랜지스터(2102)는 스위치(2104)의 ON/OFF에 의해 제어된다. 전류원 트랜지스터(2101) 및 시프트 트랜지스터(2102)의 게이트는 스위치

(2103)를 통해 접속되어 있다.

- [0280] 배선(111)에 접속된 제1전류원(107)은 전류 Ib1을 설정한다. 여기서, 배선(109)에 입력되는 전위는 Vdd1, 배선(110)에 입력되는 전위는 Vdd2, 배선(2105)에 입력되는 전위는 Vdd3, 배선(111)에 입력되는 전위는 Vss1, 배선(112)에 입력되는 전위는 Vss2로 나타낸다. 그때, 전위의 관계는 $Vdd3 > Vdd1 > Vdd2 > Vss1$, 및 $Vdd3 > Vdd1 > Vss2 > Vss1$ 을 만족시킨다. 본 발명은 이것에 한정되지 않지만, 단락 동작시에 시프트 트랜지스터(2102)가 더 높은 전류 구동 능력을 가질 수 있도록, 가능한 높은 전위가 바람직하다.
- [0281] 배선(110)에 입력되는 전위 Vdd2와, 배선(111)에 입력되는 전위 Vss1 사이의 관계는 동일 또는 상이할 수도 있다. Vdd2가 Vss1과 상이한 전위일 경우, 전류원 트랜지스터의 임계 전압, 부하에 인가되는 임계 전압, 또는 전류원 트랜지스터의 임계 전압과 부하에 인가되는 임계 전압의 합만큼, Vdd2가 Vss1보다 높게 설정될 수도 있다.
- [0282] 도 21의 동작을 설명한다. 우선, 도 22에 도시된 것과 같이, 스위치(2104, 105 및 106)는 ON 되고, 스위치(2103)는 OFF 된다. 그때의 전류 경로는 화살표(2201)를 갖는 파선에 의해 도시되어 있다. 그리고, 시프트 트랜지스터(2102)의 게이트 단자는 배선(2105)에 접속되어 있다. 배선(2105)에는 고전위측 전원(Vdd2)이 공급되므로, 시프트 트랜지스터(2102)의 게이트-소스 전압의 절대값은 상당히 커진다. 따라서, 시프트 트랜지스터(2102)는 상당히 큰 전류 구동 능력을 가지며, 그 소스 및 드레인 은 대략 동일한 전위를 가진다. 그러므로, 전류원(107)에 흐르는 전류 Ib는 커패시터 소자(104) 또는 전류원 트랜지스터(2101)에 흐름으로써, 전류원 트랜지스터(2101)의 소스는 배선(111)과 대략 동일한 전위를 가진다. 전류원 트랜지스터(2101)의 소스 및 드레인 사이에 흐르는 전류와, 전류원(107)에 흐르는 전류 Ib가 동일해지면, 커패시터 소자(104)로는 전류가 흐르지 않는다. 즉, 정상 상태가 얻어진다. 그 다음, 정상 상태에서의 게이트 전위는 커패시터 소자(104)에 축적된다. 즉, 전류원 트랜지스터(2101)의 소스 및 드레인 사이에 전류 Ib가 흐르게 하기 위해 필요한 전압은 그 게이트 단자에 인가된다. 상술한 동작은 설정 동작에 대응한다. 설정 동작시에, 시프트 트랜지스터(2102)는 스위치로서 동작하며, 단락 동작을 수행한다.
- [0283] 전류원 트랜지스터(2101)의 소스 전위, 배선(112)의 전위 Vss2, 및 부하(108)의 전압-전류 특성으로 인해, 부하(108)에는 전류가 거의 흐르지 않는다는 것에 유의해야 한다. 전류원 트랜지스터(2101)의 소스 전위는 전류원 트랜지스터(2101)의 게이트 전위, 즉, 배선(110)의 전위 Vdd2에 의해 제어될 수 있다. 따라서, 배선(110)의 전위 Vdd2는 부하(108)에 대한 전류 공급을 정지하도록 제어되는 것이 가능하다.
- [0284] 다음으로, 도 23에 도시된 것과 같이, 스위치(2104, 105 및 106)는 OFF 되고, 스위치(2103)는 ON 된다. 그때의 전류 경로는 화살표(2301)를 갖는 파선에 의해 개략적으로 도시되어 있다. 따라서, 시프트 트랜지스터(2102)의 게이트는 전류원 트랜지스터(2101)의 게이트에 접속되어 있다. 한편, 설정 동작시에 축적된 전하는 커패시터 소자(104)에 유지되고, 이 전하는 전류원 트랜지스터(2101) 및 시프트 트랜지스터(2102)의 게이트 단자에 인가된다. 상술한 것과 같이, 전류원 트랜지스터(2101) 및 시프트 트랜지스터(2102)는 함께 멀티게이트 트랜지스터로서 작용한다. 그러므로, 전류원 트랜지스터(2101) 및 시프트 트랜지스터(2102)가 하나의 트랜지스터로서 간주되면, 트랜지스터의 게이트 길이 L은 전류원 트랜지스터(2101)의 길이 L보다 더 길다. 그러므로, 부하(108)에 흐르는 전류는 Ib보다 작아진다. 상기 동작은 출력 동작에 대응한다. 출력 동작시에, 시프트 트랜지스터(2102)는 전류원 동작을 행한다.
- [0285] 도 21은 본 실시 형태의 회로로서 도시되어 있지만, 본 발명은 이 구성에 한정되지 않는다는 것에 유의해야 한다. 실시 형태 1에서와 같이, 스위치의 배치 및 수, 각 트랜지스터의 극성, 전류원 트랜지스터(2101)의 수 및 배치, 시프트 트랜지스터(2102)의 수 및 배치, 각 배선의 전위, 전류 흐름의 방향 등을 변화시킴으로써, 각종 회로가 구성에 채용될 수 있다. 또한, 이러한 변화를 조합함으로써, 각종 회로를 사용한 구성이 달성될 수 있다.
- [0286] 도 24는 스위치(106)가 상이하게 배치되어 있는 경우의 예를 도시한 것이다. 스위치(105, 106, 2103 및 2104)와 같은 스위치는 아래에 설명되는 것과 같이 구성되어 있지만 하면, 어느 곳이라도 배치될 수 있다. 즉, 신호 기록 동작시에는, 스위치(106)가 도 25에 도시된 것과 같이 접속되어, 전류원(107)으로부터 흐르는 전류 Ib가 전류원 트랜지스터(2101)에 흐르고, 시프트 트랜지스터(2102)가 단락 동작을 수행한다. 출력 동작시에는, 스위치(106)가 도 26에 도시된 것과 같이 접속되어, 시프트 트랜지스터(2102)가 전류원 동작을 수행하고, 시프트 트랜지스터(2102) 및 전류원 트랜지스터(2101)에 흐르는 전류는 부하(108)에 흐른다.
- [0287] 또한, 도 27은 전류원 트랜지스터(2101) 및 시프트 트랜지스터(2102)의 배치가 교차되어 있는 경우를 도시한 것이다. 도 27에서, 배선(109), 시프트 트랜지스터(2702), 및 전류원 트랜지스터(2701)는 이 순서로 배치되어 있

다.

- [0288] 도 28은, 도 21에서, 전류원 트랜지스터(2101) 및 시프트 트랜지스터(2102)의 극성(도전형)이 변화되고, 회로의 접속 구조는 변화되지 않은 예를 도시한 것이다. 도 21 및 도 28을 비교하면, 배선(109, 110, 111, 112 및 2105)의 전위를 배선(2809, 2810, 2811, 2812 및 2815)의 전위로 변화시키고, 전류원(107)의 전류의 방향을 변화시킴으로써, 변경이 용이하게 행해진다는 점이 명백하다.
- [0289] 배선(2811)에 접속된 전류원(2807)은 전류 Ib를 설정한다. 여기서, 배선(2809)에 입력되는 전위는 Vss1, 배선(2810)에 입력되는 전위는 Vss2, 배선(2815)에 입력되는 전위는 Vss3, 배선(2811)에 입력되는 전위는 Vdd1, 배선(2812)에 입력되는 전위는 Vdd2로 나타낸다. 이때, 전위의 관계는 적어도 $Vss3 < Vss1 < Vss2 < Vdd1$, 및 $Vss3 < Vss1 < Vdd2 < Vdd1$ 을 만족시킨다.
- [0290] 배선(2810)에 입력되는 전위 Vss2와, 배선(2811)에 입력되는 전위 Vdd1 사이의 관계는 동일 또는 상이할 수도 있다. Vdd2가 Vss2와 상이한 전위일 경우, 전류원 트랜지스터의 임계 전압, 부하에 인가될 경우의 임계 전압, 전류원 트랜지스터의 임계 전압과 부하에 인가될 경우의 임계 전압의 합만큼, Vss2가 Vdd2보다 높게 설정될 수도 있다.
- [0291] 또한, 도 29는 도 28에서의 설정 동작시의 스위치의 ON/OFF와, 화살표(2901)를 갖는 파선에 의해 표현된 전류 경로를 도시한 것이고, 도 30은 도 28에서의 출력 동작시의 각 스위치의 ON/OFF와, 화살표(3001)를 갖는 파선에 의해 표현된 전류 경로를 도시한 것이다.
- [0292] 이와 같은 방식으로, 스위치의 배치 및 수, 각 트랜지스터의 극성, 전류원 트랜지스터의 수 및 배치, 시프트 트랜지스터의 수 및 배치, 각 배선의 전위, 전류 흐름의 방향 등을 변화시킴으로써, 도 21의 회로뿐만 아니라 각종 회로도 본 발명을 구성하기 위해 채용될 수 있다. 또한, 이러한 변화를 조합함으로써, 본 발명은 또 다른 각종 회로를 이용하여 구성될 수 있다.
- [0293] 본 실시 형태에서 설명된 내용은 부분적으로 변형된 실시 형태 1에 대응한다. 그러므로, 실시 형태 1에서 설명된 내용도 본 실시 형태에 마찬가지로 적용될 수 있다.
- [0294] 본 실시 형태는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0295] [실시 형태 6]
- [0296] 실시 형태 6에서는, 상기 실시 형태의 아날로그 회로와 상이한 구성에 대해 설명할 것이다.
- [0297] 도 31은, 시프트 트랜지스터(102)가 도 1의 전류원 동작 또는 단락 동작시의 것과 상이한 구성을 가지며, 실시 형태 4에서 설명된 프리차지 동작을 행할 수 있는 구성을 도시한 것이다.
- [0298] 도 31에 도시된 전류원 회로는 시프트 트랜지스터(3102)의 게이트 단자의 전압을 제어하고, 큰 전류가 시프트 트랜지스터(3102)에 흐르도록 한다. 구체적으로, 시프트 트랜지스터(3102)의 게이트-소스 전압의 절대값은 스위치(3103)를 사용하여 크게 한다. 그 결과, 전류의 특정 값이 흐르면, 시프트 트랜지스터(3102)의 작은 소스-드레인 전압만이 필요하다. 즉, 시프트 트랜지스터(3102)는 단지 스위치로서 동작한다. 도 31에 도시된 구성에서는, 전류원(또는 그 일부)으로서 항상 동작하는 전류원 트랜지스터(3101)와, 상태에 따라 동작이 변화되는 시프트 트랜지스터(3102)가 설치되어 있고, 전류원 트랜지스터(3101), 시프트 트랜지스터(3102) 및 배선(109)은 직렬로 접속되어 있다. 전류원 트랜지스터(3101)의 게이트는 커패시터 소자(104)의 하나의 단자에 접속되어 있다. 커패시터 소자(104)의 다른 단자는 시프트 트랜지스터(3102)를 통해 전류원 트랜지스터(3101)의 소스에 접속되어 있다. 그러므로, 전류원 트랜지스터(3101)의 게이트-소스 전압을 유지하는 것이 가능하다. 또한, 전류원 트랜지스터(3101)의 게이트 및 드레인은 스위치(3103)를 통해 서로 접속되어 있고, 커패시터 소자(104)는 스위치(3103)의 ON/OFF에 의해 전하를 유지하도록 제어될 수 있다.
- [0299] 도 31에서는, 전류원 트랜지스터(3101) 및 시프트 트랜지스터(3102)의 게이트가 서로 접속되어 있지 않으므로, 스위치(3103)는 게이트를 접속하기 위해 사용된다. 그 결과, 전류원 트랜지스터(3101) 및 시프트 트랜지스터(3102)는 함께 멀티게이트 트랜지스터로서 작용한다.
- [0300] 배선(111)에 접속된 제1전류원(107)은 전류 Ib1을 설정하고, 배선(3108)에 접속된 제2전류원(3107)은 전류 Ib2를 설정한다. 여기서, 배선(109)에 입력되는 전위는 Vdd1, 배선(110)에 입력되는 전위는 Vdd2, 배선(3105)에 입력되는 전위는 Vdd3, 배선(111)에 입력되는 전위는 Vss1, 배선(112)에 입력되는 전위는 Vss2, 배선(3108)에

입력되는 전위는 V_{ss3} 으로 나타낸다. 그때, 전위의 관계는 적어도 $V_{dd3} > V_{dd1} > V_{dd2} > V_{ss1} > V_{ss3}$, 및 $V_{dd3} > V_{dd1} > V_{ss2} > V_{ss1} > V_{ss3}$ 을 만족시킨다. 본 발명은 이것에 한정되지 않지만, 단락 동작시에, 시프트 트랜지스터(3102)가 더 높은 전류 구동 능력을 가질 수 있도록, 가능한 높은 전위가 바람직하다.

[0301] 배선(110)에 입력되는 전위 V_{dd2} 와, 배선(111)에 입력되는 전위 V_{ss1} 사이의 관계는 동일 또는 상이할 수도 있다. V_{dd2} 가 V_{ss1} 과 상이한 전위일 경우, 전류원 트랜지스터의 임계 전압, 부하에 인가되는 임계 전압, 또는 전류원 트랜지스터의 임계 전압과 부하에 인가되는 임계 전압의 합만큼, V_{dd2} 는 V_{ss1} 보다 높게 설정될 수도 있다.

[0302] 도 31에 도시된 전류원 회로의 동작에 대해 설명한다. 우선, 도 32에 도시된 것과 같이, 스위치(3104, 105 및 3106)는 ON 되고, 스위치(3103 및 106)는 OFF 된다. 그리고, 시프트 트랜지스터(3102)의 게이트 단자는 배선(3105)에 접속되어 있다. 배선(3105)에는 고전위측 전원(V_{dd})이 공급되므로, 시프트 트랜지스터(3102)의 게이트-소스 전압의 절대값은 상당히 커진다. 따라서, 시프트 트랜지스터(3102)는 상당히 높은 전류 구동 능력을 가지며, 그 소스 단자 및 드레인 단자는 대략 동일한 전위를 가진다. 그러므로, 제2전류원(3107)에 흐르는 전류 I_{b2} 는 커패시터 소자(104) 또는 전류원 트랜지스터(3101)에 흐름으로써, 전류원 트랜지스터(3101)의 소스 단자는 배선(3108)과 대략 동일한 전위를 가진다. 그때의 전류 경로는 화살표(3201)를 갖는 파선에 의해 개략적으로 도시되어 있다. 전류원 트랜지스터(3101)의 소스 및 드레인 사이에 흐르는 전류와, 제2전류원(3107)에 흐르는 전류 I_{b2} 가 동일해지면, 커패시터 소자(104)에는 전류가 흐르지 않는다. 즉, 정상 상태가 얻어진다. 그 다음, 그때의 게이트 단자의 전위는 커패시터 소자(104)에 축적된다. 즉, 전류원 트랜지스터(3101)의 소스 및 드레인 사이에 전류 I_{b2} 가 흐르게 하기 위해 필요한 전압은 그 게이트 단자에 인가된다. 상술한 동작은 프리차지 동작에 대응한다. 프리차지 동작시에는, 시프트 트랜지스터(3102)가 스위치로서 동작하며, 단락 동작을 수행한다.

[0303] 전류원 트랜지스터(3101)의 소스 전위, 배선(112)의 전위 V_{ss2} , 및 부하(108)의 전류-전압 특성으로 인해, 부하(108)에 전류가 거의 흐르지 않는다는 것에 유의해야 한다. 전류원 트랜지스터(3101)의 소스 전위는 전류원 트랜지스터(3101)의 게이트 전위, 즉, 배선(110)의 전위 V_{dd2} 에 의해 제어될 수 있다. 따라서, 배선(110)의 전위 V_{dd2} 는 부하(108)에 대한 전류 공급을 정지하도록 제어되는 것이 가능하다.

[0304] 다음으로, 도 33에 도시된 것과 같이, 스위치(3104 및 3106)는 OFF 되고, 스위치(105, 106 및 3103)는 ON 된다. 그리고, 시프트 트랜지스터(3102) 및 전류원 트랜지스터(3101)의 게이트 단자는 서로 접속되어 있다. 그때의 전류 경로는 화살표(3301)를 갖는 파선에 의해 개략적으로 도시되어 있다. 상술한 것과 같이, 전류원 트랜지스터(3101) 및 시프트 트랜지스터(3102)는 함께 멀티게이트 트랜지스터로서 작용한다. 그러므로, 전류원 트랜지스터(3101) 및 시프트 트랜지스터(3102)가 하나의 트랜지스터로서 간주되면, 트랜지스터의 게이트 길이 L 은 전류원 트랜지스터(3101)의 게이트 길이 L 보다 길다. 전류원 트랜지스터(3101) 및 시프트 트랜지스터(3102)를 포함하는 멀티게이트 트랜지스터의 소스 및 드레인 사이에 흐르는 전류가 제1전류원(107)에 흐르는 전류 I_{b1} 과 동일해지면, 커패시터 소자(104)에는 전류가 흐르지 않는다. 즉, 정상 상태가 얻어진다. 그때의 게이트 단자의 전위는 커패시터 소자(104)에 축적된다. 상기 동작은 설정 동작에 대응한다. 설정 동작시에는, 시프트 트랜지스터(3102)는 전류원 동작을 행한다.

[0305] 다음으로, 도 34에 도시된 것과 같이, 스위치(105, 106 및 3104)는 OFF 되고, 스위치(3103)는 ON 된다. 한편, 설정 동작시에 축적된 전하는 커패시터 소자(104)에 유지되고, 이 전하는 전류원 트랜지스터(3101) 및 시프트 트랜지스터(3102)의 게이트 단자에 인가된다. 상술한 것과 같이, 전류 I_{b1} 은 부하(108)에 흐른다. 그때의 전류 경로는 화살표(3401)를 갖는 파선에 의해 개략적으로 도시되어 있다. 상기 동작은 출력 동작에 대응한다.

[0306] 본 실시 형태에서는, 도 31에 도시된 전류원 회로를 설명하지만, 본 발명은 이 구성에 한정되지 않으며, 본 발명의 취지를 벗어나지 않으면, 각종 변형이 가능하다. 예를 들어, 실시 형태 1에 도시된 것과 같이, 스위치의 배치 및 수, 각 트랜지스터의 극성, 전류원 트랜지스터(3101)의 수 및 배치, 전류원의 수 및 배치, 시프트 트랜지스터의 수 및 배치, 각 배선의 전위, 또 다른 프리차지 방법이 조합되는지 아닌지의 여부, 전류 흐름의 방향 등을 변화시킴으로써, 각종 회로가 구성에 채용될 수 있다. 또한, 이러한 변화를 조합함으로써, 각종 회로를 사용한 구성이 달성될 수 있다.

[0307] 예를 들어, 프리차지 동작시에, 도 35에 도시된 것과 같이 접속이 행해지고, 설정 동작시에는, 도 36에 도시된 것과 같이 접속이 행해지며, 출력 동작시에는, 도 37에 도시된 것과 접속이 행해지도록 설계가 설정되기만 하면, 각 스위치는 어느 곳이나 배치될 수도 있다.

[0308] 본 실시 형태에서 설명된 내용은 부분적으로 변형된 실시 형태 1에 대응한다. 그러므로, 실시 형태 1에 설명된

내용은 본 실시 형태에도 마찬가지로 적용될 수 있다.

[0309] 본 실시 형태는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.

[0310] 실시예

[0311] [실시예 1]

[0312] 실시예 1에서는, 표시장치 및 신호선 구동회로 등의 구성을 설명한다. 본 발명의 반도체장치는 신호선 구동회로의 일부에 적용될 수 있다.

[0313] 도 42에 도시된 것과 같이, 본 발명이 적용될 수 있는 표시장치(4201)는 화소 영역(4202), 게이트선 구동회로(4203) 및 신호선 구동회로(4204)를 포함한다. 게이트선 구동회로(4203)는 선택 신호를 화소 영역(4202)에 순차적으로 출력한다. 신호선 구동회로(4204)는 비디오 신호를 화소 영역(4202)에 순차적으로 출력한다. 화소 영역(4202)에서는, 비디오 신호에 따라 광의 상태를 제어함으로써 화상이 표시된다. 신호선 구동회로(4204)로부터 화소 영역(4202)에 입력되는 비디오 신호는 전류이다. 즉, 표시소자와, 각 화소에 배치된 표시소자를 제어하기 위한 소자는 신호선 구동회로(4204)로부터 입력된 비디오 신호(전류)에 따라 그 상태를 변화시킨다. 화소에 배치된 표시소자의 예는 EL 소자, FED(Field Emission Display : 전계 방출 디스플레이)에 사용되는 소자 등을 포함한다.

[0314] 복수의 게이트선 구동회로(4203) 및 신호선 구동회로(4204)가 배치될 수도 있음에 유의해야 한다.

[0315] 신호선 구동회로(4204)의 구성은 복수의 부분으로 분할될 수 있다. 하나의 예로서, 시프트 레지스터(4205), 제1래치회로(LAT1)(4206), 제2래치회로(LAT2)(4207), 및 디지털-아날로그 변환회로(4208)로 대충 분할될 수 있다. 디지털-아날로그 변환회로(4208)는 전압을 전류로 변환하는 기능을 포함하며, 감마 보정을 제공하는 기능을 포함할 수도 있다. 즉, 디지털-아날로그 변환회로(4208)는 화소에 전류(비디오 신호)를 출력하기 위한 회로, 즉, 본 발명이 적용될 수 있는 전류원 회로를 포함한다.

[0316] 또한, 화소는 EL 소자와 같은 표시소자를 포함한다. 표시소자에 전류(비디오 신호)를 출력하기 위한 회로, 즉, 본 발명이 적용될 수 있는 전류원 회로도 설치되어 있다.

[0317] 신호선 구동회로(4204)의 동작에 대해 간단하게 설명한다. 시프트 레지스터(4205)는 복수 열의 플립플롭 회로(FF) 등을 이용하여 구성되며, 클록 신호(S-CLK), 시작 펄스(SP) 및 반전 클록 신호(S-CLKb)가 입력된다. 샘플링 펄스가 이들 신호의 타이밍에 응답하여 출력된다.

[0318] 시프트 레지스터(4205)로부터 출력된 샘플링 펄스는 제1래치회로(LAT1)(4206)에 입력된다. 제1래치회로(LAT1)(4206)에는 비디오 신호선으로부터 비디오 신호(VS)가 입력되며, 샘플링 펄스가 입력되는 타이밍에 응답하여 각 열에서 비디오 신호를 유지한다. 디지털-아날로그 변환회로(4208)가 배치되어 있을 경우, 비디오 신호는 디지털 값을 가진다. 또한, 이 단계의 비디오 신호는 많은 경우에 전압이다.

[0319] 그러나, 제1래치회로(4206) 및 제2래치회로(4207)가 아날로그 값을 기억할 수 있는 회로일 경우, 디지털-아날로그 변환회로(4208)는 많은 경우에 생략될 수 있다. 그 경우, 비디오 신호는 주로 전류이다. 또한, 화소 영역(4202)에 출력되는 데이터가 2진 값, 즉, 디지털 값을 가질 경우, 디지털-아날로그 변환회로(4208)는 많은 경우에 생략될 수 있다.

[0320] 제1래치회로(LAT1)(4207)에서 마지막 열까지 비디오 신호의 유지가 완료되면, 수평 귀선 기간에 래치 제어선으로부터 래치 펄스 LP가 입력되며, 제1래치회로(LAT1)(4206)에 유지된 비디오 신호는 제2래치회로(LAT2)(4207)에 일제히 전달된다. 그 후, 1행을 위해 제2래치회로(LAT2)(4207)에 유지된 비디오 신호는 디지털-아날로그 변환회로(4208)에 동시에 입력된다. 그 다음, 디지털-아날로그 변환회로(4208)로부터 출력된 신호는 화소 영역(4202)에 입력된다.

[0321] 제2래치회로(LAT2)(4207)에 유지된 비디오 신호가 디지털-아날로그 변환회로(4208)에 입력되고 화소 영역(4202)에 입력되는 동안, 시프트 레지스터(4205)로부터 샘플링 펄스가 다시 출력된다. 즉, 2개의 동작이 동시에 수행된다. 따라서, 선 순차 구동(line sequential drive)이 수행될 수 있다. 이 동작은 이후에 반복된다.

[0322] 디지털-아날로그 변환회로(4208)의 전류원 회로가 설정 동작 및 출력 동작을 수행하는 회로이면, 전류원 회로에 전류를 공급하는 회로가 필요하다. 그 경우, 기준 전류원 회로(4209)가 배치된다.

- [0323] 일부의 경우, 신호선 구동회로 또는 그 일부는 화소 영역(4202)과 동일한 기관의 상부에 존재하는 것이 아니라, 예를 들어, 외부의 IC 칩을 이용하여 형성된다. 그 경우, IC 칩 및 기관은 COG(Chip On Glass), TAB(Tape Auto Bonding), 인쇄 기관 등을 이용하여 접속된다.
- [0324] 신호선 구동회로 등의 구성은 도 42에 한정되지 않음에 유의해야 한다.
- [0325] 예를 들어, 제1래치회로(4206) 및 제2래치회로(4207)가 아날로그 값을 기억할 수 있을 경우, 일부의 경우에는, 도 43에 도시된 것과 같이, 기준 전류원 회로(4301)로부터 제1래치회로(LAT1)(4206)에 비디오 신호 VS(아날로그 전류)가 입력된다. 또한, 일부의 경우에는 도 42에서 제2래치회로(4207)가 설치되지 않는다.
- [0326] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0327] [실시예 2]
- [0328] 실시예 1에서 설명된 신호선 구동회로(4204)의 특정 구성에 대해 지금부터 설명한다.
- [0329] 우선, 도 44는 본 발명을 신호선 구동회로에 적용할 경우의 예를 도시한 것이다. 도 44의 구성은 전류원 트랜지스터(4401), 시프트 트랜지스터(4402), 스위칭 트랜지스터(4403), 스위칭 트랜지스터(4405), 스위칭 트랜지스터(4406), 커패시터 소자(4404), 전류원(4407), 부하(4408), 및 배선(4409, 4410 및 4411)을 포함하며, 각 소자는 도 1과 동일한 방식으로 접속되어 있다. 전류원 회로(4400)는 배선(4413, 4414 및 4415)에 의해, 설정 동작 및 출력 동작 사이, 단락 동작 및 전류원 동작 사이를 스위칭한다. 설정 동작시에는, 전류원(4407)으로부터 전류가 입력된다. 출력 동작시에는, 전류원 회로(4400)로부터 부하(4408)를 향해 전류가 출력된다.
- [0330] 우선, 도 42의 경우를 설명한다. 기준 전류원 회로(4209)의 전류원은 도 44의 전류원(4407)에 대응한다. 도 44의 부하(4408)는 스위치, 신호선, 또는 신호선에 접속된 화소에 대응한다. 전류원(4407)으로부터 일정한 전류가 출력된다. 도 44의 구성에서는, 출력 동작이 설정 동작과 동시에 수행될 수 없다. 그러므로, 출력 동작 및 설정 동작이 동시에 수행될 것이 요구되면, 둘 이상의 전류원 회로를 설치하여 이들을 스위칭하는 것이 바람직하다. 즉, 설정 동작은 하나의 전류원 회로에 의해 수행되는 한편, 출력 동작은 다른 전류원 회로에 의해 동시에 수행되며, 이것은 임의의 주기로 시프트된다. 따라서, 설정 동작 및 출력 동작은 동시에 수행될 수 있다.
- [0331] 또한, 아날로그 전류가 비디오 신호로서 화소에 출력되면, 디지털 값이 아날로그 값으로 변환될 것이 요구되므로, 도 45에 도시된 구성이 채용된다.
- [0332] 도 45에서는, 간략화를 위하여 3-비트의 경우를 설명한다. 즉, 전류값이 각각 I_c , $2 \cdot I_c$ 및 $4 \cdot I_c$ 이고, 각 전류원 회로(4502A, 4502B 및 4502C)가 각각 접속되어 있는 전류원(4501A, 4501B 및 4501C)이 존재한다. 그러므로, 전류원 회로(4502A, 4502B 및 4502C)는 출력 동작시에 I_c , $2 \cdot I_c$, 및 $4 \cdot I_c$ 의 전류를 출력한다. 스위치(4503A, 4503B 및 4503C)는 각 전류원 회로에 직렬로 접속되어 있다. 이들 스위치는 제2래치회로(LAT2)(4207)로부터 출력된 비디오 신호에 의해 제어된다. 각 전류원 회로 및 스위치로부터 출력된 전류의 합은 부하(4408), 즉, 표시장치의 신호선에 출력된다. 상술한 것과 같이 동작함으로써, 아날로그 전류는 비디오 신호로서 화소에 출력된다.
- [0333] 간략화를 위하여, 도 45에서 3 비트의 경우를 설명하지만, 본 발명은 이것에 한정되지 않는다. 유사하게 구성함으로써, 비트의 수가 용이하게 변화될 수 있다. 또한, 도 45의 구성의 경우, 전류원 회로를 병렬로 배치하고, 이들을 스위칭하여 동작시킴으로써, 설정 동작이 수행되면, 이와 동시에 출력 동작이 수행될 수 있다.
- [0334] 전류원 회로에 대한 설정 동작을 수행할 경우, 그 타이밍은 제어될 것이 요구된다. 그 경우, 설정 동작을 제어하기 위한 전용 구동회로(시프트 레지스터 등)가 배치될 수도 있다. 이와 달리, 전류원 회로에 대한 설정 동작은 LAT1 회로를 제어하기 위하여 시프트 레지스터로부터 출력되는 신호를 이용하여 제어될 수도 있다. 즉, LAT1 회로 및 전류원 회로의 양쪽은 하나의 시프트 레지스터에 의해 제어될 수도 있다. 그 경우, LAT1 회로를 제어하기 위하여 시프트 레지스터로부터 출력되는 신호는 전류원 회로에 직접 입력될 수도 있으며, 또는, LAT1 회로의 제어와, 전류원 회로의 제어를 분리하기 위하여, 전류원 회로는 분리를 제어하기 위한 회로를 통해 제어될 수도 있다. 전류원 회로에 대한 설정 동작은 LAT2 회로로부터 출력되는 신호를 이용하여 마찬가지로 제어될 수도 있다. LAT2 회로로부터 출력되는 신호는 대표적으로 비디오 신호이다. 그러므로, 비디오 신호로서 사용하는 경우와, 전류원 회로를 제어하는 경우로 분리하기 위하여, 전류원 회로는 분리를 제어하기 위한 회로를 통

해 제어될 수도 있다.

- [0335] 이하, 도 43의 경우를 설명한다. 기준 전류원 회로(4301)의 전류원은 도 44의 전류원(4407)에 대응한다. 도 44의 부하(4408)는 제2래치회로(LAT2)(4207)에 배치된 전류원 회로에 대응한다. 이 경우, 비디오 신호는 기준 전류원 회로(4301)의 전류원으로부터 전류로서 출력된다. 전류는 디지털 값 또는 아날로그 값을 가질수도 있음에 유의해야 한다.
- [0336] 각 비트에 대응하는 디지털 비디오 신호(전류값)은 제1래치회로(4206)에 입력될 수도 있음에 유의해야 한다. 각 비트에 대응하는 디지털 비디오 신호 전류를 모두 더함으로써, 디지털 값은 아날로그 값으로 변환될 수 있다. 그 경우, 신호의 전류값이 작아지기 때문에, 작은 디지털 수의 비트의 신호를 입력하는 경우에 대해 본 발명을 적용하는 것이 더욱 바람직하다. 이를 감안하면, 신호의 전류값은 본 발명을 적용함으로써 더 클 수 있다. 따라서, 신호의 기록 속도는 증가된다. 도 43에서, 둘 이상의 전류원 회로가 제1래치회로(4206)와 병렬로 배치되고, 제2래치회로(4207)가 설치되지 않은 경우에 이들을 시프트시켜서 사용할 수도 있음에 유의해야 한다. 따라서, 설정 동작 및 출력 동작은 동시에 수행될 수 있으며, 이것은 제2래치회로(4207)가 생략될 수 있도록 한다.
- [0337] 제1래치회로(4206)에 배치된 전류원 회로는 도 44의 전류원(4407)에 대응하고, 제2래치회로(4207)에 배치된 전류원 회로는 도 44의 부하(4408)에 대응하는 것으로 간주될 수도 있다.
- [0338] 또한, 전류원 회로는 도 42 및 도 43에 도시된 기준 전류원 회로(4209 및 4301)에 적용될 수 있다. 즉, 기준 전류원 회로(4209)는 도 44의 부하(4408)에 대응하고, 또 다른 전류원은 도 44의 전류원(4407)에 대응한다.
- [0339] 화소는 도 44의 부하(4408)에 대응하고, 신호선 구동회로(4204)의 화소에 전류를 출력하기 위한 전류원 회로는 도 44의 전류원(4407)에 대응한다고 간주될 수도 있다.
- [0340] 이와 같은 방식으로, 본 발명은 여러 부분에 적용될 수 있다.
- [0341] 도 1의 구성은 도 44의 전류원 회로(4400)의 구성으로서 사용되지만, 본 발명은 이것에 한정되지 않는다는 것에 유의해야 한다. 본 발명에 따른 각종 구성이 채용될 수 있다.
- [0342] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0343] [실시예 3]
- [0344] 실시예 3에서는, 본 발명이 화소에 적용될 경우의 기본 화소 구성에 대하여 도 46을 참조하여 설명할 것이다.
- [0345] 도 46에서, 본 실시예에 도시된 화소는, 항상 전류원(또는 전류원의 일부)으로서 작용하는 트랜지스터(4601)(이하, 제1전류원 트랜지스터 또는 전류원 트랜지스터라고 함), 상태에 따라 상이하게 동작하는 트랜지스터(4602)(이하, 제2트랜지스터 또는 시프트 트랜지스터라고 함), 제1스위치(4603), 커패시터 소자(4604), 제2스위치(4605), 제3스위치(4606), 표시소자(4608), 제1배선(4609), 제2배선(4610), 대향 전극(4612), 제3배선(4611), 제4배선(4614) 및 제5배선(4615)을 포함한다. 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)는 모두 N-채널 트랜지스터이다.
- [0346] 화소의 접속 구조를 설명한다.
- [0347] 전류원 트랜지스터(4601)의 제1단자(소스 단자 및 드레인 단자 중 하나) 및 제2단자(소스 단자 및 드레인 단자 중 다른 하나)는 시프트 트랜지스터(4602)를 통해, 표시소자(4608)의 화소 전극과, 제1배선(4609)에 각각 접속된다. 전류원 트랜지스터(4601)의 게이트 단자는 제2스위치(4605)와 커패시터 소자(4604)의 하나의 단자를 통해 제2배선(4610)에 접속되고, 커패시터 소자(4604)의 다른 단자는 전류원 트랜지스터(4601)의 제1단자에 접속된다. 따라서, 전류원 트랜지스터(4601)의 게이트 전위, 즉, 게이트-소스 전압(V_{gs})은 유지될 수 있다. 전류원 트랜지스터(4601)의 게이트는 제2스위치(4605)를 통해 배선(4610)에 접속된다. 제2스위치(4605)의 ON/OFF에 의해, 커패시터 소자(4604)에 대한 전하 공급은 제어될 수 있다. 말하자면, 제2스위치(4605)가 ON 상태이면, 전류원 트랜지스터(4601)의 게이트 단자 및 제2배선(4610)은 접속된다. 한편, 제2스위치(4605)가 OFF 상태이면, 전류원 트랜지스터(4601)의 게이트 단자 및 제2배선(4610)은 비접속으로 된다(또는 비접속 상태).
- [0348] 시프트 트랜지스터(4602)는, 상태에 따라 전류원으로서 작용하는 경우, 또는 소스 및 드레인 사이에 전류가 흐르지 않도록 작용(또는 스위치로서 작용)하는 경우에, 시프트 수단으로서 제1스위치(4603)를 포함한다.

여기서, 시프트 트랜지스터(4602)가 전류원(또는 그 일부)으로서 작용하는 경우를 전류원 동작이라고 한다. 또한, 시프트 트랜지스터(4602)가 소스 및 드레인 사이에 전류가 흐르지 않도록 동작(또는 스위치로서 작용)할 경우, 또는, 소스-드레인 전압이 작을 때 동작하는 경우를 단락 동작이라고 한다. 도 46에서, 시프트 트랜지스터(4602)의 소스 단자 및 드레인 단자는 제1스위치(4603)를 통해 접속될 수 있다. 시프트 트랜지스터(4602)의 게이트 단자는 전류원 트랜지스터(4601)의 게이트 단자에 접속된다. 시프트 트랜지스터(4602)의 동작은 제1스위치(4603)를 이용하여 전류원 동작 또는 단락 동작으로 시프트될 수 있다.

- [0349] 전류원 트랜지스터(4601)의 제1단자는 제3스위치(4606)를 통해 제3배선(4611)에 접속된다. 즉, 제3스위치(4606)가 ON 상태이면, 전류원 트랜지스터(4601)의 제1단자 및 제3배선(4611)이 접속된다. 한편, 제3스위치(4606)가 OFF 상태이면, 전류원 트랜지스터(4601)의 제1단자 및 제3배선(4611)은 비접속으로 된다.
- [0350] 커패시터 소자(4604)는, 배선, 활성층, 전극 등에 의해 절연막이 끼워지거나, 전류원 트랜지스터(4601)의 게이트 커패시터를 이용하여 생략될 수 있는 구조를 가질 수도 있다.
- [0351] 소정의 전위가 표시소자(4608)의 대향 전극(4612), 제1배선(4609) 및 제2배선(4610)에 각각 입력됨에 유의해야 한다.
- [0352] 제2스위치(4605) 및 제3스위치(4606)의 ON/OFF는 제4배선(4614)에 신호를 입력하여 제어된다.
- [0353] 제1스위치(4603)의 ON/OFF는 제5배선(4615)에 신호를 입력하여 제어된다.
- [0354] 또한, 화소의 계조에 따른 신호는 제3배선(4611)에 입력된다. 이 신호는 비디오 신호에 대응하고, 신호 전류는 제3배선(4611)에 흐른다.
- [0355] 제1스위치(4603), 제2스위치(4605) 및 제3스위치(4606)에는 트랜지스터가 적용될 수 있음에 유의해야 한다. 따라서, 도 47을 참조하여, 제1스위치(4603), 제2스위치(4605) 및 제3스위치(4606)에 대하여 N-채널 트랜지스터가 적용되는 경우를 설명한다. 도 46과 동일한 부분은 동일한 참조 번호에 의해 설명하며, 그 설명은 생략한다.
- [0356] 제1스위칭 트랜지스터(4703)는 제1스위치(4603)에 대응한다. 제2스위칭 트랜지스터(4705)는 제2스위치(4605)에 대응한다. 제3스위칭 트랜지스터(4706)는 제3스위치(4606)에 대응한다.
- [0357] 제1스위칭 트랜지스터(4703)의 게이트 단자는 제5배선(4615)에 접속되고, 그 제1단자(소스 단자 및 드레인 단자 중 하나)는 시프트 트랜지스터(4602)의 제1단자에 접속되며, 그 제2단자(소스 단자 및 드레인 단자 중 다른 하나)는 시프트 트랜지스터(4602)의 제2단자에 접속된다. 그러므로, 제5배선(4615)에 입력되는 신호가 H 레벨이면, 제1스위칭 트랜지스터(4703)는 ON 되는 반면, 제5배선(4615)에 입력되는 신호가 L 레벨이면, 제1스위칭 트랜지스터(4703)는 OFF 된다. 바꾸어 말하면, 제1스위칭 트랜지스터(4703)가 ON 되므로, 시프트 트랜지스터(4602)는 단락 동작을 행한다.
- [0358] 제2스위칭 트랜지스터(4705)의 게이트 단자, 제1단자(소스 단자 및 드레인 단자 중 하나) 및 제2단자(소스 단자 및 드레인 단자 중 다른 하나)는 커패시터 소자(4604)를 통해, 제4배선(4714), 제2배선(4610), 및 표시소자(4608)의 화소 전극과 전류원 트랜지스터(4601)의 제1단자에 각각 접속된다. 그러므로, 제4배선(4614)에 입력되는 신호가 H 레벨이면, 제2스위칭 트랜지스터(4705)는 ON 되는 반면, 제4배선(4614)에 입력되는 신호가 L 레벨이면, 제2스위칭 트랜지스터(4705)는 OFF 된다.
- [0359] 제3스위칭 트랜지스터(4706)의 게이트 단자, 제1단자(소스 단자 및 드레인 단자 중 하나) 및 제2단자(소스 단자 및 드레인 단자 중 다른 하나)는 제4배선(4714), 전류원 트랜지스터(4601)의 게이트 단자, 및 제3배선(4611)에 각각 접속된다. 그러므로, 제4배선(4614)에 입력되는 신호가 H 레벨이면, 제3스위칭 트랜지스터(4706)는 ON 되는 반면, 제4배선(4614)에 입력되는 신호가 L 레벨이면, 제3스위칭 트랜지스터(4706)는 OFF 된다.
- [0360] 다음으로, 도 48a 내지 도 48c를 참조하여, 본 실시 형태의 화소의 동작에 대해 설명한다. 도 48a 내지 도 48c에서는, 도 46 및 도 47의 화소가 동일한 방식으로 동작하므로, 도 47의 화소 구성을 이용하여 설명한다는 점에 유의해야 한다.
- [0361] 제3배선(4611)에 접속된 전류원(4801)은 화소에 기록되는 신호 전류 Idata를 설정한다는 점에 유의해야 한다. 제3배선(4611)은 전류원(4801)을 통해 배선(4812)에 접속된다. 배선(4812)에는 소정의 전위가 입력된다. 여기서, 제1배선(4609), 제2배선(4610), 배선(4812) 및 대향 전극(4612)에 입력되는 전위는 V1, V2, V3 및 Vcom으로 각각 나타낸다. 전위의 관계와 관련하여, V1>V2>V3 및 V1>Vcom>V3가 적어도 만족된다.
- [0362] 화소의 동작은 화소에 신호를 기록하기 위한 신호 기록 동작과, 화소에 기록된 신호에 따라 계조 레벨의 발광을

위한 발광 동작을 포함한다는 점에 유의해야 한다. 도 48a 및 도 48b는 모두 신호 기록 동작을 도시하는 도면이고, 도 48c는 발광 동작을 도시하는 도면이다.

[0363] 우선, 도 48a를 참조하여, 신호 기록 동작시의 트랜지스터 상태를 설명한다. 제4배선(4614) 및 제5배선(4615)에 입력되는 신호는 H 레벨로 설정됨으로써, 제1, 제2 및 제3스위칭 트랜지스터(4703, 4705 및 4706)를 ON 시킨다. 따라서, 도 48a에 도시된 것과 같이 전류가 흐른다. 즉, 전류의 경로로서, 제2스위칭 트랜지스터(4705)를 통해 제2배선(4610)으로부터 커패시터 소자(4604)로 전류가 흐르는 제1경로와, 제1스위칭 트랜지스터(4703)를 통해 제1배선(4609)으로부터 전류원 트랜지스터(4601)로 전류가 흐르는 제2경로가 존재한다. 제1경로를 통해 흐르는 전류 I_c 와, 제2경로를 통해 흐르는 전류 I_{tr} 은 전류원 트랜지스터(4601)의 제1단자와, 커패시터 소자(4604)의 제2전극의 접속 부분에서 합쳐진다. 그리고, 전류 I_c 및 전류 I_{tr} 은 신호 전류 I_{data} 로서, 제3스위칭 트랜지스터(4706) 및 전류원(4801)을 통해 배선(4812)에 흐른다. 즉, $I_c + I_{tr} = I_{data}$ 가 만족된다.

[0364] 오래되지 않아 커패시터 소자(4604)에는 전류가 흐르지 않으며, 이것은 신호 기록 동작시의 정상 상태가 된다. 그러므로, 도 48b에 도시된 것과 같이 전류가 흐른다. 제1배선(4609)으로부터 전류원 트랜지스터(4601)로 흐르는 전류 I_{tr} 은 신호 전류 I_{data} 와 동일하다. 즉, 전류원 트랜지스터(4601)의 게이트-소스 전압 V_{gs} 는 신호 전류 I_{data} 를 전류원 트랜지스터(4601)에 인가하기 위해 필요하다. 전류원 트랜지스터(4601)의 게이트-소스 전압 V_{gs} 를 위한 전하는 커패시터 소자(4604)에 축적된다. 그때, 시프트 트랜지스터(4602)는 소스-드레인 전압이 작은 상태에서 동작하고, 단락 동작을 행한다.

[0365] 이때, 전류원 트랜지스터(4601)의 게이트 단자 및 제1단자(여기서는, 소스)의 전위가 V_a 및 V_b 로 표시되면, $V_{gs} = (V_a - V_b)$ 가 만족되는 점에 유의해야 한다. 표시소자(4608)의 순방향 임계 전압이 V_{ELth} 로 표시되면, $(V_b - V_{com}) < V_{ELth}$ 가 만족되는 것이 바람직하며, 이에 따라, 신호 기록 동작시에 표시소자(4608)에 전류를 인가하지 않을 수 있다. 그러므로, 제2배선(4610)에 입력되는 전위 V_2 는 $V_1 > V_2 > V_3$ 을 만족하도록 설정되는 것이 바람직하다. $V_2 = V_{com}$ 이 만족되면, 화소에 필요한 전원의 수는 감소될 수 있다. 또한, V_2 및 V_{com} 을 $(V_b - V_{com}) < V_{ELth}$ 를 만족시키는 범위에 설정함으로써, 신호 기록 동작시에 표시소자(4608)에 역방향 바이어스가 인가될 수 있다.

[0366] 표시소자(4608)에 역방향 바이어스가 인가되더라도, 통상적인 표시소자(4608)에는 전류가 흐르지 않는다(흐르더라도, 작은 양의 전류임)는 점에 유의해야 한다. 한편, 표시소자(4608)가 단락이면, 전류는 단락 부분에 흐른다. 그리고, 단락 부분은 절연됨으로써, 표시 결함은 향상될 수 있다.

[0367] 다음으로, 도 48c를 참조하여, 발광 동작에 대해 설명한다. 제4배선(4614) 및 제5배선(4615)에 입력되는 신호는 L 레벨로 설정됨으로써, 제1, 제2 및 제3스위칭 트랜지스터(4703, 4705 및 4706)를 OFF 시킨다. 따라서, 도 48c에 도시된 것과 같이 전류가 흐른다. 이때, 제3스위칭 트랜지스터(4706)는 OFF 상태이다. 그러므로, 커패시터 소자(4604)는 신호 전류 I_{data} 를 전류원 트랜지스터(4601)에 인가하기 위해 필요한 게이트-소스 전압 V_{gs} 를 유지한다. 따라서, 신호 전류 I_{data} 와 거의 동일한 전류를 공급하기 위한 V_{gs} 는 전류원 트랜지스터(4601)에 인가된다.

[0368] 여기서, 트랜지스터의 채널 길이 및 채널 폭은 L 및 W 로 각각 나타낸다. 트랜지스터가 포화 영역에서 동작하면, 게이트-소스 전압이 일정할 경우, 트랜지스터에 흐르는 전류값은 일반적으로 W/L 에 비례한다. 바꾸어 말하면, 전류값은 채널 폭 W 에 비례하고, 채널 길이 L 에는 반비례한다.

[0369] 본 실시예에서, 전류원 트랜지스터(4601)의 채널 길이와 시프트 트랜지스터(4602)의 채널 길이는 L_1 및 L_2 로 각각 나타내고, 이들 트랜지스터는 동일한 채널 폭 W 를 가진다. 전류가 흘러 지나가는 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)가 멀티게이트 트랜지스터로서 작용하면, 도 48c에서, 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)는 전류원으로서 작용한다. 그때, 멀티게이트 트랜지스터는 채널 길이 $(L_1 + L_2)$ 및 채널 폭 W 를 가지는 것으로 간주된다. 한편, 도 48c에서, 전류는 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)를 통해 흐르고, 멀티게이트 트랜지스터는 채널 폭 W 및 채널 길이 $(L_1 + L_2)$ 를 가진다. 그러므로, 발광 동작시, $I_{data} \times (L_1 / (L_1 + L_2))$ 의 전류가 표시소자(4608)에 인가될 수 있다.

[0370] 이와 같은 방식으로, 시프트 트랜지스터(4602)는 설정 동작시에 단락되고, 발광 동작시에 전류원으로서 동작하게 됨으로써, 신호 기록 동작시에 인가되는 신호 전류보다 더 작은 양의 전류가 표시소자(4608)에 인가될 수 있다. 바꾸어 말하면, 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)의 채널 길이를 조정함으로써, 신호 기록 동작시에 인가되는 신호 전류보다 더 작은 양의 전류가 표시소자(4608)에 인가될 수 있다.

- [0371] 이때, 전류원 트랜지스터(4601)의 게이트 단자 및 제1단자의 전위를 V_a' 및 V_b' 으로 각각 나타내면, $V_{gs}=(V_a'-V_b')$ 이 만족되는 것에 유의해야 한다. 이것은, $V_b'>V_b$ 가 만족되지만, 커패시터 소자(4604)는 게이트-소스 전압 V_{gs} 를 유지하므로, V_b' 가 증가될 때, V_a' 가 증가되기 때문이다.
- [0372] 제4배선(4614)에 입력되는 H 레벨 신호 및 L 레벨 신호의 전위를 $V_4(H)$ 및 $V_4(L)$ 로 각각 나타내면, 아래의 전위가 바람직하다는 것에 유의해야 한다. 제2스위칭 트랜지스터(4705) 및 제3스위칭 트랜지스터(4706)의 임계 전압은 V_{th2} 및 V_{th3} 으로 각각 나타낸다.
- [0373] 도 48b에 도시된 것과 같이, 표시소자(4608)의 화소 전극의 전위가 V_b 가 되더라도, 제3스위칭 트랜지스터(4706)는 ON 상태일 필요가 있다. 그러므로, $V_4(H)>(V_b+V_{th3})$ 이 만족되도록 설정된다. 또한, 제2스위칭 트랜지스터(4705)가 ON 상태가 되도록 하기 위하여, $V_4(H)>(V_2+V_{th2})$ 가 만족되도록 설정된다. 구체적으로, 예를 들어, $V_2=V_{com}$ 이 만족되면, $V_4(H)$ 는 V_{com} 보다 1 내지 8V 만큼 높은 전위인 것이 바람직하다.
- [0374] 도 48c에 도시된 것과 같이, 제3스위칭 트랜지스터(4706)가 OFF 되도록 하기 위하여, $V_4(L)<(V_b+V_{th3})$ 이 만족된다. 즉, 신호 전류가 다른 화소에 기록되면, 제3배선(4611)의 전위는 V_b 가 된다. 그러므로, 이 전위에서 선택되지 않은 화소에서는, 제3스위칭 트랜지스터(4706)가 OFF 상태일 필요가 있다. 또한, 제2스위칭 트랜지스터(4705)가 OFF 상태로 되도록 하기 위하여, $V_4(L)<(V_2+V_{th2})$ 가 만족된다. 구체적으로, 예를 들어, $V_2=V_{com}$ 이 만족되면, $V_4(L)$ 은 V_{com} 보다 1 내지 8V 만큼 낮은 전위인 것이 바람직하다.
- [0375] 본 실시예에서 설명된 화소 구성을 채용함으로써, 신호 기록 동작시에, 전류원 트랜지스터의 게이트 단자의 전위가 제어되고, 이에 따라, 이때, 표시소자에 전류가 흐르는 것을 방지할 수 있다.
- [0376] 도 47에 도시된 화소 구성을 채용함으로써, 화소는 N-채널 트랜지스터만으로 구성될 수 있고, 이것은 제조 공정을 간략화시킬 수 있다는 것에 유의해야 한다. 비정질(amorphous) 반도체, 반-비정질(semi-amorphous) 반도체(미정질 반도체(microcrystalline semiconductor)라고도 함) 등은 화소를 구성하는 트랜지스터의 반도체층으로 사용될 수 있다. 예를 들어, 비정질 반도체로서 비정질 실리콘(a-Si:H)이 사용될 수도 있다. 그러므로, 제조 공정은 더욱 간략화될 수 있다. 그 결과, 제조 비용의 감소 및 수율의 향상이 달성될 수 있다.
- [0377] 또한, 본 발명의 구조를 채용함으로써, 신호 기록 동작시에 $V_{ds}>V_{gs}$ 가 만족될 수 있다. 신호 기록 동작 및 발광 동작 사이에 V_{ds} 의 변화를 작게 할 수 있다. 그러므로, 전류원 트랜지스터(4601)의 포화 영역에서 정전류 특성(전류의 평탄성)이 나쁘더라도, 신호 기록 동작 및 발광 동작시에 전류값이 거의 동일하다. 특히, (비정질 실리콘과 같은) 비정질 반도체막이 전류원 트랜지스터(4601)의 반도체층으로서 사용되면, 전류원 트랜지스터(4601)의 포화 영역에서의 정전류 특성(전류의 평탄성)이 열화될 수도 있다. 그러므로, 전류원 트랜지스터(4601)의 반도체층으로서 비정질 반도체막이 사용될 경우에 본 발명의 구조가 적용되면, 표시 결함이 방지될 수 있다.
- [0378] 또한, 도 47에 도시된 전류원 트랜지스터(4601)의 소스 및 드레인 단자 사이에는 고전압이 인가되므로, 전류원 트랜지스터(4601)의 채널 길이는 제3스위칭 트랜지스터(4706) 또는 제2스위칭 트랜지스터(4705)의 채널 길이보다 긴 것이 바람직하다. 이와 달리, 도 62에 도시된 것과 같이, 멀티게이트 트랜지스터(6201)가 전류원 트랜지스터(4601)에 적용될 수도 있다. 따라서, 트랜지스터의 내압이 증가함으로써, 트랜지스터가 손상되는 것을 방지할 수 있다.
- [0379] 다음으로, 도 49를 참조하여, 본 발명의 화소를 포함하는 표시장치에 대해 설명한다.
- [0380] 표시장치는 신호선 구동회로(4901), 제1주사선 구동회로(4902A), 제2주사선 구동회로(4902B), 및 화소부(4903)를 포함한다. 화소부(4903)는, 신호선 구동회로(4901)로부터 열방향으로 연장된 복수의 신호선 S_1 내지 S_n , 제1주사선 구동회로(4902A)로부터 행방향으로 연장된 복수의 주사선 G_1 내지 G_m , 제2주사선 구동회로(4902B)로부터 행방향으로 연장된 복수의 주사선 g_1 내지 g_m , 신호선 S_1 내지 S_n 및 주사선 G_1 내지 G_m 에 대응하는 매트릭스에 배치된 복수의 화소(4904)를 포함한다. 또한, 화소부(4903)는 신호선 S_1 내지 S_n 과 평행한 전원선 P_1 내지 P_n 과, 바이어스선 B_1 내지 B_n 을 포함한다. 각 화소(4904)는 신호선 S_j (신호선 S_1 내지 S_n 중 하나), 제1주사선 G_i (주사선 G_1 내지 G_m 중 하나), 제2주사선 g_i (주사선 g_1 내지 g_m 중 하나), 전원선 P_j (전원선 P_1 내지 P_n 중 하나), 및 바이어스선(바이어스선 B_1 내지 B_n 중 하나)에 접속된다.
- [0381] 제1주사선 G_i 는 도 46의 제4배선(4614)에 대응함에 유의해야 한다. 제2주사선 g_i 는 도 46의 제5배선(4615)에 대응한다. 신호선 S_j 는 도 46의 제3배선(4411)에 대응한다. 전원선 P_j 는 도 46의 제1배선(4609)에 대응한다. 바이어스선 B_j 는 도 46의 제2배선(4610)에 대응한다.

- [0382] 주사선 G1 내지 Gm은 주사선 구동회로(4902A)로부터 출력된 신호에 의해 하나씩 선택된다. 그리고, 선택된 주사선에 접속되어 있는 화소(4904)에 신호가 기록된다. 이때, 각 화소의 제조 레벨에 따라 신호 전류가 각 신호선 S1 내지 Sn에 흐른다.
- [0383] 신호 기록이 완료된 후, 또 다른 주사선이 선택되면, 주사선에 접속된 화소(4904)에 대해 신호 기록이 수행된다. 신호가 기록된 화소는 발광 동작을 시작하고, 화소에 기록된 신호에 따라 발광한다. 따라서, 신호가 순차적으로 화소(4904)에 기록되어, 모든 화소(4904)에 대해 순차적으로 신호 기록을 수행한다.
- [0384] 그러나, 도 49에 도시된 표시장치의 구조는 단지 하나의 예이며, 본 발명은 이것에 한정되지 않는다. 즉, 전원선 P1 내지 Pn과 바이어스선 B1 내지 Bn은 신호선 S1 내지 Sn과 평행하게 배치될 필요가 없다. 전원선 및 바이어스선은 주사선 G1 내지 Gm과 평행하게 배치될 수도 있다. 이와 달리, 전원선 또는 바이어스선의 각각은 격자 패턴으로 배치될 수도 있다. 화소부(4903)가 복수의 색요소를 포함할 경우, 전원선 및 바이어스선은 도 49에 도시된 것과 같이 배치되는 것이 바람직하다는 점에 유의해야 한다.
- [0385] 즉, 도 90에 도시된 것과 같이, 도 46의 화소의 제2배선(4610)은 제4배선(4614)과 평행하게 배치될 수도 있다. 이 경우, 도 91에 도시된 것과 같이, 도 49의 바이어스선 B1 내지 Bn에 대응하는 바이어스선 B1 내지 Bm은 주사선 G1 내지 Gm과 평행하게 배치된다. 바이어스선 B1 내지 Bm의 전위는 변동될 수도 있다. 바꾸어 말하면, 바이어스선은 주사될 수도 있다. 이 경우, 주사선 G1 내지 Gm을 주사하는 주사선 구동회로(4902)에 더하여, 바이어스선 구동회로가 설치될 수도 있다.
- [0386] 화소부(4903)가 복수의 색요소를 포함할 경우, 전원선의 전위와, 색요소인 각 화소에 접속된 바이어스선은 변동될 수도 있다. 또한, 색요소인 화소마다 화소 전극의 사이즈가 상이할 수도 있다. 즉, 색요소인 화소마다 발광 면적이 상이할 수도 있다. 따라서, 상이한 컬러의 EL 소자가 풀 컬러 디스플레이를 위한 표시소자로서 사용될 경우, 색 균형 및 EL 소자의 열화의 진행이 제어될 수 있다.
- [0387] 따라서, 도 46에 도시된 화소에서는, 제2스위치(4605) 및 제3스위치(4606)의 ON/OFF를 별도로 제어하기 위하여, 추가적인 배선이 설치될 수도 있다. 즉, 도 50에 도시된 것과 같이, 제2스위치(4605)의 ON/OFF를 제어하기 위한 제4배선 A 5001과 함께, 제3스위치(4606)의 ON/OFF를 제어하기 위한 제4배선 B 5002이 설치될 수도 있다. 이 경우, 신호 기록 동작이 완료된 후, 제3스위치(4606) 및 제2스위치(4605)가 동시에 OFF 되거나, 제3스위치(4606)가 OFF 되기 전에 제2스위치(4605)가 OFF 된다.
- [0388] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0389] [실시예 4]
- [0390] 실시예 4는 본 발명이 화소에 적용되는 또 다른 화소 구성을 도시한 것이다.
- [0391] 도 1 또는 도 2의 화소에서는, 또 다른 행의 화소의 제4배선(4614)이 제2배선(4610)을 대신하여 사용될 수 있다. 즉, 이 경우, 도 49에 도시된 표시장치의 바이어스선 B1 내지 Bn은 생략될 수 있다. 하나의 예로서, 도 59는, 도 47의 화소의 제2배선(4610)이 생략되어 있고, 인접 행의 화소의 제4배선(4614)이 대신에 사용되고 있는 구조를 도시한 것이다.
- [0392] 도 60에 도시된 것과 같이, N-채널 트랜지스터인 제1스위칭 트랜지스터(4703), 제2스위칭 트랜지스터(4705) 및 제3스위칭 트랜지스터(4706)는 도 50의 화소의 제1스위치(4603), 제2스위치(4605) 및 제3스위치(4606)에 각각 적용될 수 있고, 또 다른 행의 화소의 제4배선 A 5001은 제2배선(4610)을 대신하여 사용될 수 있다.
- [0393] 도 61에 도시된 것과 같이, 도 47에서 설명된 N-채널 트랜지스터인 제1스위칭 트랜지스터(4703), 제2스위칭 트랜지스터(4705) 및 제3스위칭 트랜지스터(4706)는 도 50의 화소의 제1스위치(4603), 제2스위치(4605) 및 제3스위치(4606)에 각각 적용될 수 있고, 또 다른 행의 화소의 제4배선 B 5002는 제2배선(4610) 대신에 사용될 수도 있다.
- [0394] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0395] [실시예 5]
- [0396] 실시예 5는 본 발명이 화소에 적용되는 또 다른 화소 구성을 도시한 것이다.

- [0397] 화소가 트랜지스터를 이용하여 형성되면, 화소 사이의 트랜지스터의 특성 변동이 문제가 된다. 트랜지스터 특성 변동은 표시 불균일로서 인식된다.
- [0398] 본 실시예에서는, 본 발명의 화소에서 사용되는 트랜지스터(ON 되는 트랜지스터)가 각 주기마다 시프트됨으로써, 시간의 측면에서 트랜지스터 특성이 평균화될 수 있고 표시 불균일이 거의 인식될 수 없는 경우에 대해 설명한다.
- [0399] 본 실시예의 화소는 도 51에 도시되어 있다.
- [0400] 본 실시예의 화소는, 제1전류원 트랜지스터(5101A), 제2전류원 트랜지스터(5101B), 제1시프트 트랜지스터(5102A), 제2시프트 트랜지스터(5102B), 제1스위치 A 5103A, 제1스위치 B 5103B, 커패시터 소자(5104), 제2스위치(5105), 제3스위치(5106), 표시소자(5108), 제1배선(5109), 제2배선(5110), 제3배선(5111), 대향 전극(5112), 제4배선(5114), 제5배선 A 5115A 및 제5배선 B 5115B, 제4스위치 A 5116A, 및 제4스위치 B 5116B를 포함한다. 제1전류원 트랜지스터(5101A), 제2전류원 트랜지스터(5101B), 제1시프트 트랜지스터(5102A), 제2시프트 트랜지스터(5102B)는 N-채널 트랜지스터인 것에 유의해야 한다.
- [0401] 우선, 화소의 접속 구조에 대해 설명한다.
- [0402] 제1전류원 트랜지스터(5101A)의 제1단자(소스 단자 및 드레인 단자 중 하나)는 표시소자(5108)의 화소 전극에 접속되고, 제1전류원 트랜지스터(5101A)의 제2단자(소스 단자 및 드레인 단자의 다른 하나)는 제1시프트 트랜지스터(5102A) 및 제4배선 A 5116A를 통해 제1배선(5109)에 접속되며, 제1전류원 트랜지스터(5101A)의 게이트 단자는 제2스위치(5105)를 통해 제2배선(5110)에 접속된다. 또한, 제1전류원 트랜지스터(5101A)의 게이트 단자는 커패시터 소자(5104)의 하나의 단자에 접속되고, 커패시터 소자(5104)의 다른 단자는 제1전류원 트랜지스터(5101A)의 제1단자에 접속된다. 따라서, 제1전류원 트랜지스터(5101A)의 게이트 전위, 즉, 게이트-소스 전압(V_{gs})은 유지될 수 있다. 제1전류원 트랜지스터(5101A)의 게이트는 제2스위치(5105)를 통해 제2배선(5110)에 접속되고, 커패시터 소자(5104)에 대한 전하 공급은 제2스위치(5105)의 ON/OFF에 의해 제어될 수 있다. 즉, 제2스위치(5105)가 ON 상태이면, 제1전류원 트랜지스터(5101A)의 게이트 단자 및 제2배선(5110)은 접속된다. 한편, 제2스위치(5105)가 OFF 상태이면, 제1전류원 트랜지스터(5101A)의 게이트 단자 및 제2배선 A 5105A는 비접속으로 된다.
- [0403] 이와 유사하게, 제2전류원 트랜지스터(5101B)의 제1단자(소스 단자 및 드레인 단자 중 하나)는 표시소자(5108)의 화소 전극에 접속되고, 제2전류원 트랜지스터(5101B)의 제2단자(소스 단자 및 드레인 단자 중 다른 하나)는 제2시프트 트랜지스터(5102B) 및 제4스위치 B 5116B를 통해 제1배선(5109)에 접속되며, 제2전류원 트랜지스터(5101B)의 게이트 단자는 제2스위치(5105)를 통해 제2배선(5110)에 접속된다. 또한, 제2전류원 트랜지스터(5101B)의 게이트 단자는 커패시터 소자(5104)의 하나의 단자에 접속되고, 커패시터 소자(5104)의 다른 단자는 제2전류원 트랜지스터(5101B)의 제1단자에 접속된다. 따라서, 제2전류원 트랜지스터(5101B)의 게이트 전위, 즉, 게이트-소스 전압(V_{gs})은 유지될 수 있다. 제2전류원 트랜지스터(5101B)의 게이트는 제2스위치(5105)를 통해 제2배선(5110)에 접속되고, 커패시터 소자(5104)에 대한 전하 공급은 제2스위치(5105)의 ON/OFF에 의해 제어될 수 있다. 즉, 제2스위치(5105)가 ON 상태이면, 제2전류원 트랜지스터(5101B)의 게이트 단자 및 제2배선(5110)은 접속된다. 한편, 제2스위치(5105)가 OFF 상태이면, 제2전류원 트랜지스터(5101B)의 게이트 단자 및 제2배선 B 5105B는 비접속으로 된다.
- [0404] 제1시프트 트랜지스터(5102A)는, 상태에 따라 전류원으로서 작용하는 경우, 또는 소스 및 드레인 사이에 전류가 흐르지 않도록 작용(또는 스위치로서 작용)하는 경우에, 시프트 수단으로서 제1스위치 A 5103A를 포함한다. 여기서, 제1시프트 트랜지스터(5102A)가 전류원(또는 그 일부)으로서 작용하는 경우를 전류원 동작이라고 한다. 또한, 제1시프트 트랜지스터(5102A)가 소스 및 드레인 사이에 전류가 흐르지 않도록 작용(또는 스위치로서 작용)하는 경우, 소스-드레인 전압이 작은 경우를 단락 동작이라고 한다. 도 51에서는, 제1시프트 트랜지스터(5102A)의 소스 단자 및 드레인 단자가 제1스위치 A 5103A를 통해 접속될 수 있다. 제1시프트 트랜지스터(5102A)의 게이트 단자는 제1전류원 트랜지스터(5101A)의 게이트 단자에 접속된다. 제1시프트 트랜지스터(5102A)의 동작은 제1스위치 A 5103A를 이용하여 전류원 동작 또는 단락 동작으로 시프트될 수 있다.
- [0405] 이와 유사하게, 제2시프트 트랜지스터(5102B)는, 상태에 따라 전류원으로서 작용하는 경우, 또는 소스 및 드레인 사이에 전류가 흐르지 않도록 작용(또는 스위치로서 작용)하는 경우에, 시프트 수단으로서 제2스위치(5103)를 포함한다. 여기서, 제2시프트 트랜지스터(5102B)가 전류원(또는 그 일부)으로서 작용하는 경우를 전류원 동작이라고 한다. 또한, 제2시프트 트랜지스터(5102B)가 소스 및 드레인 사이에 전류가 흐르지 않도록 동작(또는

스위치로서 작용)하는 경우, 또는 소스-드레인 전압이 작은 경우를 단락 동작이라고 한다. 도 51에서는, 제2시프트 트랜지스터(5102B)의 소스 단자 및 드레인 단자가 제2스위치(5103)를 통해 접속될 수 있다. 제2시프트 트랜지스터(5102B)의 게이트 단자는 제2전류원 트랜지스터(5101B)의 게이트 단자에 접속된다. 제2시프트 트랜지스터(5102B)의 동작은 제2스위치(5103)를 이용하여 전류원 동작 또는 단락 동작으로 시프트될 수 있다.

[0406] 제1전류원 트랜지스터(5101A)의 제1단자 및 제2전류원 트랜지스터(5101B)의 제1단자는 제3스위치(5106)를 통해 제3배선(5111)에 접속된다. 즉, 제3스위치(5106)가 ON 상태이면, 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)의 제1단자는 제3배선(5111)에 접속된다. 한편, 제3스위치(5106)가 OFF 상태이면, 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)의 제1단자는 제3배선(5111)과 비접속으로 된다.

[0407] 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)의 게이트 단자는 서로 접속되고, 제1시프트 트랜지스터(5102A) 및 제2시프트 트랜지스터(5102B)의 게이트 단자는 서로 접속된다. 커패시터 소자(5104)는 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)의 게이트 단자 및 제1단자 사이에 접속된다. 즉, 커패시터 소자(5104)의 제1전극은 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)의 게이트 단자에 접속되고, 커패시터 소자(5104)의 제2전극은 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)의 제1단자에 접속된다. 커패시터 소자(5104)는, 배선, 활성층, 전극 등의 사이에 절연막이 끼워져 있거나, 제1전류원 트랜지스터(5101A)의 게이트 커패시터 또는 제2전류원 트랜지스터(5101B)의 게이트 커패시터를 이용하여 절연막이 생략될 수 있는 구조를 가질 수도 있음에 유의해야 한다.

[0408] 제1스위치 A 5103A의 게이트 단자는 제5배선 A 5115A에 접속되고, 그 제1단자(소스 단자 또는 드레인 단자)는 제1시프트 트랜지스터(5102A)의 제1단자에 접속되며, 제2단자(소스 단자 또는 드레인 단자)는 제1배선(5109)에 접속된다. 따라서, 제5배선 A 5115A에 입력되는 신호가 H 레벨이면, 제1스위치 A 5103A는 ON 되는 반면, 제5배선 A 5115A에 입력되는 신호가 L 레벨이면, 제1스witch는 OFF 된다. 바꾸어 말하면, 제1스위치 A 5103A 및 제4스위치 A 5116A는 ON 되고, 이에 따라, 제1시프트 트랜지스터(5102A)는 단락 동작을 행한다.

[0409] 제1스위치 B 5103B의 게이트 단자는 제5배선 B 5115B에 접속되고, 그 제1단자(소스 단자 또는 드레인 단자)는 제2시프트 트랜지스터(5102B)의 제1단자에 접속되며, 그 제2단자(소스 단자 또는 드레인 단자)는 제1배선(5109)에 접속된다. 따라서, 제5배선 B 5115B에 입력되는 신호가 H 레벨이면, 제1스위치 B 5103B는 ON 되는 반면, 제5배선 B 5115B에 입력되는 신호가 L 레벨이면, 제1스위치 B 5103B는 OFF 된다. 바꾸어 말하면, 제1스위치 B 5103B 및 제4스위치 B 5116B는 ON 되고, 이에 따라, 제2시프트 트랜지스터(5102B)는 단락 동작을 행한다.

[0410] 제1시프트 트랜지스터(5102A) 및 제2시프트 트랜지스터(5102B)의 단락 동작은, 제1시프트 트랜지스터(5102A) 및 제2시프트 트랜지스터(5102B)의 제1단자 또는 제2단자에 양단이 각각 접속된 제1 및 제4스위치 A, B 5103A, 5103B, A 5116A, B 5116B에 의해 행해질 수도 있다. 이 경우, 제1시프트 트랜지스터(5102A) 및 제2시프트 트랜지스터(5102B)의 단락 동작은 실시예 3의 시프트 트랜지스터(4602)의 단락 동작과 유사하다.

[0411] 표시소자(5108)의 대향 전극(5112), 제1배선(5109) 및 제2배선(5110)의 각각에는 소정의 전위가 입력되는 것에 유의해야 한다.

[0412] 제2스위치(5105) 및 제3스위치(5106)의 ON/OFF는 제4배선(5114)에 신호를 입력하여 제어된다.

[0413] 제1스위치 A 5103A의 ON/OFF는 제5배선 A 5115A에 신호를 입력하여 제어된다. 제1스위치 B 5103B의 ON/OFF는 제5배선 B 5115B에 신호를 입력하여 제어된다.

[0414] 화소의 계조에 응답하여 제3배선(5111)에 신호가 입력된다. 이 신호는 비디오 신호에 대응하고, 신호 전류는 제3배선(5111)에 흐른다.

[0415] 트랜지스터는 제1스위치 A 5103A, 제1스위치 B 5103B, 제2스위치(5105), 제3스위치(5106), 제4스위치 A 5116A, 및 제4스위치 B 5116B에 적용될 수 있다. 따라서, N-채널 트랜지스터는 제1스위치 A 5103A, 제1스위치 B 5103B, 제2스위치(5105), 제3스위치(5106), 제4스위치 A 5116A, 및 제4스위치 B 5116B에 적용될 수 있다.

[0416] 제4스위치 A 5116A 및 제4스위치 B 5116B는, 제4스위치가 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)에 흐르는 전류를 스위칭할 수 있으면, 어느 곳이라도 배치될 수 있음에 유의해야 한다. 예를 들어, 도 63에 도시된 것과 같이, 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)의 제1단자와, 발광소자 사이에 평행하게 제4스위치가 설치될 수도 있다.

[0417] 다음으로, 도 51을 참조하여 화소의 동작에 대해 설명한다.

- [0418] 화소의 동작과 관련하여, 신호가 화소에 기록되는 신호 기록 동작과, 화소에 기록된 신호에 따른 계조로 발광이 이루어지는 발광 동작이 존재한다는 점에 유의해야 한다. 본 실시예에서 도시된 화소에서는, 사용되는 트랜지스터(ON 되는 트랜지스터)가 특정 기간 동안 신호 기록 동작 및 발광 동작 사이에서 시프트되고, 또 다른 기간 동안 신호 기록 동작 및 발광 동작 사이에서 시프트된다.
- [0419] 도 52a는 특정 기간 동안의 신호 기록 동작을 도시한 도면이고, 도 52b는 그때의 발광 동작을 도시한 도면이다. 도 52c는 또 다른 기간 동안의 신호 기록 동작을 도시한 도면이고, 도 52d는 그때의 발광 동작을 도시한 도면이다. 제3배선(5111)에 접속된 전류원(5201)은 이 화소에 기록될 신호 전류를 설정함에 유의해야 한다. 제3배선(5111)은 전류원(5201)을 통해 배선(5212)에 접속된다. 배선(5212)에는 소정의 전위가 입력된다. 여기서, 제1배선(5109), 제2배선(5110), 배선(5212) 및 대향 전극(5112)에 입력되는 전위는 V1, V2, V3 및 Vcom으로 각각 나타낸다. 전위의 관계와 관련하여, $V1 > V2 > V3$ 및 $V1 > Vcom > V3$ 이 적어도 만족된다.
- [0420] 도 52a는 특정 기간 동안 신호 기록 동작시에 정상 상태이고, 그때 전류가 흐르는 화소 상태를 도시한 것이다. 제1스위치 A 5103A, 제2스위치(5105), 제3스위치(5106) 및 제4스위치 A 5116A는 ON 되고, 다른 스위치는 OFF 된다. 그때, 제1전류원 트랜지스터(5101A)가 사용된다. 전류원(5201)에 의해 설정되는 신호 전류 Idata는 제1스위치 A 5103A를 통해 제1배선(5109)으로부터 제1전류원 트랜지스터(5101A)로 흐르고, 그때, 제4스위치 A 5116A는 도전 상태이다. 바꾸어 말하면, 이 경우, 제1전류원 트랜지스터(5101A)는 신호 전류 Idata가 흐르도록 하기에 충분한 게이트-소스 전압을 가지며, 이 전압에 대응하는 전하는 커패시터 소자(5104)에 축적된다.
- [0421] 따라서, 제4스위치 A 5116A는 발광 동작시에 ON 되고, 다른 스위치는 OFF 되어, 도 52b에 도시된 것과 같이 전류가 흐른다. 즉, 전류는 제1배선(5109)으로부터, 제4스위치 A 5116A, 제1시프트 트랜지스터(5102A) 및 제1전류원 트랜지스터(5101A)를 통해 표시소자(5108)에 흐른다. 제1전류원 트랜지스터(5101A) 및 제1시프트 트랜지스터(5102A)는 멀티게이트 트랜지스터로서 작용하므로, 이 전류는 신호 전류 Idata보다 작은 전류로서 흐르게 할 수 있다.
- [0422] 그러나, 제1전류원 트랜지스터(5101A)의 드레인-소스 전압은 신호 기록 동작 및 발광 동작시에 상이하며, 제1전류원 트랜지스터(5101A)에 흐르는 전류의 양에 있어서 작은 차이를 발생시킨다. 각 화소의 제1전류원 트랜지스터(5101A)의 특성 변동이 존재하면, 표시 불균일로서 인식된다.
- [0423] 따라서, 또 다른 기간에는, 신호 기록 동작시에, 제1스위치 B 5103B, 제2스위치(5105), 제3스위치(5106) 및 제4스위치 B 5116B는 ON 되는 반면, 다른 스위치는 OFF 된다. 도 52c는 이 기간에 화소가 정상 상태가 되고, 이때 전류가 흐르는 상태를 도시한 것이다. 이 경우, 제2전류원 트랜지스터(5101B)가 사용된다. 즉, 전류원(5201)에 의해 설정되는 신호 전류 Idata는 제1스위치 B 5103B를 통해 제1배선(5109)으로부터 제2전류원 트랜지스터(5101B)에 흐른다. 이때, 제4스위치 B 5116B는 도전상태로 된다. 즉, 이때, 제2전류원 트랜지스터(5101B)는 신호 전류 Idata가 흐르도록 하기에 충분한 게이트-소스 전압을 가지며, 이 전압의 전하는 커패시터 소자(5104)에 축적된다.
- [0424] 그러므로, 발광 동작시에, 제4스위치 B 5116B는 ON 되고, 다른 스위치는 OFF 되며, 전류는 도 52d에 도시된 것과 같이 흐른다. 즉, 전류는 제4스위치 B 5116B, 제2시프트 트랜지스터(5102B) 및 제2전류원 트랜지스터(5101B)를 통해, 제1배선(5109)으로부터 표시소자(5108)에 흐른다. 제2전류원 트랜지스터(5101B) 및 제2시프트 트랜지스터(5102B)는 멀티게이트 트랜지스터로서 작용하므로, 이 전류는 신호 전류 Idata보다 작다.
- [0425] 이와 같은 방식으로, 사용되는 트랜지스터는 각 기간에 시프트됨으로써, 트랜지스터 특성이 시간의 측면에서 평균화될 수 있다. 따라서, 표시 불균일은 감소될 수 있다.
- [0426] 또한, 본 실시예에서 설명되고 도 51에 도시되어 있는 화소에 대해 또 다른 구동 방법이 적용될 수 있다. 예를 들어, 신호 기록 동작시에, 신호가 큰 신호 전류의 양에 의해 기록되고, 발광 동작시에 표시소자에 인가되는 전류량은 감소된다. 이하, 이러한 구동 방법에 대해 설명한다.
- [0427] 도 53a는 신호 기록 동작을 도시하는 도면이고, 도 53b는 발광 동작을 도시하는 도면이다.
- [0428] 또한, 도 53a는 신호 기록 동작시에 화소가 정상 상태가 되고, 이때 전류가 흐르는 상태를 도시한 것이다. 제1스위치 A 5103A, 제1스위치 B 5103B, 제2스위치(5105), 제3스위치(5106), 제4스위치 A 5116A 및 제4스위치 B 5116B는 ON 상태이고, 전류는 도 53a에 도시된 것과 같이 흐른다. 즉, 전류의 경로로서, 제1스위치 A 5103A를 통해 제1배선(5109)으로부터 제1전류원 트랜지스터(5101A)에 전류가 흐르는 제1경로와, 제1스위치 A 5103A를 통해 제1배선(5109)으로부터 제1전류원 트랜지스터(5101A)에 전류가 흐르는 제2경로가 존재한다. 제1경로를 통해

흐르는 전류 I1과, 제2경로를 통해 흐르는 전류 I2는 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)의 제1단자의 접속 부분에서 합쳐진다. 그리고, 전류 I1 및 전류 I2는 제3스위치(5106) 및 전류원(5201)을 통해 배선(5212)에 신호 전류 Idata로서 흐른다. 즉, $I1+I2=Idata$ 가 만족된다.

[0429] 도 53b를 참조하여, 발광 동작에 대해 설명한다. 제4스위치 A 5116A는 ON 되고, 다른 스위치는 OFF 된다. 그리고, 전류는 도 53b에 도시된 것과 같이 흐른다. 이때, 제2스위치(5105)가 OFF 상태이므로, 커패시터 소자(5104)는 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)에 흐르는 전류가 신호 전류 Idata로 되도록 하기 위해 필요한 게이트-소스 전압 Vgs를 유지한다. 따라서, 제1전류원 트랜지스터(5101A)를 통해 표시소자(5108)에 전류가 흐른다. 이 구조에 의해, 이 전류는 조절될 수 있다.

[0430] 여기서, 트랜지스터의 채널 길이 및 채널 폭은 L 및 W로 각각 나타낸다. 트랜지스터가 포화 영역에서 동작하면, 게이트-소스 전압이 일정한 경우, 트랜지스터에 흐르는 전류값은 W/L 에 일반적으로 비례한다. 즉, 전류값은 채널 폭 W에 비례하고, 채널 길이 L에 반비례한다.

[0431] 그러므로, 제1전류원 트랜지스터(5101A)의 채널 폭 및 채널 길이는 W1 및 L1으로 각각 나타내고, 제2전류원 트랜지스터(5101B)의 채널 폭 및 채널 길이는 W2 및 L2로 각각 나타낸다. 전류가 흘러 지나가는 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)가 도 53a에서 하나의 트랜지스터로서 간주되면, 채널 폭 및 채널 길이는 $(W+W2)$ 및 L로서 각각 간주될 수 있다. 한편, 도 8b에서는, 제1전류원 트랜지스터(5101A) 및 제1시프트 트랜지스터(5102A)를 통해 전류가 흐르고, 트랜지스터는 채널 폭 W1 및 채널 길이 $(L1+L2)$ 를 가진다. 그러므로, 발광 동작시에, $Idata \times (W1/(W1+W2)) \times (L1/(L1+L2))$ 의 전류가 표시소자(5108)에 인가될 수 있다.

[0432] 이와 같은 방식으로, 제1전류원 트랜지스터(5101A) 또는 제2전류원 트랜지스터(5101B)의 채널 폭 또는 채널 길이가 조절됨으로써, 신호 기록 동작시에 인가되는 신호 전류보다 작은 양의 전류가 표시소자(5108)에 인가될 수 있다.

[0433] 또한, 채널 폭 W1 및 채널 폭 W2는 동일하도록 설정되며, 발광 동작시에 사용되는 트랜지스터는 각각의 특정 기간에 시프트된다. 따라서, 트랜지스터의 특성은 시간의 측면에서 평균화될 수 있다.

[0434] 사용되는 트랜지스터를 신호 기록 동작 및 발광 동작 사이에서 시프트시킴으로써, 신호 기록 동작 및 발광 동작시에 사용되는 트랜지스터의 채널 길이 L에 대한 채널 폭의 비율 W/L 은 표시소자에 인가되는 전류량을 제어하도록 조절될 수 있다.

[0435] 즉, 도 54a에 도시된 것과 같이, 신호 기록 동작시에, 제1스위치 A 5103A, 제2스위치(5105), 제3스위치(5106) 및 제4스위치 A 5116A는 ON 되는 반면, 다른 스위치는 OFF 된다. 그리고, 신호 전류 Idata는 제4스위치 A 5116A를 통해 제1배선(5109)으로부터 제1전류원 트랜지스터(5101A)에 공급된다. 발광 동작시에, 제4스위치 B 5116B가 ON 되는 반면, 다른 스위치는 ON 된다. 그리고, $Idata \times (W1/W2) \times (L1/(L1+L2))$ 의 전류가 제1전류원 트랜지스터(5101A)를 통해 흐른다. $W1 < W2$ 가 만족되면, 발광 동작시에 표시소자(5108)에 인가되는 전류량은 신호 전류 Idata보다 작게 설정될 수 있음에 유의해야 한다.

[0436] 따라서, 신호 기록 동작시에 큰 전류량에 의해 신호를 기록함으로써, 신호 전류가 흐르는 경로에 기생 커패시턴스가 형성되더라도, 신호 기록이 신속하게 수행될 수 있다. 따라서, 표시 결함이 방지될 수 있다.

[0437] 또한, 본 실시예의 화소에서는, 프리차지 동작이 수행될 수도 있다. 도 55를 참조하여, 그 동작을 설명한다. 이 경우, 배선(5212)에 접속된 전류원(5201)은 제5스위치(5501)를 통해 제3배선(5111)에 접속된다. 제3배선(5111)은 제6스위치(5502) 및 프리차지 전류원(5503)을 통해 배선(5504)에 접속된다. 전류원(5201)보다 더 큰 전류량을 설정할 수 있는 프리차지 전류원(5503)이 사용되고 있음에 유의해야 한다. 배선(5505)에는 소정의 전위가 입력된다. 배선(5212) 및 배선(5504)으로서, 공통 배선 또는 상이한 배선이 사용될 수도 있다.

[0438] 도 55a는 프리차지 동작시에 화소가 정상 상태가 되고, 이때, 전류가 흐르는 상태를 도시한 것이다. 제1스위치 A 5103A, 제2스위치(5105), 제3스위치(5106), 제4스위치 A 5116A, 제4스위치 B 5116B, 및 제6스위치(5502)는 ON 되는 반면, 다른 스위치는 OFF 된다. 그리고, 프리차지 전류원(5503)에 의해 설정된 전류는 제1스위치 A 5103A 및 제1스위치 B 5103B를 통해, 제1배선(5109)으로부터 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)에 각각 흐른다. 따라서, 커패시터 소자(5104)에는 전하가 축적된다.

[0439] 신호 기록 동작시에는, 제1스위치 A 5103A, 제2스위치(5105), 제3스위치(5106), 제4스위치 A 5116A, 및 제5스위치(5501)가 ON 되고, 다른 스위치는 OFF 된다. 그리고, 정상 상태에서는, 도 55b에 도시된 것과 같이 전류가 흐른다. 즉, 전류원(5201)에 의해 설정된 신호 전류 Idata는 제1배선(5109)으로부터 제1전류원 트랜지스터

(5101A)에 흐른다. 그리고, 신호 전류 Idata를 제1전류원 트랜지스터(5101A)에 인가하기 위해 필요한 게이트-소스 전압의 전하는 커패시터 소자(5104)에 축적된다.

- [0440] 프리차지 전류원(5503)에 공급되는 전류, 제1전류원 트랜지스터(5101A)의 채널 길이 L1 및 채널 폭 W1, 제2전류원 트랜지스터(5101B)의 채널 길이 L2 및 채널 폭 W가 적절하게 결정됨으로써, 프리차지 동작시에 커패시터 소자(5104)에 축적되는 전하는 신호 기록 동작시의 전하와 대략 동일하도록 설정될 수 있고, 신호 전류는 화소에 신속하게 기록될 수 있다.
- [0441] 도 55에서는, 프리차지 동작시에 제1전류원 트랜지스터(5101A) 및 제2전류원 트랜지스터(5101B)에 전류가 공급되지만, 이들 중 하나에만 전류가 공급될 수도 있다. 그리고, 신호 기록 동작시에는, 다른 트랜지스터에 전류가 공급될 수도 있다.
- [0442] 본 실시예에서는, 신호 기록 동작시에, 전류가 인가되는 트랜지스터의 게이트 단자가 소정의 전위를 가지도록 설정될 수 있으므로, 표시소자의 화소 전극 및 대향 전극 사이의 전위차는 표시소자의 순방향 임계 전압 이하일 수 있다. 따라서, 신호 기록 동작시에 전류가 표시소자에 흐르는 것을 방지할 수 있다.
- [0443] 또한, 본 실시예에서는, 제1스위치 A 5103A, 제1스위치 B 5103B, 제2스위치(5105), 제3스위치(5106), 제4트랜지스터 A 5116A, 제4트랜지스터 B 5116B, 제5스위치(5501), 제6스위치(5502)로서 N-채널 트랜지스터가 사용될 수 있음으로써, 화소가 단극성 트랜지스터로 형성될 수 있다. 따라서, 제조 공정이 간략화될 수 있다. 그 결과, 제조 비용의 감소 및 수율의 개선이 달성될 수 있다. 또한, 화소가 N-채널 트랜지스터만으로 형성될 수 있으므로, 화소에 포함되는 트랜지스터의 반도체층은 비정질 반도체, 반-비정질 반도체(미정질 반도체라고도 함) 등으로 형성될 수 있다. 예를 들어, 비정질 실리콘(a-Si:H)이 비정질 반도체로서 사용될 수도 있다. 그러므로, 제조 공정이 더욱 간략화될 수 있다. 그 결과, 제조 비용의 감소 및 수율의 개선이 달성될 수 있다.
- [0444] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0445] [실시예 6]
- [0446] 실시예 6에서는, 도 64에 도시된 타이밍도를 이용하여, 본 발명의 화소가 적용될 수 있는 표시장치의 구동방법의 하나의 모드에 대해 설명한다. 또한, 이 구동방법이 적용될 수 있는 본 발명의 화소 구성에 대해 설명한다.
- [0447] 수평 방향은 시간 경과를 나타내고, 길이 방향은 주사선의 주사행의 수를 나타낸다.
- [0448] 화상이 표시되면, 기록 동작 및 발광 동작이 반복적으로 행해진다. 하나의 화면(하나의 프레임)에 대한 기록 동작 및 발광 동작이 수행되는 기간을 하나의 프레임 기간이라고 한다. 하나의 프레임 동안의 신호 처리에 대해 특별한 한정은 없지만, 시청자가 플리커(flicker)를 인식하지 않도록, 하나의 프레임 기간의 수를 적어도 약 초당 60번이 되도록 하는 것이 바람직하다.
- [0449] 본 실시예의 표시장치에서는, 각 화소의 계조에 따라 비디오 신호가 화소에 기록된다. 즉, 아날로그 신호가 화소에 기록된다. 비디오 신호는 신호 전류이다.
- [0450] 발광 기간에는, 비디오 신호를 유지하여 계조가 표현된다. 여기서, 본 실시예의 화소를 포함하는 표시장치는 화소에 기록된 신호를 소거 동작에 의해 소거한다. 따라서, 소거 기간은 다음 프레임 기간까지 설정된다. 즉, 블랙 표시가 삽입됨으로써, 잔상을 거의 볼 수 없다. 따라서, 동화상의 특성이 개선될 수 있다.
- [0451] 본 실시예의 구동방법이 적용될 수 있는 화소 구성에 대해 설명한다. 주사에 의해 화소를 강제적으로 발광하지 않도록 하기 위한 수단을 가지고 있다면, 본 실시예의 화소가 사용될 수도 있다. 이러한 수단으로서, 도 46에 도시된 화소의 경우, 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)를 통해 제1배선(4609)으로부터 표시소자(4608)의 대향 전극(4612)까지의 전류 경로를 비접속 상태로 하는 것이 바람직하다.
- [0452] 전류의 경로를 비접속 상태로 하기 위해서는 대략 2개의 방법이 있다. 하나의 방법으로는, 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)를 통해 제1배선(4609)으로부터 표시소자(4608)의 대향 전극(4612)까지의 전류의 경로에 또 다른 스위치를 설치하는 것이다. 그리고, 화소를 행마다 주사하여, 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)를 통해 제1배선(4609)으로부터 표시소자(4608)의 대향 전극(4612)까지의 스위치를 OFF 시킴으로써, 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)를 통해 제1배선(4609)으로부터 표시소자(4608)의 대향 전극(4612)까지의 전류 경로가 비접속 상태로 된다.

- [0453] 이러한 구조의 예가 도 86에 도시되어 있다. 도 46과 공통되는 부분은 동일한 참조 번호로 나타내고 그 설명은 생략한다.
- [0454] 도 86의 구조에서는, 도 46의 구조에 기초하여, 시프트 트랜지스터(4602)의 제2단자 및 제1배선(4609) 사이에 제4스위치(8601)가 접속된다. 제4스위치(8601)는 제6배선(8602)에 입력되는 신호에 의해 ON 또는 OFF 되도록 제어된다. 스위치가 설치되어 있는 부분은 도 86의 구조에 한정되지 않음에 유의해야 한다. 전류원 트랜지스터(4601)의 제1단자와, 표시소자(4608)의 화소 전극의 접속점이 노드(8603)이면, 스위치는 노드(8603)와, 전류원 트랜지스터(4601)의 제1단자 또는 표시소자(4608)의 화소 전극 사이에 접속될 수도 있다.
- [0455] 다른 방법으로는, 화소를 행마다 스캔하여, 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)를 강제적으로 OFF 시키는 것이다. 그러므로, 화소는 커패시터 소자(4604)에 축적된 전하를 방전하기 위한 수단, 또는 전류원 트랜지스터(4601) 및 시프트 트랜지스터(4602)의 게이트 단자에 전위를 입력하기 위한 수단을 가질 것이 요구된다.
- [0456] 우선, 도 65는 커패시터 소자(4604)에 축적된 전하를 방전하기 위한 수단을 갖는 화소의 하나의 예를 도시한 것이다. 도 46과 공통인 부분은 동일한 참조 번호로 나타내고, 그 설명을 생략한다. 도 65에서는, 커패시터 소자(4604) 및 제4스위치(6501)가 병렬로 접속된다. 제4스위치(6501)는 제6배선(6502)에 입력되는 신호에 의해 ON 또는 OFF 되도록 제어된다. 즉, 제4스위치(6501)가 ON 되면, 전류원 트랜지스터(4601)의 게이트 및 제1단자는 단락이 된다. 따라서, 커패시터 소자(4604)에 유지되는 전류원 트랜지스터(4601)의 게이트-소스 전압은 0V로 설정될 수 있다. 따라서, 전류원 트랜지스터(4601)는 OFF 될 수 있다.
- [0457] 또한, 도 66은 전류원 트랜지스터(4601)의 게이트 단자에 전위를 입력하는 수단을 갖는 화소의 하나의 예를 도시한 것이다. 도 46과 공통인 부분은 동일한 참조 번호로 나타내고, 그 설명을 생략한다. 도 66에서는, 전류원 트랜지스터(4601)의 게이트 단자 및 제6배선(6602) 사이에 정류소자(6601)가 접속된다. 정류소자(6601)는, 전류원 트랜지스터(4601)의 게이트 단자로부터 제6배선(6602)으로 흐르는 전류의 방향이 순방향 전류가 되도록 접속된다. 전류원 트랜지스터(4601)가 강제적으로 OFF 되는 경우에만, L 레벨 신호가 제6배선(6602)에 입력되고, 나머지 경우에는, H 레벨 신호가 제6배선(6602)에 입력된다. 따라서, 제6배선(6602)이 H 레벨이면, 정류소자(6601)에 전류가 흐르지 않는 반면, 제6배선(6602)이 L 레벨이면, 전류원 트랜지스터(4601)로부터 제6배선(6602)으로 전류가 흐른다. 그러므로, 전류원 트랜지스터(4601)의 게이트 단자의 전위는 L 레벨인 제6배선(6602)의 전위보다 정류소자(6601)의 순방향 임계 전압만큼 더 높다. 이때, 전하도 전류원 트랜지스터(4601)를 통해 커패시터 소자(4604)의 제2전극에 축적된다. 그리고, 전류원 트랜지스터(4601)의 제1단자의 전위도 높아진다. 따라서, 전류원 트랜지스터(4601)는 강제적으로 OFF 될 수 있다.
- [0458] 또한, 도 85는 전류원 트랜지스터(4601)의 게이트 단자에 전위를 입력하는 수단을 갖는 화소의 또 다른 예를 도시한 것이다. 도 46과 공통인 부분은 동일한 참조 번호로 나타내고, 그 설명은 생략한다. 도 85에서는, 제4스위치(8501)가 전류원 트랜지스터(4601)의 게이트 단자 및 표시소자(4608)의 대향 전극(4612) 사이에 접속된다. 제4스위치(8501)는 제6배선(8502)에 신호를 입력하여 ON 또는 OFF 되도록 제어된다는 점에 유의해야 한다. 제6배선(8502)에 신호를 입력하여, 제4스위치(8501)가 ON 되면, 전류원 트랜지스터(4601)를 통해 커패시터 소자(4604)의 제2전극에 전하가 기억된다. 따라서, 전류원 트랜지스터(4601)는 OFF 된다.
- [0459] 도 87을 참조하여, 도 85에 도시된 화소를 갖는 표시 패널의 단면 구조를 설명한다.
- [0460] 기판(8701)의 상부에는 기저막(8702)이 설치된다. 기판(8701)은 유리 기판, 석영 기판, 플라스틱 기판, 또는 세라믹 기판과 같은 절연 기판, 또는 금속 기판, 반도체 기판 등으로 형성될 수 있다. 기저막(8702)은 CVD 또는 스퍼터링에 의해 형성될 수 있다. 예를 들어, SiH_4 , N_2O 및 NH_3 을 원료로서 사용한 CVD에 의해 형성된 실리콘 산화막, 실리콘 질화막, 실리콘 질산화막 등이 사용될 수 있다. 또한, 이들의 적층도 마찬가지로 사용될 수 있다. 기저막(8702)은 기판(8701)으로부터 반도체층으로 불순물이 확산하는 것을 방지하기 위해 설치되어 있음에 유의해야 한다. 기판(8701)이 유리 기판 또는 석영 기판으로 형성되면, 기저막(8702)은 반드시 설치할 필요가 없다.
- [0461] 기저막(8702)의 상부에는 아일랜드 형상(Island-shaped)의 반도체층이 형성된다. 각 반도체층에는, N-채널이 형성되는 채널 형성 영역(8703), 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(8704), 및 저농도 불순물 영역(LDD 영역)(8705)이 형성된다. 채널 형성 영역(8703)의 상부에는, 게이트 전극(8707)이 그 사이에 게이트 절연막(8706)을 끼운 상태로 형성된다. 게이트 절연막(8706)으로서, CVD 또는 스퍼터링에 의해 형성된 실리콘 산화막, 실리콘 질화막, 실리콘 질산화막 등이 사용될 수 있다. 또한, 알루미늄(Al) 막, 구리(Cu) 막, 알

루미늄 또는 구리를 주 성분으로서 포함하는 박막, 크롬(Cr) 막, 탄탈(Ta) 막, 탄탈 질화(TaN)막, 티타늄(Ti) 막, 텅스텐(W) 막, 몰리브덴(Mo) 막 등이 게이트 전극(8707)으로서 사용될 수 있다.

[0462] 게이트 전극(8707)의 측면에는 측벽(8722)이 형성된다. 게이트 전극(8707)을 피복하도록, 실리콘 화합물, 예를 들어, 실리콘 산화막, 실리콘 질화막, 또는 실리콘 질산화막을 형성한 후, 에치-백 처리가 적용되어 측벽(8722)을 형성한다.

[0463] 저농도 불순물 영역(8705)은 측벽(8722)의 하부에 형성된다. 즉, 저농도 불순물 영역(8705)은 자기정합 방식으로 형성된다. 측벽(8722)은 자기정합 방식으로 저농도 불순물 영역(8705)을 형성하기 위해 설치되므로, 반드시 설치할 필요는 없다는 점에 유의해야 한다.

[0464] 게이트 전극(8707), 측벽(8722) 및 게이트 절연막(8706)의 상부에는 제1층간 절연체가 형성된다. 제1층간 절연체는 하부 층으로서 무기 절연막(8718)과, 상부 층으로서 수지막(resin film)을 포함한다. 무기 절연막(8718)으로서, 실리콘 질화막, 실리콘 산화막, 실리콘 질산화막, 또는 이들 층을 적층하여 형성한 막이 사용될 수 있다. 수지막으로서, 폴리아미드, 폴리이미드, 아크릴, 폴리아미드 아미드, 에폭시 등이 사용될 수 있다.

[0465] 제1층간 절연막의 상부에는, 제1전극(8709), 제2전극(8724), 제3전극(8720) 및 제4전극(8721)이 형성된다. 제1전극(8709), 제2전극(8724) 및 제4전극(8721)은 접촉 홀을 불순물 영역(8704)과 전기적으로 접속된다. 또한, 제3전극(8720)은 접촉 홀을 통해 게이트 전극(8707)과 전기적으로 접속된다. 제3전극(8720) 및 제4전극(8721)은 서로 전기적으로 접속된다. 제1전극(8709) 및 제2전극(8724)으로서, 티타늄(Ti) 막, 알루미늄(Al) 막, 구리(Cu) 막, Ti를 포함하는 알루미늄 막 등이 사용될 수 있다. 제1전극(8709), 제2전극(8724), 제3전극(8720) 및 제4전극(8721)과 동일한 층에 신호선과 같은 배선을 설치할 경우, 낮은 저항을 갖는 구리를 사용하는 것이 바람직하다는 점에 유의해야 한다.

[0466] 제1전극(8709), 제2전극(8724), 제3전극(8720), 제4전극(8721) 및 제2층간 절연막(8708)의 상부에는 제2층간 절연체(8710)가 형성된다. 제2층간 절연체(8710)로서는, 무기 절연막, 수지막, 또는 이들 층을 적층하여 형성된 막이 사용될 수 있다. 무기 절연막으로는, 실리콘 질화막, 실리콘 산화막, 실리콘 질산화막, 또는 이들 층을 적층하여 형성된 막이 사용될 수 있다. 수지막으로는, 폴리아미드, 폴리이미드, 아크릴, 폴리아미드 아미드, 에폭시 등이 사용될 수 있다.

[0467] 화소 전극(8711) 및 배선(8719)은 제2층간 절연체(8710)의 상부에 형성된다. 화소 전극(8711) 및 배선(8719)은 동일한 재료로 형성된다. 즉, 이들은 동일한 층에서 동시에 형성된다. 화소 전극(8711) 및 배선(8719)으로 사용되는 재료로는, 높은 일함수(work function)를 갖는 재료가 사용되는 것이 바람직하다. 예를 들어, 티타늄 질화(TiN)막, 크롬(Cr) 막, 텅스텐(W) 막, 아연(Zn) 막, 백금(Pt) 막 등의 단층과, 티타늄 질화막 및 알루미늄을 주성분으로 포함하는 막의 적층과, 티타늄 질화막, 알루미늄을 주성분으로 포함하는 막, 및 티타늄 질화막의 3개의 층의 적층이 사용될 수 있다. 적층 구조에 의하여, 배선으로서의 저항이 낮고, 양호한 옴 접촉(ohmic contact)이 얻어질 수 있으며, 양극으로서의 또 다른 기능이 얻어질 수 있다. 광을 반사시키는 금속막을 사용하여, 광을 투과하지 않는 양극이 형성될 수 있다.

[0468] 절연체(8712)는 화소 전극(8711) 및 배선(8719)의 단부를 피복하도록 형성된다. 절연체(8712)로서, 예를 들어, 포지티브(positive) 형의 감광성 아크릴 수지막이 사용될 수 있다.

[0469] 화소 전극(8711)의 상부에는 유기 화합물을 포함하는 층(8713)이 형성되고, 유기 화합물을 포함하는 층(8713)은 절연체(8712)와 부분적으로 중첩된다. 유기 화합물을 포함하는 층(8713)은 배선(8719)의 상부에 형성되지 않는다는 점에 유의해야 한다.

[0470] 유기 화합물을 포함하는 층(8713), 절연체(8712) 및 배선(8719)의 상부에는 대향 전극(8714)이 설치된다. 대향 전극(8714)으로 사용되는 재료로는, 낮은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 예를 들어, 알루미늄(Al), 은(Ag), 리튬(Li), 칼슘(Ca), 이들의 합금, MgAg, MgIn, AlLi, CaF₂, Ca₃N₂ 등의 금속 박막이 사용될 수 있다. 금속 박막을 이와 같이 사용함으로써, 광을 투과할 수 있는 음극이 형성될 수 있다.

[0471] 대향 전극(8714) 및 화소 전극(8711) 사이에 유기 화합물을 포함하는 층(8713)이 끼워져 있는 영역은 발광소자(8716)를 포함한다.

[0472] 유기 화합물을 포함하는 층(8713)이 절연체(8712)에 의해 격리되어 있는 영역에서는, 접합부(8717)가 형성되어, 대향 전극(8714) 및 배선(8719)이 서로 접촉한다. 그러므로, 배선(8719)은 대향 전극(8714)의 보조 전극으로서 기능함으로써, 대향 전극(8714)의 더 낮은 저항이 실현될 수 있다. 따라서, 대향 전극(8714)의 막 두께가 감소

될 수 있고, 이것은 광 투과율을 증가시키게 된다. 그러므로, 발광소자(8716)로부터의 광이 상부 표면으로부터 추출되는 상부 방출 구조에서 더 높은 휘도가 얻어질 수 있다.

[0473] 대향 전극(8714)의 저항을 낮추기 위하여, 금속 박막 및 (ITO(인듐 주석 산화) 막, 인듐 아연 산화(IZO) 막, 아연 산화(ZnO) 막과 같은) 투명 도전막의 적층이 사용될 수도 있다. 이와 같은 방식으로, 광을 투과시킬 수 있는 음극은 금속 박막과, 마찬가지로 투명성을 가지는 투명 도전막을 사용하여 형성될 수 있다.

[0474] 즉, 트랜지스터(8715)는 도 85의 화소의 전류원 트랜지스터(4601)에 대응하고, 트랜지스터(8723)는 도 85의 화소의 제4트랜지스터(8501)의 기능을 이행한다. 또한, 대향 전극(8714)은 도 85의 화소에서의 표시소자(4608)의 대향 전극(4612)에 대응한다.

[0475] 도 87에 도시된 구조를 갖는 표시 패널에서는, 대향 전극(8714)의 막이 얇아질 수 있으며, 이에 따라, 광은 상부 표면으로부터 높은 투광성을 가지면서 방출될 수 있다. 그러므로, 상부 표면으로부터의 휘도가 증대될 수 있다. 또한, 대향 전극(8714) 및 배선(8719)을 접속함으로써, 대향 전극(8714) 및 배선(8719)의 더 낮은 저항이 실현될 수 있다. 그러므로, 소비전력이 감소될 수 있다.

[0476] 또한, 트랜지스터(101)는 도 47의 화소 구성을 갖는 표시장치에서 강제적으로 OFF 될 수 있다. 이 경우의 구동 방법에 대해 이하에서 설명한다.

[0477] 도 88에 도시된 것과 같이, 하나의 수평 기간은 2개의 기간으로 분할된다. 여기서, 전반부는 기록 시간이고, 후반부는 소거 시간인 것으로 가정하고 설명한다. 분할된 수평 기간에서는, 각 주사선이 선택되고, 그때의 대응하는 신호가 신호선에 입력된다. 예를 들어, 특정 수평 기간의 전반부에서는 i-번째 행이 선택되고, 후반부에서는 j-번째 행이 선택된다. 그리고, 하나의 수평 기간에서 2개의 행이 동시에 선택된 것처럼 동작이 수행될 수 있다. 즉, 각 수평 기간의 전반부인 기록 시간을 이용하여, 신호선으로부터 화소에 비디오 신호가 기록된다. 그리고, 이때의 하나의 수평 기간의 후반부인 소거 시간에는 화소가 선택되지 않는다. 또한, 또 다른 수평 기간의 후반부인 소거 시간을 이용하여, 신호선으로부터 화소에 소거 신호가 입력된다. 이때의 하나의 수평 기간의 전반부인 기록 시간에는, 화소가 선택되지 않는다. 따라서, 높은 개구율의 화소를 갖는 표시장치가 제공될 수 있고, 수율이 향상될 수 있다.

[0478] 도 89는 이러한 화소를 포함하는 표시장치의 예를 도시한 것이다. 표시장치는, 신호선 구동회로(8901), 제1주사선 구동회로(8902), 제2주사선 구동회로(8905), 그리고, 화소(8904)가 주사선 G1 내지 Gm 및 신호선 S1 내지 Sn에 대응하는 매트릭스 형태로 배치되어 있는 화소부(8903)를 가진다. 제1주사선 구동회로(8902)는 펄스 출력회로(8906)와, 각 주사선 G1 내지 Gm 및 펄스 출력회로(8906) 사이에 접속되어 있는 스위치(8908)를 포함한다. 제2주사선 구동회로(8905)는 펄스 출력회로(8907)와, 각 주사선 G1 내지 Gm 및 펄스 출력회로(8907) 사이에 접속되어 있는 스위치(8909)를 포함한다.

[0479] 주사선 Gi(주사선 G1 내지 Gm 중 하나)는 도 47의 제4배선(4614)에 대응하고, 신호선 Sj(신호선 S1 내지 Sn 중 하나)는 도 47의 제3배선(4611)에 대응한다는 것에 유의해야 한다.

[0480] 클럭신호(G_CLK), 반전 클럭신호(G_CLKB), 시작 펄스신호(G_SP), 제어신호(WE) 등은 제1주사선 구동회로(8902)에 입력된다. 이들 신호에 따라, 화소를 선택하는 신호는 선택될 화소 행의 제1주사선 Gi(제1주사선 G1 내지 Gm 중 하나)에 출력된다. 도 88의 타이밍도에 도시된 것과 같이, 이때의 신호는 하나의 수평 기간의 전반부에 출력되는 펄스임에 유의해야 한다. 스위치(8908)는 제어신호(WE)에 의해 ON 또는 OFF 되도록 제어됨으로써, 펄스 출력회로(8906) 및 주사선 G1 내지 Gm은 접속 또는 비접속 상태로 될 수 있다.

[0481] 클럭신호(R_CLK), 반전 클럭신호(R_CLKB), 시작 펄스신호(R_SP), 제어신호(WE') 등은 제2주사선 구동회로(8905)에 입력된다. 이들 신호에 따라, 선택될 화소 행의 제2주사선 Ri(제2주사선 R1 내지 Rm 중 하나)에 신호가 출력된다. 도 88의 타이밍도에 도시된 것과 같이, 이때의 신호는 하나의 수평 기간의 후반부에 출력되는 펄스임에 유의해야 한다. 스위치(8909)는 제어신호(WE')에 의해 ON 또는 OFF 되도록 제어됨으로써, 펄스 출력회로(8907) 및 주사선 G1 내지 Gm은 전기적으로 접속 또는 비접속 상태로 될 수 있다. 스위치(8908) 및 스위치(8909) 중 하나가 전기적으로 접속되면, 다른 하나는 전기적으로 비접속 상태로 된다.

[0482] 클럭신호(S_CLK), 반전 클럭신호(S_CLKB), 시작 펄스신호(S_SP), 비디오 신호(디지털 비디오 데이터), 제어신호(WE) 등은 신호선 구동회로(8901)에 입력된다. 이들 신호에 따라, 각 행의 화소에 대응하는 비디오 신호가 각 신호선 S1 내지 Sn에 출력된다.

[0483] 그러므로, 신호선 S1 내지 Sn에 입력되는 비디오 신호는 제1주사선 구동회로(8902)로부터 주사선 Gi(주사선 G1

내지 Gm 중 하나)에 입력되는 신호에 의해 선택되는 행의 각 열의 화소(8904)에 기록된다. 그리고, 각 화소 행은 각 주사선 G1 내지 Gm을 통해 선택됨으로써, 각 화소(8904)에 대응하는 비디오 신호는 모든 화소(8904)에 입력된다. 각 화소(8904)는 특정 기간동안 기록된 비디오 신호의 데이터를 유지한다. 그리고, 특정 기간 동안 비디오 신호의 데이터를 유지함으로써, 각 화소(8904)는 발광 상태 또는 비발광 상태를 유지할 수 있다.

[0484] 또한, 화소가 발광하지 않도록 하기 위한 신호(소거 신호라고도 함)는 신호선 S1 내지 Sn으로부터, 제2주사선 구동회로(8905)에서 주사선 Gi(주사선 G1 내지 Gm 중 하나)에 입력되는 신호에 의해 선택되는 화소 행의 각 열의 화소(8904)에 기록된다. 그리고, 각 화소 행은 각 주사선 G1 내지 Gm에 의해 선택됨으로써, 비발광 기간을 설정할 수 있다. 예를 들어, i-번째 행의 화소가 제2주사선 구동회로(8905)로부터 주사선 Gi에 입력되는 신호에 의해 선택될 때, 신호선 S1 내지 Sn의 전위는 도 47의 화소의 제3배선(4611)의 전위와 동일하게 된다. 이때, 신호선 S1 내지 Sn은 플로팅(floating) 상태일 수도 있음에 유의해야 한다.

[0485] 그러므로, 본 발명의 표시장치를 이용함으로써, 특정 화소 행에 초점을 맞출 경우, 특정 화소 행에 입력되는 신호가 입력될 신호와 동일하면, 신호가 화소 행에 입력되는 것이 방지될 수 있으며, 이것은 주사선 또는 신호선을 충전 또는 방전시키는 횟수가 감소된다. 그 결과, 소비전력이 떨어질 수 있다.

[0486] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.

[0487] [실시예 7]

[0488] 실시예 7에서는, 도 56을 참조하여, 본 발명의 화소에 포함된 트랜지스터에 대하여 P-채널 트랜지스터가 적용되는 경우에 대해 설명한다.

[0489] 본 실시예에서 설명된 화소는 전류원 트랜지스터(5601), 시프트 트랜지스터(5602), 제1스위칭 트랜지스터(5603), 커패시터 소자(5604), 제2스위칭 트랜지스터(5605), 제3스위칭 트랜지스터(5606), 표시소자(5608), 제1배선(5609), 제2배선(5610), 제3배선(5611), 대향 전극(5612), 제4배선(5614) 및 제5배선(5615)을 포함한다. 전류원 트랜지스터(5601), 시프트 트랜지스터(5602), 제1스위칭 트랜지스터(5603), 제2스위칭 트랜지스터(5605), 및 제3스위칭 트랜지스터(5606)는 P-채널 트랜지스터임에 유의해야 한다.

[0490] 우선, 화소의 접속 구조를 설명한다.

[0491] 전류원 트랜지스터(5601)의 제1단자(소스 단자 및 드레인 단자 중 하나) 및 제2단자(소스 단자 및 드레인 단자 중 다른 하나)는 시프트 트랜지스터를 통해 표시소자(5608)의 화소 전극 및 제1배선(5609)에 각각 접속된다. 전류원 트랜지스터(5601)의 게이트 단자는 제2스위칭 트랜지스터(5605)를 통해 제2배선(5610)에 접속된다. 커패시터 소자(5604)의 하나의 단자는 전류원 트랜지스터(5601)의 게이트 단자에 접속되고, 커패시터 소자(5604)의 다른 단자는 전류원 트랜지스터(5601)의 제1단자에 접속된다. 따라서, 전류원 트랜지스터(5601)의 게이트 전위, 즉, 게이트-소스 전압(V_{gs})은 유지될 수 있다. 전류원 트랜지스터(5601)의 게이트는 제2스위칭 트랜지스터(5605)를 통해 배선(5610)에 접속되고, 커패시터 소자(5604)에 대한 전하 공급은 제2스위칭 트랜지스터(5605)의 ON/OFF에 의해 제어될 수 있다. 즉, 제2스위칭 트랜지스터(5605)가 ON 상태이면, 전류원 트랜지스터(5601)의 게이트 단자 및 제2배선(5610)은 접속된다. 한편, 제2스위칭 트랜지스터(5605)가 OFF 상태이면, 전류원 트랜지스터(5601)의 게이트 단자 및 제2배선(5610)은 비접속 상태가 된다.

[0492] 시프트 트랜지스터(5602)는, 상태에 따라 전류원으로서 작용하는 경우, 또는 소스 및 드레인 사이에 전류가 흐르지 않도록 작용(또는 스위치로서 작용)하는 경우에, 시프트 수단으로서 제1스위칭 트랜지스터(5603)를 포함한다. 여기서, 시프트 트랜지스터(5602)가 전류원(또는 그 일부)으로서 작용하는 경우를 전류원 동작이라고 한다. 또한, 시프트 트랜지스터(5602)가 소스 및 드레인 사이에 전류가 흐르지 않도록 동작(또는 스위치로서 작용)하는 경우, 또는 소스-드레인 전압이 작은 경우를 단락 동작이라고 한다. 도 56에서는, 시프트 트랜지스터(5602)의 소스 단자 및 드레인 단자가 제1스위칭 트랜지스터(5603)를 통해 접속될 수 있다. 시프트 트랜지스터(5602)의 게이트 단자는 전류원 트랜지스터(5601)의 게이트 단자에 접속된다. 제1스위칭 트랜지스터(5603)를 이용하여, 시프트 트랜지스터(5602)의 동작은 전류원 동작 또는 단락 동작으로 시프트될 수 있다.

[0493] 전류원 트랜지스터(5601)의 제1단자는 제3스위칭 트랜지스터(5606)를 통해 제3배선(5611)에 접속된다. 즉, 제3스위칭 트랜지스터가 ON 이면, 전류원 트랜지스터(5601)의 제1단자 및 제3배선(5611) 사이는 도전 상태로 된다. 제3스위칭 트랜지스터(5606)가 OFF 이면, 전류원 트랜지스터(5601)의 제1단자는 제3배선(5611)과 비접속 상태가 된다.

- [0494] 커패시터 소자(5604)는, 절연막이 배선, 활성층, 전극 등에 의해 그 사이에 끼워지는 구조를 가질 수도 있고, 또는 전류원 트랜지스터(5601)의 게이트 커패시터를 이용하여 생략될 수도 있음에 유의해야 한다.
- [0495] 표시소자(5608)의 대향 전극(5612), 제1배선(5609) 및 제2배선(5610)의 각각에는 소정의 전위가 입력되는 점에 유의해야 한다.
- [0496] 제4배선(5614)에 신호를 입력함으로써, 제2스위칭 트랜지스터(5605) 및 제2스위칭 트랜지스터(5606)는 ON 또는 OFF 되도록 제어된다.
- [0497] 제5배선(5615)에 신호를 입력함으로써, 제1스위칭 트랜지스터(5613)는 ON 또는 OFF 되도록 제어된다.
- [0498] 화소의 게조 레벨에 따라 신호가 제3배선(5611)에 입력된다. 이 신호는 비디오 신호에 대응하고, 신호 전류는 제3배선(5611)에 흐른다.
- [0499] 다음으로, 도 57a 내지 도 57c를 참조하여, 본 실시예의 화소의 동작에 대해 설명한다.
- [0500] 제3배선(5611)에 접속된 전류원(5701)은 화소에 기록되는 신호 전류 I_{data} 를 설정한다는 점에 유의해야 한다. 제3배선(5611)은 전류원(5701)을 통해 배선(5712)에 접속된다. 소정의 전위가 배선(5712)에 입력된다. 여기서, 제1배선(5609), 제2배선(5610), 배선(5712) 및 대향 전극(5612)에 입력되는 전위는 V_1 , V_2 , V_3 및 V_{com} 으로 각각 나타낸다. 전위의 관계와 관련하여, $V_1 < V_2 < V_3$ 및 $V_1 < V_{com} < V_3$ 가 적어도 만족된다.
- [0501] 화소의 동작은 화소에 신호를 기록하기 위한 신호 기록 동작과, 화소에 기록된 신호에 따라 게조 레벨의 발광을 하기 위한 발광 동작을 포함하는 것에 유의해야 한다. 도 57a 및 도 57b는 신호 기록 동작을 도시하는 도면이고, 도 57c는 발광 동작을 도시하는 도면이다.
- [0502] 우선, 도 57a를 참조하여, 신호 기록 동작시의 과도 상태에 대해 설명한다. 제4배선(5614) 및 제5배선에 입력되는 신호는 L 레벨로 설정됨으로써, 제1, 제2 및 제3스위칭 트랜지스터(5603, 5605 및 5606)를 ON 시킨다. 따라서, 도 57a에 도시된 것과 같이 전류가 흐른다. 즉, 전류원(5701)에 의해 설정되는 신호 전류 I_{data} 는 커패시터 소자(5604) 및 전류원 트랜지스터(5601)에 흐른다. 전류 I_c 및 전류 I_{tr} 이 커패시터 소자(5604) 및 전류원 트랜지스터(5601)에 각각 흐르면, $I_c + I_{tr} = I_{data}$ 가 만족된다.
- [0503] 오래되지 않아 커패시터 소자(5604)에는 전류가 흐르지 않으며, 이것은 신호 기록 동작시에 정상 상태로 된다. 그러므로, 도 56b에 도시된 것과 같이 전류가 흐른다. 전류원 트랜지스터(5601)에 흐르는 전류 I_{tr} 은 신호 전류 I_{data} 와 동일하다. 즉, 전류원 트랜지스터(5601)의 게이트-소스 전압 V_{gs} 는 신호 전류 I_{data} 를 전류원 트랜지스터(5601)에 인가하기 위해 필요한 전압이다. 전류원 트랜지스터(5601)의 게이트-소스 전압 V_{gs} 에 대한 전하는 커패시터 소자(5604)에 축적된다.
- [0504] 이때, 전류원 트랜지스터(5601)의 게이트 단자 및 제1단자의 전위를 V_a 및 V_b 로 각각 나타내면, $V_{gs} = (V_a - V_b)$ 가 만족되는 것에 유의해야 한다. 표시소자(5608)의 순방향 임계 전압을 V_{ELth} 로 나타내면, $(V_{com} - V_b) < V_{ELth}$ 가 만족되는 것이 바람직하며, 이에 따라, 신호 기록 동작시에 표시소자(5608)에는 전류를 인가하지 않는다. 그러므로, 제2배선(5610)에 입력되는 전위 V_2 는 $V_1 < V_2 < V_3$ 를 만족하도록 설정되는 것이 바람직하다. $V_2 = V_{com}$ 이 만족되면, 화소에 필요한 전원의 수가 감소될 수 있다. 또한, 신호 기록 동작시에 표시소자(5608)에는 역방향 바이어스가 인가될 수 있다.
- [0505] 표시소자(5608)에 역방향 바이어스가 인가되더라도, 통상적인 표시소자(5608)에는 전류가 흐르지 않는다(흐르더라도, 작은 전류량임)는 점에 유의해야 한다. 한편, 표시소자(5608)가 단락 부분을 가지고 있을 경우에는, 전류가 단락 부분에 흐른다. 그리고, 단락 부분이 절연됨으로써, 표시 결함이 개선될 수 있다.
- [0506] 다음으로, 도 57c를 참조하여, 발광 동작에 대하여 설명한다. 제4배선(5614) 및 제5배선(5615)에 입력되는 신호가 H 레벨로 설정됨으로써, 제1, 제2, 제3스위칭 트랜지스터(5603, 5605 및 5606)를 OFF 시킨다. 따라서, 도 57c에 도시된 것과 같이 전류가 흐른다. 이때, 제2스위칭 트랜지스터(5605)는 OFF 상태이다. 그러므로, 커패시터 소자(5604)는 전류원 트랜지스터(5601)에 신호 전류 I_{data} 를 인가하기 위해 필요한 게이트-소스 전압 V_{gs} 를 유지한다. 따라서, 신호 전류 I_{data} 와 거의 동일한 전류가 흐르게 하는 V_{gs} 는 전류원 트랜지스터(5601)에 인가된다.
- [0507] 여기서, 트랜지스터의 채널 길이 및 채널 폭은 L 및 W 로 각각 나타낸다. 트랜지스터가 포화 영역에서 동작하면, 게이트-소스 전압이 일정한 경우, 트랜지스터를 통해 흐르는 전류값은 일반적으로 W/L 에 비례한다. 즉, 전류값은 채널 폭 W 에 비례하고, 채널 길이 L 에 반비례한다.

- [0508] 본 실시예에서는, 전류원 트랜지스터(5601)의 채널 길이 및 시프트 트랜지스터(5602)의 채널 길이를 각각 L1 및 L2로 나타내며, 이들 트랜지스터는 동일한 채널 폭을 가진다. 전류가 흘러 지나가는 전류원 트랜지스터(5601) 및 시프트 트랜지스터(5602)가 함께 멀티게이트 트랜지스터로서 작용하면, 도 57c의 전류원으로서 작용한다. 그때, 멀티게이트 트랜지스터는 채널 길이 (L1+L2) 및 채널 폭 W를 가지는 것으로 간주될 수 있다. 도 57c에서는, 전류원 트랜지스터(5601) 및 시프트 트랜지스터(5602)에 전류가 흐르고, 트랜지스터는 채널 폭 W 및 채널 길이 (L1+L2)를 가진다. 그러므로, 발광 동작시에, $I_{data} \times (L1/(L1+L2))$ 의 전류가 표시소자(5608)에 인가될 수 있다.
- [0509] 이와 같은 방식으로, 설정 동작시에, 시프트 트랜지스터(5602)는 단락되고, 발광 동작시에, 전류원으로서 동작하게 됨으로써, 신호 기록 동작시에 인가되는 신호 전류보다 더 작은 전류량이 표시소자(5608)에 인가될 수 있다. 즉, 전류원 트랜지스터(5601) 및 시프트 트랜지스터(5602)의 채널 길이를 조절함으로써, 신호 기록 동작시에 인가되는 신호 전류보다 더 작은 전류량이 표시소자(5608)에 인가될 수 있다.
- [0510] 이때, 전류원 트랜지스터(5601)의 게이트 단자 및 제1단자의 전위를 $V_{a'}$ 및 $V_{b'}$ 로 각각 나타내면, $V_{gs}=(V_{a'}-V_{b'})$ 가 만족되는 것에 유의해야 한다. 이것은, $V_{b'}>V_b$ 가 만족되지만, 커패시터 소자(5604)가 게이트-소스 전압 V_{gs} 를 유지하므로, $V_{b'}$ 이 증가될수록 $V_{a'}$ 도 증가되기 때문이다.
- [0511] 제4배선(5614)에 입력될 L 레벨 신호 및 H 레벨 신호의 전위를 $V_4(L)$ 및 $V_4(H)$ 로 각각 나타내면, 아래의 전위가 바람직하다는 점에 유의해야 한다. 제2스위칭 트랜지스터(5605) 및 제3스위칭 트랜지스터(5606)의 임계 전압은 V_{th2} 및 V_{th3} 으로 각각 나타낸다.
- [0512] 도 57b에 도시된 것과 같이, 표시소자(5608)의 화소 전극의 전위가 V_b 가 되더라도, 제3스위칭 트랜지스터(5606)는 ON 상태일 것이 요구된다. 그러므로, $V_4(L)<(V_b+V_{th3})$ 이 만족된다. 또한, 제2스위칭 트랜지스터(5605)가 ON 상태로 되도록 하기 위하여, $V_4(L)<(V_2+V_{th2})$ 가 만족된다. 구체적으로, 예를 들어, $V_4=V_{com}$ 이 만족되면, $V_4(L)$ 은 V_{com} 보다 1 내지 8V만큼 낮은 전위인 것이 바람직하다.
- [0513] 도 57c에 도시된 것과 같이, 제3스위칭 트랜지스터(5606)가 OFF 되도록 하기 위하여, $V_4(H)>(V_b+V_{th3})$ 이 만족된다. 즉, 신호 전류가 또 다른 화소에 기록되면, 제3배선(5611)의 전위는 V_b 가 된다. 그러므로, 이때, 선택되지 않는 화소에서는, 제3스위칭 트랜지스터(5606)가 OFF 상태일 것이 요구된다. 한편, 제2스위칭 트랜지스터(5605)가 OFF 상태로 되도록 하기 위하여, $V_4(H)>(V_2+V_{th2})$ 가 만족된다. 구체적으로, 예를 들어, $V_2=V_{com}$ 이 만족되면, $V_4(H)$ 는 V_{com} 보다 1 내지 8V만큼 높은 전위인 것이 바람직하다.
- [0514] 본 실시예에서 설명된 화소 구성을 채용함으로써, 신호 기록 동작시의 트랜지스터의 게이트 단자의 전위가 제어될 수 있으며, 이에 따라, 신호 기록 동작시에 표시소자에 전류가 흐르는 것을 방지할 수 있다.
- [0515] 도 56에 도시된 화소 구성을 채용함으로써, 화소는 P-채널 트랜지스터만으로 형성될 수 있고, 이것은 제조 공정을 간략화할 수 있다. 당연히, 도 58에 도시된 것과 같이, 제1스위칭 트랜지스터(5603), 제2스위칭 트랜지스터(5605), 제3스위칭 트랜지스터(5606)만을, P-채널 트랜지스터인 제1스위칭 트랜지스터(5803), 제2스위칭 트랜지스터(5805) 및 제3스위칭 트랜지스터(5806)로 대체할 수도 있다.
- [0516] 또한, 본 발명의 구조를 채용함으로써, 신호 기록 동작시에 $|V_{ds}|>|V_{gs}|$ 가 만족될 수 있다. 신호 기록 동작 및 발광 동작 사이에서 V_{ds} 의 변화를 작게 할 수 있다. 그러므로, 전류원 트랜지스터(5601)의 포화 영역에서의 정전류 특성(전류의 평탄성)이 나쁘더라도, 신호 기록 동작 및 발광 동작 사이에서 전류값은 거의 동일하다. 특히, (비정질 실리콘과 같은) 비정질 반도체막이 전류원 트랜지스터(5601)의 반도체층으로 사용되면, 전류원 트랜지스터(5601)의 포화 영역에서의 정전류 특성(전류의 평탄성)이 열화될 수도 있다. 따라서, 전류원 트랜지스터(5601)의 반도체층으로 비정질 반도체막이 사용될 경우에 대해 본 발명의 구조가 적용되면, 표시 결함이 방지될 수 있다.
- [0517] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0518] [실시예 8]
- [0519] 실시예 8에서는, 도 67a 및 도 67b를 참조하여, 상술한 실시예에서 설명된 화소 구성을 갖는 표시 패널의 구조에 대해 설명한다.
- [0520] 도 67a는 표시 패널의 평면도이고, 도 67b는 도 67a의 A-A' 선을 따르는 단면도임에 유의해야 한다. 표시 패널

은 신호선 구동회로(6701), 화소부(6702), 제1주사선 구동회로(6703), 및 제2주사선 구동회로(6706)를 포함하며, 이들은 점선으로 도시되어 있다. 또한, 밀봉 기관(6704) 및 밀봉재(6705)가 설치된다. 밀봉재(6705)에 의해 둘러싸인 부분은 공간(6707)이다.

[0521] 배선(6708)은 제1주사선 구동회로(6703), 제2주사선 구동회로(6706) 및 신호선 구동회로(6701)에 입력되는 신호를 전송하기 위한 배선이며, 외부 입력 단말로서 기능하는 FPC(Flexible Printed Circuit : 플렉시블 인쇄회로)(6709)로부터, 비디오 신호, 클럭신호, 시작신호 등을 수신한다는 점에 유의해야 한다. IC 칩(메모리 회로, 버퍼회로 등을 포함하는 반도체 칩)(6719)은 COG(Chip On Glass : 칩 온 글래스) 등에 의해 FPC(6709) 및 표시패널의 접속부의 상부에 실장된다. 여기서는, FPC(6709)만 도시되어 있지만, 인쇄 배선 기관(PWB)이 FPC(6709)에 부착될 수도 있음에 유의해야 한다. 본 명세서의 표시장치는 표시 패널의 본체뿐만 아니라, 거기에 부착된 FPC 또는 PWB를 갖는 것과, 그 상부에 IC 칩 등이 실장되어 있는 것을 포함한다.

[0522] 다음으로, 도 67b를 참조하여, 단면 구조에 대해 설명한다. 화소부(6702) 및 주변 구동회로(제1주사선 구동회로(6703), 제2주사선 구동회로(6706), 및 신호선 구동회로(6701))는 기관(6710)의 상부에 형성된다. 여기서는, 신호선 구동회로(6701) 및 화소부(6702)가 도시되어 있다.

[0523] 신호선 구동회로(6701)는 N-채널 TFT(6720) 또는 N-채널 TFT(6721)와 같은 단극성 트랜지스터로 형성되어 있음에 유의해야 한다. 화소 구성과 관련하여, 도 2, 도 13, 도 14 또는 도 15의 화소 구성을 적용하여, 화소가 단극성 트랜지스터로 형성될 수 있다. 따라서, 주변 구동회로는 N-채널 트랜지스터로 형성됨으로써, 단극성 표시패널이 제조될 수 있다. 말할 필요도 없이, CMOS 회로는 단극성 트랜지스터뿐만 아니라 P-채널 트랜지스터로 형성될 수도 있다. 또한, 본 실시예에서는, 주변 구동회로가 동일한 기관의 상부에 형성되어 있는 표시패널이 도시되어 있지만, 본 발명은 이것에 한정되지 않는다. 주변 구동회로의 전부 또는 일부는 IC 칩 등으로 형성되어, COG 등에 의해 실장될 수도 있다. 이 경우, 구동회로는 단극성일 필요가 없으며, P-채널 트랜지스터와 조합하여 형성될 수 있다.

[0524] 또한, 화소부(6702)는 TFT(6711 및 6712)를 포함한다. TFT(6712)의 소스 전극은 제1전극(화소 전극)(6713)에 접속된다는 것에 유의해야 한다. 절연체(6714)는 제1전극(6713)의 단부를 피복하도록 형성된다. 여기서, 절연체(6714)로는 포지티브 감광성 아크릴 수지막이 사용된다.

[0525] 양호한 커버리지(coverage)를 얻기 위하여, 절연체(6714)는 절연체(6714)의 상부 단부 또는 하부 단부에서 곡률을 갖는 곡면을 갖도록 형성된다. 예를 들어, 포지티브 감광성 아크릴을 절연체(6714)의 재료로 사용할 경우, 절연체(6714)의 상부 단부만 곡률 반경(0.2 내지 3 μ m)을 갖는 곡면을 가지는 것이 바람직하다. 또한, 절연체(6714)로서, 광에 의해 에천트(etchant)에서 용해성이 되는 네거티브 감광성 아크릴, 또는 광에 의해 에천트에서 용해성이 되는 포지티브 감광성 아크릴이 사용될 수 있다.

[0526] 유기 화합물을 포함하는 층(6716) 및 제2전극(대향 전극)(6717)은 제1전극(6713)의 상부에 형성된다. 여기서, 양극으로 기능하는 제1전극(6713)으로 사용되는 재료로서 높은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 예를 들어, ITO(인듐 주석 산화) 막, 인듐 아연 산화(IZO)막, 티타늄 질화막, 크롬 막, 텅스텐 막, 아연(Zn) 막, 백금(Pt) 막 등의 단층, 티타늄 질화막 및 알루미늄을 주성분으로 포함하는 막의 적층, 티타늄 질화막, 알루미늄을 주성분으로 포함하는 막, 및 티타늄 질화막의 3층 구조 등이 사용될 수 있다. 적층 구조에 의하여, 배선으로서의 저항이 낮고, 양호한 음 접촉이 얻어질 수 있으며, 양극으로서의 기능이 얻어질 수 있음에 유의해야 한다.

[0527] 유기 화합물을 포함하는 층(6716)은 증착 마스크를 이용한 증착법 또는 잉크-젯에 의해 형성된다. 유기 화합물을 포함하는 층(6716)의 일부로는, 원소의 주기율표의 4족에 속하는 금속의 착물이 사용된다. 그 외에, 저분자 재료 또는 고분자 재료가 조합에 의해 마찬가지로 사용될 수도 있다. 또한, 유기 화합물을 포함하는 층으로 사용되는 재료로서, 유기 화합물의 단층 또는 적층이 주로 사용되지만, 본 실시예에서는, 유기 화합물로 형성된 막의 일부에서 무기 화합물이 사용될 수도 있다. 또한, 공지된 3중항(triplet) 재료가 사용될 수도 있다.

[0528] 또한, 음극으로서 기능하며 유기 화합물을 포함하는 층(6716)의 상부에 형성되는 제2전극(6717)으로 사용되는 재료로서, 낮은 일함수를 갖는 재료(Al, Ag, Li, Ca, 또는 MgAg, MgIn, AlLi, CaF₂ 또는 Ca₃N₂와 같은 그 합금)가 사용될 수도 있다. 유기 화합물을 포함하는 층(6716)으로부터 발생된 광이 제2전극(6717)을 통과할 경우, 더 얇은 두께의 금속 박막과 투명 도전막(ITO(인듐 주석 산화) 막, 인듐 산화아연 산화합금(In₂O₃-ZnO), 아연 산화물(ZnO) 등)의 적층을 제2전극(음극)(6717)으로서 사용하는 것이 바람직하다.

- [0529] 또한, 밀봉 기관(6704)을 밀봉재(6705)에 의해 기관(6710)에 부착함으로써, 기관(6710), 밀봉 기관(6704) 및 밀봉재(6705)에 의해 둘러싸인 공간(6707)에 발광소자(6718)가 설치된다. 공간(6707)은 불활성 가스(질소, 아르곤 등)뿐만 아니라, 밀봉재(6705)에 의해 충전될 수도 있음에 유의해야 한다.
- [0530] 밀봉재(6705)로는 에폭시계 수지를 사용하는 것이 바람직하다는 것에 유의해야 한다. 또한, 이들 재료는 가능한 한 수분 또는 산소를 많이 투과하지 않도록 하는 것이 바람직하다. 밀봉 기관(6704)의 재료로서, 유리 기관, 석영 기관과, FRP(섬유유리 강화 플라스틱), PVF(polyvinylfluoride : 폴리비닐 플로라이드), 마일러(myler), 폴리에스테르(polyester), 아크릴 등으로 이루어진 플라스틱 기관이 사용될 수 있다.
- [0531] 상술한 것과 같이, 본 발명의 화소 구성을 갖는 표시 패널이 얻어질 수 있다. 상술한 구조는 단지 하나의 예이며, 표시 패널의 구조는 이것에 한정되지 않는다는 점에 유의해야 한다.
- [0532] 도 67a 및 도 67b에 도시된 것과 같이, 동일한 기관의 상부에 신호선 구동회로(6701), 화소부(6702), 제1주사선 구동회로(6703) 및 제2주사선 구동회로(6706)를 형성함으로써, 표시장치의 비용이 감소될 수 있다. 또한, 이 경우, 단극성 트랜지스터가 신호선 구동회로(6701), 화소부(6702), 제1주사선 구동회로(6703) 및 제2주사선 구동회로(6706)로서 사용됨으로써, 제조 공정이 간략화될 수 있다. 그 결과, 추가적인 비용 감소가 달성될 수 있다.
- [0533] 표시 패널의 구조는, 신호선 구동회로(6701), 화소부(6702), 제1주사선 구동회로(6703) 및 제2주사선 구동회로(6706)가 동일한 기관의 상부에 형성되는 도 67a에 도시된 구조에 한정되지 않으며, 신호선 구동회로(6701)에 대응하는 도 68a에 도시된 신호선 구동회로(6801)는 IC 칩으로 형성되어 COG 등에 의해 표시 패널 상에 실장될 수도 있음에 유의해야 한다. 도 68a의 기관(6800), 화소부(6802), 제1주사선 구동회로(6803), 제2주사선 구동회로(6804), FPC(6805), IC 칩(6806 및 6807), 밀봉 기관(6808), 및 밀봉재(6809)는 도 67a의 기관(6710), 화소부(6702), 제1주사선 구동회로(6703), 제2주사선 구동회로(6706), FPC(6709), IC 칩(6719), 밀봉 기관(6704), 및 밀봉재(6705)에 각각 대응한다는 점에 유의해야 한다.
- [0534] 즉, 고속으로 동작하기 위해 요구되는 신호선 구동회로만 CMOS 등을 이용하여 IC 칩으로 형성됨으로써, 낮은 소비전력이 달성된다. 또한, IC 칩을 실리콘 웨이퍼 등으로 형성된 반도체 칩으로 형성함으로써, 고속 동작 및 낮은 소비전력이 실현될 수 있다.
- [0535] 화소부(6802)로서, 동일한 기관의 상부에 제2주사선 구동회로(6803) 및/또는 제1주사선 구동회로(6804)를 형성함으로써, 비용 감소가 달성될 수 있다. 또한, 제2주사선 구동회로(6803), 제1주사선 구동회로(6804) 및 화소부(6802)로서 단극성 트랜지스터가 사용됨으로써, 추가적인 비용 감소가 달성될 수 있다. 화소부(6802)의 화소 구성과 관련하여, 실시 형태 1 내지 4에서 설명된 구조가 적용될 수 있다.
- [0536] 이와 같은 방식으로, 고해상도 표시장치의 비용 감소가 실현될 수 있다. 또한, 기능 회로(메모리 또는 버퍼)를 포함하는 IC 칩을 FPC(6805) 및 기관(6800)의 접속부에 실장함으로써, 기관 면적을 효율적으로 활용할 수 있다.
- [0537] 또한, 도 67a에 도시된 신호선 구동회로(6701), 제1주사선 구동회로(6703), 및 제2주사선 구동회로(6706)에 대응하는 도 68b에 도시된 신호선 구동회로(6811), 제1주사선 구동회로(6814), 및 제2주사선 구동회로(6813)은 IC 칩으로 형성되어, COG 등에 의해 표시 패널 상에 실장될 수도 있다. 이 경우, 고해상도 표시장치의 더 낮은 소비전력이 실현될 수 있다. 그러므로, 적은 소비전력을 갖는 표시장치를 얻기 위해서는, 화소부에서 사용되는 트랜지스터의 반도체층으로서 다결정 실리콘을 사용하는 것이 바람직하다. 도 68의 기관(6810), 화소부(6812), FPC(6815), IC 칩(6816 및 6817), 밀봉 기관(6818), 및 밀봉재(6819)는 도 67a의 기관(6710), 화소부(6702), FPC(6709), IC 칩(6716 및 6719), 밀봉 기관(6704), 및 밀봉재(6705)에 각각 대응한다는 점에 유의해야 한다.
- [0538] 또한, 화소부(6812)의 트랜지스터의 반도체층으로 비정질 실리콘을 사용함으로써, 추가적인 비용 감소가 달성될 수 있다. 또한, 대규모 표시 패널이 제조될 수 있다.
- [0539] 또한, 제2주사선 구동회로, 제1주사선 구동회로, 및 신호선 구동회로는 반드시 화소의 행 방향 및 열 방향으로 설치될 필요가 없다. 예를 들어, 도 69a에 도시된 것과 같이, IC 칩에 형성된 주변 구동회로(6901)는 도 68b에 도시된 제1주사선 구동회로(6814), 제2주사선 구동회로(6813), 및 신호선 구동회로(6811)의 기능을 가질 수도 있다. 도 69a의 기관(6900), 화소부(6902), FPC(6904), IC 칩(6905 및 6906), 밀봉 기관(6907), 및 밀봉재(6908)는 도 67a의 기관(6710), 화소부(6702), FPC(6709), IC 칩(6719), 밀봉 기관(6704), 및 밀봉재(6705)에 각각 대응한다는 점에 유의해야 한다.
- [0540] 도 69b는 도 69a에 도시된 표시장치의 배선의 접속을 도시한 개략도를 도시한 것이다. 기관(6910), 주변 구동

회로(6911), 화소부(6912), 및 FPC(6913 및 6914)가 설치되어 있다. 신호 및 전원 전위는 FPC(6913)로부터 주변 구동회로(6911)에 외부적으로 입력된다. 주변 구동회로(6911)로부터의 출력은 행 방향의 배선 및 열 방향의 배선에 입력되며, 이들 배선은 화소부(6912)의 화소에 접속되어 있다.

[0541] 또한, 도 70a 및 도 70b는 발광소자(6718)에 적용될 수 있는 발광소자의 예를 도시한 것이다. 즉, 도 70a 및 도 70b를 참조하여, 상기 실시예에서 설명된 화소에 적용될 수 있는 발광소자의 구조에 대하여 설명한다.

[0542] 도 70a에 도시된 발광소자에서는, 양극(7002), 정공 주입 재료로 형성된 정공 주입층(7003), 정공 수송 재료로 형성된 정공 수송층(7004), 발광층(7005), 전자 수송 재료로 형성된 전자 수송층(7006), 전자 주입 재료로 형성된 전자 주입층(7007), 음극(7008)이 이 순서로 기판(7001)의 상부에 적층되어 있다. 여기서, 발광층(7005)은 한 종류의 발광 재료만으로 형성될 수도 있지만, 두 종류 이상의 재료로 형성될 수도 있다. 본 발명의 소자의 구조는 이것에 한정되지 않는다.

[0543] 각 기능층이 적층되어 있는 도 70a에 도시된 적층 구조에 추가하여, 고분자 화합물로 형성된 소자와, 발광층에서 3중항 여기 상태에서부터 발광하는 3중항 발광 재료를 이용한 고효율 소자와 같은 넓은 변형이 존재한다. 정공 차단층을 이용한 캐리어의 재결합 영역을 제어함으로써, 발광 영역을 2개의 영역으로 분할하여 얻어질 수 있는 백색 발광소자 등에 응용하는 것도 가능하다.

[0544] 도 70a에 도시된 본 발명의 소자는, 양극(7002)(ITO)을 갖는 기판(7001)의 상부에 정공 주입 재료, 정공 수송 재료, 및 발광 재료를 순차적으로 증착하여 형성될 수 있다. 다음으로, 전자 수송 재료 및 전자 주입 재료가 증착되고, 마지막으로 증착법에 의해 음극(7008)이 형성된다.

[0545] 정공 주입 재료, 정공 수송 재료, 전자 수송 재료, 전자 주입 재료, 및 발광 재료로 적당한 재료는 아래와 같다.

[0546] 정공 주입 재료로서, 포르피린(porphyrin)계 화합물, 프탈로시아닌(이하, "H₂Pc"라 함), 구리 프탈로시아닌(이하 "CuPc"라 함) 등이 사용 가능하다. 또한, 사용될 정공 수송 재료보다 더 작은 이온화 퍼텐셜(potential)의 값을 가지며, 정공 수송 기능을 가지는 재료가 정공 주입 재료로서 사용될 수도 있다. 폴리아닐린(polyaniline), 폴리스티렌 술폰산(sulfonate)(이하, "PSS"라 함)으로 도핑된 폴리에틸렌 디옥시디오펜(이하, "PEDOT"라 함) 등을 포함하는 도전성 고분자 화합물을 화학적 도핑을 행하여 얻어지는 재료도 존재한다. 또한, 절연체의 고분자 화합물은 양극의 평탄화의 측면에서 유효하며, 폴리이미드(이하, "PI"라 함)가 주로 사용된다. 또한, 금 또는 백금과 같은 금속의 박막과 함께, 알루미늄 산화물(이하, "알루미나(alumina)"라 함)의 초박막을 포함하는 무기 화합물도 사용된다.

[0547] 정공 수송 재료로서, 방향족 아민계(즉, 벤젠고리 질소의 결합을 갖는 것) 화합물이 가장 널리 사용된다. 널리 사용되고 있는 재료는, 4,4'-bis(diphenylamino)-biphenyl(이하, "TAD"라 함)과, 4,4'-bis[N-(3-methylphenyl)-N-phenyl-amino]-biphenyl(이하, "TPD"라 함), 4,4'-bis[N-(1-naphthyl)-N-phenyl-amino]-biphenyl(이하, "α-NPD"라 함)과 같은 그 유도체와, 4,4',4''-tris(N, N-diphenyl-amino)-triphenylamine(이하, "TDATA"라 함) 및 4,4',4''-tris[N-(3-methylphenyl)-N-phenyl-amino]-triphenylamine(이하, "MTDATA"라 함)과 같은 스타 버스트형 방향족 아민 화합물을 포함한다.

[0548] 전자 수송 재료로서, 금속 착물이 주로 사용되며, Alq, BAlq, tris(4-methyl-8-quinolinolato)aluminum(이하, "Almq"라 함), 또는 bis(10-hydroxybenzo[h]-quinolinato)beryllium(이하, "BeBq"라 함)와 같은 퀴놀린(quinoline) 골격 또는 벤조퀴놀린(benzoquinoline) 골격을 갖는 금속 착물과, bis[2-(2-hydroxyphenyl)-benzoxazolato]zinc(이하, "Zn(BOX)₂"라 함), 또는 bis[2-(2-hydroxyphenyl)-benzothiazolato]zinc(이하, "Zn(BTZ)₂"라 함)와 같은 옥사졸(oxazole)계 또는 디아졸(thiazole)계 리간드를 갖는 금속 착물을 포함한다. 또한, 금속 착물에 추가하여, 2-(4-biphenyl)-5-(4-tert-butylphenyl)-1,3,4-oxadiazole(이하, "PBD"라 함) 및 OXD-7과 같은 옥사디아졸(oxadiazole) 유도체, TAZ 및 3-(4-tert-butylphenyl)-4-(4-ethylphenyl)-5-(4-biphenyl)-2,3,4-triazole(이하, "p-EtTAZ"라 함)와 같은 트리아졸(triazole) 유도체, bathophenanthroline(이하, "BPhen"이라 함) 및 BCP와 같은 페난스롤린(phenanthroline) 유도체는 전자 수송 속성을 가진다.

[0549] 전자 주입 재료로서, 상술한 전자 수송 재료가 사용될 수 있다. 또한, 절연체의 초박막, 예를 들어, 불화 칼슘, 불화 리튬, 또는 불화 세슘과 같은 금속 할로겐화물(halide), 산화 리튬과 같은 알칼리 금속 산화물 등이 주로 사용된다. 또한, 리튬 아세틸 아세토네이트(이하, "Li(acac)"라 함) 또는 8-quinolinolato-lithium(이하, "LiQ"라 함)과 같은 알칼리 금속 착물도 사용 가능하다.

- [0550] 발광 재료로서, Alq, Almq, BeBq, BAlq, Zn(BOX)₂, 및 Zn(BTZ)₂와 같은 상술한 금속 착물과 함께, 각종 형광 색소가 사용 가능하다. 형광 색소는, 청색인 4,4'-bis(2,2-diphenyl-vinyl)-biphenyl과, 적색-오렌지인 4-(dicyanomethylene)-2-methyl-6-(*p*-dimethylaminostyryl)-4*H*-pyran 등을 포함한다. 3중항 발광 재료로서, tris(2-phenylpyridine)iridium, bis(2-(4'-tryl)pyridinato-N,C^{2'})acetylacetonato iridium(이하, "acacIr(tpy)₂"이라 함), 2,3,7,8,12,13,17,18-octaethyl-21H,23Hporphyrin-platinum 등이 알려져 있다.
- [0551] 진술한 기능을 각각 재료를 조합하여 사용함으로써, 높은 신뢰성의 발광소자가 형성될 수 있다.
- [0552] 상기 실시예에 도시된 도 56의 화소의 경우, 도 70a와 반대의 순서로 층이 형성된 발광소자가 도 70b에 도시된 것과 같이 사용될 수 있다. 즉, 음극(7018), 전자 주입 재료로 형성된 전자 주입층(7017), 전자 수송 재료로 형성된 전자 수송층(7016), 발광층(7015), 정공 수송 재료로 형성된 정공 수송층(7014), 정공 주입 재료로 형성된 정공 주입층(7013), 및 양극(7012)이 이 순서로 기관(7011)의 상부에 적층된다.
- [0553] 또한, 발광소자의 발광을 추출하기 위하여, 양극 및 음극 중 적어도 하나는 투명할 것이 요구된다. TFT 및 발광소자는 기관의 상부에 형성되고, 기관과 대향하는 층의 표면을 통해 발광이 추출되는 상부 방출 구조와, 기관 층의 표면을 통해 발광이 추출되는 하부 방출 구조와, 기관과 대향하는 층의 표면 및 기관층의 표면을 통해 발광이 각각 추출되는 듀얼 방출 구조를 가지는 발광소자가 존재한다. 본 발명의 화소 구성은 임의의 방출 구조를 갖는 발광소자에 대해서도 적용될 수 있다.
- [0554] 도 71a를 참조하여, 상부 방출 구조를 갖는 발광소자에 대해 설명한다.
- [0555] 구동 TFT(7101)는 기관(7100)의 상부에 형성되고, 제1전극(7102)은, 유기 화합물 및 제2전극(7104)을 포함하는 층(7103)이 그 상부에 형성된 구동 TFT(7101)의 소스 전극과 접촉하도록 형성된다.
- [0556] 또한, 제1전극(7102)은 발광소자의 양극이다. 제2전극(7104)은 발광소자의 음극이다. 즉, 유기 화합물을 포함하는 층(7103)이 제1전극(7102) 및 제2전극(7104) 사이에 끼워진 영역은 발광소자에 대응한다.
- [0557] 또한, 양극으로서 기능하는 제1전극(7102)으로 사용되는 재료로서, 높은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 예를 들어, 티타늄 질화막, 크롬 막, 텅스텐 막, 아연 막, 백금 막 등의 단층과, 티타늄 질화막 및 알루미늄을 주성분으로 포함하는 막의 적층과, 티타늄 질화막, 알루미늄을 주성분으로 포함하는 막, 및 티타늄 질화막의 3개의 층의 적층 등이 사용될 수 있다. 적층 구조에 의하여, 배선으로서의 저항이 낮고, 양호한 옴 접촉(ohmic contact)이 얻어질 수 있으며, 양극으로서의 또 다른 기능이 얻어질 수 있다. 광을 반사시키는 금속막을 사용하여, 광을 투과하지 않는 양극이 형성될 수 있다.
- [0558] 음극으로서 기능하는 제2전극(7104)으로 사용되는 재료로서, 낮은 일함수를 갖는 재료(Al, Ag, Li, Ca, 또는, MgAg, MgIn, AlLi, CaF₂ 또는 Ca₃N₂와 같은 그 합금)로 형성된 금속 박막과, 투명 도전막(ITO(인듐 주석 산화물), 인듐 아연 산화물(IZO), 아연 산화물(ZnO) 등)의 적층을 사용하는 것이 바람직하다. 금속 박막과 투명성을 갖는 투명 도전막을 이와 같이 사용함으로써, 광을 투과할 수 있는 음극이 형성될 수 있다.
- [0559] 이와 같은 방식으로, 도 71a의 화살표에 의해 도시된 것과 같이, 발광소자로부터의 광은 상부 표면으로 추출될 수 있다. 즉, 도 67a 및 도 67b에 도시된 표시 패널에 적용할 경우, 밀봉 기관(6704) 측에 발광이 행해진다. 그러므로, 상부 방출 구조를 갖는 발광소자를 표시장치에 사용할 경우, 광투과성 기관이 밀봉 기관(6704)으로서 사용된다.
- [0560] 광학 필름을 설치할 경우, 밀봉 기관(6704)의 상부에는 광학 필름이 설치될 수도 있다.
- [0561] 상기 실시예에서 도 66에 도시된 화소 구성의 경우에는, 음극으로서 기능하며, MgAg, MgIn, 또는 AlLi와 같이 낮은 일함수를 갖는 재료로 형성된 금속막이 제1전극(7102)으로 사용될 수 있다. 제2전극(7104)으로서, ITO(인듐 주석 산화물) 막 또는 인듐 아연 산화물(IZO) 막과 같은 투명 도전막이 사용될 수 있다. 따라서, 이 구조에서, 상부 발광의 투과율이 개선될 수 있다.
- [0562] 또한, 도 71b를 참조하여, 하부 방출 구조를 갖는 발광소자에 대해 설명한다. 발광 구조를 제외하고는 구조가 동일하므로, 도 71a와 동일한 참조 번호를 사용한다.
- [0563] 여기서, 양극으로서 기능하는 제1전극(7102)으로 사용되는 재료로서, 높은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 예를 들어, ITO 막 또는 인듐 아연 산화물(IZO) 막과 같은 투명 도전막이 사용될 수 있다. 투명성을 갖는 투명 도전막을 사용함으로써 광을 투과할 수 있는 양극이 형성될 수 있다.

- [0564] 음극으로서 기능하는 제2전극(7104)으로 사용되는 재료로서, 낮은 일함수를 갖는 재료(Al, Ag, Li, Ca, 또는 MaAg, MgIn, AlLi, CaF₂ 또는 Ca₃N₂와 같은 그 합금)로 형성된 금속막이 사용될 수 있다. 광을 반사시키는 금속막을 사용함으로써, 광을 투과하지 않는 음극이 형성될 수 있다.
- [0565] 이와 같은 방식으로, 도 71b의 화살표로 도시된 것과 같이, 발광소자로부터의 광은 하부 표면으로 추출될 수 있다. 즉, 도 67a 및 도 67b에 도시된 표시 패널에 적용할 경우, 기관(6710) 측에 발광이 행해진다. 그러므로, 하부 방출 구조를 갖는 발광소자를 표시장치에 사용할 경우, 광투과성 기관이 기관(6710)으로서 사용된다.
- [0566] 광학 필름을 설치할 경우, 기관(6710)의 상부에 광학 필름이 설치될 수도 있다.
- [0567] 도 71c를 참조하여, 듀얼 방출 구조를 갖는 발광소자에 대해 설명한다. 발광 구조를 제외하고는 그 구조가 동일하므로, 도 71a와 동일한 참조 번호를 사용한다.
- [0568] 여기서, 양극으로서 기능하는 제1전극(7102)으로 사용되는 재료로서, 높은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 예를 들어, ITO 막 또는 인듐 아연 산화물(IZO) 막과 같은 투명 도전막이 사용될 수 있다. 투명성을 갖는 투명 도전막을 사용함으로써, 광을 투과할 수 있는 양극이 형성될 수 있다.
- [0569] 음극으로서 기능하는 제2전극(7104)으로 사용되는 재료로서, 낮은 일함수를 갖는 재료(Al, Ag, Li, Ca, 또는 MaAg, MgIn, AlLi, CaF₂ 또는 Ca₃N₂와 같은 그 합금)로 형성된 금속 박막과, 투명 도전막(ITO(인듐 주석 산화물), 인듐 산화물 아연 산화물(In₂O₃-ZnO) 합금, 아연 산화물(ZnO) 등)의 적층을 사용하는 것이 바람직하다. 금속 박막과 투명성을 갖는 투명 도전막을 이와 같이 사용함으로써, 광을 투과할 수 있는 음극이 형성될 수 있다.
- [0570] 이와 같은 방식으로, 도 71c의 화살표로 도시된 것과 같이, 발광소자로부터의 광은 양쪽 표면으로 추출될 수 있다. 즉, 도 67a 및 도 67b에 도시된 표시 패널에 적용할 경우, 기관(6160) 측 및 밀봉 기관(6704) 측으로 발광이 행해진다. 그러므로, 듀얼 방출 구조를 갖는 발광소자를 표시장치에 사용할 경우, 광투과성 기관이 기관(6710) 및 밀봉 기관(6704)의 양쪽으로서 사용된다.
- [0571] 광학 필름을 설치할 경우, 기관(6710) 및 밀봉 기관(6704)의 양쪽 상부에 광학 필름이 설치될 수도 있다.
- [0572] 본 발명은 백색 발광소자 및 컬러 필터를 사용하여 풀 컬러 디스플레이를 실현하는 표시장치에도 적용될 수 있다.
- [0573] 도 72에 도시된 것과 같이, 기관(7200)의 상부에는 기저막(7202)이 형성되고, 그 위에는 구동 TFT(7201)가 형성된다. 제1전극(7203)은 구동 TFT(7201)의 소스 전극과 접촉하도록 형성되고, 유기 화합물을 포함하는 층(7204) 및 제2전극(7205)은 그 위에 형성된다.
- [0574] 제1전극(7203)은 발광소자의 양극이다. 제2전극(7205)은 발광소자의 음극이다. 즉, 유기 화합물을 포함하는 층(7204)이 제1전극(7203) 및 제2전극(7205) 사이에 끼워져 있는 영역은 발광소자에 대응한다. 도 72에 도시된 구조에서는, 백색 광이 발광된다. 적색 컬러 필터(7206R), 녹색 컬러 필터(7206G) 및 청색 컬러 필터(7206B)는 발광소자의 상부에 설치됨으로써, 풀 컬러 디스플레이가 수행될 수 있다. 또한, 이들 컬러 필터를 분리하기 위한 블랙 매트릭스(BM이라고도 함)(7207)가 설치된다.
- [0575] 발광소자의 단순한 구조는 조합하여 사용될 수 있고, 본 발명의 화소 구성을 갖는 표시장치로 적절하게 사용될 수 있다. 위에서 설명된 표시 패널 및 발광소자의 구조는 단지 예이며, 본 발명의 화소 구성은 다른 구조를 갖는 표시장치에 적용될 수 있음은 말할 필요도 없다.
- [0576] 다음으로, 표시 패널의 화소부의 부분 단면도를 설명한다.
- [0577] 우선, 도 73a 및 도 73b와, 도 74a 및 도 74b를 참조하여, 트랜지스터의 반도체층으로서 결정성 반도체막(다결정(p-Si:H) 막)을 사용할 경우에 대해 설명한다.
- [0578] 여기서, 반도체층은 예를 들어, 공지된 성막 방법에 의해 기관의 상부에 비정질 실리콘(a-Si) 막을 형성하여 얻어진다. 반도체막은 비정질 실리콘막에 한정되지 않으며, 비정질 구조를 갖는 임의의 반도체막(비정질 반도체막을 포함)이 사용될 수도 있다. 또한, 비정질 실리콘 게르마늄 막과 같은 비정질 구조를 갖는 화합물 반도체막이 사용될 수도 있다.
- [0579] 그리고, 레이저 결정화, RTA 또는 어닐링 노를 이용한 열 결정화, 결정화를 조장하는 금속 원소를 이용한 열 결정화 등에 의해, 비정질 실리콘막이 결정화된다. 말할 필요도 없이, 이러한 결정화를 조합하여 수행될 수도 있

다.

- [0580] 전술한 결정화의 결과로서, 결정화된 영역은 비정질 반도체막의 일부에 형성된다.
- [0581] 또한, 부분적으로 결정성이 향상된 결정성 반도체막이 원하는 형상으로 패터닝되고, 아일랜드 형상의 반도체막(하나의 반도체막을 분리하여 형성되는 각각의 막)이 결정화된 영역에 형성된다. 이 반도체막은 트랜지스터의 반도체층으로서 사용된다. 패터닝이 막의 형상을 처리한다는 것은, 포토리소그래피 기술에 의해 막 패턴을 형성하고(감광성 아크릴에 접촉 홀을 형성하는 것과 감광성 아크릴이 스페이서가 되도록 처리하는 것을 포함), 포토리소그래피 기술에 의해 마스크 패턴을 형성하며, 마스크 패턴을 사용하여 에칭하는 것 등을 의미한다.
- [0582] 도 73a에 도시된 것과 같이, 기판(26101)의 상부에는 기저막(26102)이 형성되고, 반도체층이 그 위에 형성된다. 반도체층은, 구동 트랜지스터(26118)에 존재하는 소스 또는 드레인 영역으로서 기능하는 채널 형성 영역(26103) 및 불순물 영역(26105)을 포함하고, 커패시터 소자(26119)에 존재하는 하부 전극으로서 기능하는 채널 형성 영역(26106), LDD 영역(26107) 및 불순물 영역(26108)을 포함한다. 채널 도핑은 채널 형성 영역(26103 및 26106)에 대해 수행될 수도 있다.
- [0583] 기판으로서, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등이 사용될 수 있다. 기저막(26102)은, 알루미늄 질화물(AlN), 실리콘 산화물(SiO₂), 실리콘 질산화물(SiO_xN_y) 등의 단층 또는 그 적층을 사용하여 형성될 수 있다.
- [0584] 커패시터 소자의 게이트 전극(26110) 및 상부 전극(26111)은 반도체층의 상부에, 게이트 절연막(26109)이 그 사이에 끼워지도록 하여 형성된다.
- [0585] 층간 절연막(26112)은 구동 트랜지스터(26118) 및 커패시터 소자(26119)를 피복하도록 형성된다. 그리고, 접촉 홀은 층간 절연막(26112)에 형성되며, 이를 통해 배선(26113)이 불순물 영역(26105)과 접촉한다. 화소 전극(26114)은 배선(26113)과 접촉하도록 형성되고, 제2층간 절연체(26115)는 화소 전극(26114) 및 배선(26113)의 단부를 피복하도록 형성된다. 여기서, 제2층간 절연체(26115)에는 포지티브 감광성 아크릴 수지막이 형성된다. 그리고, 유기 화합물을 포함하는 층(26116) 및 대향 전극(26117)은 화소 전극(26114)의 상부에 형성된다. 따라서, 발광소자(26120)는, 유기 화합물을 포함하는 층(26116)이 화소 전극(26114) 및 대향 전극(26117) 사이에 끼워져 있는 영역에 형성된다.
- [0586] 또한, 도 73b에 도시된 것과 같이, LDD 영역(26202)은 상부 전극(26111)과 중첩하도록 설치될 수도 있으며, 커패시터 소자(26119)의 하부 전극의 일부를 구성한다. 도 73a와 공통인 부분은 동일한 참조 번호로 나타내며, 그 설명은 생략한다.
- [0587] 또한, 도 74a에 도시된 것과 같이, 제2상부 전극(26301)이 설치될 수도 있으며, 배선(26113)과 동일한 층에서 구동 트랜지스터(26118)의 불순물 영역(26105)과 접촉하도록 형성된다. 도 73a와 공통인 부분은 동일한 참조 번호로 나타내며, 그 설명은 생략한다. 제2상부 전극(26301) 및 상부 전극(26111) 사이에 층간 절연막(26112)을 끼움으로써, 제2커패시터 소자가 형성된다. 또한, 제2상부 전극(26301)이 불순물 영역(26108)과 접촉하므로, 게이트 절연막(26109)이 상부 전극(26111) 및 채널 형성 영역(26106) 사이에 끼워져 있는 구조를 갖는 제1커패시터 소자와, 층간 절연막(26112)이 상부 전극(26111) 및 제2상부 전극(26301) 사이에 끼워져 있는 구조를 갖는 제2커패시터 소자는 평행하게 접속되어, 제1 및 제2커패시터 소자를 갖는 커패시터 소자(26302)가 얻어진다. 커패시터 소자(26302)는 제1 및 제2커패시터 소자의 커패시턴스의 전체 커패시턴스를 가지므로, 큰 커패시턴스를 갖는 커패시터 소자가 작은 면적으로 형성될 수 있다. 즉, 본 발명의 화소 구성의 커패시터 소자를 사용하는 것은 개구율이 더욱 개선될 것이다.
- [0588] 이와 달리, 도 74b에 도시된 것과 같은 커패시터 소자의 구조가 채택될 수도 있다. 기판(27101)의 상부에는 기저막(27102)이 형성되고, 반도체층은 그 위에 형성된다. 반도체층은 구동 트랜지스터(27118)의 소스 또는 드레인 영역으로서 기능하는 채널 형성 영역(27103) 및 불순물 영역(27105)을 포함한다. 채널 도핑은 채널 형성 영역(27103)에 대해 수행될 수도 있다.
- [0589] 기판으로서, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등이 사용될 수 있다. 기저막(27102)은, 알루미늄 질화물(AlN), 실리콘 산화물(SiO₂), 실리콘 질산화물(SiO_xN_y) 등의 단층 또는 그 적층을 사용하여 형성될 수 있다.
- [0590] 게이트 전극(27107) 및 제1전극(27108)은 반도체층의 상부에, 게이트 절연막(27106)이 그 사이에 끼워지도록 하

여 형성된다.

- [0591] 제1층간 절연막(27109)은 구동 트랜지스터(27118) 및 제1전극(27108)을 피복하도록 형성된다. 그리고, 접촉 홀은 제1층간 절연막(27109)에 형성되며, 이를 통해 배선(27110)이 불순물 영역(27105)과 접촉한다. 또한, 제2전극(27111)은 배선(27110)과 동일한 층에 동일한 재료로 형성된다.
- [0592] 또한, 제2층간 절연체(27112)는 배선(27110) 및 제2전극(27111)을 피복하도록 형성된다. 그리고, 접촉 홀은 제2층간 절연체(27112)에 형성되며, 이를 통해 화소 전극(27113)이 배선(27110)과 접촉하도록 형성된다. 제3전극(27114)은 화소 전극(27113)과 동일한 층에 동일한 재료로 형성된다. 여기서, 커패시터 소자(27119)는 제1전극(27108), 제2전극(27111) 및 제3전극(27114)으로 형성된다.
- [0593] 절연체는 화소 전극(27113) 및 제3전극(27114)의 단부를 피복하도록 형성된다. 유기 화합물을 포함하는 층(27116) 및 대향 전극(27117)은 제3층간 절연체(27115) 및 제3전극(27114)의 상부에 형성된다. 그리고, 발광소자(27120)는, 유기 화합물을 포함하는 층(27116)이 화소 전극(27113) 및 대향 전극(27117) 사이에 끼워져 있는 영역에 형성된다.
- [0594] 상술한 것과 같이, 도 73a 및 도 73b와, 도 74a 및 도 74b에 도시된 각 구조는 그 반도체층으로 결정성 반도체막을 사용하는 트랜지스터의 구조로서 주어질 수 있다. 도 73a 및 도 73b와, 도 74a 및 도 74b에 도시된 구조를 갖는 트랜지스터는 상부-게이트 구조를 갖는 트랜지스터의 예이다. 즉, 트랜지스터는 P-채널 트랜지스터 또는 N-채널 트랜지스터일 수도 있다. 트랜지스터가 N-채널 트랜지스터일 경우, LDD 영역은 게이트 전극과 중첩하거나 중첩하지 않도록 형성되며, 또는 LDD 영역의 일부가 게이트 전극과 중첩하도록 형성될 수도 있다. 또한, 게이트 전극은 테이퍼 형상을 가질 수도 있고, LDD 영역은 자기정렬 방식으로 게이트 전극의 테이퍼 형상의 하부에 설치될 수도 있다. 또한, 게이트 전극의 수는 2개에 한정되지 않고, 3개 이상의 게이트 전극을 갖는 멀티게이트 구조가 채용되거나, 단일 게이트 구조가 채용될 수도 있다.
- [0595] 본 발명의 화소에 포함된 트랜지스터의 반도체층(채널 형성 영역, 소스 영역, 드레인 영역 등)으로 결정성 반도체막을 사용함으로써, 예를 들어, 도 49의 화소부(4903)와 동일한 기관의 상부에, 제1주사선 구동회로(4902A), 제2주사선 구동회로(4902B) 및 신호선 구동회로(4901)를 형성하는 것이 용이해진다.
- [0596] 다음으로, 반도체층으로 다결정 실리콘(p-Si)을 사용하는 트랜지스터의 구조로서, 도 75는, 게이트 전극이 기관 및 반도체층 사이에 끼워져 있는 구조를 갖는 트랜지스터, 즉, 게이트 전극이 반도체층의 하부에 위치한 하부-게이트 구조를 갖는 트랜지스터를 사용한 표시 패널의 부분 단면도를 도시한 것이다.
- [0597] 기관(7501)의 상부에는 기저막(7502)이 형성된다. 그리고, 기저막(7502)의 상부에는 게이트 전극(7503)이 형성된다. 제1전극(7504)은 게이트 전극과 동일한 층에 동일한 재료로 형성된다. 게이트 전극(7503)의 재료로서, 인(phosphorus)이 추가된 다결정 실리콘이 사용될 수 있다. 다결정 실리콘 외에, 금속 및 실리콘의 화합물인 실리콘사이드가 사용될 수도 있다.
- [0598] 그리고, 게이트 절연막(7505)은 게이트 전극(7503) 및 제1전극(7504)을 피복하도록 형성된다. 게이트 절연막(7505)으로서, 실리콘 산화막, 실리콘 질화막 등이 사용된다.
- [0599] 게이트 절연막(7505)의 상부에는 반도체층이 형성된다. 반도체층은, 구동 트랜지스터(7522)에 존재하는 소스 또는 드레인 영역으로서 기능하는 채널 형성 영역(7506), LDD 영역(7507), 및 불순물 영역(7508)을 포함하고, 커패시터 소자(7523)의 제2전극으로서 기능하는 채널 형성 영역(7509), LDD 영역(7510) 및 불순물 영역(7511)을 포함한다. 채널 도핑은 채널 형성 영역(7506 및 7509)에 대해 수행될 수도 있다.
- [0600] 기관으로서, 유리 기관, 석영 기관, 세라믹 기관, 플라스틱 기관 등이 사용될 수 있다. 기저막(7502)은, 알루미늄 질화물(AlN), 실리콘 산화물(SiO₂), 실리콘 질산화물(SiO_xN_y) 등의 단층 또는 그 적층을 사용하여 형성될 수 있다.
- [0601] 제1층간 절연막(7512)은 반도체층을 피복하도록 형성된다. 그리고, 제1층간 절연막(7512)에는 접촉 홀이 형성되며, 이를 통해 배선(7513)은 불순물 영역(7508)과 접촉하게 된다. 제3전극(7514)은 배선(7513)과 동일한 층에 동일한 재료로 형성된다. 커패시터 소자(7523)에는 제1전극(7504), 제2전극 및 제3전극(7514)이 형성된다.
- [0602] 또한, 개구부(7515)가 제1층간 절연막(7512)에 형성된다. 제2층간 절연막(7516)은 구동 트랜지스터(7522), 커패시터 소자(7523) 및 개구부(7515)를 피복하도록 형성된다. 그리고, 제2층간 절연체(7516)에는 접촉 홀이 형성되고, 이를 통해 화소 전극(7517)이 형성된다. 그리고, 절연체(7518)는 화소 전극(7517)의 단부를 피복하도

록 형성된다. 예를 들어, 포지티브 감광성 아크릴 수지막이 사용될 수 있다. 다음으로, 유기 화합물을 포함하는 층(7519) 및 대향 전극(7520)은 화소 전극(7517)의 상부에 형성된다. 따라서, 발광소자(7521)는, 유기 화합물을 포함하는 층(7519)이 화소 전극(7517) 및 대향 전극(7520) 사이에 끼워져 있는 영역에 형성된다. 개구부(7515)는 발광소자(7521)의 하부에 위치한다. 즉, 발광소자(7521)로부터 방출된 광이 기판으로부터 추출될 경우, 개구부(7515)의 존재로 인해 투과율이 개선될 수 있다.

[0603] 또한, 도 75b에 도시된 구조를 얻기 위하여, 제4전극(7524)은 도 75a의 화소 전극(7517)과 동일한 층에 동일한 재료로 형성될 수도 있다. 이 경우, 커패시터 소자(7525)에는, 제1전극(7504), 제2전극, 제3전극(7514) 및 제4전극(7524)이 형성될 수 있다.

[0604] 다음으로, 트랜지스터의 반도체층으로서 비정질 실리콘(a-Si:H)을 사용할 경우에 대해 설명한다. 도 76a 및 도 76b는 상부-게이트 트랜지스터의 경우를 도시한 것이고, 도 77a, 도 77b, 도 75a 및 도 75b는 하부-게이트 트랜지스터의 경우를 도시한 것이다.

[0605] 도 76a는 그 반도체층으로 비정질 실리콘을 사용하는 순방향 스택거 구조를 갖는 트랜지스터의 단면도를 도시한 것이다. 기저막(7602)은 기판(7601)의 상부에 형성된다. 또한, 화소 전극(7603)은 기저막(7602)의 상부에 형성된다. 또한, 제1전극(7604)은 화소 전극(7603)과 동일한 층에 동일한 재료로 형성된다.

[0606] 기판으로서, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등이 사용될 수 있다. 기저막(7602)은, 알루미늄 질화물(AlN), 실리콘 산화물(SiO₂), 실리콘 질산화물(SiO_xN_y) 등의 단층 또는 그 적층을 사용하여 형성될 수 있다.

[0607] 배선(7605 및 7606)은 기저막(7602)의 상부에 형성되고, 화소 전극(7603)의 단부는 배선(7605)으로 피복된다. 각각 N-형 도전성을 갖는 N-형 반도체층(7607 및 7608)은 배선(7605 및 7606)의 상부에 각각 형성된다. 또한, 반도체층(7609)은 기저막(7602) 상부의 배선(7605 및 7606) 사이에 형성되고, 그 일부는 N-형 반도체층(7607 및 7608)을 피복하도록 연장된다. 이 반도체층에는, 비정질 실리콘(a-Si:H) 막 또는 미정질 반도체(μ -Si:H) 막과 같은 비-결정성 반도체막이 형성된다. 그리고, 게이트 절연막(7610)은 반도체층(7609)의 상부에 형성되고, 절연막(7611)은 제1전극(7604)의 상부에서, 게이트 절연막(7610)과 동일한 층에 그리고 동일한 재료로 형성된다. 게이트 절연막(7610)으로서, 실리콘 산화막, 실리콘 질화막 등이 사용됨에 유의해야 한다.

[0608] 게이트 전극(7612)은 게이트 절연막(7610)의 상부에 형성된다. 또한, 제2전극(7613)은, 절연막(7611)이 그 사이에 끼워진 제1전극(7604)의 상부에서, 게이트 전극과 동일한 층에 그리고 동일한 재료로 형성된다. 절연막(7611)이 제1전극(7604) 및 제2전극(7613) 사이에 끼워져 있는 커패시터 소자(7619)가 형성된다. 층간 절연체(7614)는 화소 전극(7603), 구동 트랜지스터(7618), 및 커패시터 소자(7619)의 단부를 피복하도록 형성된다.

[0609] 유기 화합물을 포함하는 층(7615) 및 대향 전극(7616)은 층간 절연체(7614)와, 층간 절연체(7614)의 개구부에 위치한 화소 전극(7603)의 상부에 형성된다. 따라서, 발광소자(7617)는, 유기 화합물을 포함하는 층(7615)이 화소 전극(7603) 및 대향 전극(7616) 사이에 끼워져 있는 영역에 형성된다.

[0610] 도 76a에 도시된 제1전극(7604)은 도 76b에 도시된 제1전극(7620)과 같이 형성될 수도 있다. 제1전극(7620)은 배선(7605 및 7606)과 동일한 층에 그리고 동일한 재료로 형성된다.

[0611] 도 77a 및 도 77b는 그 반도체층으로서 비정질 실리콘을 사용하는 하부-게이트 트랜지스터를 갖는 표시 패널의 부분 단면도이다.

[0612] 기저막(7702)은 기판(7701)의 상부에 형성된다. 게이트 전극(7703)은 기저막(7702)의 상부에 형성된다. 제1전극(7704)은 게이트 전극(7703)의 상부에서 동일한 층에 그리고 동일한 재료로 형성된다. 게이트 전극(7703)의 재료로서, 인이 추가된 다결정 실리콘이 사용될 수 있다. 다결정 실리콘 외에도, 금속 및 실리콘의 화합물인 실리사이드가 사용될 수도 있다.

[0613] 그리고, 게이트 절연막(7705)은 게이트 전극(7703) 및 제1전극(7704)을 피복하도록 형성된다. 게이트 절연막(7705)으로서, 실리콘 산화막, 실리콘 질화막 등이 사용된다.

[0614] 반도체층(7706)은 게이트 절연막(7705)의 상부에 형성된다. 또한, 반도체층(7707)은 반도체층(7706)과 동일한 층에 그리고 동일한 재료로 형성된다.

[0615] 기판으로서, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등이 사용될 수 있다. 기저막(7602)은, 알루미늄 질화물(AlN), 실리콘 산화물(SiO₂), 실리콘 질산화물(SiO_xN_y) 등의 단층 또는 그 적층을 사용하여 형성될

수 있다.

- [0616] N-형 도전성을 갖는 N-형 반도체층(7708 및 7709)은 반도체층(7706)의 상부에 형성되고, N-형 반도체층(7710)은 반도체층(7707)의 상부에 형성된다.
- [0617] 배선(7711 및 7712)은 N-형 반도체층(7708 및 7709)의 상부에 각각 형성되며, 도전층(7713)은 N-형 반도체층(7710)의 상부에서, 배선(7711 및 7712)과 동일한 층에 그리고 동일한 재료로 형성된다.
- [0618] 따라서, 제2전극에는, 반도체층(7707), N-형 반도체층(7710), 및 도전층(7713)이 형성된다. 게이트 절연막(7705)이 제2전극 및 제1전극(7704) 사이에 끼워져 있는 구조를 갖는 커패시터 소자(7720)가 형성된다는 것에 유의해야 한다.
- [0619] 배선(7711)의 일 단부는 연장되어 있고, 화소 전극(7714)은 연장된 배선(7711)의 상부와 접촉하도록 형성된다.
- [0620] 또한, 절연체(7715)는 화소 전극(7714), 구동 트랜지스터(7719), 및 커패시터 소자(7720)의 단부를 피복하도록 형성된다.
- [0621] 그리고, 유기 화합물을 포함하는 층(7716) 및 대향 전극(7717)은 화소 전극(7714) 및 절연체(7715)의 상부에 형성된다. 발광소자(7718)는, 유기 화합물을 포함하는 층(7716)이 화소 전극(7714) 및 대향 전극(7717) 사이에 끼워져 있는 영역에 형성된다.
- [0622] 커패시터 소자의 제2전극의 일부가 되는 반도체층(7707) 및 N-형 반도체층(77460)이 반드시 형성되는 것은 아니다. 즉, 제2전극은 도전층(7713)일 수도 있으며, 커패시터 소자는 게이트 절연막이 제1전극(7704) 및 도전층(7713) 사이에 끼워져 있는 구조를 가질 수도 있다.
- [0623] 화소 전극(7714)은 도 77a의 배선(7711)을 형성하기 이전에 형성됨으로써, 도 77b에 도시된 것과 같은 커패시터 소자(7722)가 얻어질 수 있고, 이것은 화소 전극(7714)으로 형성된 제1전극(7704) 및 제2전극(7721) 사이에 게이트 절연막(7705)이 끼워져 있는 구조를 가진다.
- [0624] 도 77a 및 도 77b는 반전 스테퍼 채널-에칭 트랜지스터를 도시하고 있지만, 채널-보호 트랜지스터가 사용될 수도 있다. 도 78a 및 도 78b를 참조하여, 채널-보호 트랜지스터에 대해 설명한다.
- [0625] 도 78a에 도시된 채널-보호 트랜지스터는 도 77a에 도시된 채널-에칭 구동 트랜지스터(7719)와, 에칭 마스크로서 기능하는 절연체(7801)가 반도체층(7706)에서 채널이 형성될 영역의 상부에 설치되어 있다는 점에서 상이하다. 이 점을 제외한 공통인 부분은 동일한 참조 번호로 나타낸다.
- [0626] 이와 유사하게, 도 78b에 도시된 채널-보호 트랜지스터는 도 77b에 도시된 채널-에칭 구동 트랜지스터(7719)와, 에칭 마스크로서 기능하는 절연체(7802)가 채널-에칭 구동 트랜지스터(7719)의 반도체층(7706)에서 채널이 형성될 영역의 상부에 설치되어 있다는 점에서 상이하다. 이 점을 제외한 공통인 부분은 동일한 참조 번호로 나타낸다.
- [0627] 비정질 반도체막을 본 발명의 화소에 포함된 트랜지스터의 반도체층(채널 형성 영역, 소스 영역, 드레인 영역 등)으로서 사용함으로써, 제조 비용이 감소될 수 있다. 예를 들어, 비정질 반도체막은 도 47에 도시된 화소 구성을 이용하여 적용될 수 있다.
- [0628] 본 발명의 화소 구성이 적용될 수 있는 트랜지스터 및 커패시터 소자의 구조는 상술한 것에 한정되지 않으며, 각종 구조를 갖는 트랜지스터 및 커패시터 소자가 사용될 수 있다.
- [0629] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0630] [실시예 9]
- [0631] 본 발명의 표시장치는 각종 전자장치, 구체적으로 전자장치의 표시부에 적용될 수 있다. 전자장치는 비디오 카메라 및 디지털 카메라와 같은 카메라, 고글형 디스플레이, 네비게이션 시스템, 오디오 재생장치(카오디오 컴포넌트 스테레오, 오디오 컴포넌트 스테레오, 등), 컴퓨터, 게임기, 휴대용 정보 단말(이동 컴퓨터, 이동 전화, 휴대용 게임기, 전자북 등), 기록매체가 설치된 화상 재생장치(구체적으로, 디지털 다기능 디스크(DVD)와 같은 기록매체의 내용을 재생하며, 재생된 화상을 표시하기 위한 디스플레이를 갖는 장치) 등을 포함한다.
- [0632] 도 84a는 하우징(84101), 지지대(84102), 표시부(84103), 스피커부(84104), 비디오 입력 단말(84105) 등을 포

합하는 디스플레이를 도시한 것이다. 본 발명의 화소 구성을 갖는 표시장치는 표시부(84103)로서 사용될 수 있다. 디스플레이는 퍼스널 컴퓨터를 위한 정보를 표시하고, 텔레비전 방송을 수신하고, 광고를 표시하기 위한 모든 표시장치를 포함한다는 점에 유의해야 한다. 표시부(84103)에 대해 본 발명의 화소 구성을 갖는 표시장치를 이용한 디스플레이는 소비전력을 감소시킬 수 있고, 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.

[0633] 최근, 대화면 디스플레이에 대한 수요가 증가하고 있다. 디스플레이가 대형화할 수록, 비용이 증가하는 문제가 발생한다. 그러므로, 제조 비용을 가능한 감시키면서, 가능한 낮은 가격에 고품질 제품을 제공하는 것이 이슈로 되고 있다.

[0634] 예를 들어, 도 47의 화소 구성 등을 표시 패널의 화소부에 적용함으로써, 단극성 트랜지스터가 형성된 표시 패널이 제공될 수 있다. 그러므로, 제조 공정의 수가 감소될 수 있고, 이것은 제조 비용을 감소시키게 한다.

[0635] 또한, 도 67a에 도시된 것과 같이, 화소부 및 주변 구동회로를 동일한 기관의 상부에 형성함으로써, 표시 패널은 단극성 트랜지스터를 포함하는 회로를 이용하여 형성될 수 있다.

[0636] 또한, 화소부를 구성하는 회로의 트랜지스터의 반도체층으로서 (비정질 실리콘(a-Si:H)와 같은) 비정질 반도체를 사용함으로써, 제조 공정이 간략화될 수 있고, 추가적인 비용 감소가 실현될 수 있다. 이 경우, 도 68a 및 도 69a에 도시된 것과 같이, 화소부 주변의 구동회로는 IC 칩으로 형성되고, COG 등에 의해 표시 패널 상에 실장되는 것이 바람직하다. 이와 같은 방식으로, 비정질 반도체를 사용함으로써, 디스플레이의 크기를 증가시키는 것이 용이해진다.

[0637] 도 84b는 본체(84201), 표시부(84202), 화상 수신부(84203), 조작키(84204), 외부 접속부(84205), 서터(84206) 등을 포함하는 카메라를 도시한 것이다.

[0638] 최근, 디지털 카메라 등의 성능 진보에 따라, 그 생산 경쟁이 심화되고 있다. 따라서, 더 고성능의 제품을 가능한 낮은 가격으로 제공하는 것이 중요하다. 본 발명의 화소 구성을 표시부(84202)로서 갖는 표시장치를 이용한 디지털 카메라는 소비전력을 감소시킬 수 있고, 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.

[0639] 예를 들어, 도 47의 화소 구성을 표시부로서 사용함으로써, 화소부가 단극성 트랜지스터로 구성될 수 있다. 또한, 도 68a에 도시된 것과 같이, 그 동작 속도가 높은 신호선 구동회로를 IC 칩으로 형성하고, 그 동작 속도가 비교적 느리고, 표시부와 동일한 기관의 상부에 단극성 트랜지스터로 구성된 회로를 갖는 주사선 구동회로를 형성함으로써, 더 높은 성능이 실현되고, 비용 감소가 달성될 수 있다. 또한, 화소부와, 화소부와 동일한 기관의 상부에 형성된 주사선 구동회로의 트랜지스터의 반도체층으로서 비정질 실리콘과 같은 비정질 반도체를 사용함으로써, 추가적인 비용 감소가 달성될 수 있다.

[0640] 도 84c는 본체(84301), 하우징(84302), 표시부(84303), 키보드(84304), 외부 접속부(84305), 포인팅 마우스(84306) 등을 포함하는 컴퓨터를 도시한 것이다. 본 발명의 화소 구성을 표시부(84303)로서 갖는 표시장치를 이용한 컴퓨터는 소비 전력을 감소시키고, 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.

[0641] 도 84d는 본체(84401), 표시부(84402), 스위치(84403), 조작키(84404), 적외선 포트(84405) 등을 포함하는 이동 컴퓨터를 도시한 것이다. 본 발명의 화소 구성을 표시부(84402)로서 갖는 표시장치를 이용한 이동 컴퓨터는 소비 전력을 감소시키고, 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.

[0642] 도 84e는 기록매체(구체적으로, DVD 플레이어)를 갖는 휴대용 화상 재생장치를 도시한 것이며, 이 휴대용 화상 재생장치는 본체(84501), 하우징(84502), 표시부 A(84503), 표시부 B(84504), 기록매체(DVD 등) 판독부(84505), 조작키(84506), 스피커부(84507) 등을 포함한다. 표시부 A(84503)는 주로 비디오 데이터를 표시하고, 표시부 B(84504)는 주로 텍스트 데이터를 표시한다. 본 발명의 화소 구성을 표시부 A(84503) 및 표시부 B(84504)로서 갖는 표시장치를 이용한 화상 재생장치는 소비 전력을 감소시키고, 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.

[0643] 도 84f는 본체(84601), 표시부(84602), 이어폰(84603) 및 지지부(84604)를 포함하는 고글형 디스플레이를 도시한 것이다. 본 발명의 화소 구성을 표시부(84602)로서 갖는 표시장치를 이용한 고글형 디스플레이는 소비 전력을 감소시키고, 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.

[0644] 도 84g는 하우징(84701), 표시부(84702), 스피커부(84703), 조작키(84704), 기록매체 삽입부(84705) 등을 포함하는 휴대형 게임기를 도시한 것이다. 본 발명의 화소 구성을 표시부(84702)로서 갖는 표시장치를 이용한 휴대

형 게임기는 소비 전력을 감소시키고, 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.

- [0645] 도 84h는 텔레비전 수신 기능을 갖는 디지털 카메라를 도시한 것이며, 이 디지털 카메라는 본체(84801), 표시부(84802), 조작키(84803), 스피커(84804), 셔터(84805), 화상 수신부(84806), 안테나(84807) 등을 포함한다. 본 발명의 화소 구성을 표시부(84802)로서 갖는 표시장치를 이용한 텔레비전 수신 기능을 갖는 디지털 카메라는 소비 전력을 감소시키고, 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.
- [0646] 예를 들어, 도 47의 화소 구성은 화소의 개구율을 증대시키기 위하여 화소부에 사용된다. 구체적으로, 발광소자를 구동하기 위한 구동 트랜지스터로서 N-채널 트랜지스터를 사용함으로써, 개구율이 증가될 수 있다. 따라서, 고해상도 표시부를 포함하는 텔레비전 수신 기능을 갖는 디지털 카메라가 제공될 수 있다.
- [0647] 텔레비전 시청 및 청취와 같은 텔레비전 수신 기능을 갖는 이러한 디지털 카메라의 사용 빈도가 증가하는 한편, 충전 당 수명도 연장될 것이 요구되고 있다.
- [0648] 예를 들어, 도 68b 및 도 69a에 도시된 것과 같이, COG 등을 이용하여 주변 구동회로를 IC 칩으로 형성함으로써, 소비 전력이 감소될 수 있다.
- [0649] 따라서, 본 발명은 각종 전자장치에 적용될 수 있다.
- [0650] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.
- [0651] [실시예 10]
- [0652] 실시예 10에서는, 도 83을 참조하여, 본 발명의 화소 구성을 이용한 표시장치를 갖는 표시부를 가지는 이동 전화의 구조의 예에 대해 설명한다.
- [0653] 표시 패널(8301)은 자유롭게 장착 및 탈착되도록 하우징(8330)에 포함된다. 하우징(8330)의 형상 및 크기는 표시 패널(8301)의 크기에 따라 적절하게 변화될 수 있다. 표시 패널(8301)이 설치된 하우징(8330)은 모듈로서 조립되도록 인쇄 회로 기판(8331)에 끼워진다.
- [0654] 표시 패널(8301)은 FPC(8313)를 통해 인쇄 기판(8331)에 접속된다. 스피커(8332), 마이크(8333), 송신 및 수신회로(8334), 및 CPU를 포함하는 신호 처리회로(8335), 제어기 등이 인쇄 회로 기판(8331)의 상부에 형성된다. 이러한 모듈, 입력수단(8336), 및 배터리(8337)가 조합되어, 하우징(8339)에 수납된다. 표시 패널(8301)의 화소부는 하우징(8339)에 형성된 개구 창을 통해 볼 수 있도록 배치된다.
- [0655] 표시 패널(8301)은, TFT를 이용한 화소부 및 주변 구동회로의 일부(복수의 구동회로 중에서 동작 주파수가 낮은 구동회로)를 동일한 기판의 상부에 형성하고, 주변 구동회로의 일부(복수의 구동회로 중 동작 주파수가 높은 구동회로)를 IC 칩으로 형성하며, IC 칩을 COG에 의해 표시 패널(8301)에 실장하여 형성된다. 이와 달리, IC 칩은 TAB 또는 인쇄 회로 기판을 이용하여 유리 기판에 접속될 수도 있다. 도 28a는, 주변 구동회로의 일부가 화소부와 동일한 기판의 상부에 형성되고, 주변 구동회로의 나머지 부분이 설치된 IC 칩이 COG 등에 의해 실장되는 표시 패널의 구조의 예를 도시한 것이라는 점에 유의해야 한다. 이러한 구조를 채용함으로써, 표시장치의 소비 전력이 감소되고, 이동 전화의 충전 당 수명이 연장될 수 있다. 또한, 이동 전화의 비용 감소가 달성될 수 있다.
- [0656] 화소부에 대해서는, 상기 실시예에서 설명된 화소 구성이 적절하게 적용될 수 있다.
- [0657] 예를 들어, 상기 실시예에서 설명된 도 47의 화소 구성을 적용함으로써, 제조 공정의 수가 감소될 수 있다. 즉, 화소부와, 화소부와 동일한 기판의 상부에 형성된 주변 구동회로는 비용 감소를 달성하기 위하여 단극성 트랜지스터로 구성된다.
- [0658] 또한, 소비 전력을 더욱 감소시키기 위하여, 도 68b 및 도 69a에 도시된 것과 같이, TFT를 이용하여 화소부가 기판 상에 형성될 수 있고, 모든 주변 구동회로가 IC 칩으로 형성될 수도 있으며, IC 칩은 COG 등에 의해 표시 패널에 실장될 수도 있다. 도 47의 화소 구성은 화소부로서 사용되고, 비정질 반도체막이 트랜지스터의 반도체층으로 사용됨으로써, 제조 비용을 감소시킬 수 있다.
- [0659] 본 실시예에서 설명된 구조는 단지 이동 전화의 하나의 예이며, 본 발명의 화소 구성은 상술한 구조를 갖는 이동 전화뿐만 아니라, 각종 구조를 갖는 이동 전화에도 적용될 수 있다는 것에 유의해야 한다.

- [0660] [실시예 11]
- [0661] 실시예 11에서는, 본 발명의 화소 구성을 표시부, 특히, EL 모듈을 포함하는 텔레비전 수신기에 사용하는 전자 장치의 구조적 예에 대해 설명한다.
- [0662] 도 79는 표시 패널(7901) 및 회로 기관(7911)을 조합한 EL 모듈을 도시한 것이다. 표시 패널(7901)은 화소부(7902), 주사선 구동회로(7903), 신호선 구동회로(7904)를 포함한다. 제어회로(7912), 신호 분할회로(7913) 등은 회로 기관(7911)의 상부에 형성된다. 표시 패널(7901) 및 회로 기관(7911)은 접속 배선(7914)에 의해 서로 접속된다. 접속 배선으로서, FPC 등이 사용될 수 있다.
- [0663] 표시 패널(7901)은, TFT를 이용하여 화소부와 주변 구동회로의 일부(복수의 구동회로 중에서 동작 주파수가 낮은 구동회로)를 동일한 기관의 상부에 형성하고, 주변 구동회로의 일부(복수의 구동회로 중에서 동작 주파수가 높은 구동회로)를 IC칩으로 형성하며, COG 등에 의해 IC 칩을 표시 패널(7901)에 실장하여 형성된다. 이와 달리, IC 칩은 TAB 또는 인쇄 회로 기관을 이용하여 표시 패널(7901)에 실장될 수도 있다. 도 28a는, 주변 구동회로의 일부가 화소부와 동일한 기관의 상부에 형성되고, 다른 주변 구동회로가 설치된 IC 칩은 COG 등에 의해 실장되는 구조의 예를 도시한 것이라는 점에 유의해야 한다.
- [0664] 화소부에서는, 상기 실시예에서 설명된 화소 구성이 적절하게 적용될 수 있다.
- [0665] 예를 들어, 상기 실시예에서 설명된 도 47의 화소 구성 등을 적용함으로써, 제조 공정의 수가 감소될 수 있다. 즉, 화소부와, 화소부와 동일한 기관의 상부에 형성된 주변 구동회로는 비용 감소를 달성하기 위하여 단극성 트랜지스터로 구성된다.
- [0666] 또한, 소비 전력을 더욱 감소시키기 위하여, TFT를 이용하여 화소부가 유리 기관의 상부에 형성될 수도 있고, 모든 주변 구동회로는 IC 칩으로 형성될 수도 있으며, IC 칩은 COG 등에 의해 표시 패널에 실장될 수도 있다.
- [0667] 또한, 상기 실시예의 도 47에 도시된 화소 구성을 적용함으로써, 화소는 N-채널 트랜지스터만으로 구성될 수 있고, (비정질 실리콘과 같은) 비정질 반도체가 트랜지스터의 반도체층에 적용될 수 있다. 즉, 균일한 결정성 반도체막을 형성하는 것이 어려운 대규모 표시장치가 제조될 수 있다. 또한, 화소를 구성하는 트랜지스터의 반도체층으로서 비정질 반도체막을 사용함으로써, 제조 공정의 수가 감소되고, 제조 비용의 감소가 달성될 수 있다.
- [0668] 비정질 반도체막이 화소를 구성하는 트랜지스터의 반도체층에 적용될 경우, 화소부는 TFT를 이용하여 기관의 상부에 형성되고, 모든 주변 구동회로는 IC 칩으로 형성되며, IC 칩은 COG에 의해 표시 패널에 실장되는 것이 바람직하다. 도 68b는, 화소부가 기관의 상부에 형성되고, 주변 구동회로가 설치된 IC 칩이 COG 등에 의해 기관에 실장되는 구조의 예를 도시한 것이다.
- [0669] EL 텔레비전 수신기는 이 EL 모듈과 조합될 수 있다. 도 80은 EL 텔레비전 수신기의 주요 구조를 도시하는 블록도이다. 튜너(8001)는 비디오 신호 및 오디오 신호를 수신한다. 비디오 신호는, 비디오 파형 증폭회로(8002)와, 비디오 파형 증폭회로(8002)로부터 출력된 신호를 적색, 녹색 및 청색의 각 컬러에 대응하는 컬러 신호로 변환하기 위한 비디오 신호 처리회로(8003)와, 비디오 신호를, 표시 패널(8010)에 신호를 공급하는 신호선 구동회로(8004) 및 주사선 구동회로(8011)의 입력 사양으로 변환하기 위한 제어회로(8012)에 의해 처리된다. 제어회로(8012)는 신호를 주사선 측 및 신호선 측의 각각에 출력한다. 디지털 방식으로 구동할 경우, 신호 분할회로(8013)가 신호선 구동회로(8004) 측에 설치되어, 디지털 입력 신호를 m개의 신호로 분할하여 입력 디지털 신호를 공급하는 구조가 채용될 수도 있다.
- [0670] 튜너(8001)에 의해 수신된 오디오 신호는 오디오 파형 증폭회로(8005)에 전송되고, 그 출력은 오디오 신호 처리회로(8006)를 통해 스피커(8007)에 공급된다. 제어회로(8008)는 수신국(수신 주파수) 및 음량 제어 데이터를 입력부(8008)로부터 수신하고, 신호를 튜너(8001) 및 오디오 신호 처리회로(8006)에 송신한다.
- [0671] 도 81a는 도 80과 상이한 모드를 갖는 EL 모듈을 포함하는 텔레비전 수신기(8101)를 도시한 것이다. 도 81a에서는, 표시 화면(8102)이 EL 모듈로 구성된다. 또한, 스피커부(8103), 조작 스위치(8104) 등이 적절하게 설치된다.
- [0672] 도 81b는 휴대용 무선 디스플레이를 갖는 텔레비전 수신기를 도시한 것이다. 하우징(8112)에는 배터리 및 신호 수신기가 설치되어 있다. 배터리는 구동부(8113) 및 스피커부(8117)를 구동한다. 배터리는 배터리 충전기(8110)에 의해 반복적으로 충전될 수 있다. 배터리 충전기(8110)는 비디오 신호를 송수신하고, 비디오 신호를

디스플레이의 신호 수신기에 송신할 수 있다. 하우징(8112)은 동작 스위치(8116)에 의해 제어된다. 조작 키(8116)를 조작하여 하우징(8112)으로부터 배터리 충전기(8110)로 신호가 송신될 수 있으므로, 도 81b에 도시된 장치는 비디오-오디오 양방향 통신장치라고 한다. 또한, 조작 키(8116)를 조작하여 신호가 하우징(8112)으로부터 배터리 충전기(8110)로 송신될 수 있고, 배터리 충전기(8110)에 의해 송신될 수 있는 신호를 또 다른 전자장치가 수신하도록 하므로, 상기 장치는 다기능 원격 제어장치라고 할 수 있으며, 따라서, 또 다른 전자장치의 통신 제어가 실현된다. 본 발명은 표시부(8113)에 적용될 수 있다.

[0673] 도 82a는 표시 패널(8201) 및 인쇄 배선 기판(8202)을 조합하여 형성된 모듈을 도시한 것이다. 표시 패널(8201)에는, 복수의 화소를 갖는 화소부(8203), 제1주사선 구동회로(8204), 제2주사선 구동회로(8205), 및 비디오 신호를 선택된 화소에 공급하기 위한 신호선 구동회로(8206)가 설치된다.

[0674] 인쇄 배선 기판(8202)에는, 제어기(8207), 중앙 처리부(CPU)(8208), 메모리(8209), 전원회로(8210), 오디오 처리회로(8211), 송신 및 수신회로(8212) 등이 설치되어 있다. 인쇄 배선 기판(8202)은 플렉시블 인쇄회로(FPC)(8213)를 통해 표시 패널(8201)에 접속된다. 인쇄 배선 기판(8213)은, 커패시터 소자, 버퍼회로 등이 전원전압 또는 신호에서 노이즈가 발생하는 것, 또는 신호의 상승이 둔해지는 것을 방지하도록 형성되는 구조를 갖도록 형성될 수 있다. 제어기(8207), 오디오 처리회로(8211), 메모리(8209), CPU(8208), 전원회로(8210) 등은 COG 방법을 이용하여 표시 패널(8201)에 실장될 수 있다. COG 방법에 의하여, 인쇄 배선 기판(8202)의 크기가 감소될 수 있다.

[0675] 각종 제어신호는 인쇄 배선 기판(8202)에 설치되어 있는 인터페이스부(I/F)(8214)를 통해 입력 또는 출력된다. 안테나를 통해 송신 또는 수신하기 위한 안테나 포트(8215)가 인쇄 배선 기판(8202)에 설치되어 있다.

[0676] 도 82b는 도 82a에 도시된 모듈을 도시하는 블록도이다. 이 모듈은 VRAM(8216), DRAM(8217), 플래시 메모리(8218) 등을 메모리(8209)로서 포함한다. VRAM(8216)은 패널에서 표시되는 화상에 대한 데이터를 기억하고, DRAM(8217)은 비디오 데이터 또는 오디오 데이터를 기억하며, 플래시 메모리는 각종 프로그램을 기억한다.

[0677] 전원회로(8210)는 표시 패널(8201), 제어기(8207), CPU(8208), 오디오 처리회로(8211), 메모리(8209), 및 송신 및 수신회로(8212)를 동작시키기 위한 전기를 공급한다. 전원원이 패널 사양에 따라 전원회로(8210)에 설치될 수도 있다.

[0678] CPU(8208)는 제어신호 발생회로(8220), 디코더(8221), 레지스터(8222), 연산회로(8223), RAM(8224), CPU(8208)를 위한 인터페이스(8219) 등을 포함한다. 인터페이스(8219)를 통해 CPU(8208)에 입력되는 각종 신호는 일단 레지스터(8222)에 기억된 다음, 연산회로(8223), 디코더(8221) 등에 입력된다. 연산회로(8223)는 각종 지시가 송신되는 위치를 지정하는 동작을 수행한다. 한편, 디코더(8221)에 입력되는 신호는 디코딩되어 제어신호 발생회로(8220)에 입력된다. 제어신호 발생회로(8220)는 입력신호에 의거하여 각종 지시를 포함하는 신호를 생성하고, 연산회로(8223)에 의해 지정된 위치, 구체적으로, 메모리(8209), 송신 및 수신회로(8212), 오디오 처리회로(8211), 및 제어기(8207) 등에 신호를 송신한다.

[0679] 메모리(8209), 송신 및 수신회로(8212), 오디오 처리회로(8211), 및 제어기(8207)는 각각의 수신된 지시에 따라 동작한다. 이하, 그 동작을 간단하게 설명한다.

[0680] 입력수단(8225)으로부터 입력된 신호는 인터페이스부(8214)를 통해, 인쇄 배선 기판(8202)에 실장된 CPU(8208)에 송신된다. 제어신호 발생회로(8220)는 VRAM(8216)에 기억된 비디오 데이터를 소정의 포맷으로 변환하여, 포인팅 마우스 또는 키보드와 같은 입력수단(8225)으로부터 송신된 신호에 따라, 변환된 데이터를 제어기(8207)에 송신한다.

[0681] 제어기(8207)는 패널 사양에 맞추어 CPU(8208)로부터 송신된 비디오 데이터를 포함하는 신호를 위한 데이터 처리를 수행하여, 그 신호를 표시 패널(8201)에 공급한다. 또한, 제어기(8207)는 전원회로(8210)로부터 입력된 전원 또는 CPU(8208)로부터 입력된 각종 신호에 의거하여, Hsync 신호, Vsync 신호, 클럭신호 CLK, 교류 전압(AC Cont), 및 시프트 신호 L/R을 생성하고, 그 신호를 표시 패널(8201)에 공급한다.

[0682] 송신 및 수신회로(8212)는 안테나(8228)에 의해 전파로서 수신 및 송신되는 신호를 처리하고, 구체적으로, 송신 및 수신회로(8212)는 아이솔레이터(isolator), 대역 통과 필터, VCO(전압 제어 오실레이터), LPF(저역 통과 필터), 커플러(coupler) 또는 발룬(balun)을 포함한다. 송신 및 수신회로(8212)에서 수신 및 송신된 신호 중에서 오디오 정보를 포함하는 신호는 CPU(8208)로부터의 지시에 따라 오디오 처리회로(8211)에 송신된다.

[0683] CPU(8208)로부터의 지시에 따라 송신되는 오디오 정보를 포함하는 신호는 오디오 처리회로(8211)에서 복조되어

스피커(8227)에 송신된다. 마이크(8226)로부터 송신된 오디오 신호는 오디오 처리회로(8211)에서 변조되어, CPU(8208)로부터의 지시에 따라 송신 및 수신회로(8212)에 송신된다.

[0684] 제어기(8207), CPU(8208), 전원회로(8210), 오디오 처리회로(8211), 및 메모리(8209)는 본 실시예에 따라 패키지로서 실장될 수 있다.

[0685] 말할 필요도 없이, 본 발명은 텔레비전 수신기에 한정되지 않는다. 본 발명은 퍼스널 컴퓨터의 모니터와 함께, 철도 역 또는 공항의 정보 표시 보드, 거리의 광고 표시 보드 등과 같은 특히, 대규모 표시 매체로서 여러 가지 용도로 응용될 수 있다.

[0686] 본 실시예는 본 명세서의 다른 실시 형태 또는 실시예와 자유롭게 조합될 수 있다.

[0687] [실시예 12]

[0688] 실시예 12에서는, 본 발명의 화소 구성을 이용한 표시장치가 화소부로서 사용되는 표시 패널의 응용예에 대해 도면을 참조하여 설명한다. 본 발명의 화소 구성을 이용한 표시장치가 표시부로서 사용되는 표시 패널은 수송체, 구조체 등에 의해 합쳐지는 구조로 할 수 있다.

[0689] 표시장치와 합쳐진 수송체는, 본 발명의 화소 구성을 이용한 표시장치가 도 97a 및 도 97b의 표시부로서 사용되는 표시 패널의 하나의 예로서 도시되어 있다. 도 97a는 표시장치가 합쳐진 수송체의 예를 도시한 것으로, 표시 패널(9702)은 열차 차체(9701)의 도어의 유리 부분에 사용된다. 도 97a에 도시된 본 발명의 화소 구성이 적용되는 표시장치를 이용한 표시부를 갖는 표시 패널(9702)에서는, 표시부에 표시될 화상이 외부 신호에 의해 용이하게 시프트될 수 있다. 따라서, 표시 패널의 화상은 상이한 시간 기간에 따라 열차 승객의 유형이 변화할 때에 변화될 수 있다. 따라서, 더욱 효과적인 광고가 기대될 수 있다.

[0690] 본 발명의 화소 구성을 이용한 표시장치가 표시부에서 사용되는 표시 패널에 대한 응용은 도 97a에 도시된 것과 같이, 열차 차체의 도어의 유리 부분에 한정되지 않는다. 표시 패널의 형상은 어느 곳이나 설치될 수 있도록 변화할 수 있다. 도 97b는 그 예를 도시한 것이다.

[0691] 도 97b는 열차 차체의 내부 상태를 도시한 것이다. 도 97b에서는, 도 97a에 도시된 도어의 유리 부분의 표시 패널(9702)과 함께, 유리 창에 설치된 표시 패널(9703), 천장에 걸려 있는 표시 패널(9704)이 도시되어 있다. 본 발명의 화소 구성이 구비된 표시 패널(9703)은 자체발광형 표시소자를 가진다. 따라서, 러시 아워 중에 광고를 위한 화상을 표시하고, 러시 아워를 지나서는 이들을 표시하지 않으므로, 열차로부터의 장면을 볼 수 있다. 필름과 유사한 기관에 대해 유기 트랜지스터와 같은 스위칭 소자를 구비하고, 자체발광형 표시소자를 구동함으로써, 본 발명의 화소 구성을 갖는 표시 패널(9704) 자체는 굽어져서 화상을 표시할 수 있다.

[0692] 도 99는 표시부에 표시장치를 갖는 표시 패널을 이용한 표시장치와 합쳐진 수송체의 또 다른 응용예를 도시한 것이다. 표시장치는 화소부에서 본 발명의 화소 구성을 사용한다.

[0693] 도 99는 표시부에서 표시장치를 갖는 표시 패널을 이용한 표시장치와 합쳐진 수송체의 예를 도시한 것이다. 표시장치는 본 발명의 화소 구성을 표시부에 사용한다. 도 99는 표시장치와 합쳐진 수송체의 일례로서, 차량 본체(9901)와 합쳐진 표시 패널(9902)의 예를 도시한 것이다. 본 발명의 화소 구성을 표시부에 사용하는 표시장치를 갖는 도 99의 표시 패널(9902)은 차량 본체와 합쳐지도록 부착되고, 요구에 따라, 차량 이동 또는 차량의 내부 또는 외부로부터 입력된 정보를 표시하는 기능과, 차량의 목적지에 도달할 때까지의 네비게이션 기능을 가진다.

[0694] 본 발명의 화소 구성을 표시부에 사용하는 표시장치를 갖는 표시 패널은 차량 본체의 전면부에 적용되는 것에 한정되지 않는다. 그 형상을 변형시킴으로써, 임의의 장소, 예를 들어, 유리 창, 도어 등에 적용될 수 있다.

[0695] 도 101은 표시장치가 합쳐진 수송체의 또 다른 응용예를 도시한 것이다. 본 발명의 화소 구성을 사용한 표시장치는 표시부에 사용된다.

[0696] 도 101은 표시부에서 표시장치를 갖는 표시 패널과 합쳐지는 수송체의 예를 도시한 것이다. 표시장치는 본 발명의 화소 구성을 표시부에 사용한다. 도 101a는, 표시장치와 합쳐진 수송체의 일례로서, 비행체(10101) 내부의 승객 위의 천장에 합쳐진 표시 패널(10102)의 예를 도시한 것이다. 본 발명의 화소 구성을 표시부에 사용하는 표시장치를 갖는 도 101a의 표시 패널(10102)은 힌지부(10103)에 의해 비행체(10101)와 합쳐지도록 부착되며, 힌지부(10103)의 확장 및 수축에 의해, 승객은 표시 패널(10102)을 시청하거나 청취할 수 있다. 표

시 패널(10102)은 정보를 표시하는 기능, 또는 승객의 동작에 의해 광고 및 엔터테인먼트를 위한 수단을 가질 수 있다. 도 101b에 도시된 것과 같이, 힌지부는 비행체(10101)에 수납될 경우에 접히며, 따라서, 이륙 및 착륙 중에 안전이 유지될 수 있다. 또한, 긴급시에 표시 패널의 표시소자를 발광함으로써, 비행체(10101)에 대한 유도등으로서 사용될 수 있다.

[0697] 본 발명의 화소 구성을 표시부에 사용하는 표시장치를 갖는 표시 패널은 도 101에 도시된 비행체(10101)의 천장 부분에 적용되는 것으로 한정되지는 않는다. 그 형상을 변화시킴으로써, 어느 곳이나, 예를 들어, 승객 시트, 도어 등에 적용될 수 있다. 예를 들어, 승객이 앉는 시트의 후방 또는 전방에 표시 패널이 설치될 수 있으며, 승객은 그것을 조작하여 시청 또는 청취할 수 있다.

[0698] 본 실시예에서는, 수송체로서, 열차 차체, 차량 본체, 및 비행체가 열거되고 있지만, 본 발명은 이것에 한정되지 않는다. 본 발명의 응용 범위는 넓다. 예를 들어, 자동 2륜 차량, 자동 4륜 차량(자동차, 버스 등을 포함), 열차(모노레일, 레일 열차 등을 포함), 선박 등을 포함한다. 본 발명의 화소 구성을 이용하는 표시부를 갖는 표시 패널을 적용함으로써, 표시 패널의 크기 감소 및 낮은 소비전력이 달성되며, 양호하게 조작하는 표시 매체가 구비된 수송체가 제공될 수 있다. 특히, 수송체의 표시 패널의 디스플레이가 언제든지 외부 신호에 의해 용이하게 변화될 수 있으므로, 일반적인 공중 또는 다수의 승객을 목표로 한 비상시에 광고 또는 저음 표시를 위한 표시장치로서 매우 효과적이다.

[0699] 본 발명의 화소 구성을 이용한 표시장치를 갖는 표시 패널이 사용되는 응용예로서, 도 98을 참조하여 구조에 대해 적용되는 응용 형태를 설명한다.

[0700] 도 98은, 필름과 같은 기관의 상부에 유기 트랜지스터와 같은 스위칭 소자를 설치하고, 자체발광 표시소자를 구동하여 화상을 표시하는 구부러질 수 있는 표시패널의 응용예를 도시한 것이다. 표시 패널은 본 발명의 화소 구성을 이용한 표시장치가 표시부에서 사용되는 표시 패널의 예로서 도시되어 있다. 도 98에서는, 하나의 구조체로서 외부에 설치된 전화 폴과 같은 컬럼 구조의 곡면에 표시 패널이 설치되어 있는 경우에 대해 도시되어 있다. 여기서, 표시 패널(9802)은 컬럼 본체인 전화 폴(9801)에 설치된다.

[0701] 도 98에 도시된 표시 패널(9802)은 인간의 시점보다 더 높은 지점인, 전화 폴의 중간 주위의 위치에 위치한다. 표시 패널이 수송체(9803)로부터 보이면, 표시 패널(9802)에서의 화상 표시가 인식될 수 있다. 표시 패널은 동일한 화상을 표시하도록 다수의 외부에서 있는 전화 폴에 설치됨으로써, 표시 또는 광고 표시를 위한 정보가 시청자에게 잘 보이게 할 수 있다. 도 98의 전화 폴(9801)에 설치된 표시 패널(9802)은 외부로부터 화상을 표시하는 것을 용이하게 할 수 있다. 따라서, 매우 효과적인 정보 표시 및 광고 효과가 기대될 수 있다. 본 발명의 표시 패널의 표시소자로서, 자체발광 표시소자를 설치함으로써, 야간에도 매우 시인성이 좋은 표시 매체로서 유효하다.

[0702] 도 100은 본 발명의 화소 구성을 표시부에 이용하는 표시장치를 갖는 표시 패널이 합쳐지는 또 다른 구조의 또 다른 응용예를 도시한 것이며, 도 98에 도시된 것과는 상이하다.

[0703] 도 100은 본 발명의 화소 구성을 화소부에 이용하는 표시장치를 갖는 표시 패널의 응용예를 도시한 것이다. 도 100은 표시장치와 합쳐진 수송체의 일례로서, 미리 제조된 육조(10001)의 내벽에 합쳐져 있는 표시 패널(10002)의 예를 도시한 것이다. 본 발명의 화소 구성을 도 100에 도시된 표시부에 사용하는 표시장치를 갖는 표시 패널(10002)은 미리 제조된 육조(10001)와 합쳐지도록 부착되고, 육조 이용자는 표시 패널(10002)을 시청 및 청취할 수 있다. 표시 패널(10002)은 정보를 표시하는 기능을 가질 수 있고, 육조 이용자의 조작에 의해 광고 및 엔터테인먼트를 위한 수단으로 사용될 수 있다.

[0704] 본 발명의 화소 구성을 표시부에 사용하는 표시장치를 가지는 표시 패널은 도 100에 도시된 미리 제조된 육조(10001)의 측벽에 적용되는 것으로 한정되는 것은 아니다. 그 형상을 변화시킴으로써, 거울의 일부 또는 육조 통 자체 등에 적용될 수 있다.

[0705] 본 실시예에서는, 컬럼 본체의 일레인 전화 폴 또는 미리 제조된 육조가 구조의 일례로서 열거되고 있지만, 본 실시예는 이것에 한정되지 않으며, 표시 패널이 구비되어 있지만 하면, 임의의 구조가 채택될 수 있다. 본 발명의 화소 구성을 이용하는 표시부를 사용하는 표시장치를 적용함으로써, 표시장치의 크기 감소 및 낮은 소비전력이 달성될 수 있고, 양호하게 조작할 수 있는 표시 매체가 구비된 수송체가 제공될 수 있다.

[0706] 본 출원은 일본 특허청에 2005년 8월12일에 출원된 일본 특허출원 제2005-234007호에 기초하고 있으며, 그 전체 내용은 여기에 참조를 위해 포함되는 것으로 한다.

발명의 효과

- [0707] 본 발명은, 각 행에서 부하에 전류를 공급하기 위한 전원 공급선의 전위를 변화시키지 않고, 신호 기록 동작시에 표시소자에 전류가 흐르는 것을 방지할 수 있는 반도체장치를 제공할 수 있다. 그러므로, 종래의 반도체장치보다 더 낮은 소비전력이 달성되는 반도체장치가 제공될 수 있다.
- [0708] 또한, 본 발명은, 부하 및 전류공급 트랜지스터 사이에 스위치를 배치하지 않아서 높은 개구율을 가지며, 신호 기록 동작시에 표시소자에 전류가 흐르는 것을 방지할 수 있는 반도체장치를 제공한다. 그러므로, 종래의 반도체장치보다 더욱 소형화된 반도체장치가 제공될 수 있다.
- [0709] 또한, 본 발명에 따르면, 배선 등에 기생하는 교차 커패시턴스 또는 배선 저항에 의한 영향이 거의 발생하지 않으므로, 설정 동작이 신속하게 행해지며, 출력 동시의 전류를 크게 할 수 있다. 본 발명은, 노이즈 등에 의해 발생된 소량의 전류에 의해 거의 영향을 받지 않으며, 예를 들어, 어두운 계조가 표시될 때, 올바른 신호를 화소에 입력할 수 있고, 신호 기록 동작시에 표시소자에 전류가 흐르는 것을 방지할 수 있는 반도체장치를 제공할 수 있다. 따라서, 본 발명은 소형화 및 낮은 소비전력을 실현하며, 양호하게 동작할 수 있는 반도체장치를 제공할 수 있다.
- [0710] 본 발명에 따르면, 신호 기록 동작 및 출력 동작시에, 전류원으로서 작용하는 트랜지스터가 스위치에 의해 시프트(shift)되어, 신호 기록 동작시에 흐르는 전류를 출력 동작시에 부하 등에 흐르는 전류보다 크게 할 수 있다. 따라서, 신호 기록 동작시에 흐르는 전류를 더 크게 할 수 있으므로, 신속하게 정상상태로 할 수 있다.
- [0711] 또한, 본 발명은 상술한 반도체장치를 구비하고 있으며, 낮은 소비전력 및 소형화를 실현할 수 있고, 양호하게 동작할 수 있는 표시장치를 제공할 수 있으며, 또한, 상기 표시장치가 구비되어 있는 전자장치를 제공할 수 있다.

도면의 간단한 설명

- [0001] 도 1은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0002] 도 2는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0003] 도 3은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0004] 도 4는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0005] 도 5는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0006] 도 6은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0007] 도 7은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0008] 도 8은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0009] 도 9는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0010] 도 10은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0011] 도 11은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0012] 도 12는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0013] 도 13은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0014] 도 14는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0015] 도 15는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0016] 도 16은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0017] 도 17은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0018] 도 18은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.

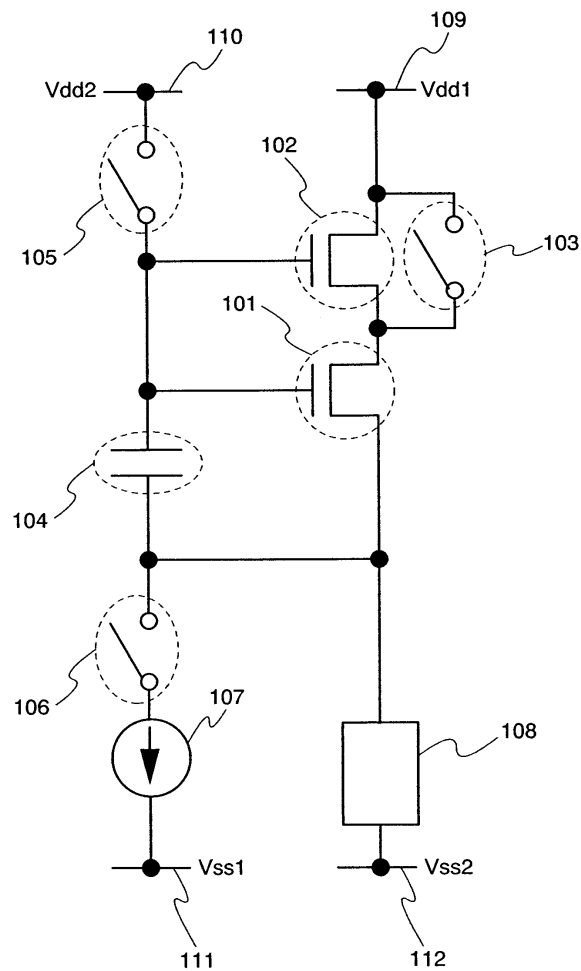
- [0019] 도 19는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0020] 도 20은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0021] 도 21은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0022] 도 22는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0023] 도 23은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0024] 도 24는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0025] 도 25는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0026] 도 26은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0027] 도 27은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0028] 도 28은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0029] 도 29는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0030] 도 30은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0031] 도 31은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0032] 도 32는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0033] 도 33은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0034] 도 34는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0035] 도 35는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0036] 도 36은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0037] 도 37은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0038] 도 38은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0039] 도 39는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0040] 도 40은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0041] 도 41은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0042] 도 42는 본 발명의 하나의 형태에 따른 회로를 포함하는 표시장치의 개략도이다.
- [0043] 도 43은 본 발명의 하나의 형태에 따른 회로를 포함하는 표시장치의 개략도이다.
- [0044] 도 44는 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0045] 도 45는 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0046] 도 46은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0047] 도 47은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0048] 도 48a 내지 48c는 각각 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0049] 도 49는 본 발명의 하나의 형태에 따른 표시장치를 도시하는 도면이다.
- [0050] 도 50은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0051] 도 51은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0052] 도 52a 내지 52d는 각각 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0053] 도 53a 및 53b는 각각 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0054] 도 54a 및 54b는 각각 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.

- [0055] 도 55a 및 55b는 각각 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0056] 도 56은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0057] 도 57a 내지 57c는 각각 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0058] 도 58은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0059] 도 59는 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0060] 도 60은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0061] 도 61은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0062] 도 62는 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0063] 도 63은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0064] 도 64는 본 발명의 하나의 형태에 따른 구동방법을 도시하는 도면이다.
- [0065] 도 65는 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0066] 도 66은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0067] 도 67a 및 67b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0068] 도 68a 및 68b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0069] 도 69a 및 69b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0070] 도 70a 및 70b는 본 발명의 하나의 형태에 따른 표시장치에 적용될 수 있는 발광소자를 도시하는 도면이다.
- [0071] 도 71a 내지 71c는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0072] 도 72는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0073] 도 73a 및 73b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0074] 도 74a 및 74b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0075] 도 75a 및 75b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0076] 도 76a 및 76b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0077] 도 77a 및 77b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0078] 도 78a 및 78b는 본 발명의 하나의 형태에 따른 표시패널을 도시하는 도면이다.
- [0079] 도 79는 본 발명의 하나의 형태에 따른 표시장치가 적용될 수 있는 전자장치를 도시하는 도면이다.
- [0080] 도 80은 본 발명의 하나의 형태에 따른 표시장치가 적용될 수 있는 전자장치를 도시하는 도면이다.
- [0081] 도 81a 및 81b는 본 발명의 하나의 형태에 따른 표시장치가 적용될 수 있는 전자장치를 도시하는 도면이다.
- [0082] 도 82a 및 82b는 본 발명의 하나의 형태에 따른 표시장치가 적용될 수 있는 전자장치를 도시하는 도면이다.
- [0083] 도 83은 본 발명의 하나의 형태에 따른 표시장치가 적용될 수 있는 전자장치를 도시하는 도면이다.
- [0084] 도 84a 내지 84h는 본 발명의 하나의 형태에 따른 표시장치가 적용될 수 있는 전자장치를 도시하는 도면이다.
- [0085] 도 85는 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0086] 도 86은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0087] 도 87은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.
- [0088] 도 88은 본 발명의 하나의 형태에 따른 회로의 예를 도시하는 회로도이다.
- [0089] 도 89는 본 발명의 하나의 형태에 따른 표시장치를 도시하는 도면이다.
- [0090] 도 90은 본 발명의 하나의 형태에 따른 화소 구성을 도시하는 도면이다.

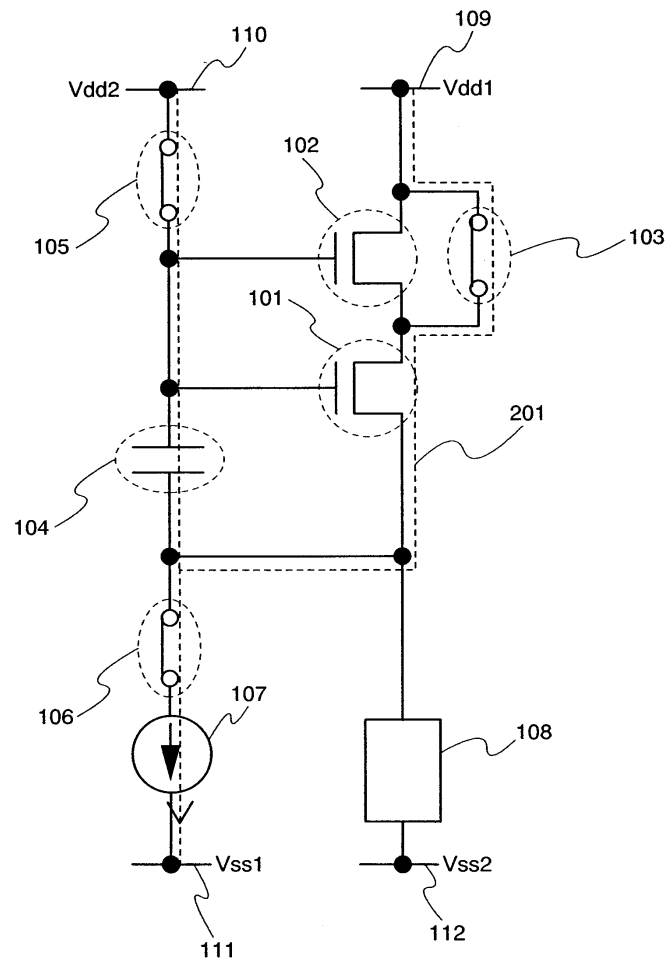
- [0091] 도 91은 본 발명의 하나의 형태에 따른 표시장치를 도시하는 도면이다.
- [0092] 도 92는 종래의 회로를 도시하는 회로도이다.
- [0093] 도 93은 종래의 회로를 도시하는 회로도이다.
- [0094] 도 94a 및 94b는 종래의 회로를 도시하는 회로도이다.
- [0095] 도 95a 및 95b는 본 발명의 하나의 형태에 따른 회로를 도시하는 회로도이다.
- [0096] 도 96은 종래의 회로를 도시하는 회로도이다.
- [0097] 도 97a 및 97b는 본 발명의 하나의 형태에 따른 표시장치의 응용을 예로 들어 도시하는 도면이다.
- [0098] 도 98은 본 발명의 하나의 형태에 따른 표시장치의 응용을 예로 들어 도시하는 도면이다.
- [0099] 도 99는 본 발명의 하나의 형태에 따른 표시장치의 응용을 예로 들어 도시하는 도면이다.
- [0100] 도 100은 본 발명의 하나의 형태에 따른 표시장치의 응용을 예로 들어 도시하는 도면이다.
- [0101] 도 101a 및 101b는 본 발명의 하나의 형태에 따른 표시장치의 응용을 예로 들어 도시하는 도면이다.

도면

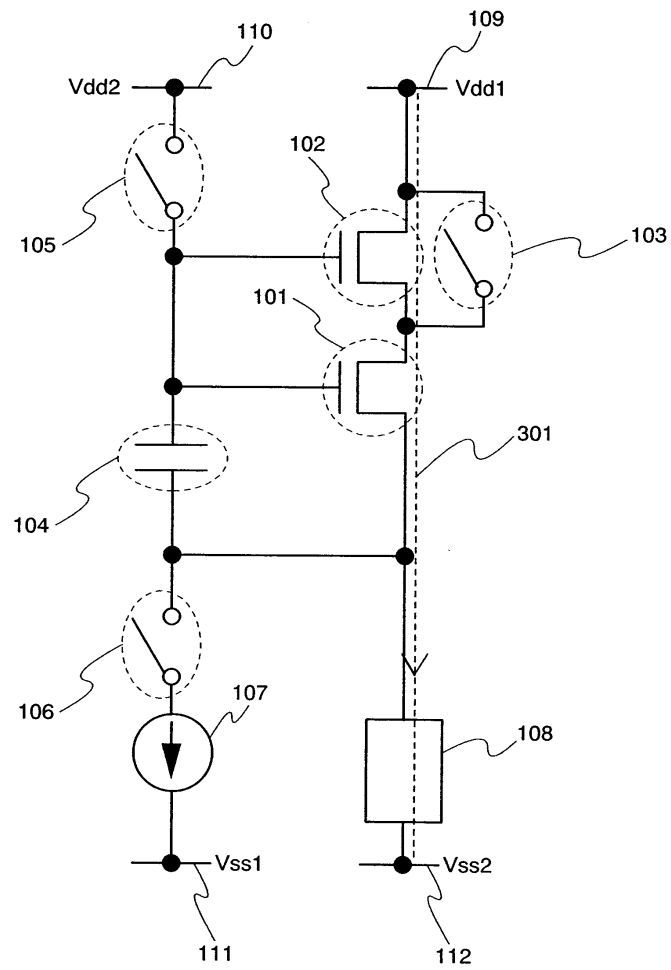
도면1



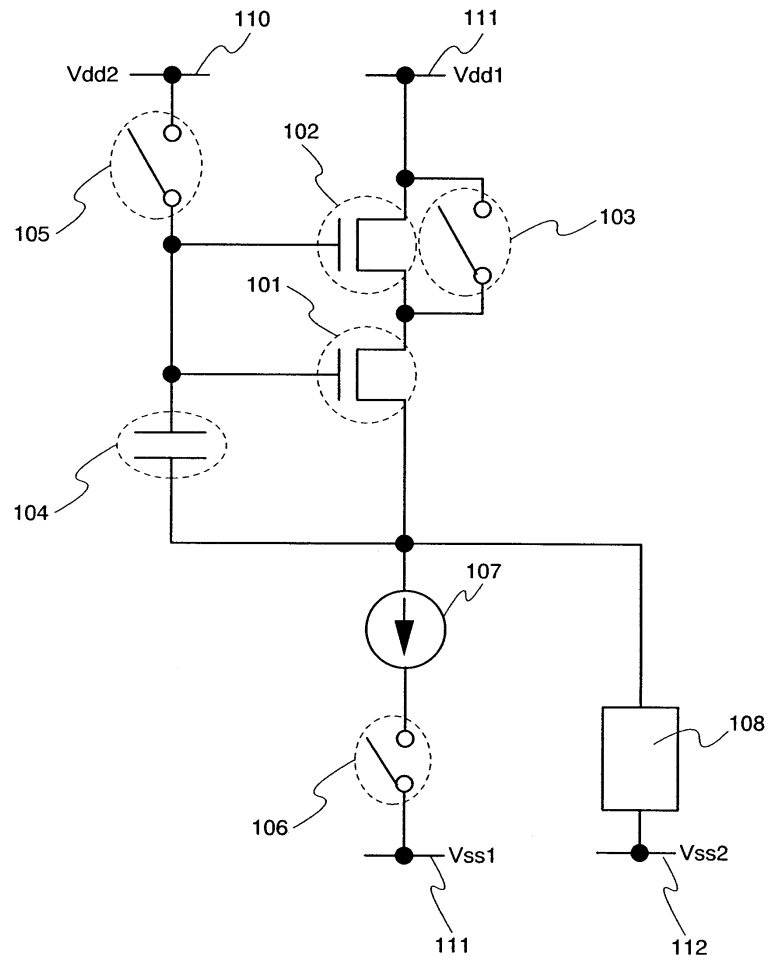
도면2



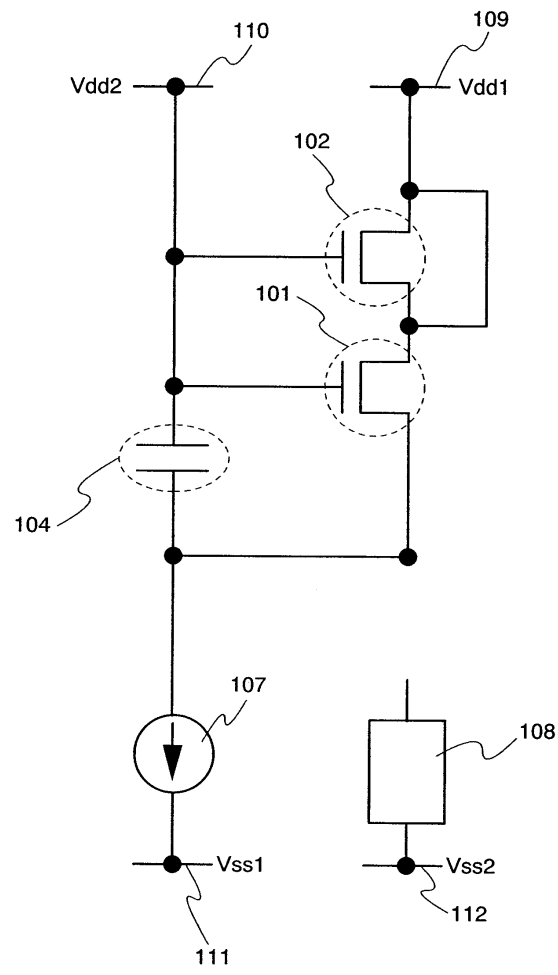
도면3



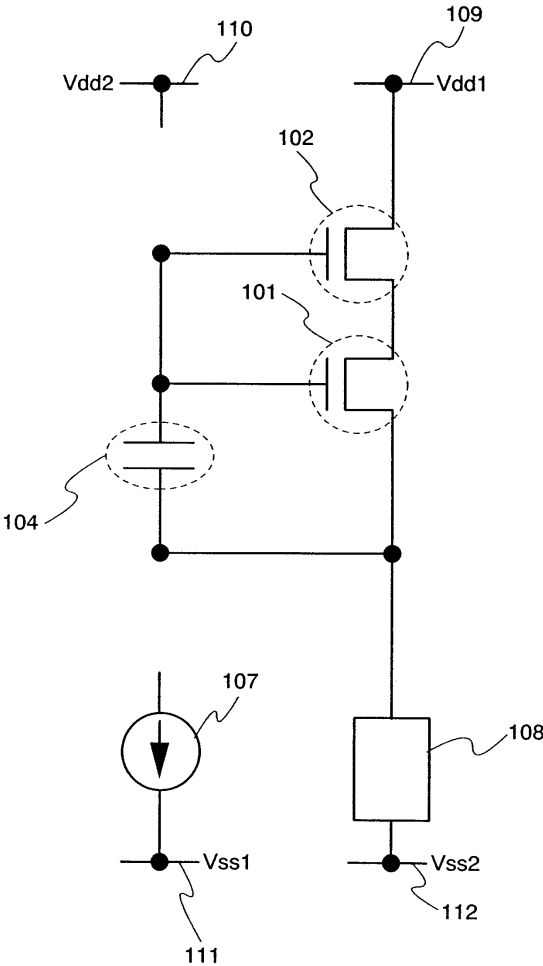
도면4



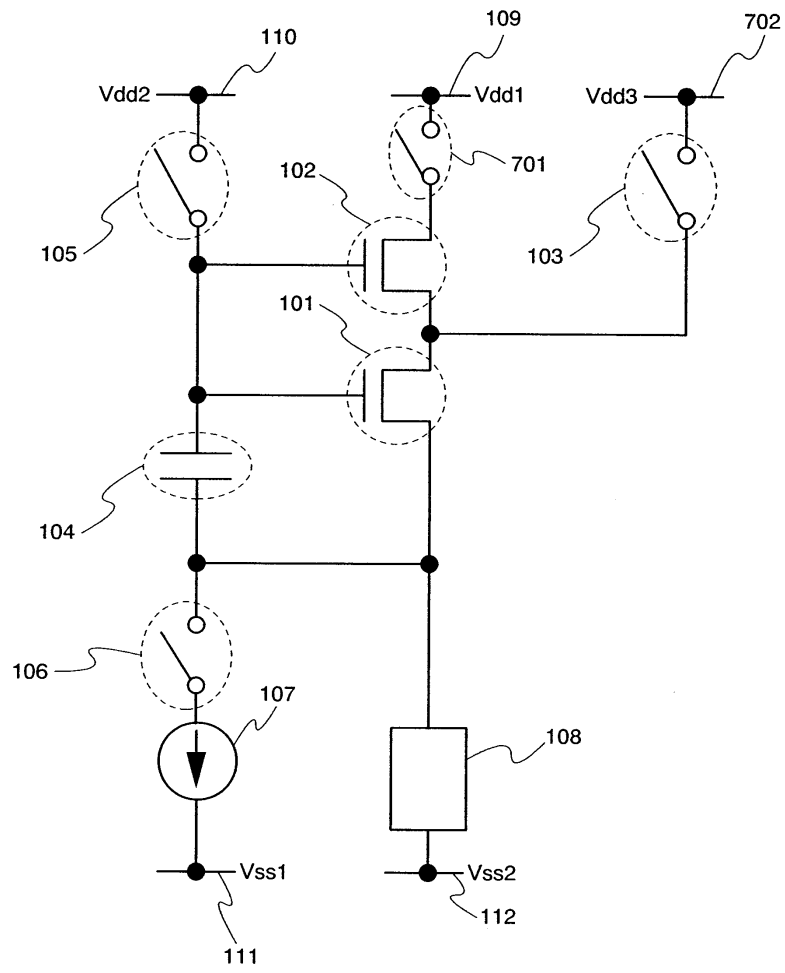
도면5



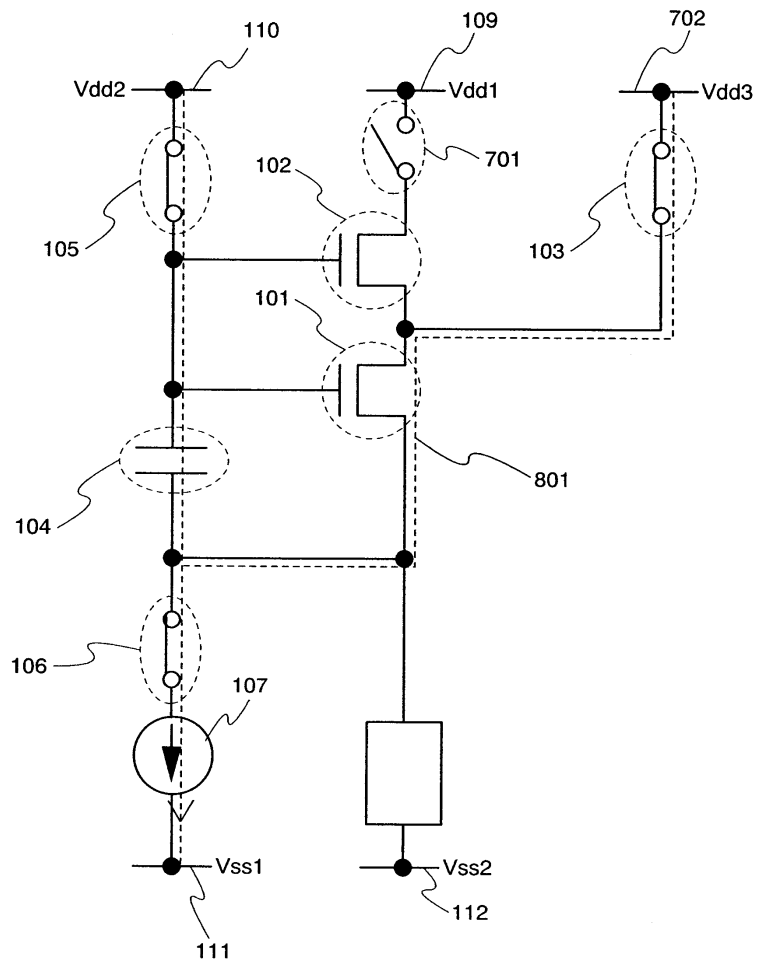
도면6



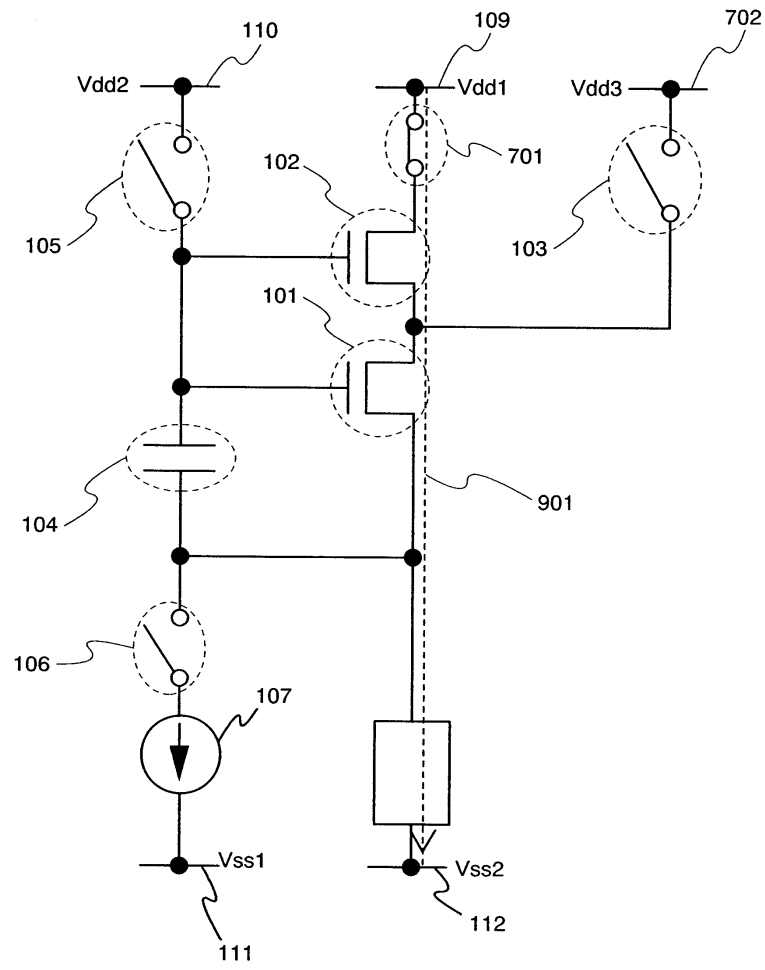
도면7



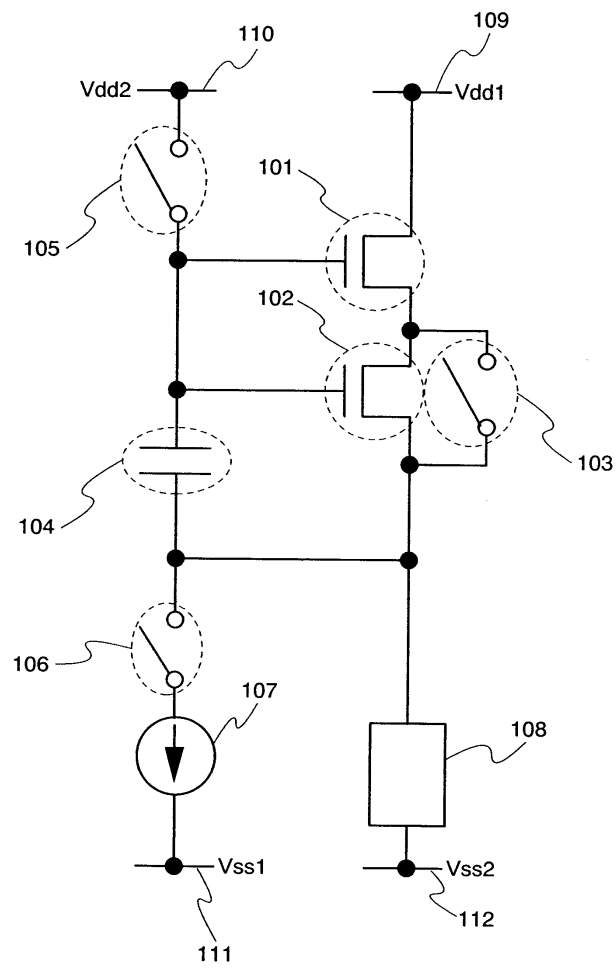
도면8



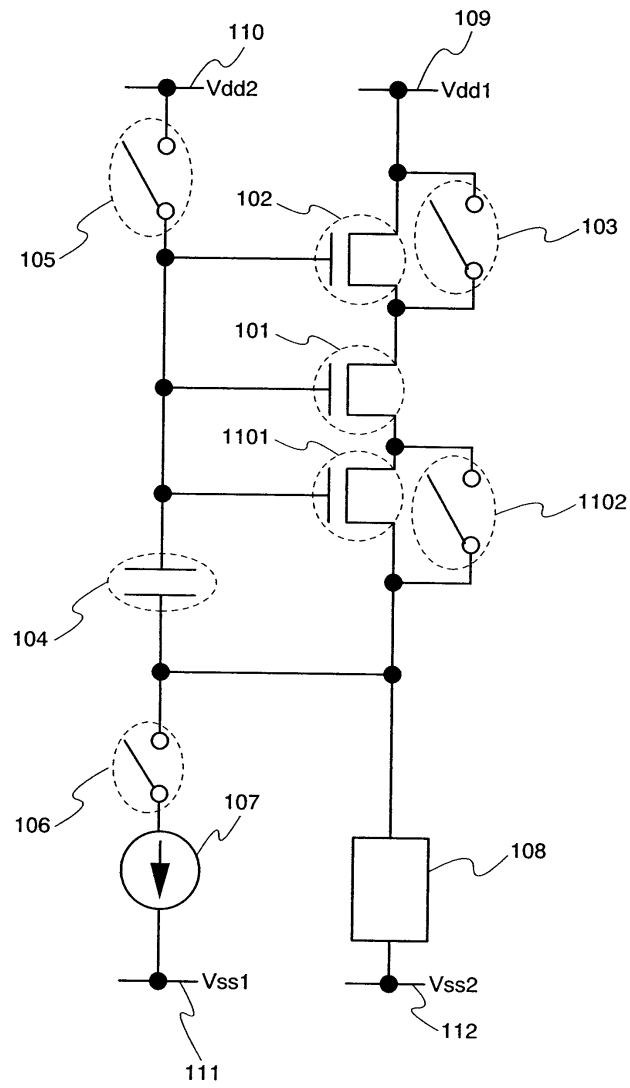
도면9



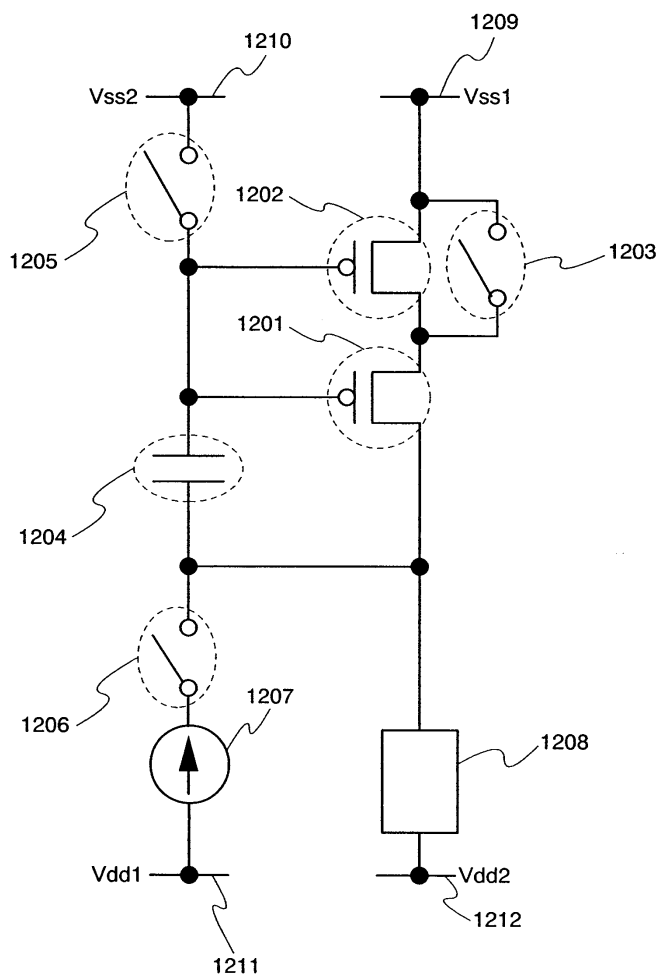
도면10



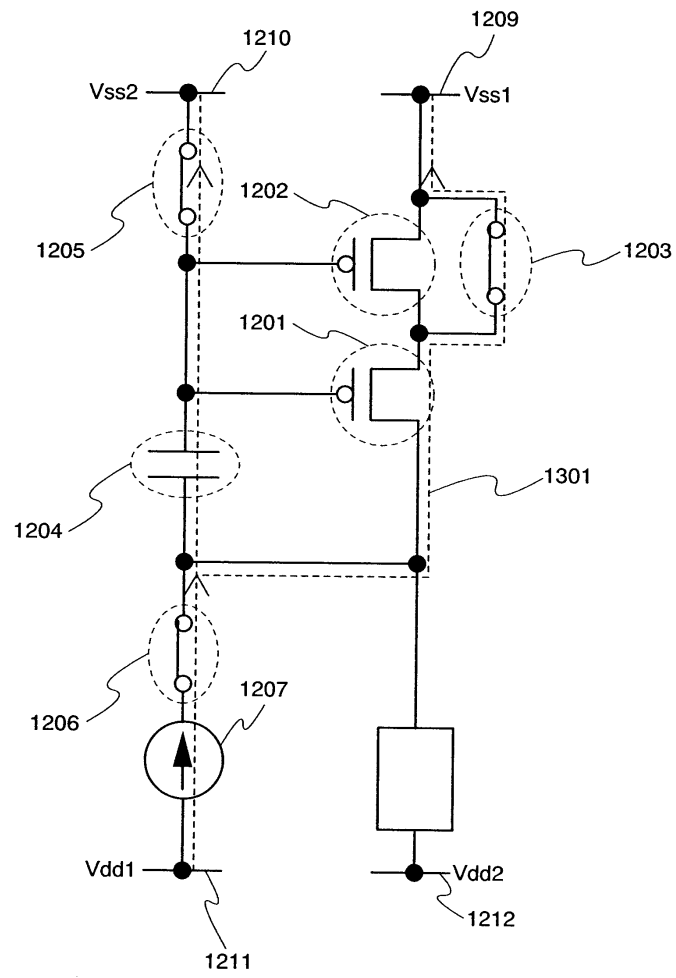
도면11



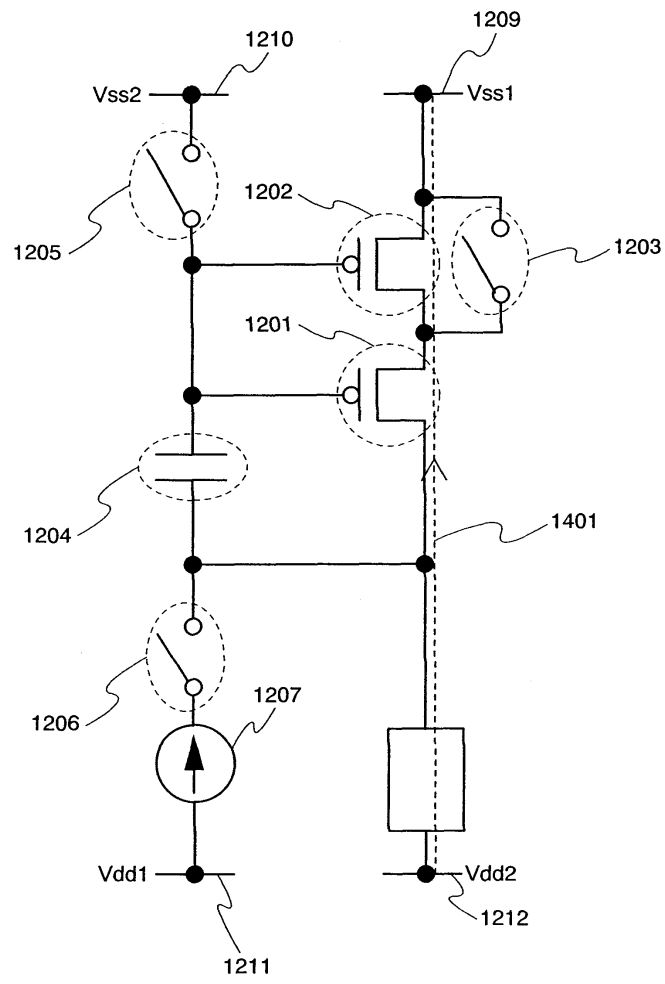
도면12



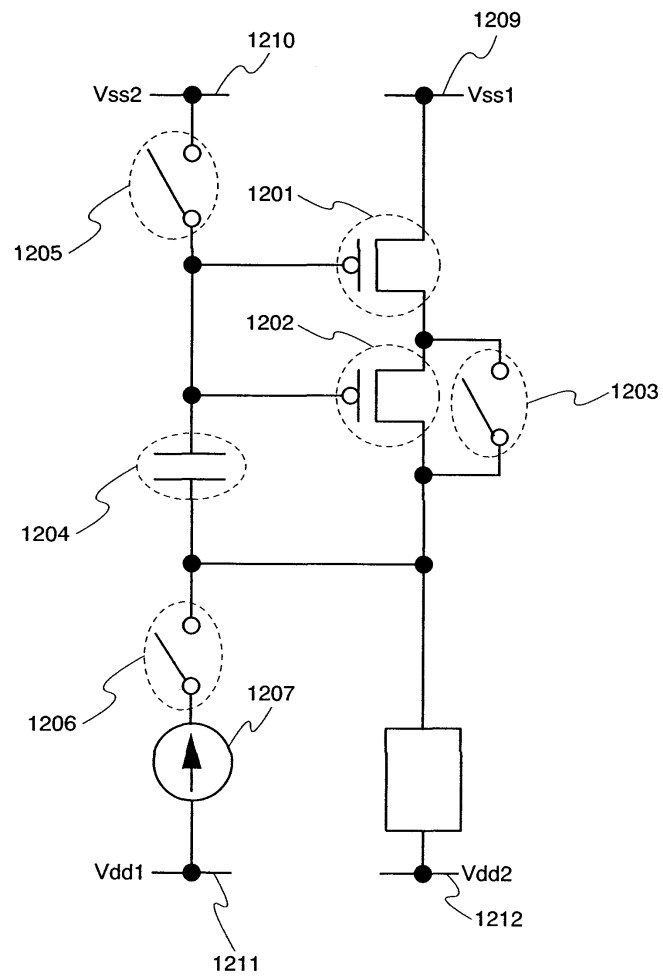
도면13



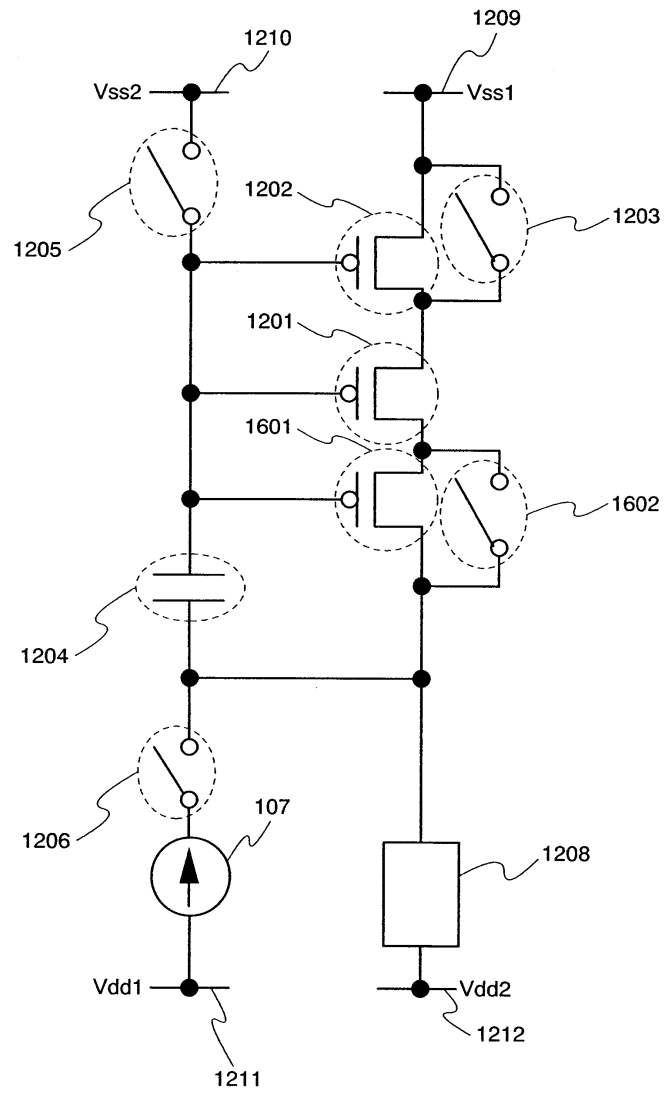
도면14



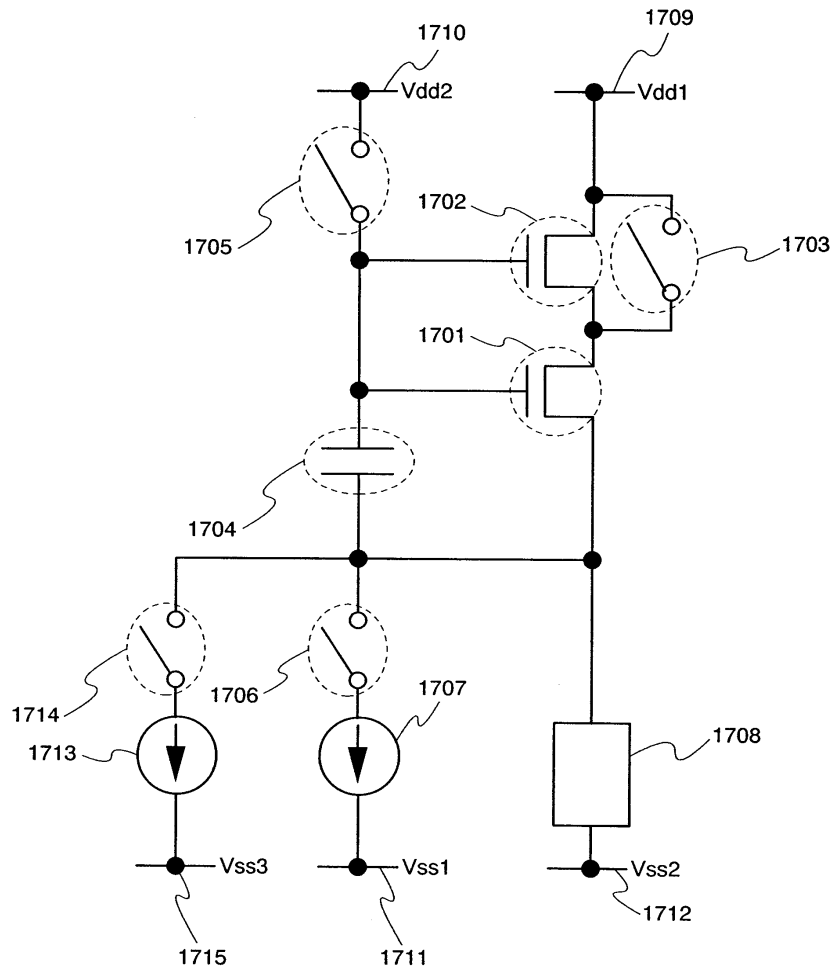
도면15



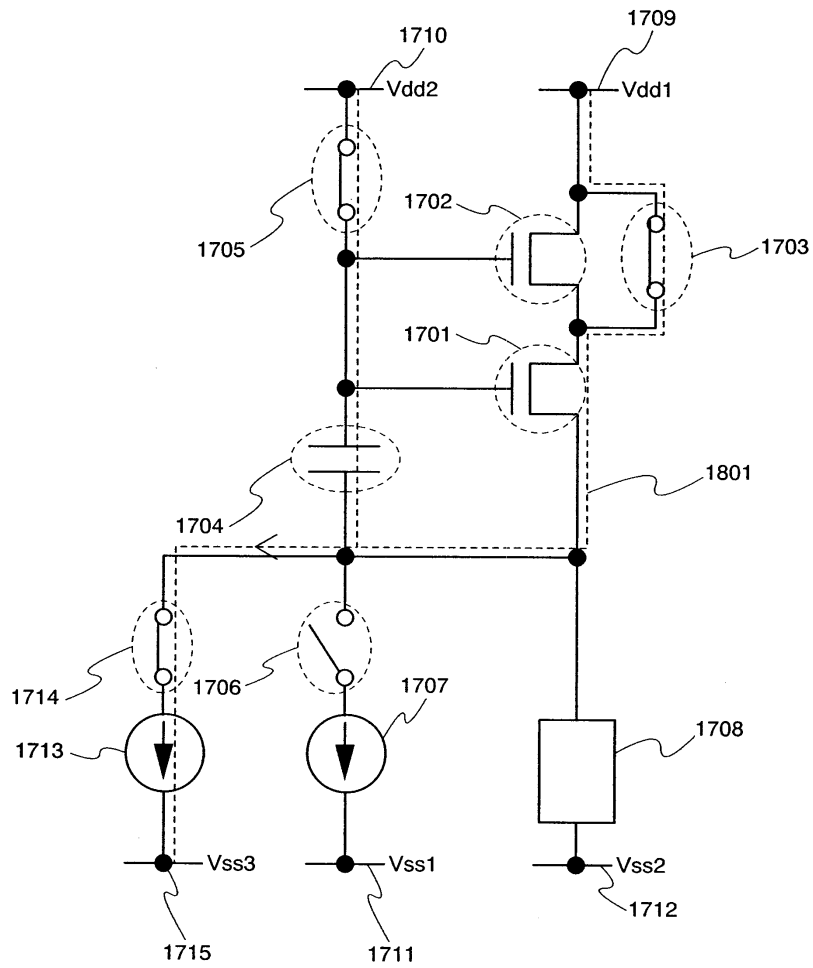
도면16



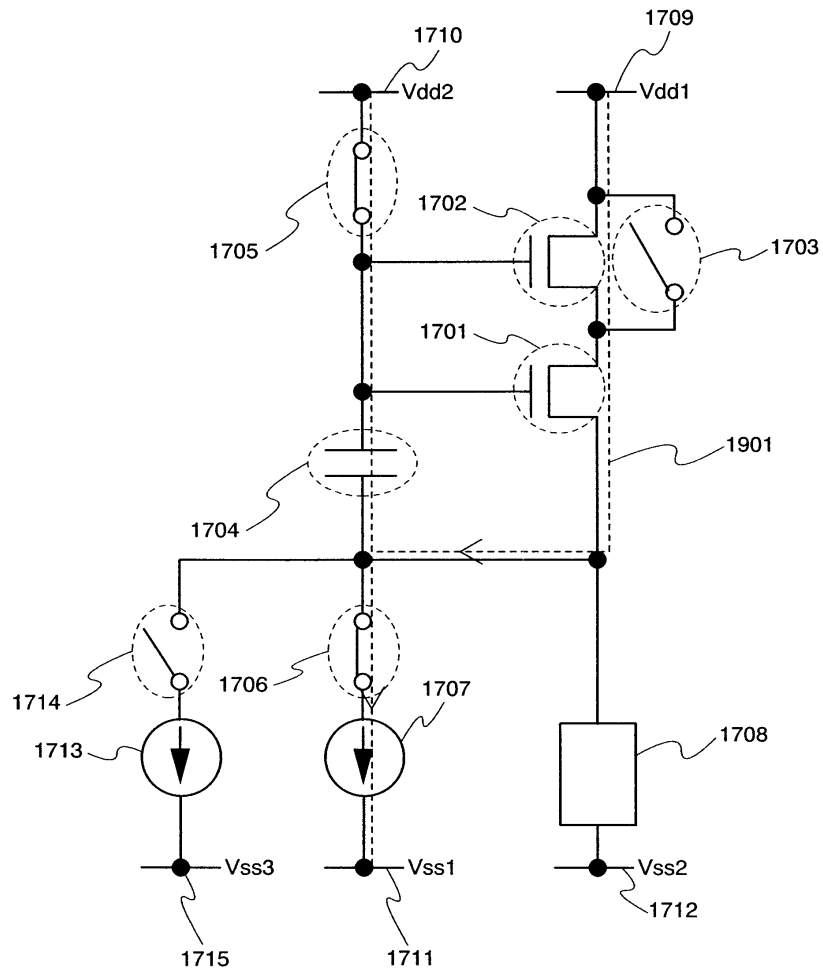
도면17



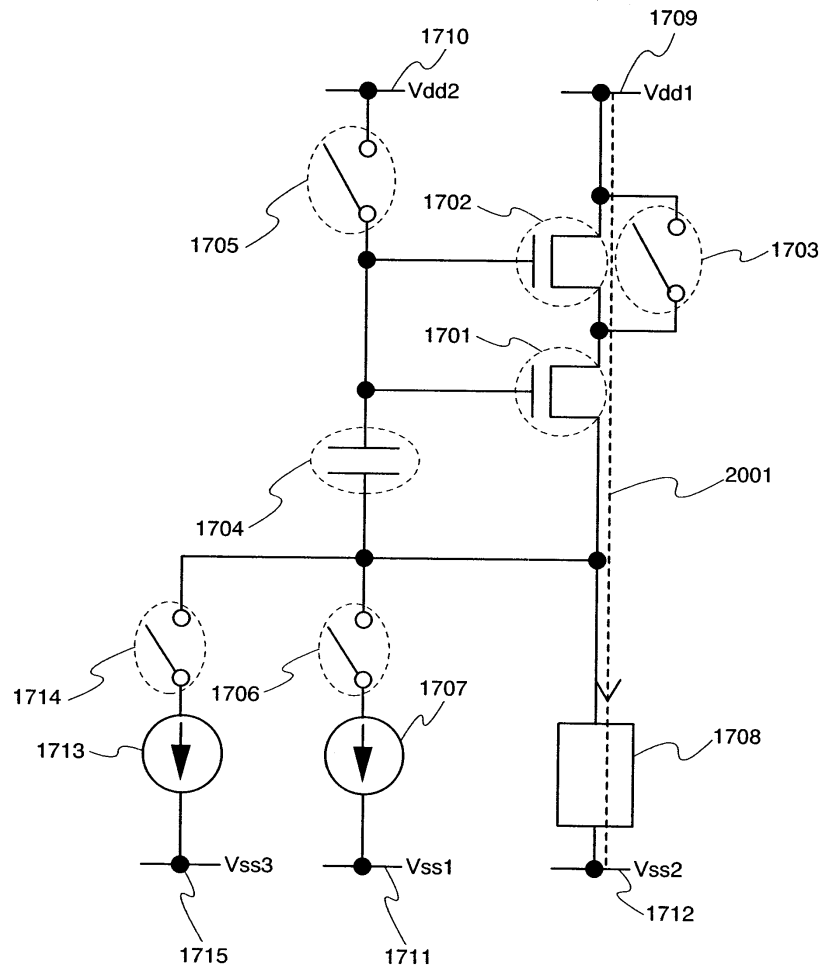
도면18



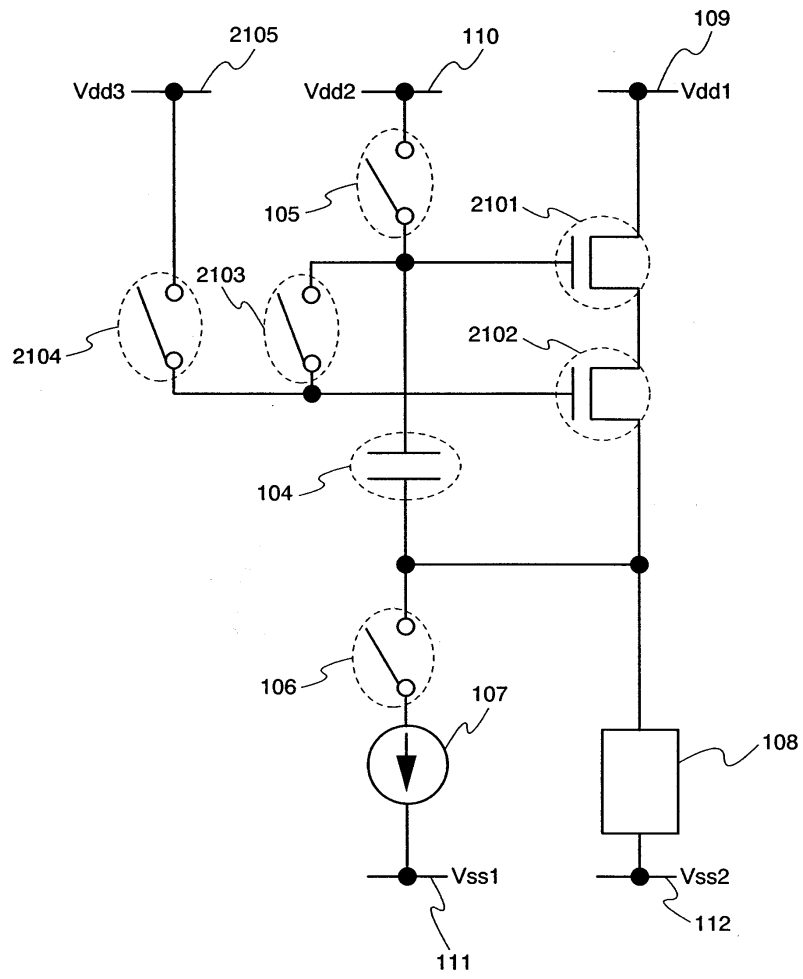
도면19



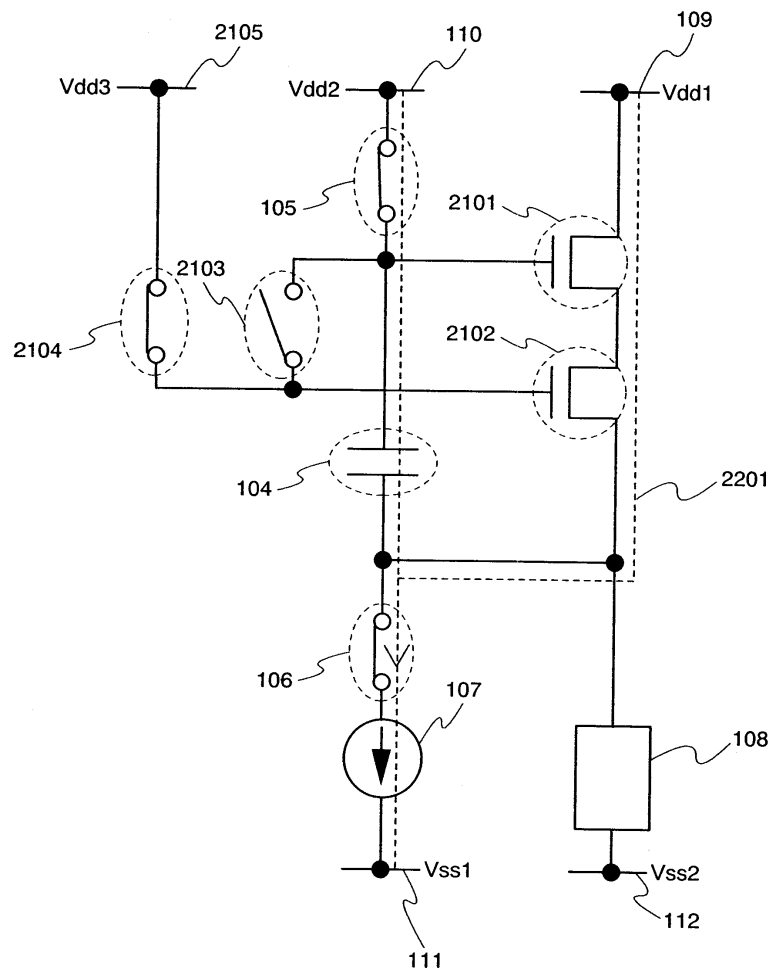
도면20



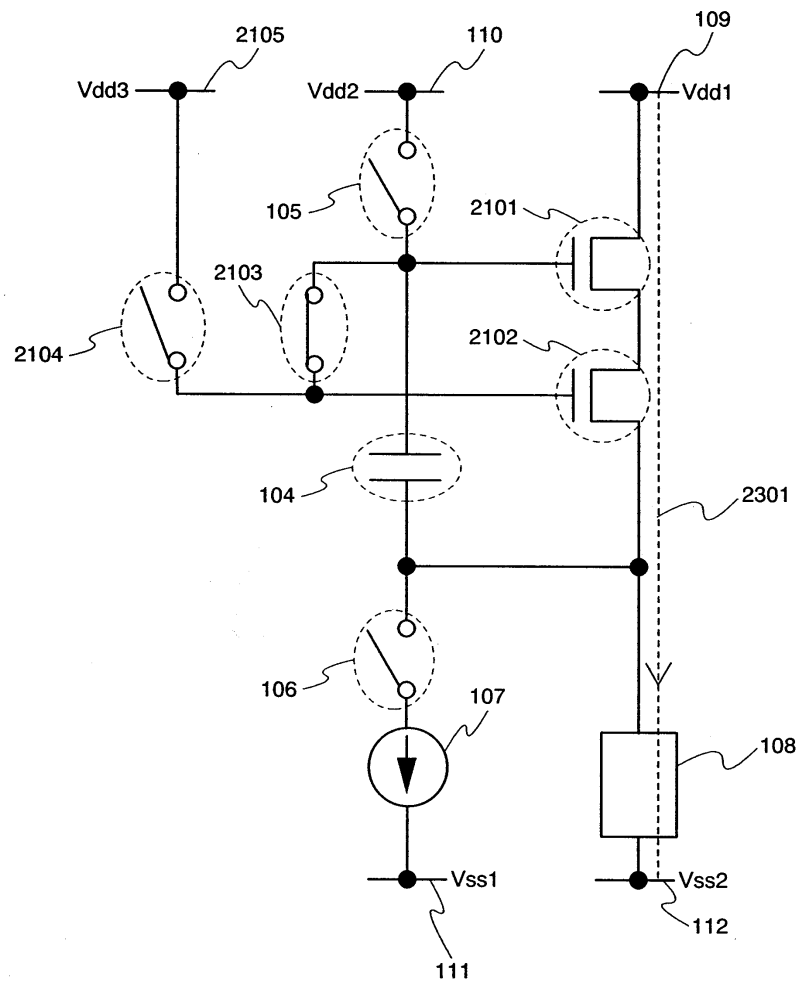
도면21



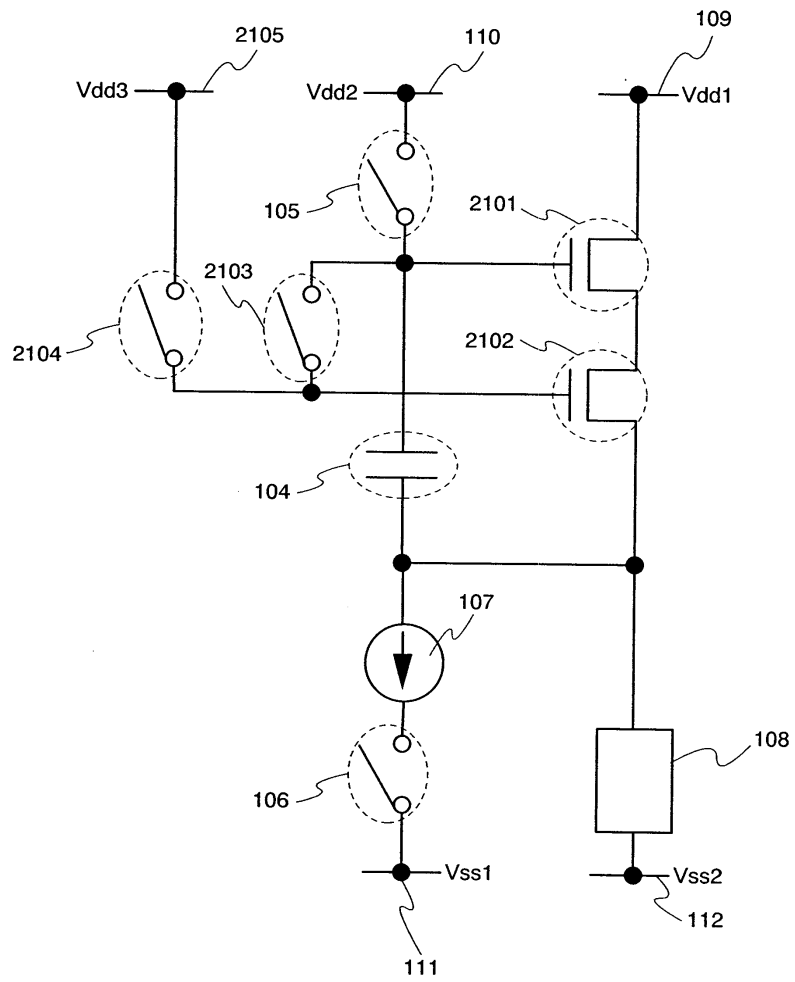
도면22



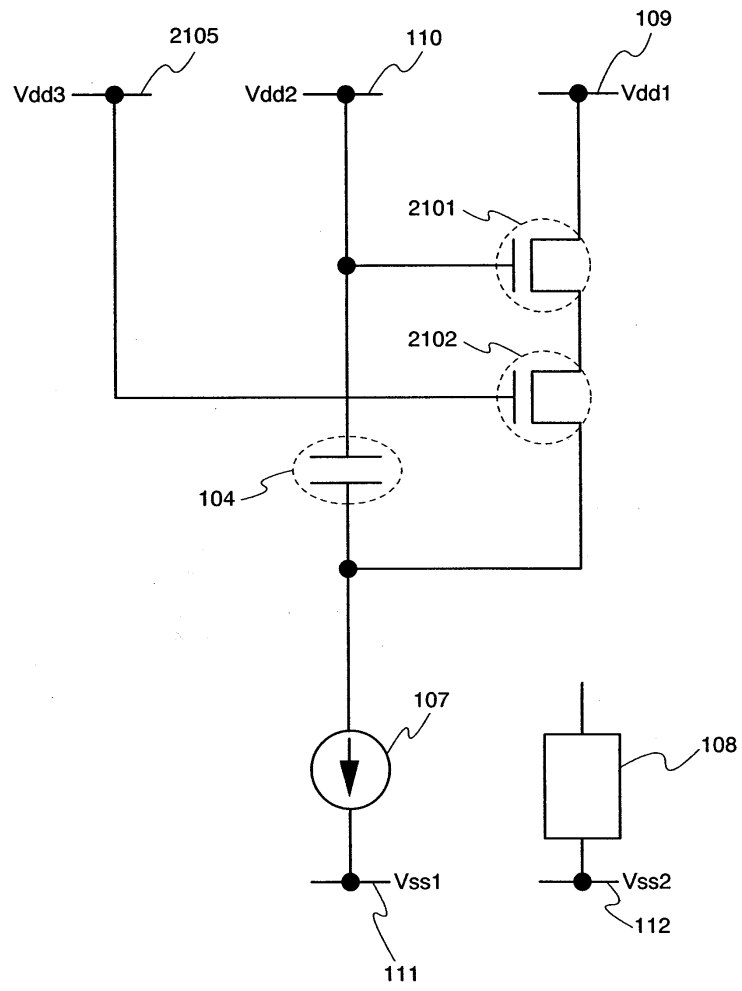
도면23



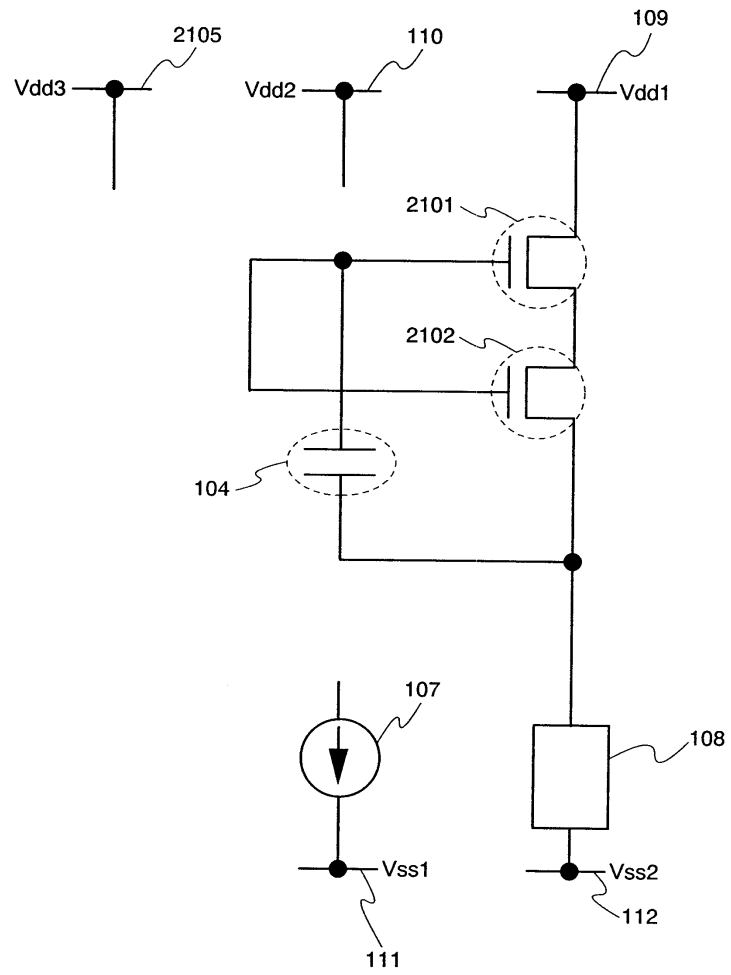
도면24



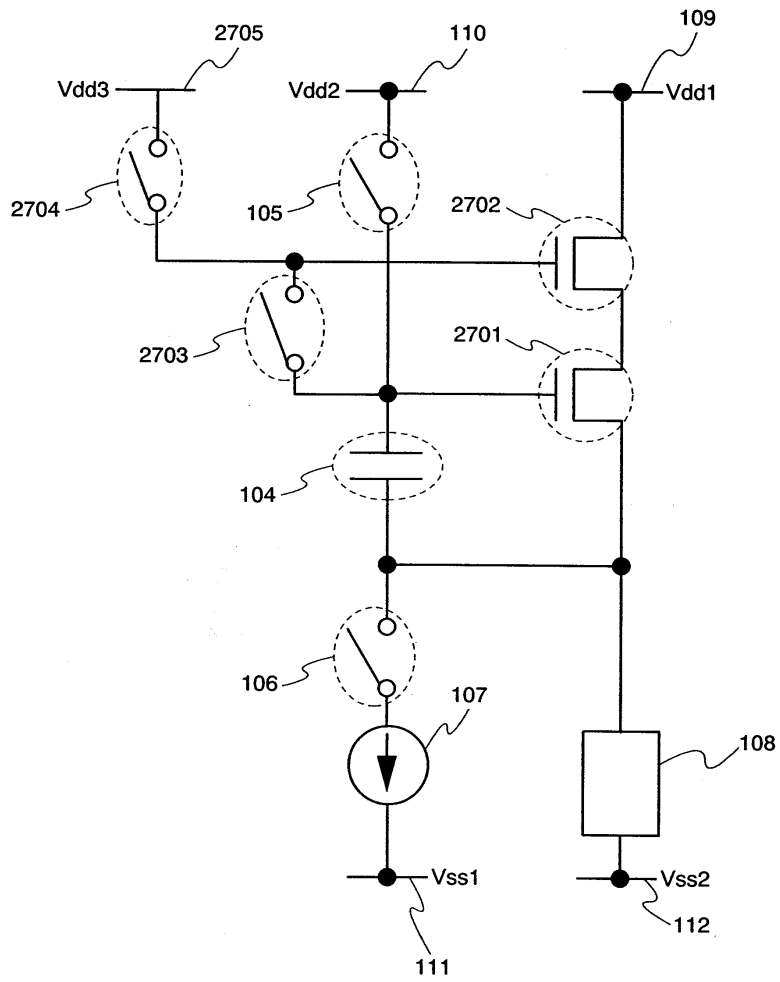
도면25



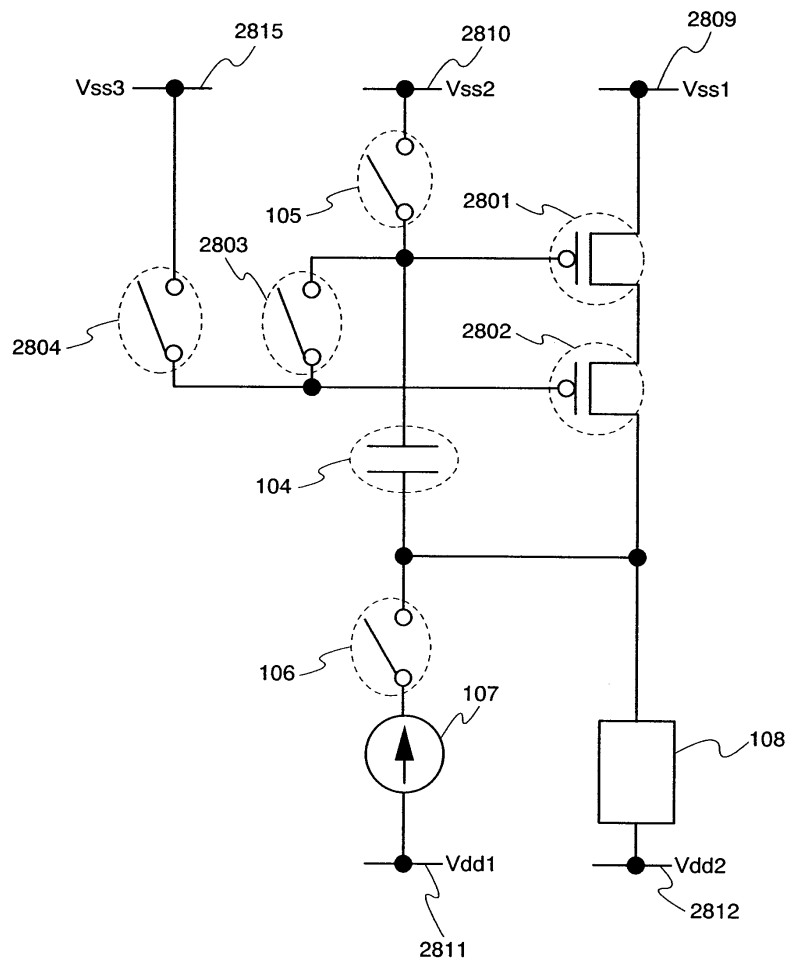
도면26



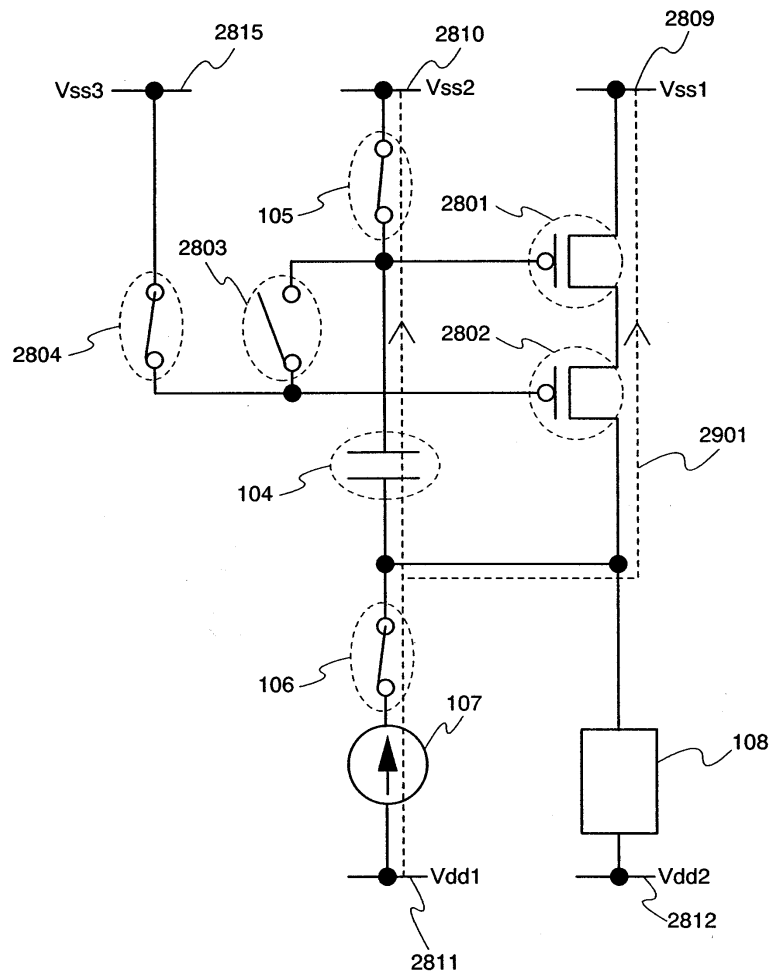
도면27



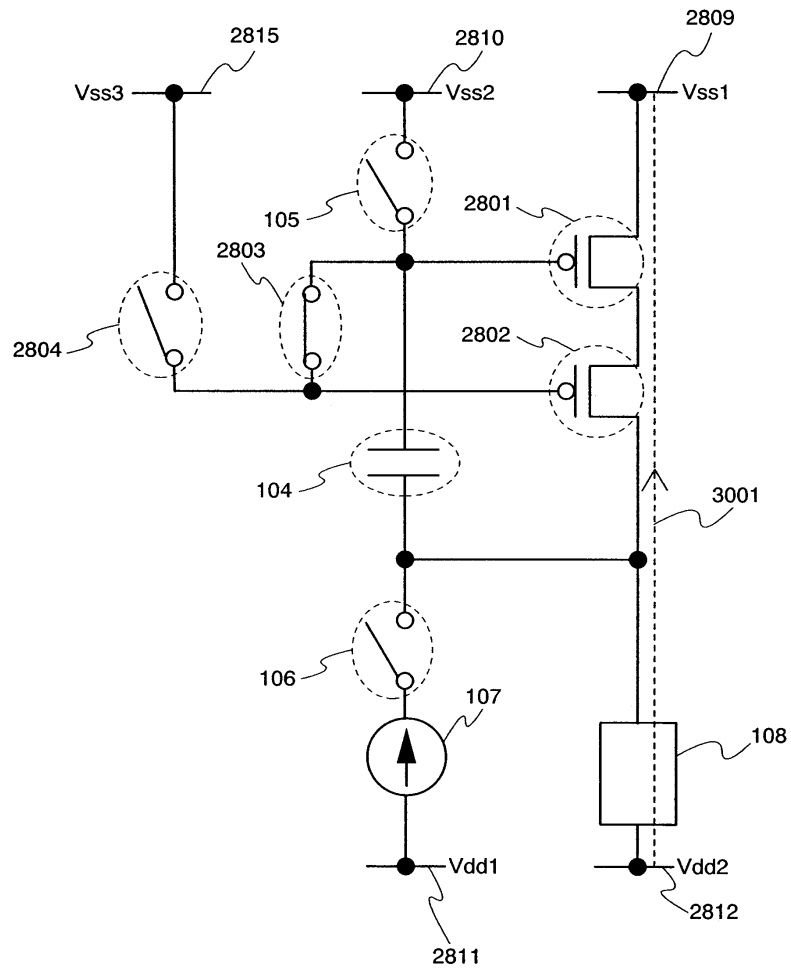
도면28



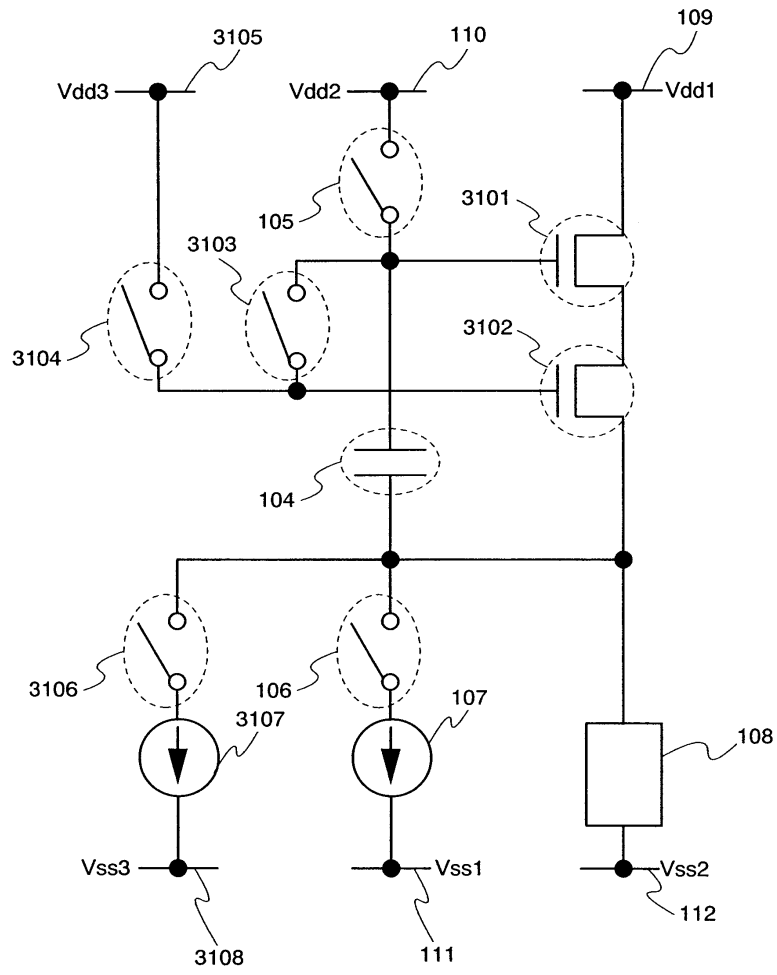
도면29



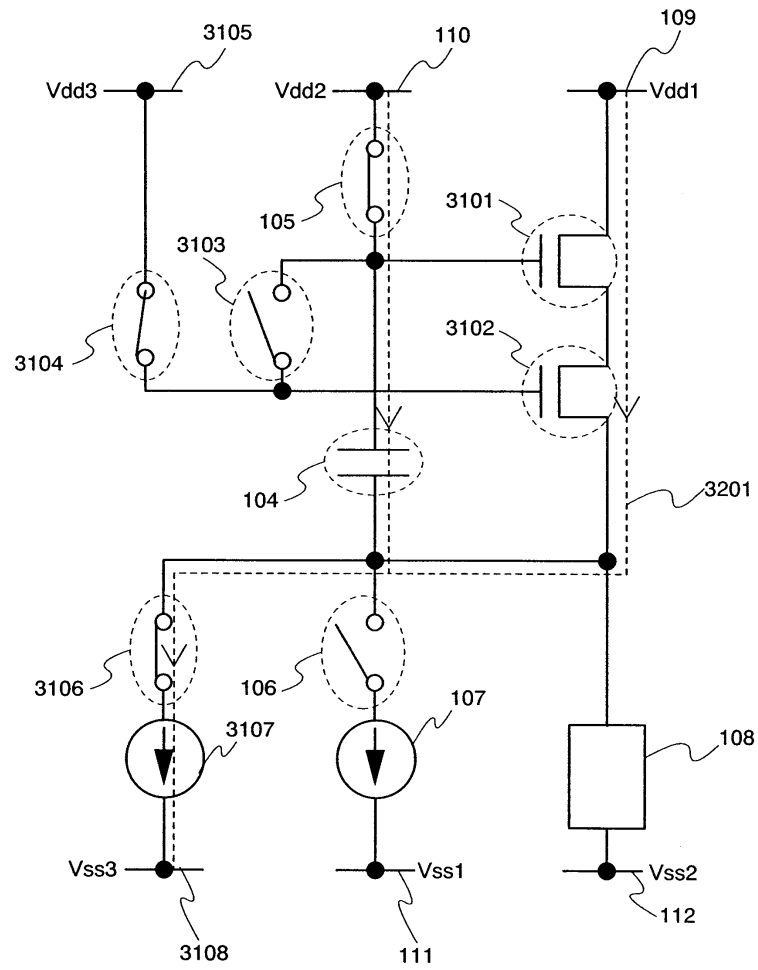
도면30



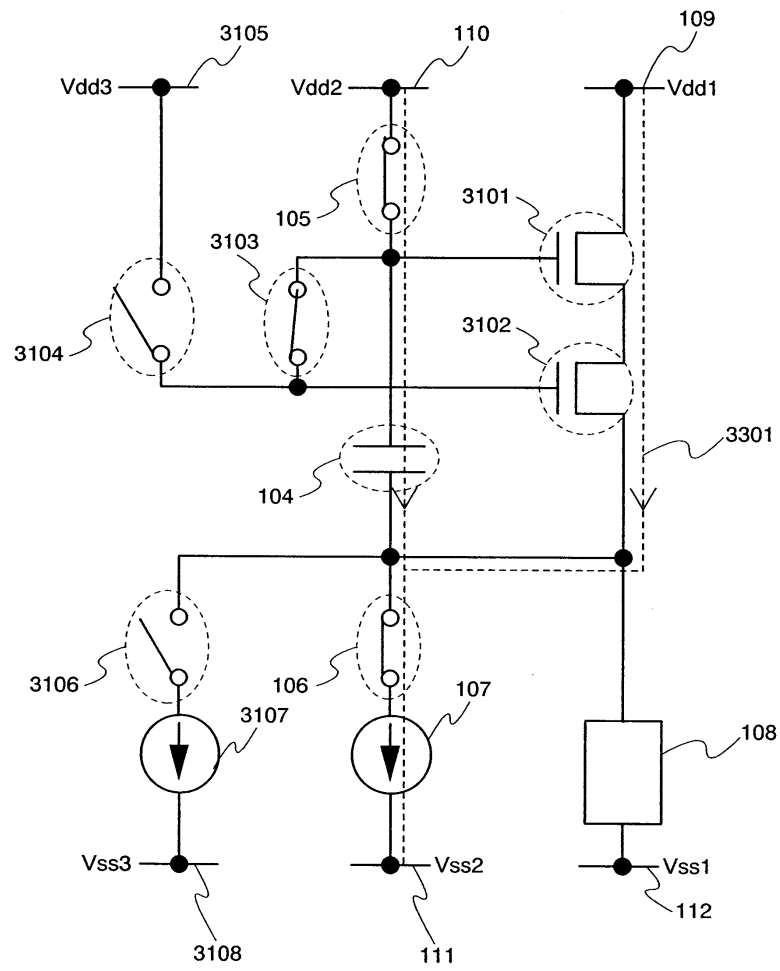
도면31



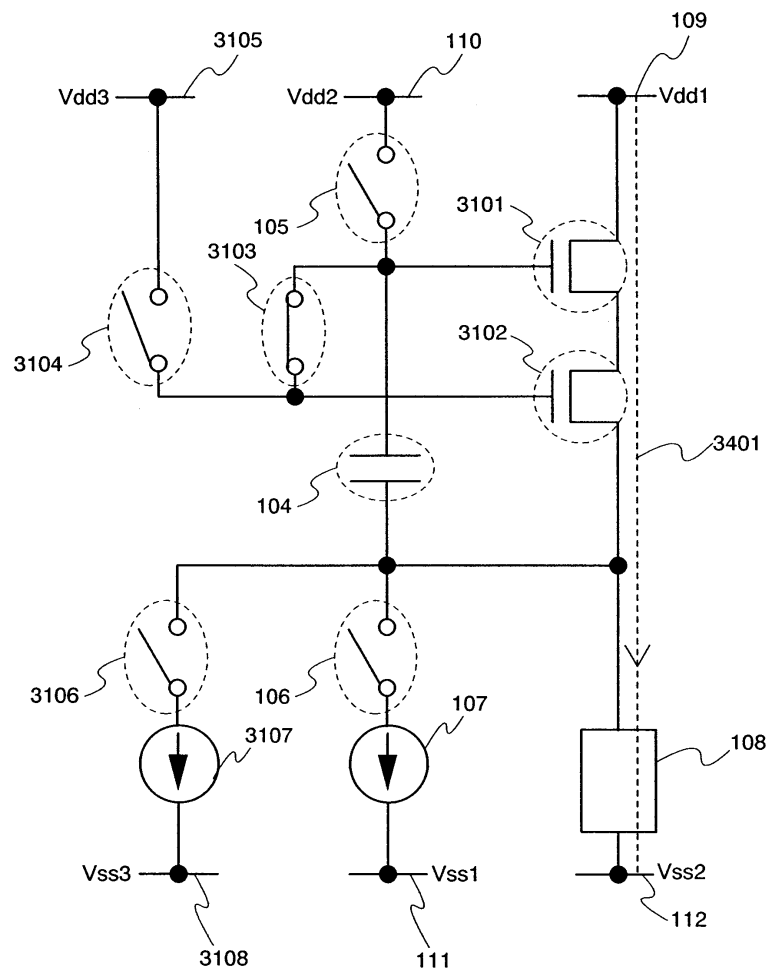
도면32



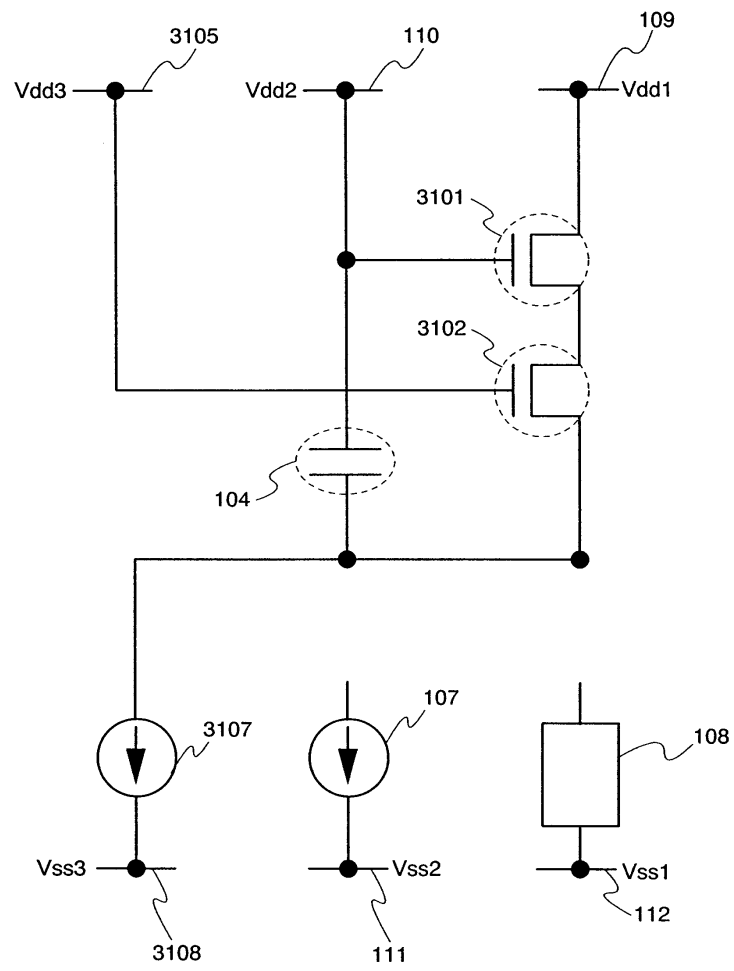
도면33



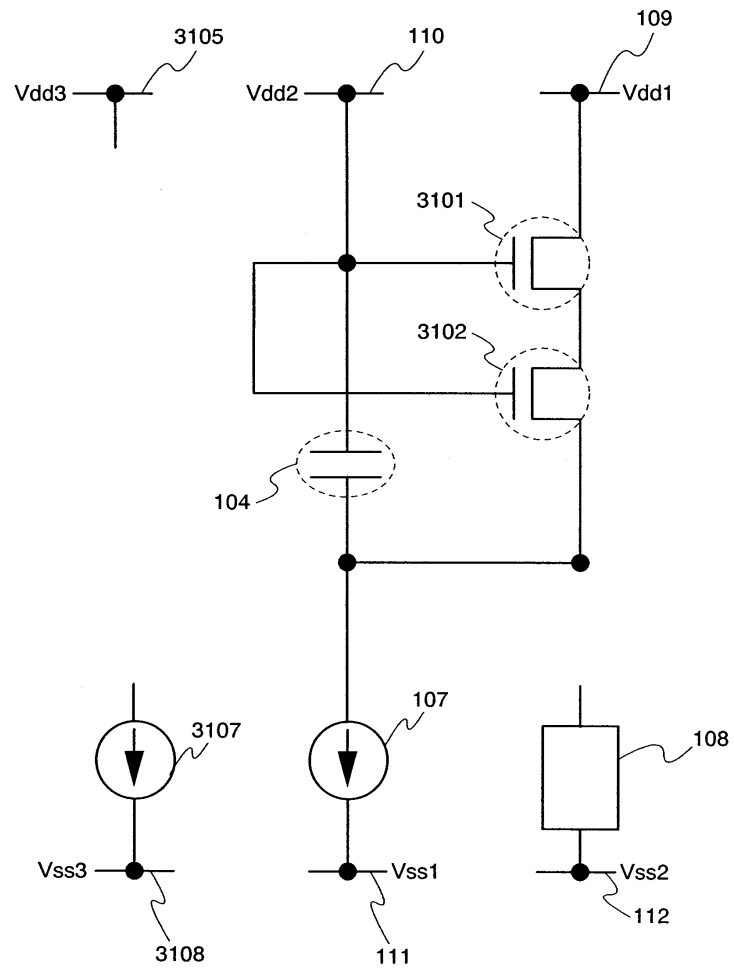
도면34



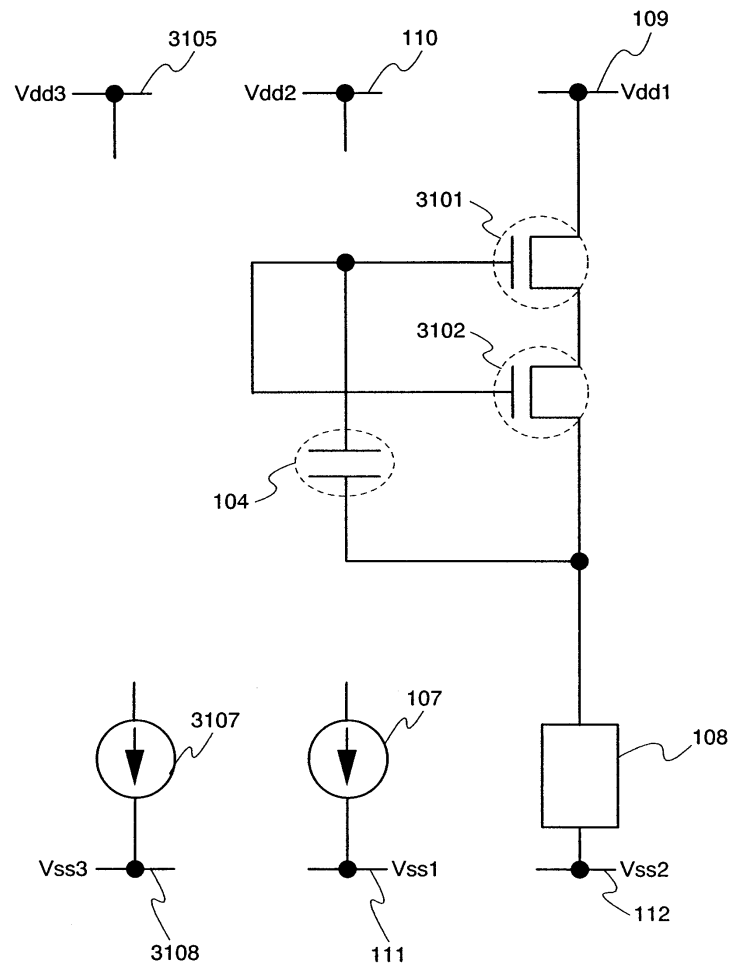
도면35



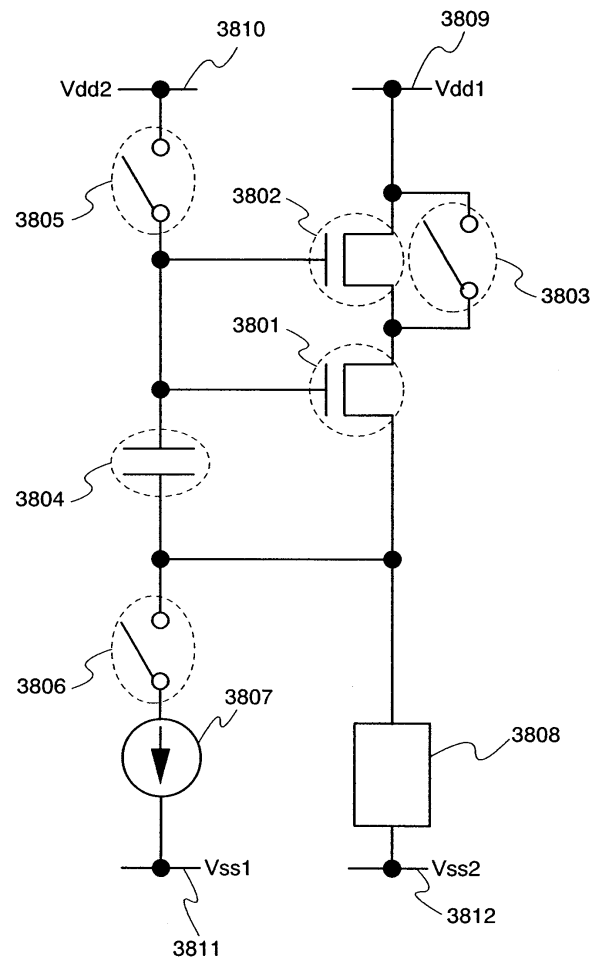
도면36



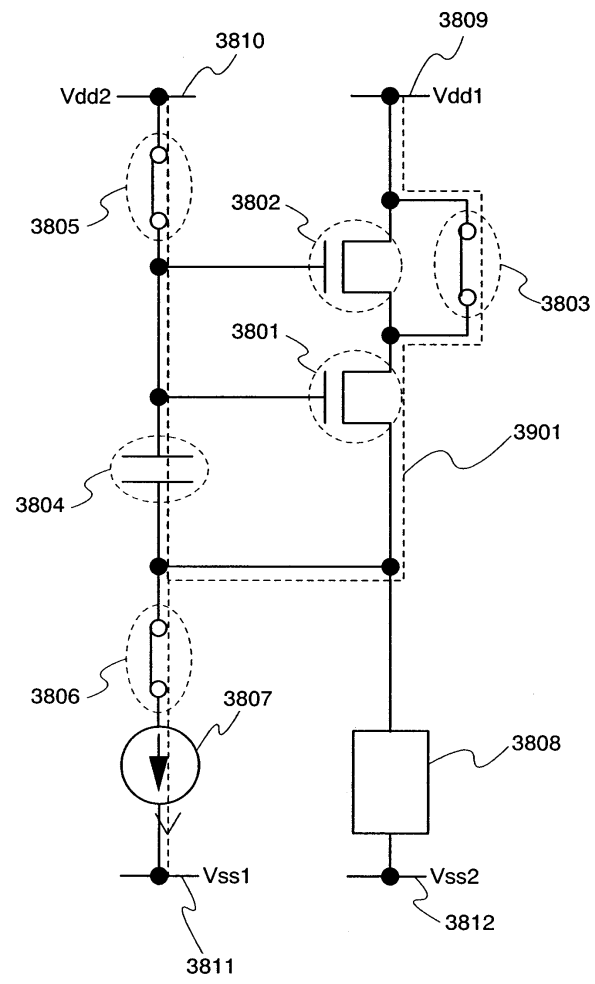
도면37



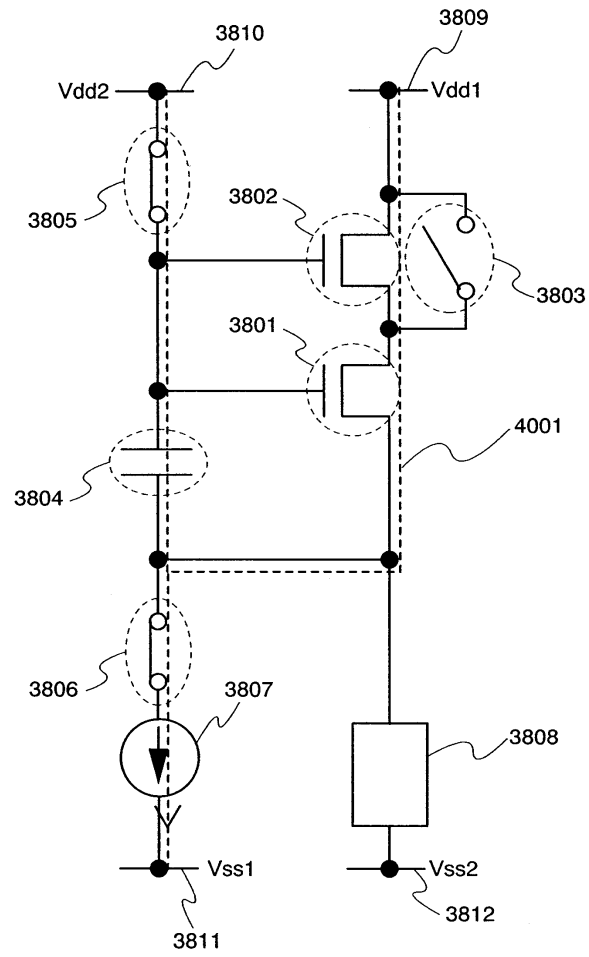
도면38



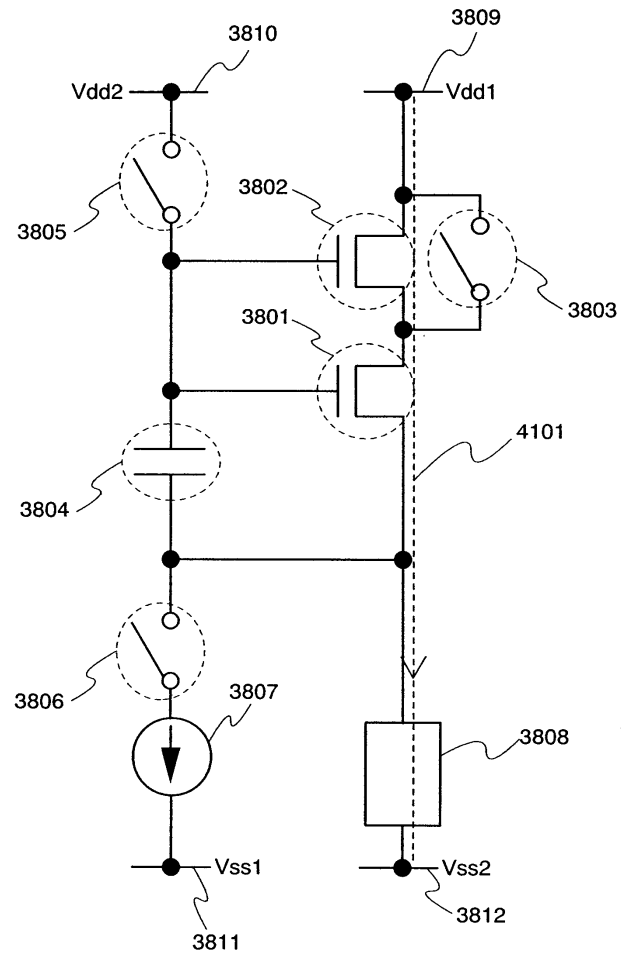
도면39



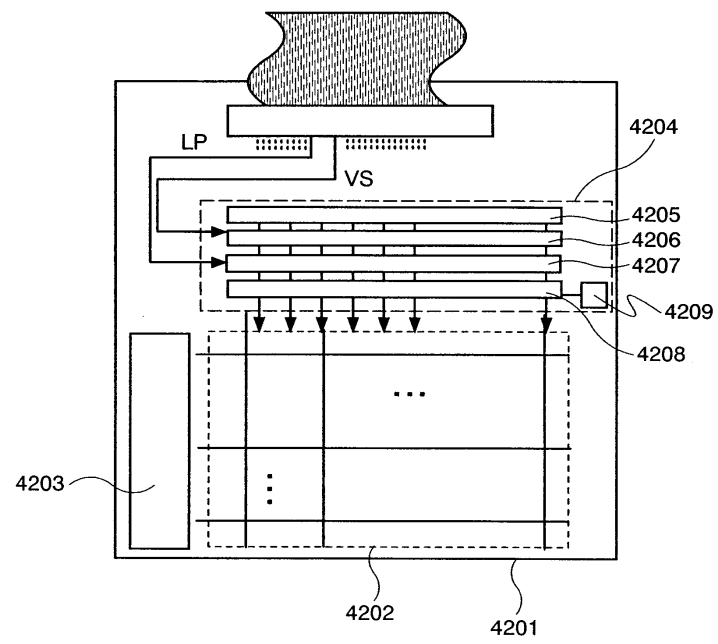
도면40



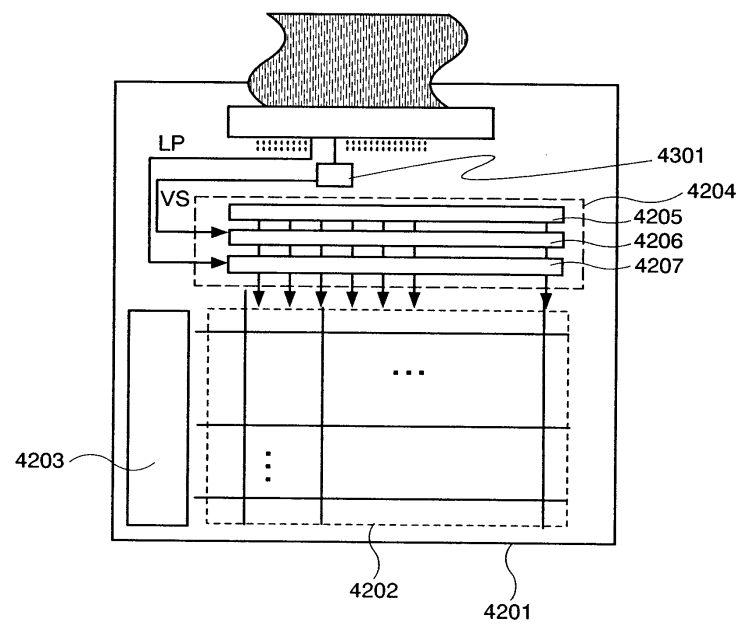
도면41



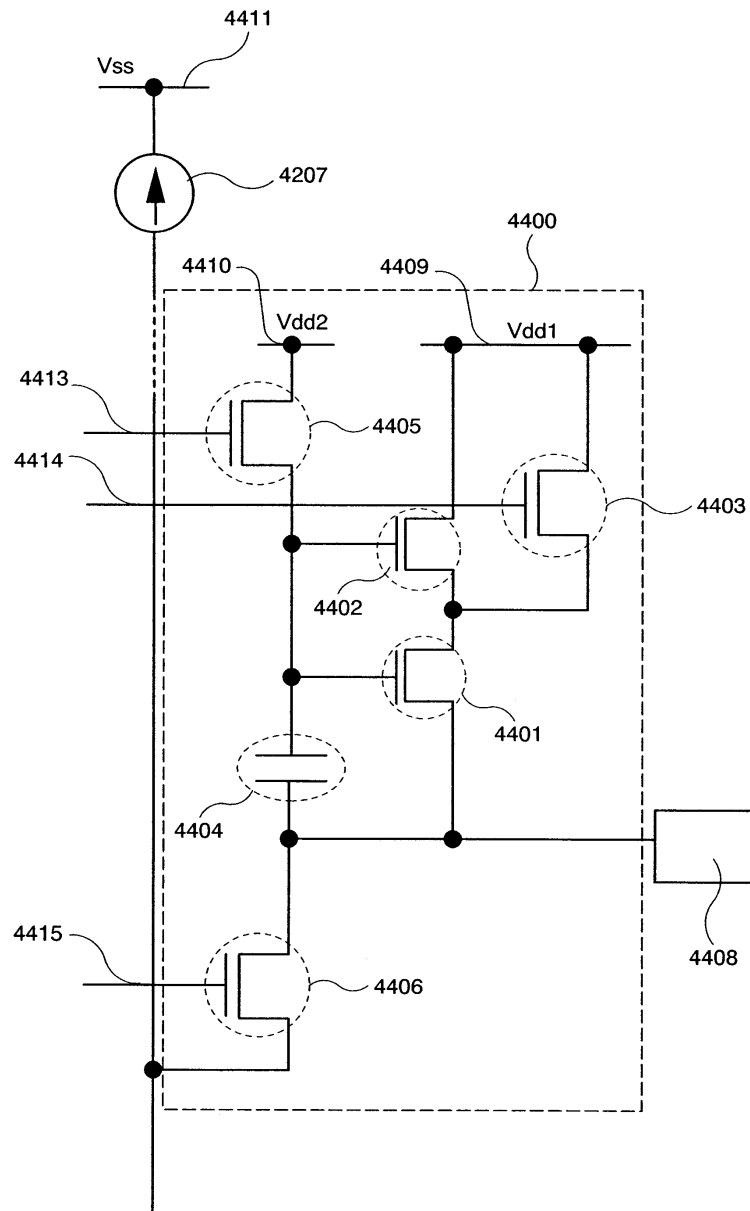
도면42



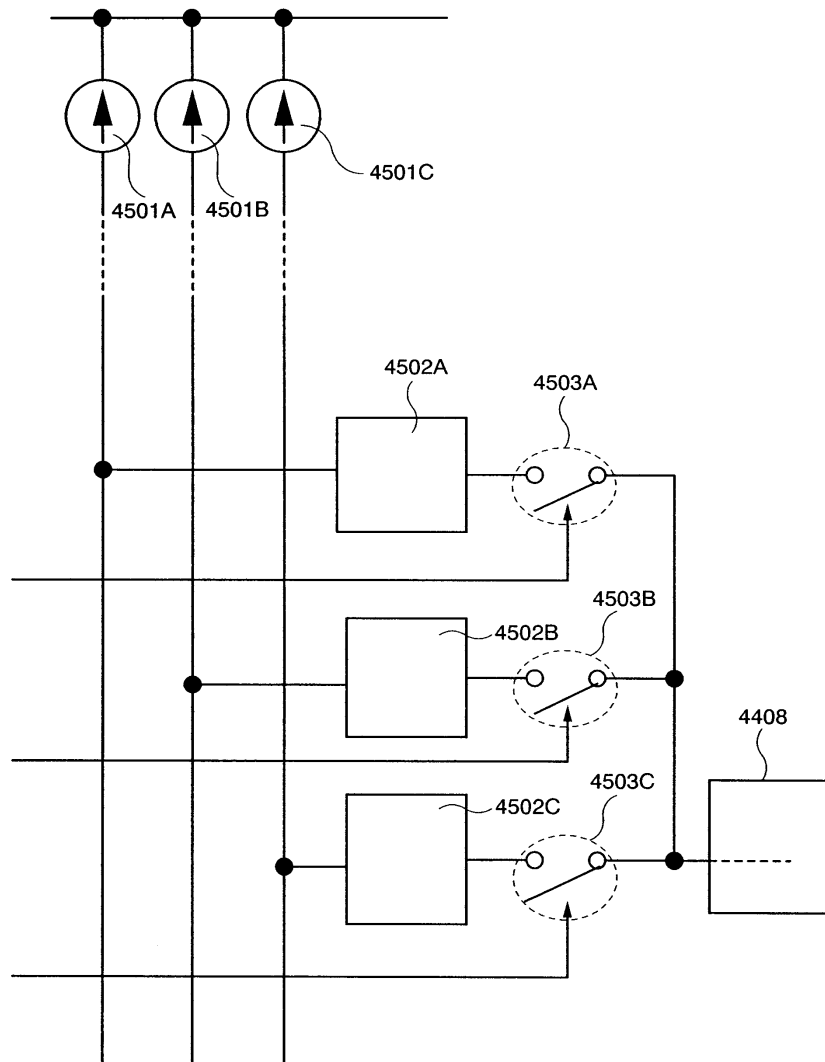
도면43



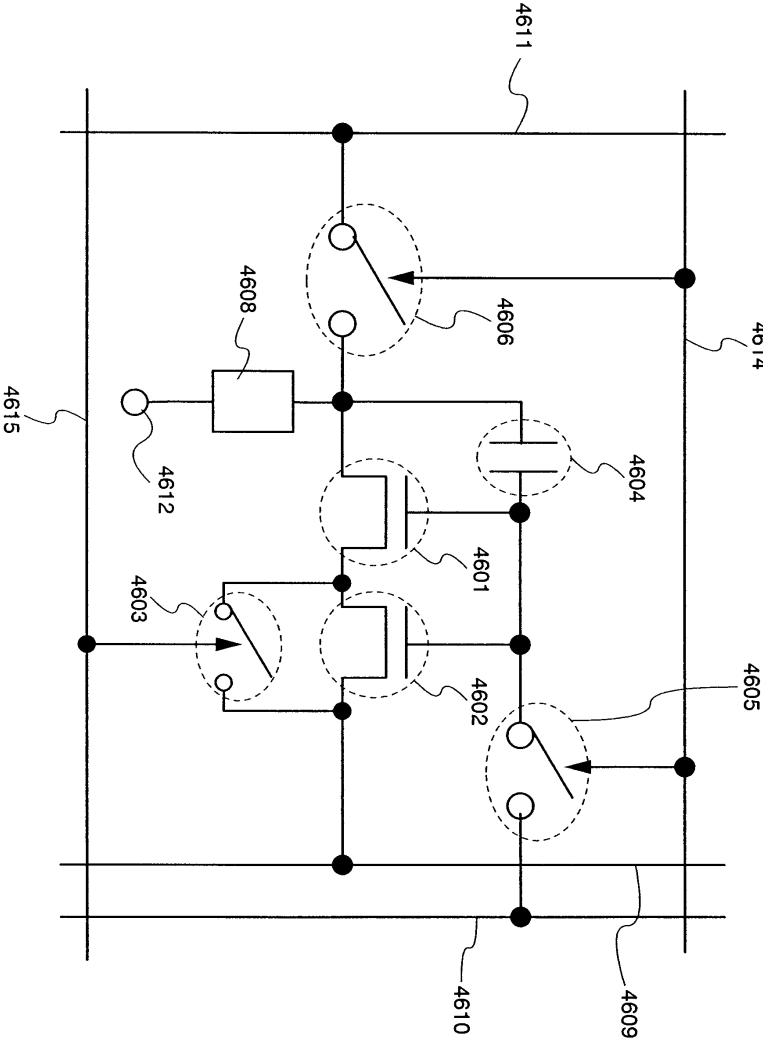
도면44



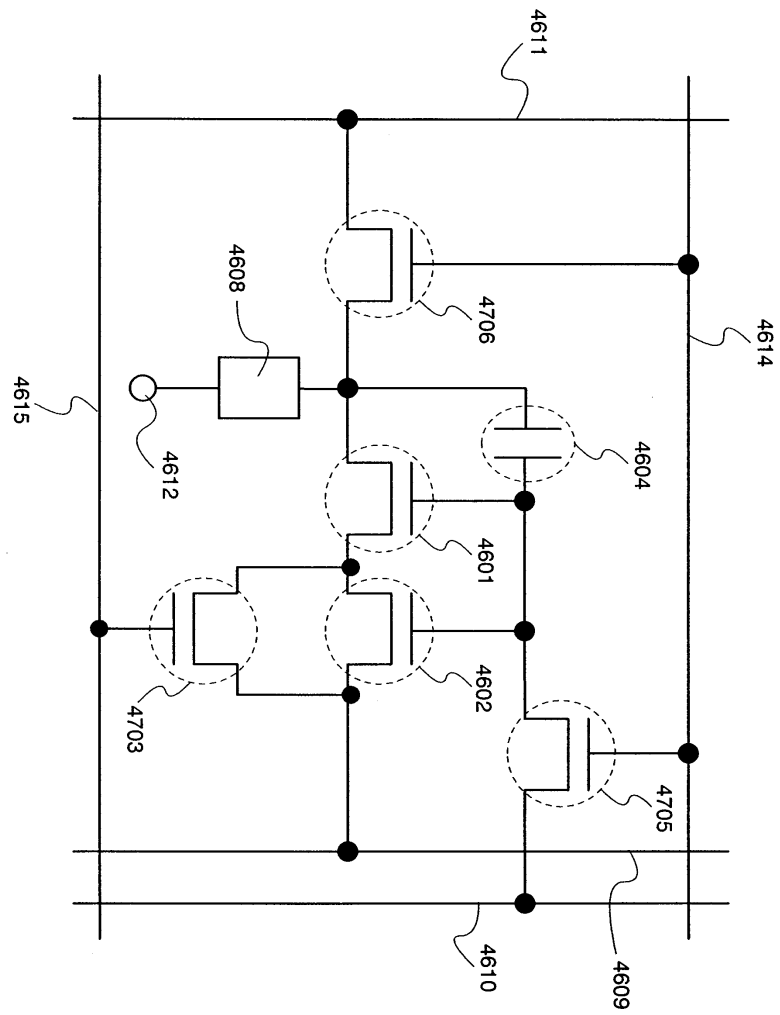
도면45



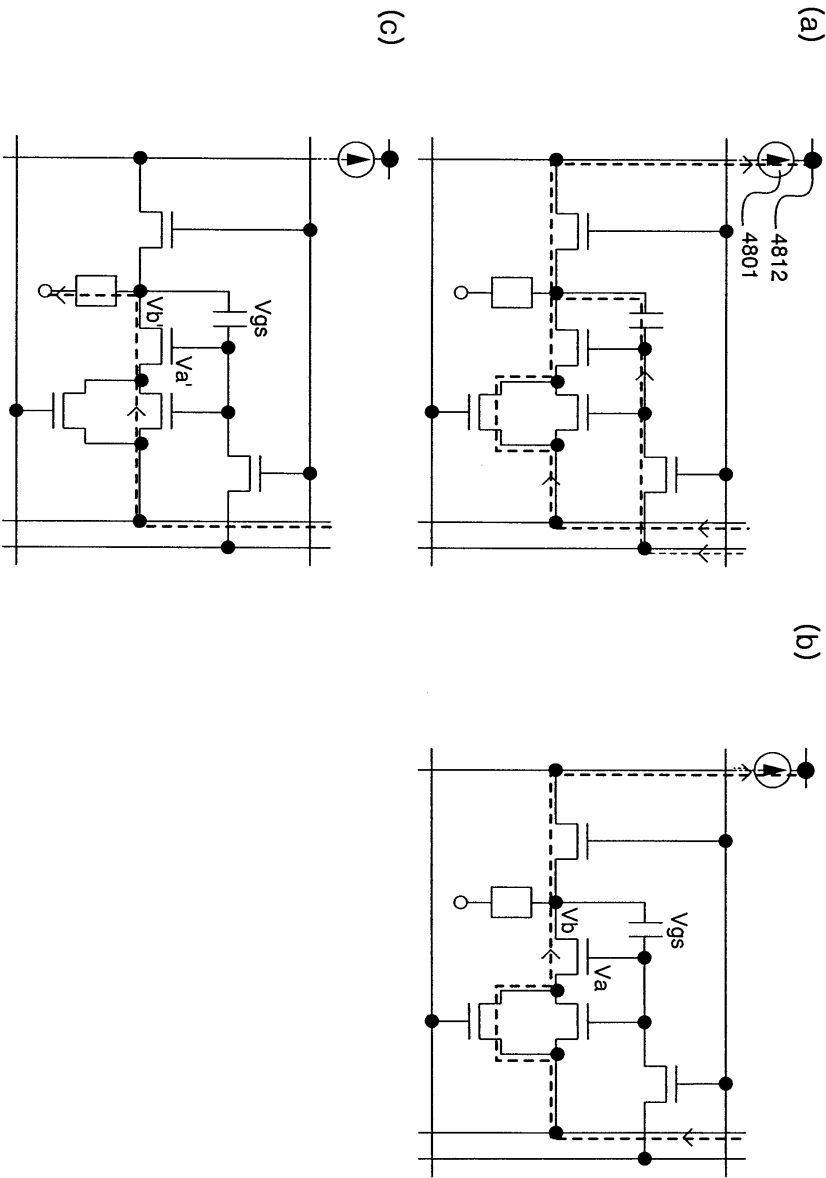
도면46



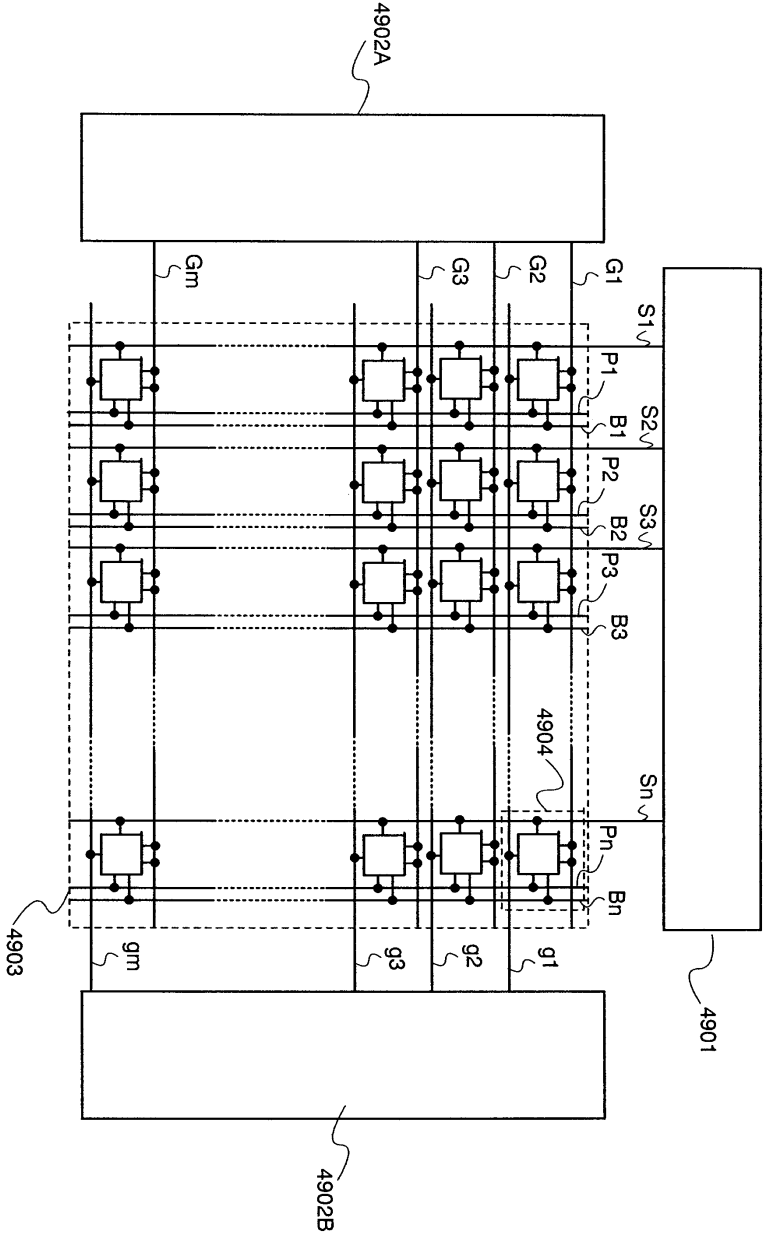
도면47



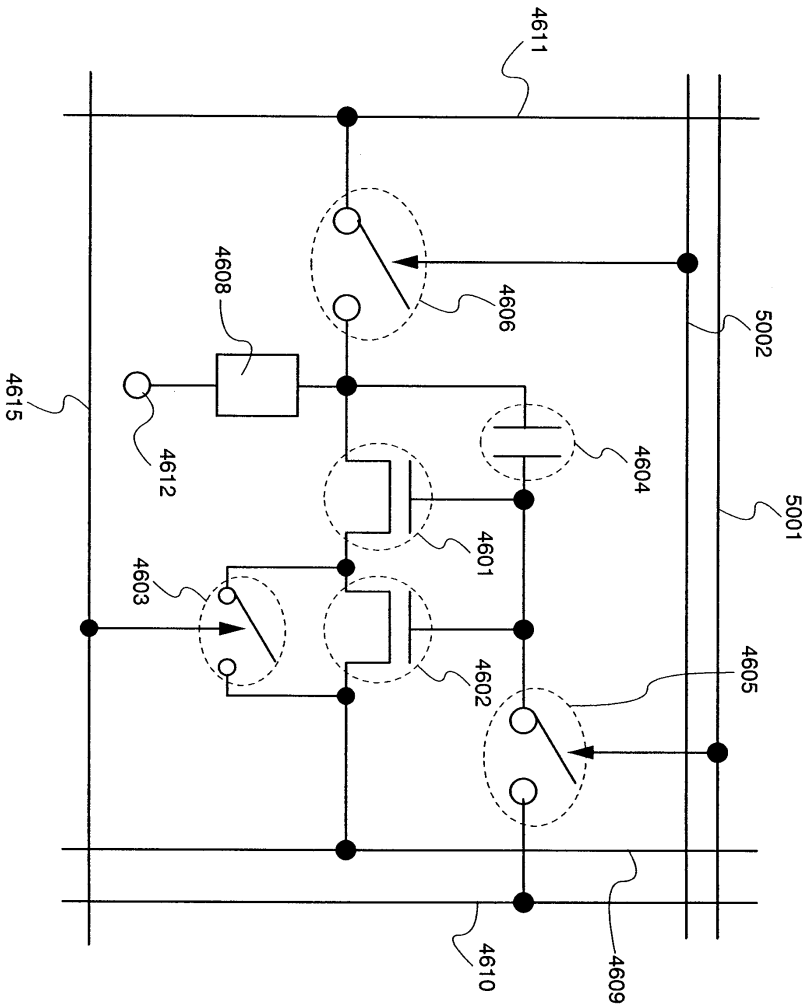
도면48



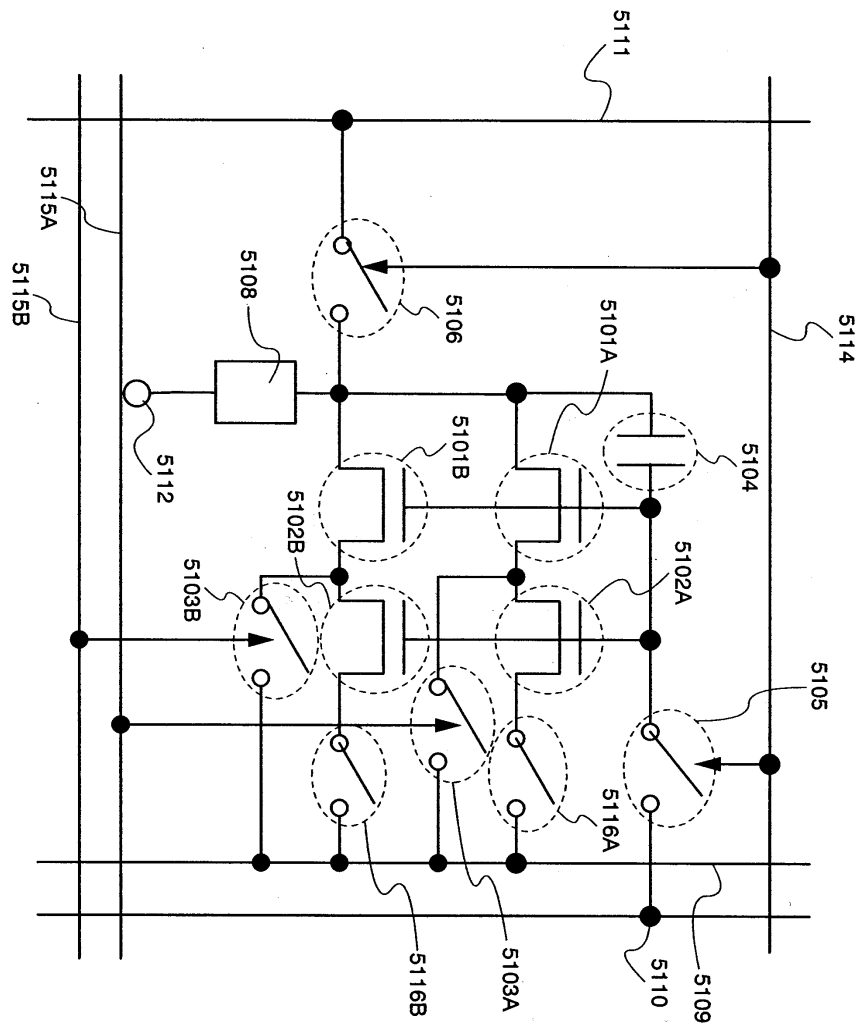
도면49



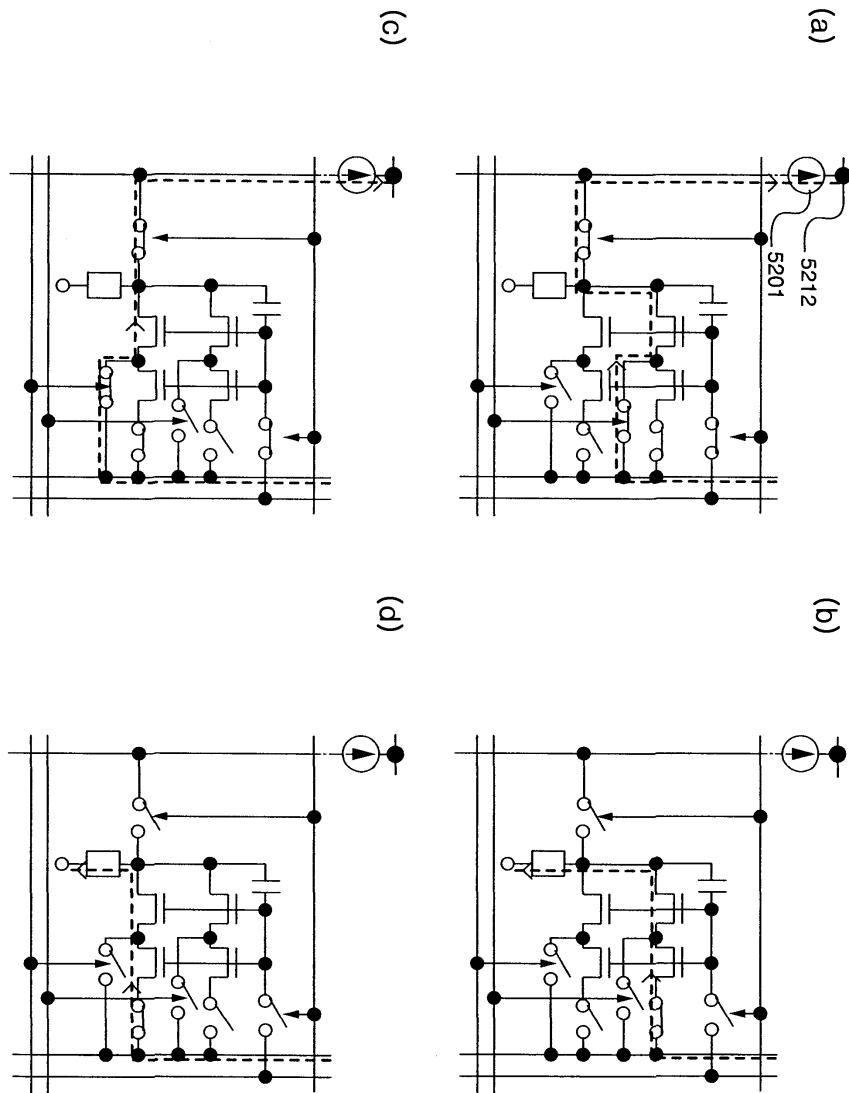
도면50



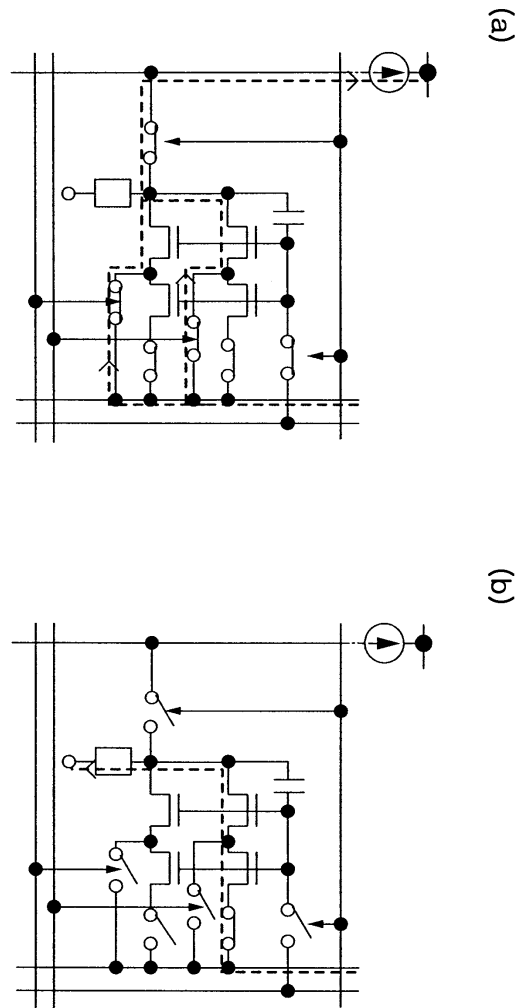
도면51



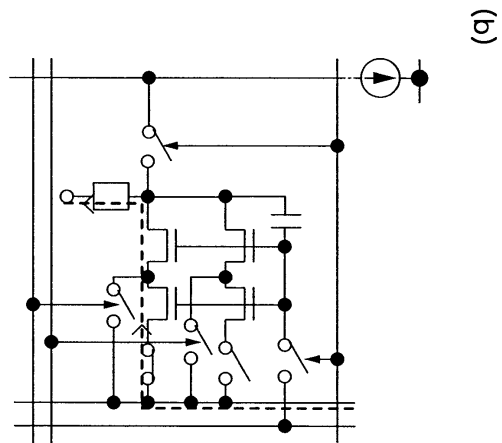
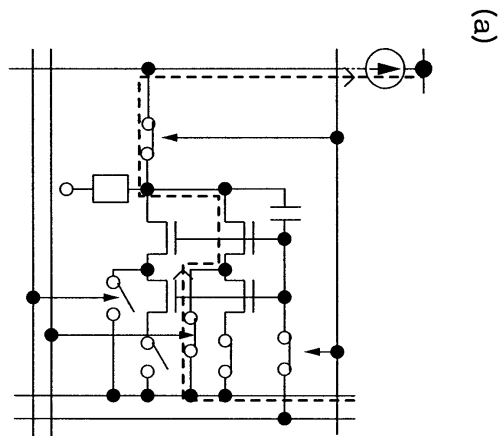
도면52



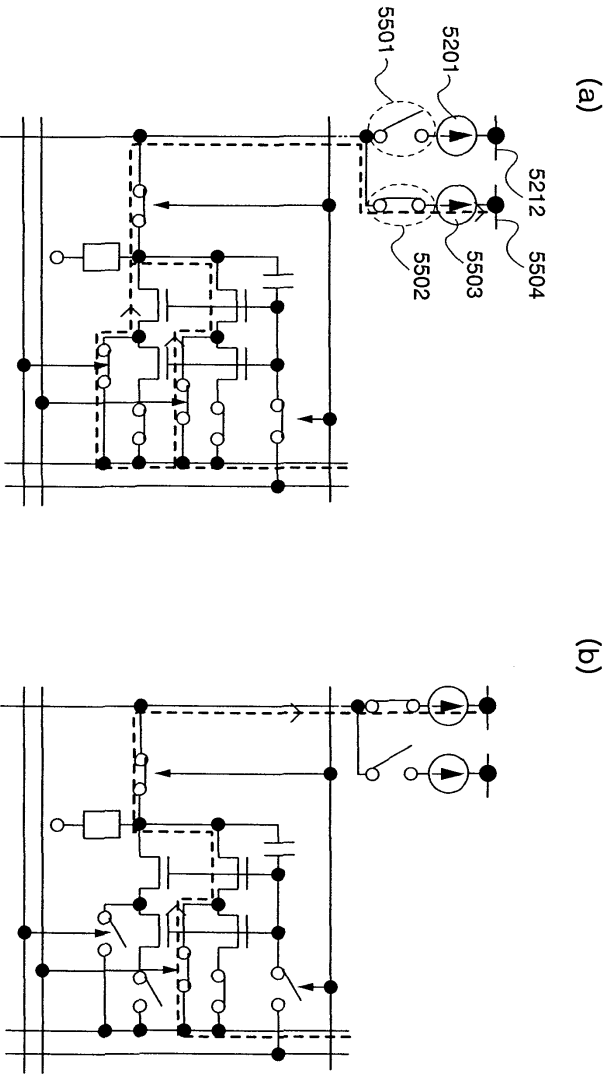
도면53



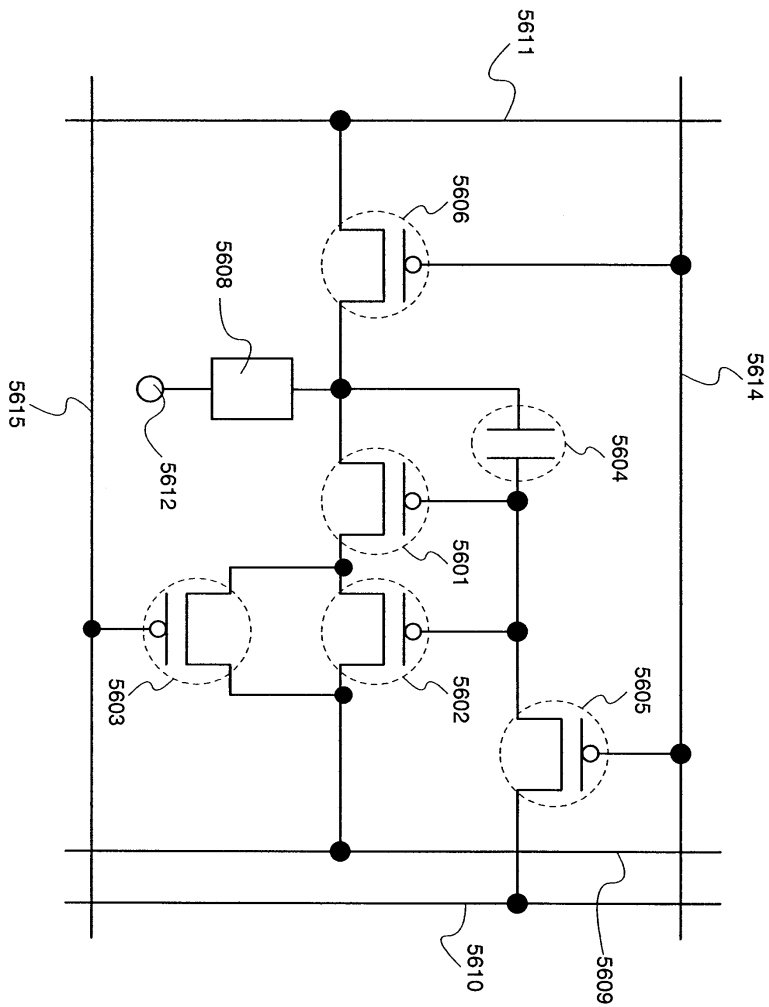
도면54



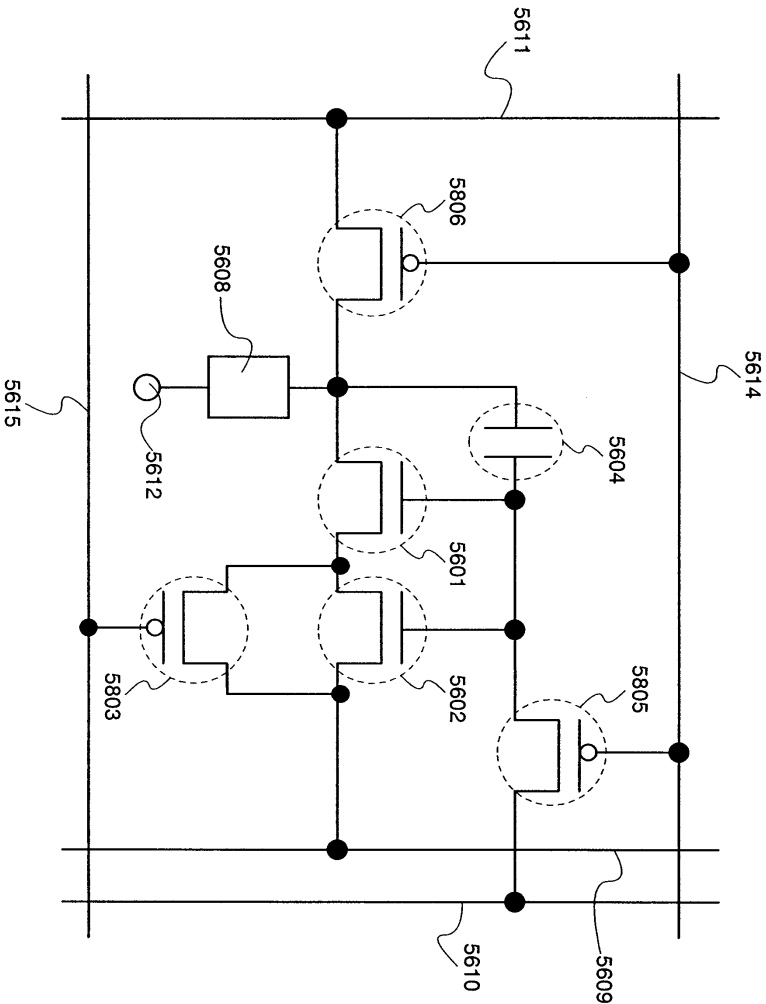
도면55



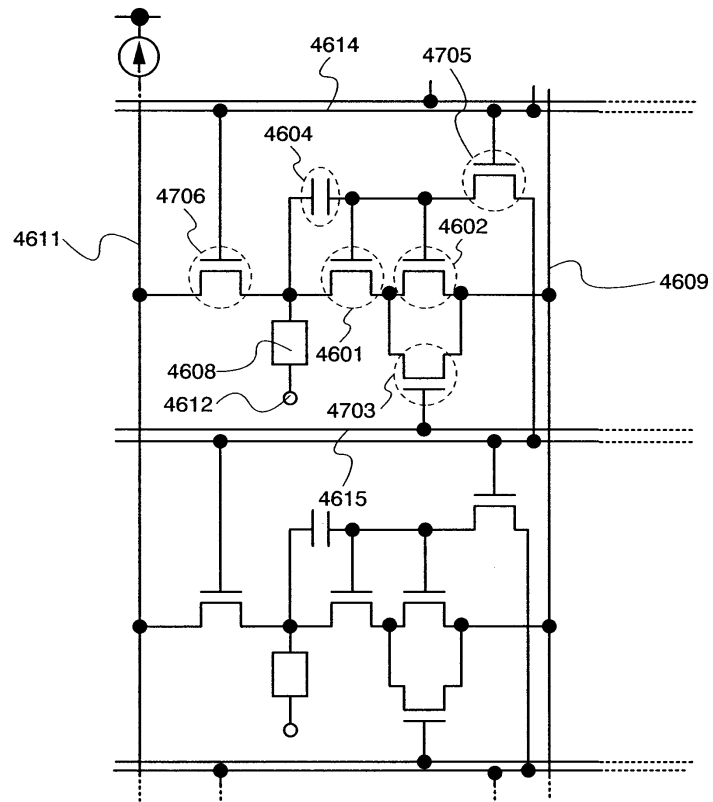
도면56



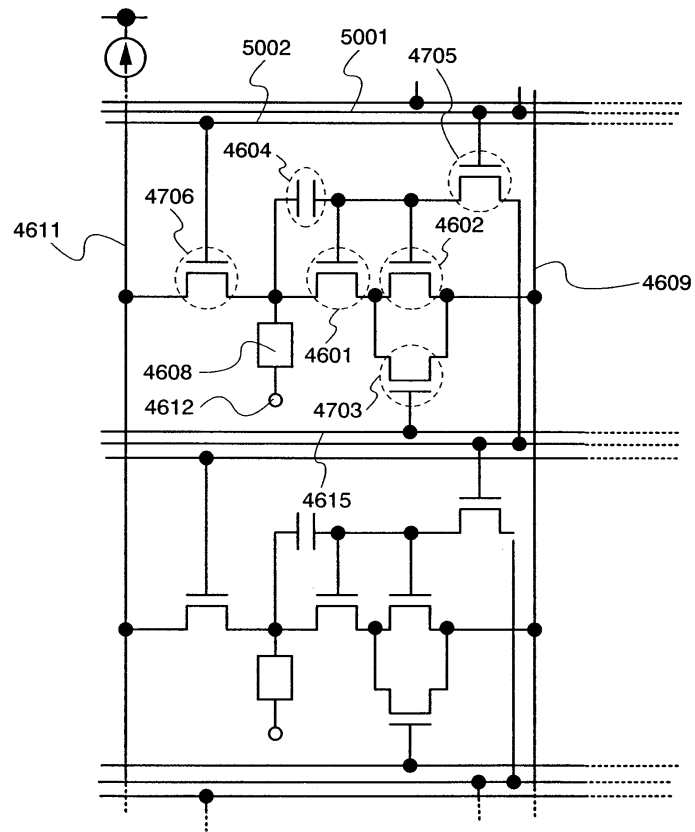
도면58



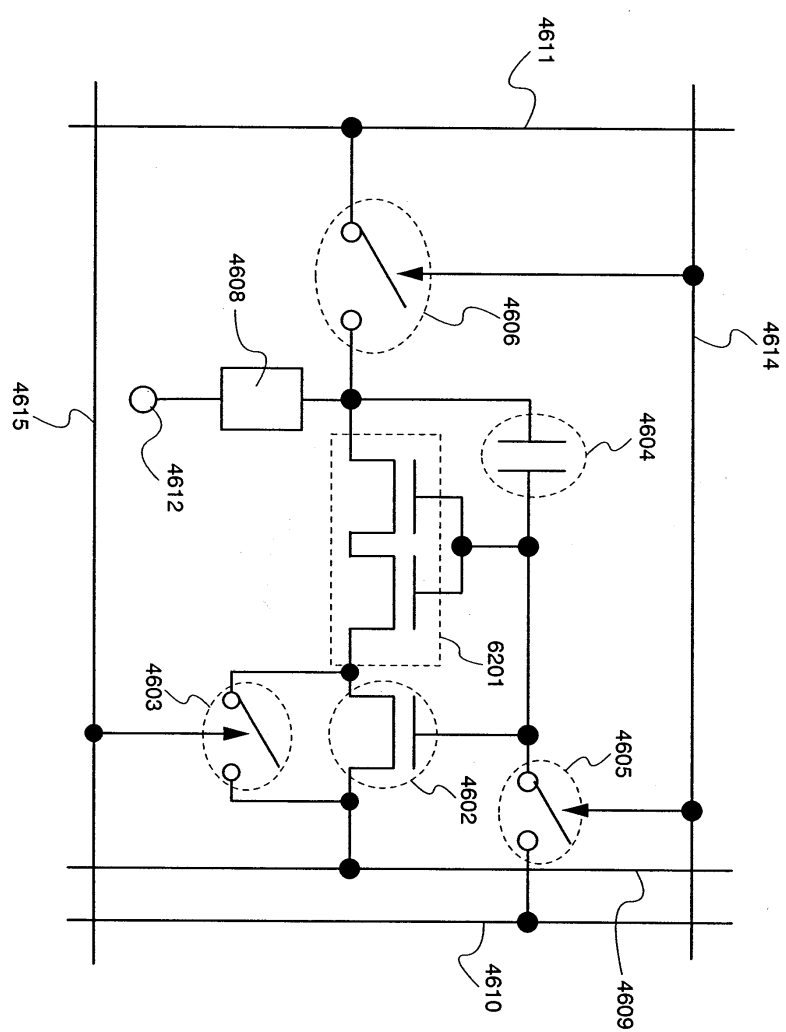
도면59



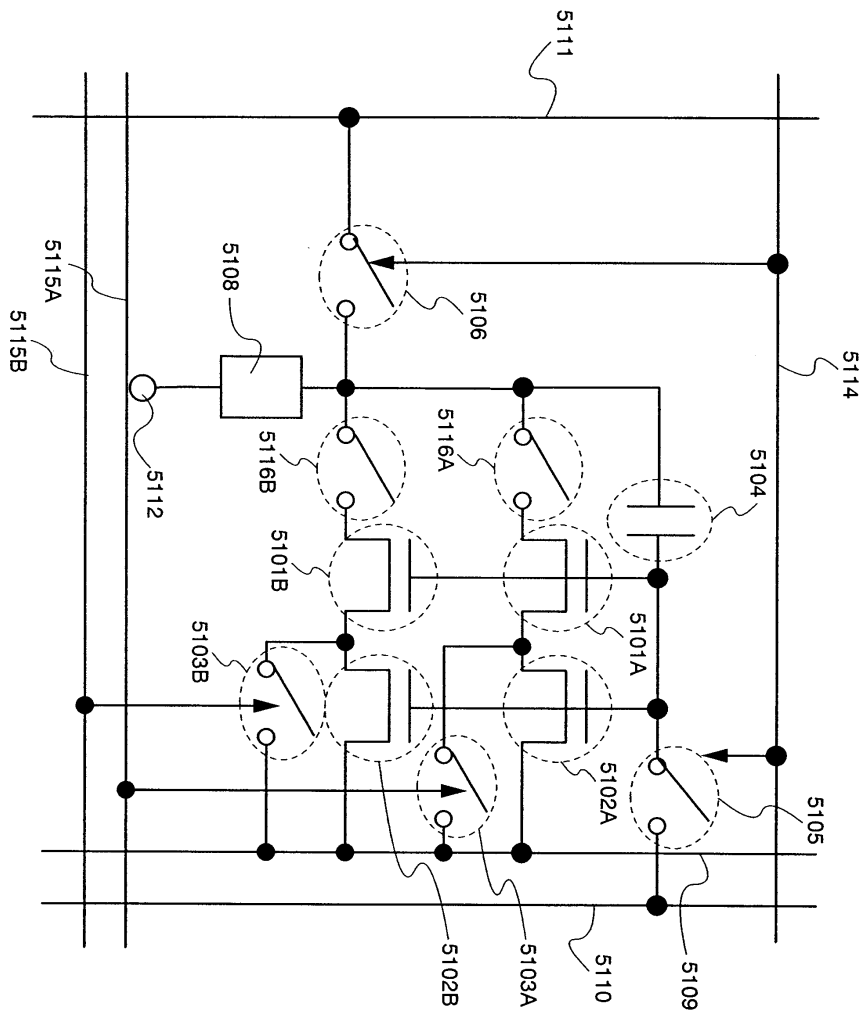
도면60



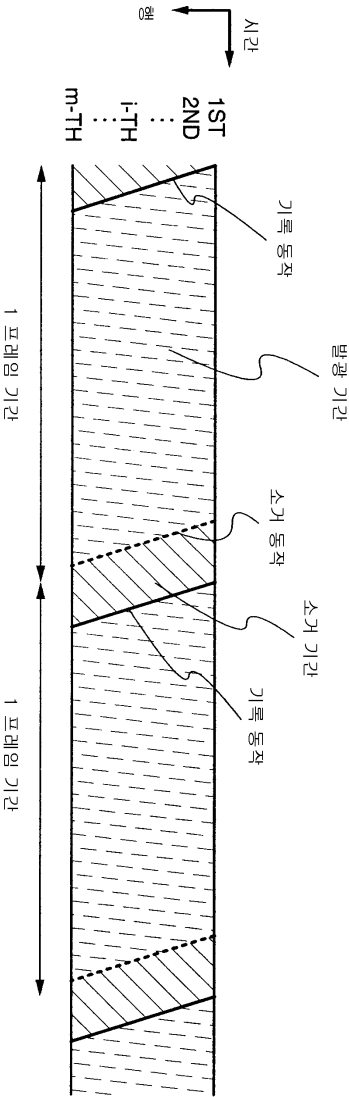
도면62



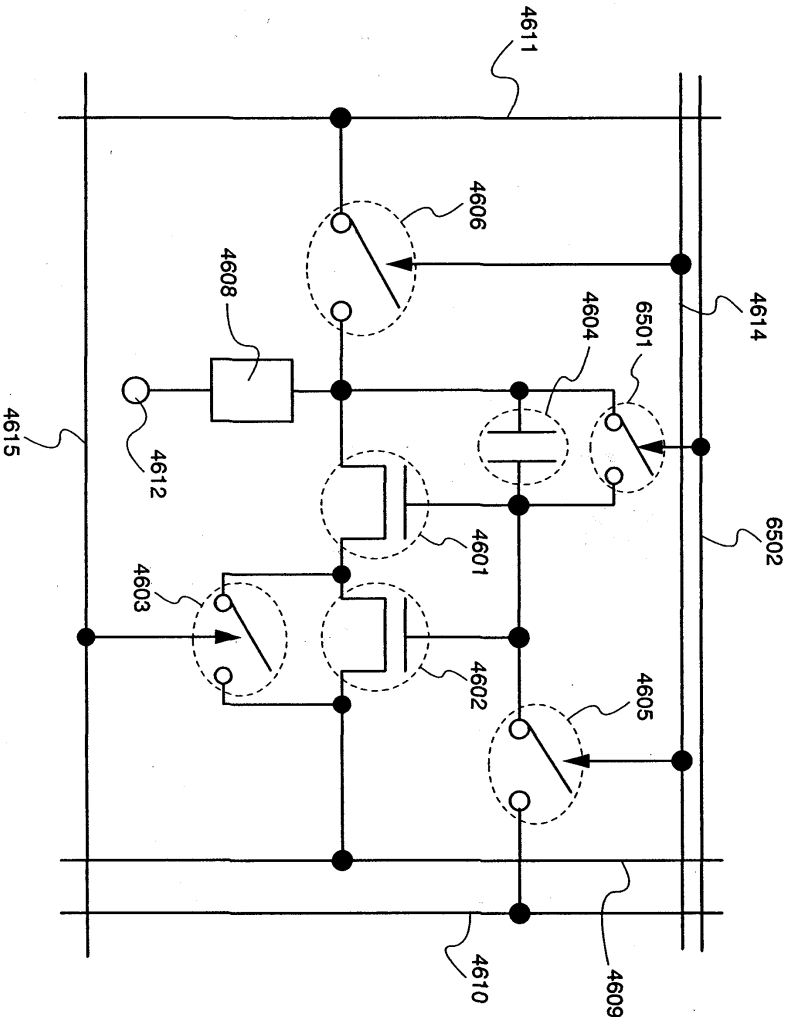
도면63



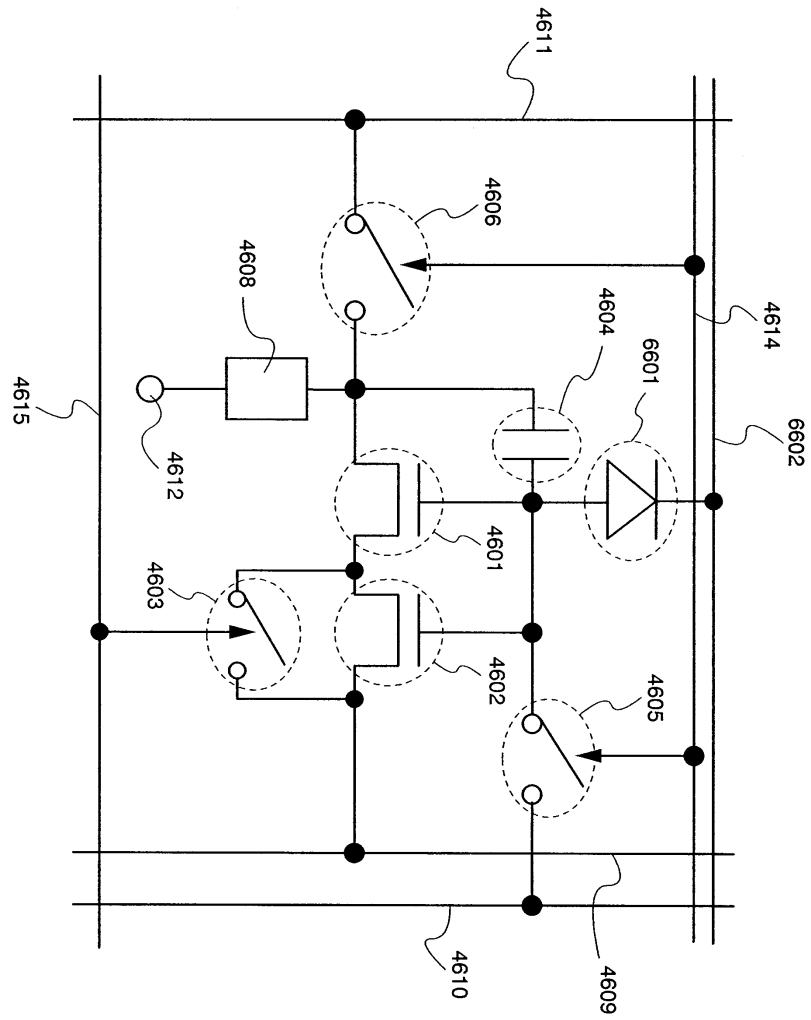
도면64



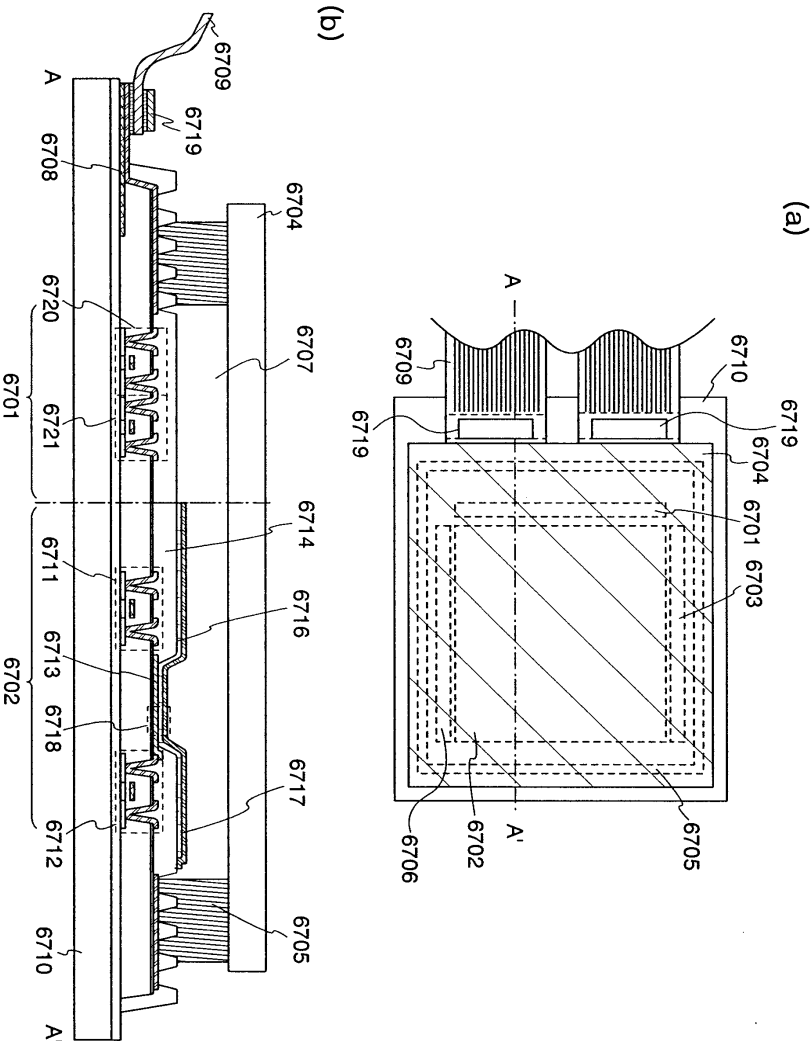
도면65



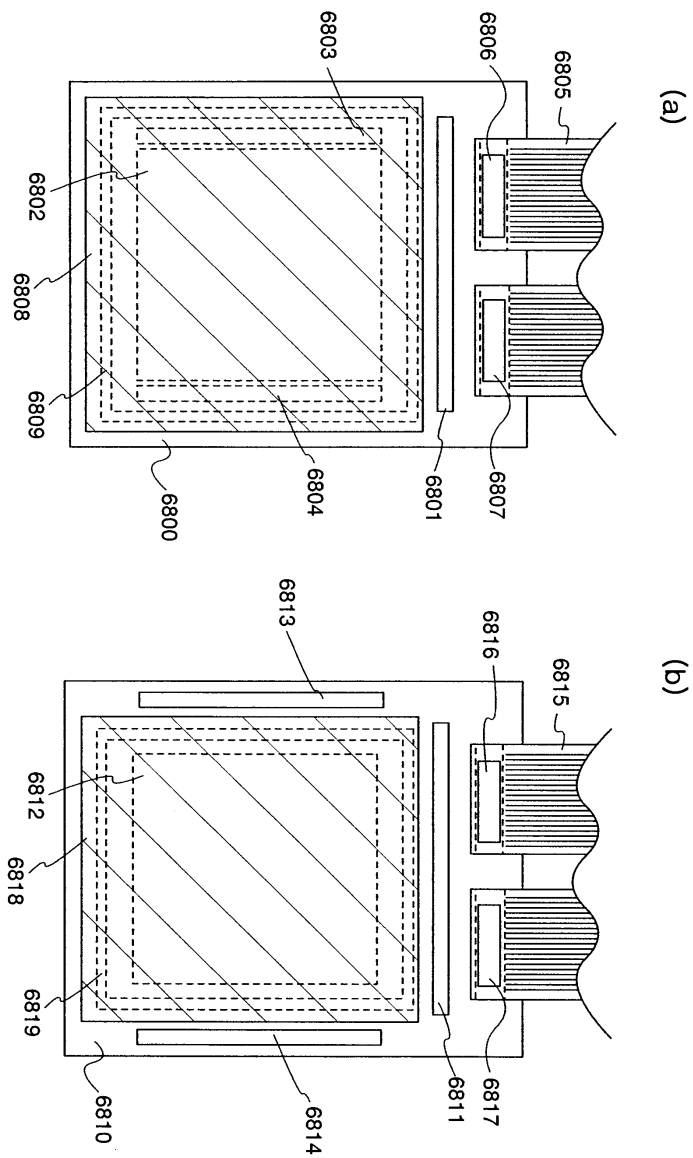
도면66



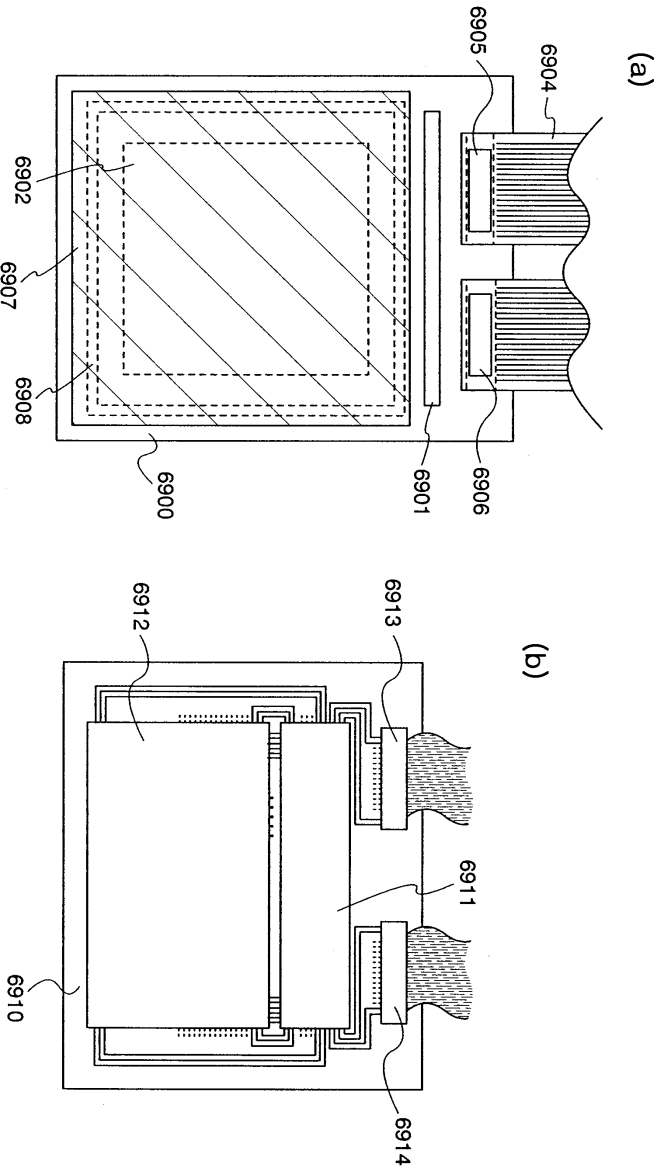
도면67



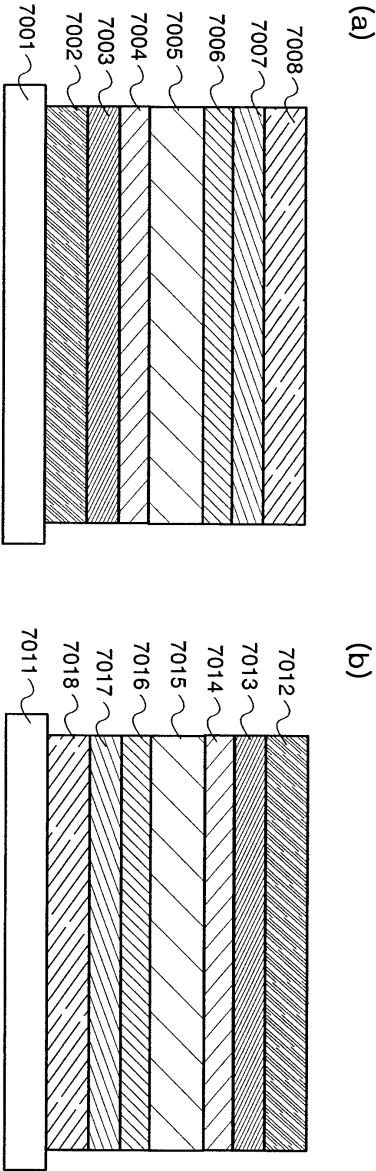
도면68



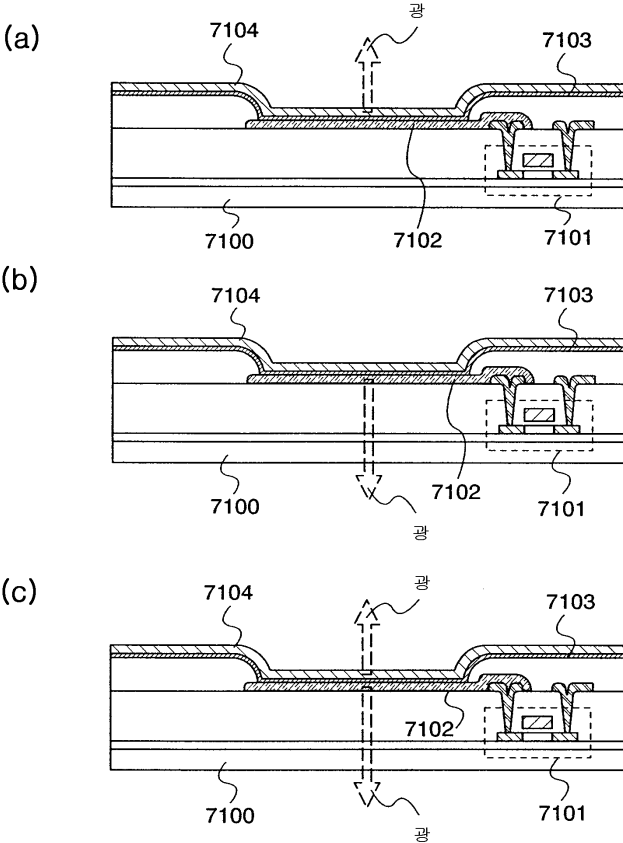
도면69



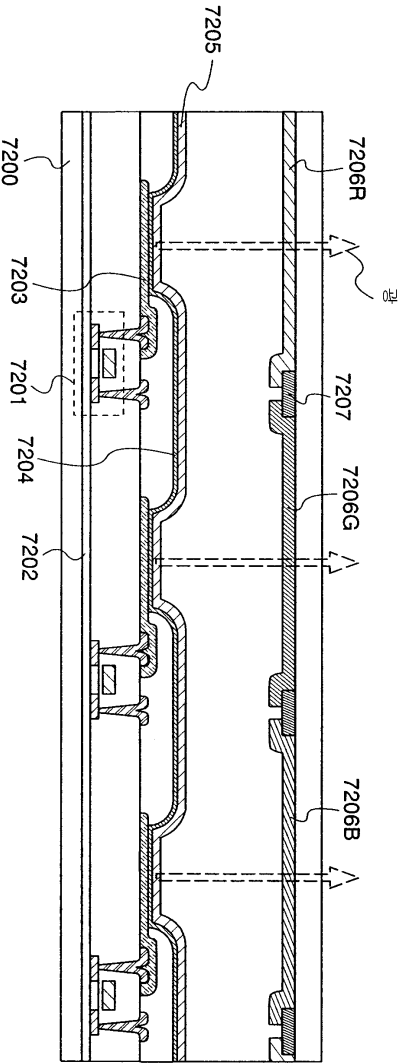
도면70



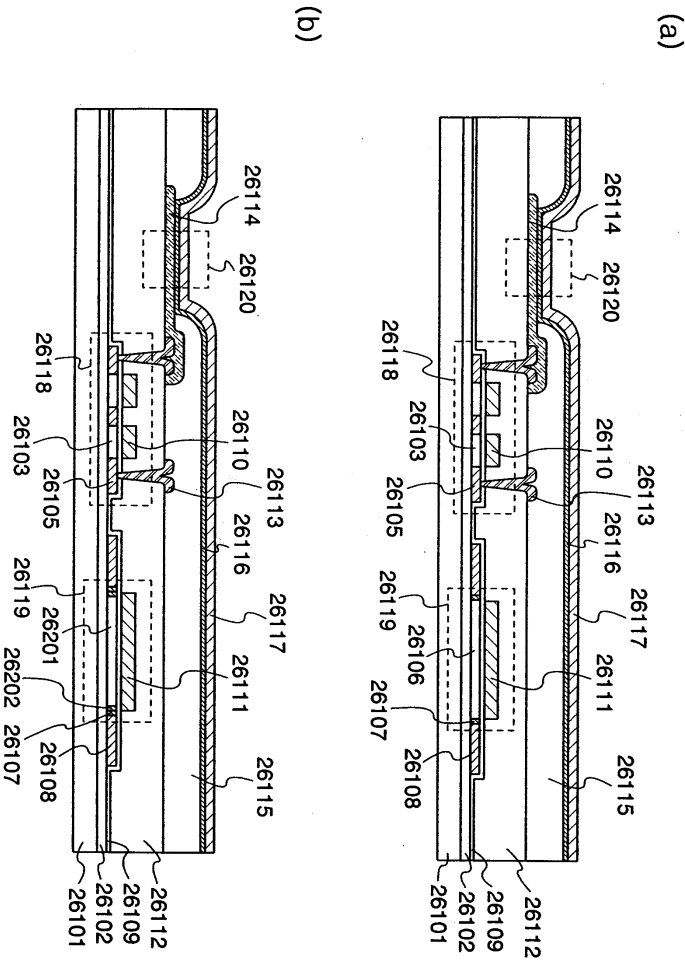
도면71



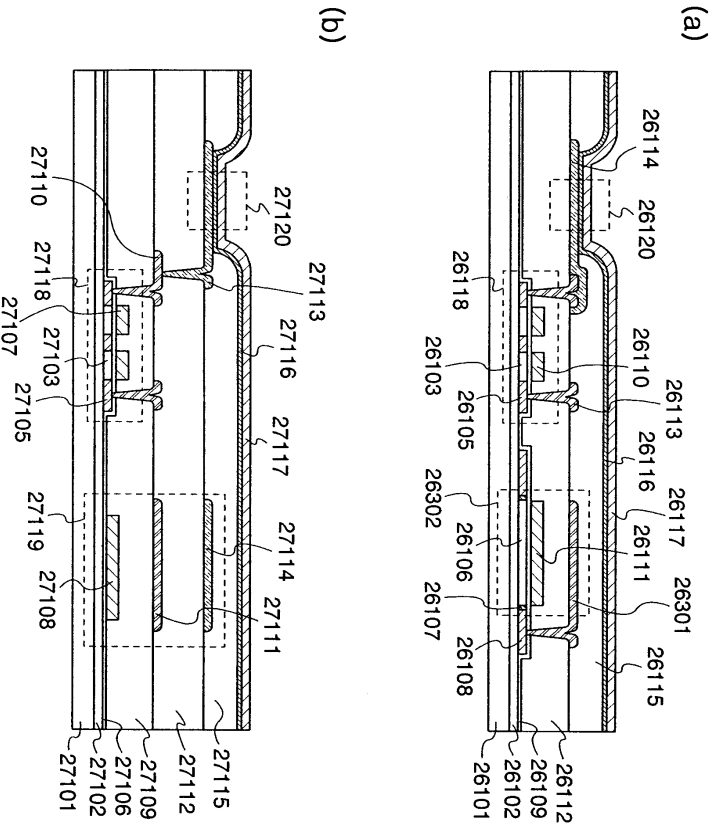
도면72



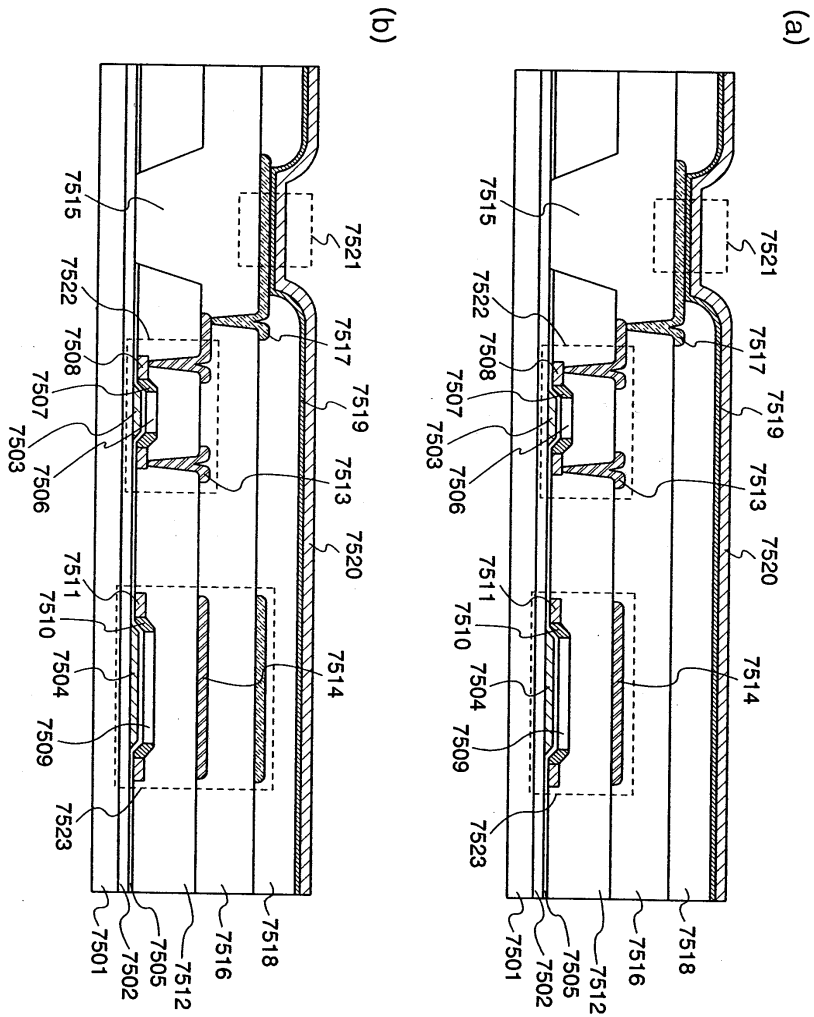
도면73



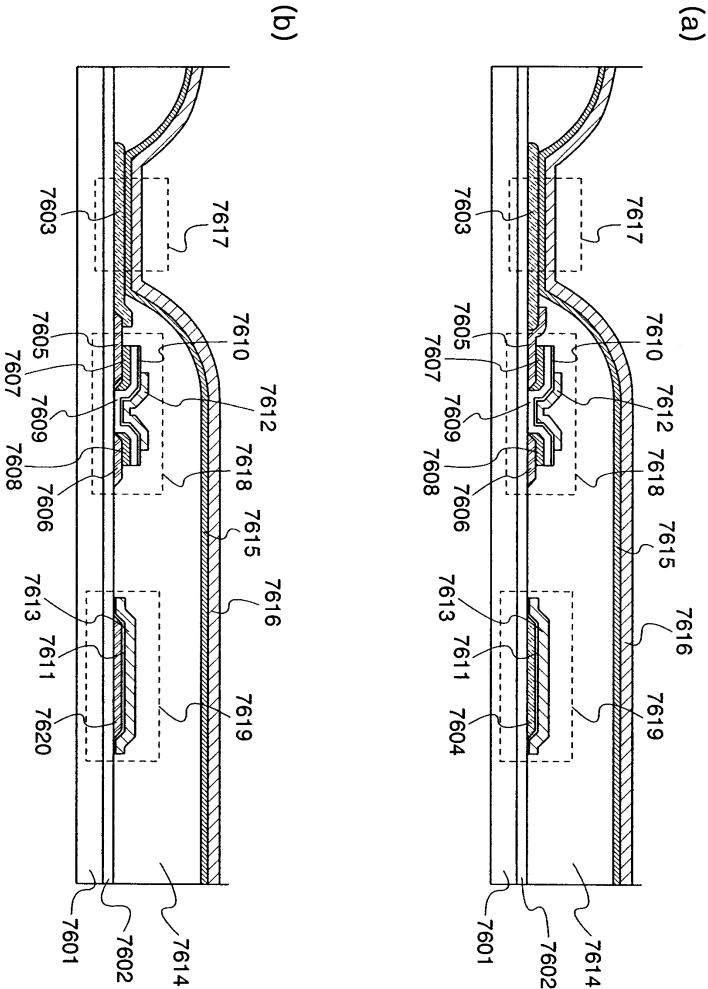
도면74



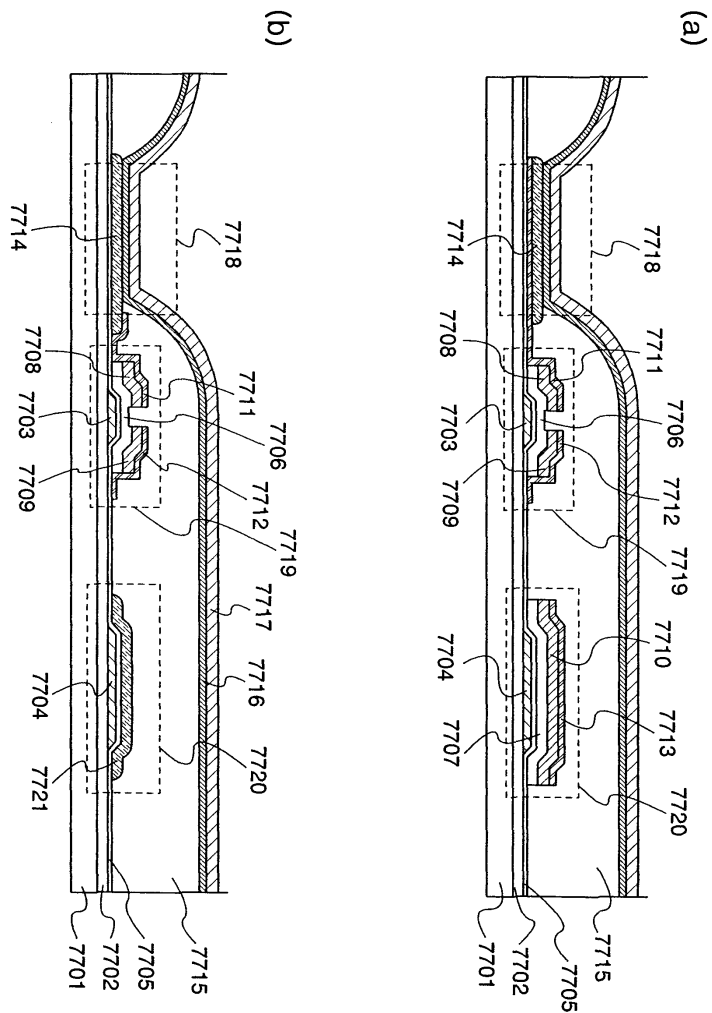
도면75



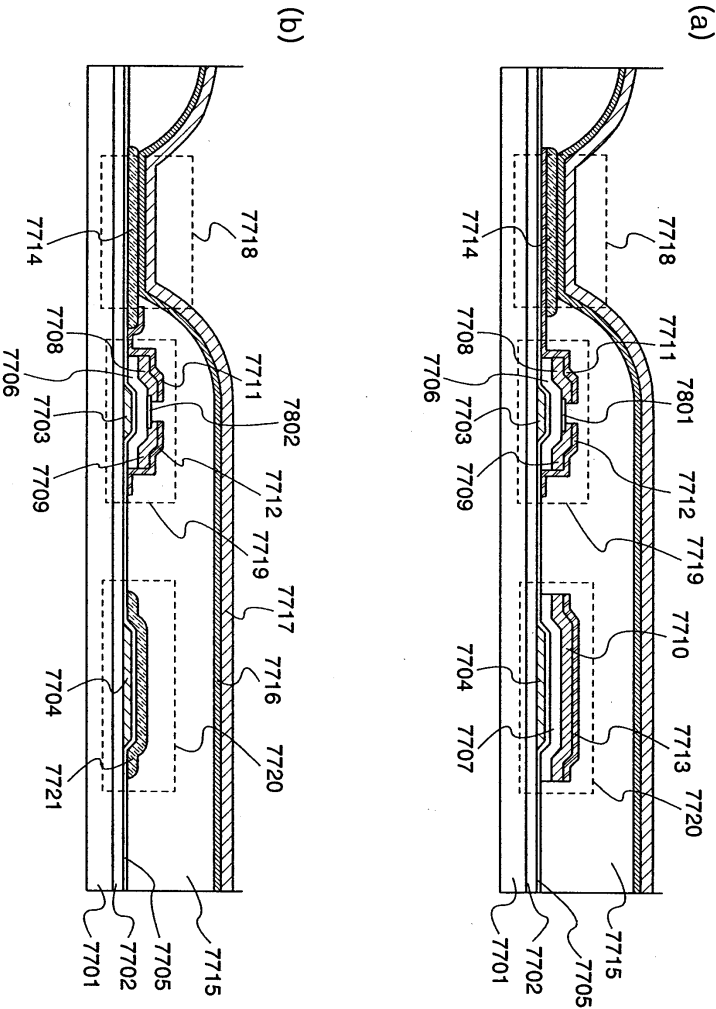
도면76



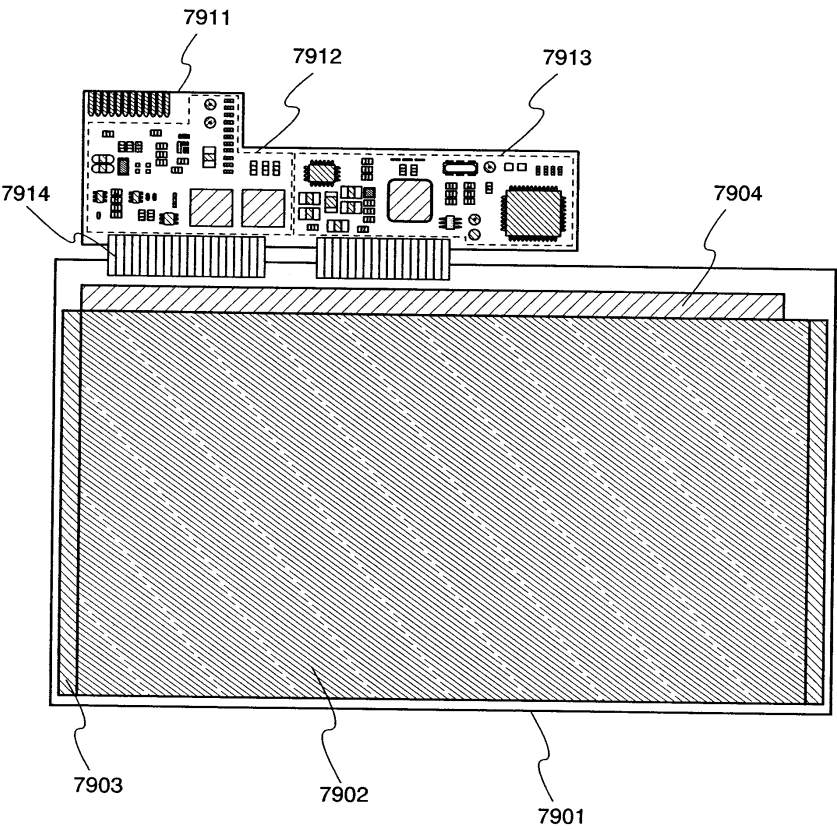
도면77



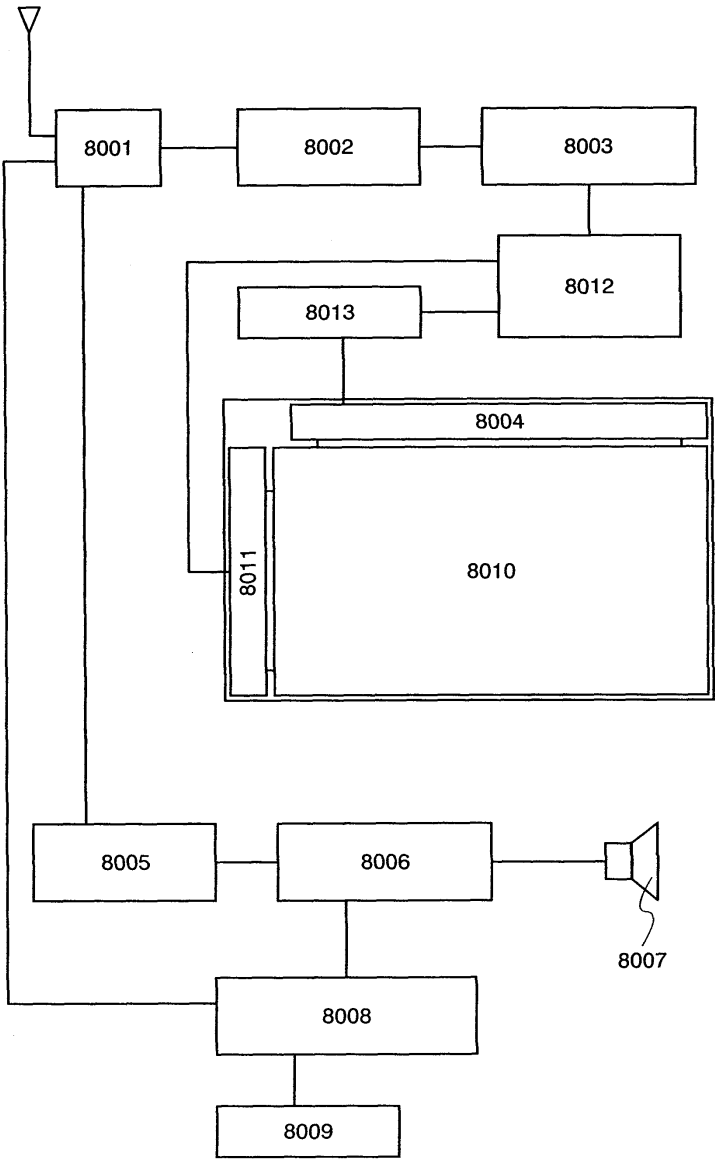
도면78



도면79

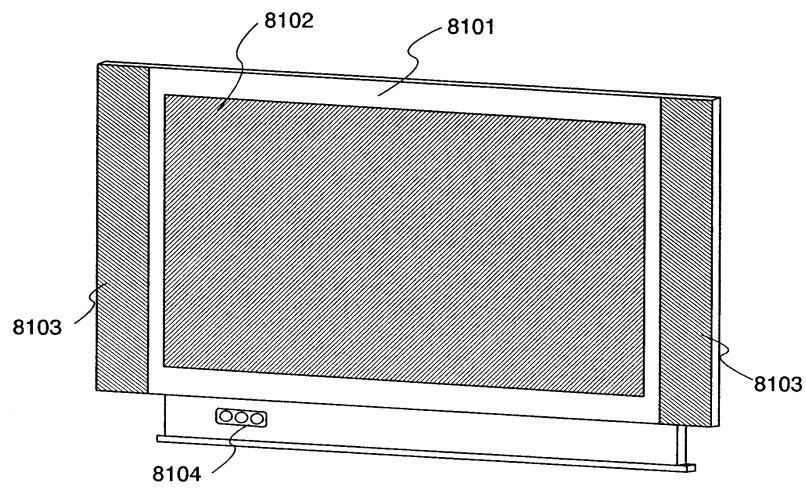


도면80

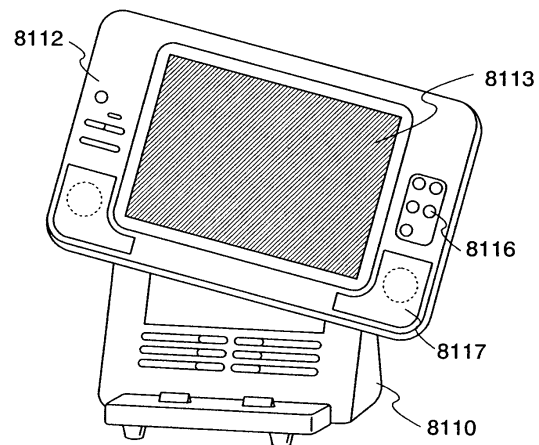


도면81

(a)

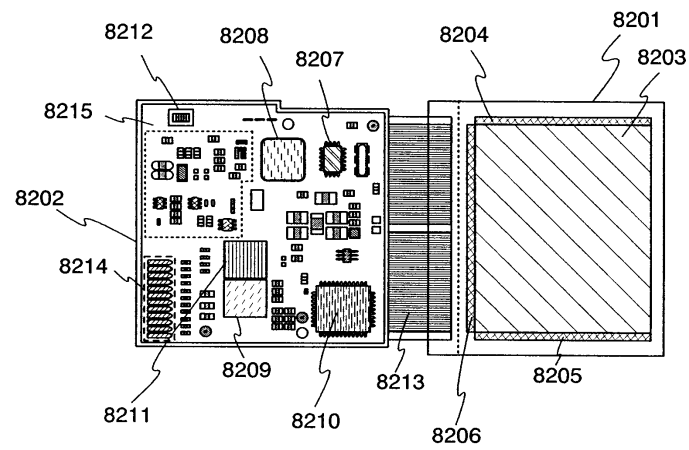


(b)

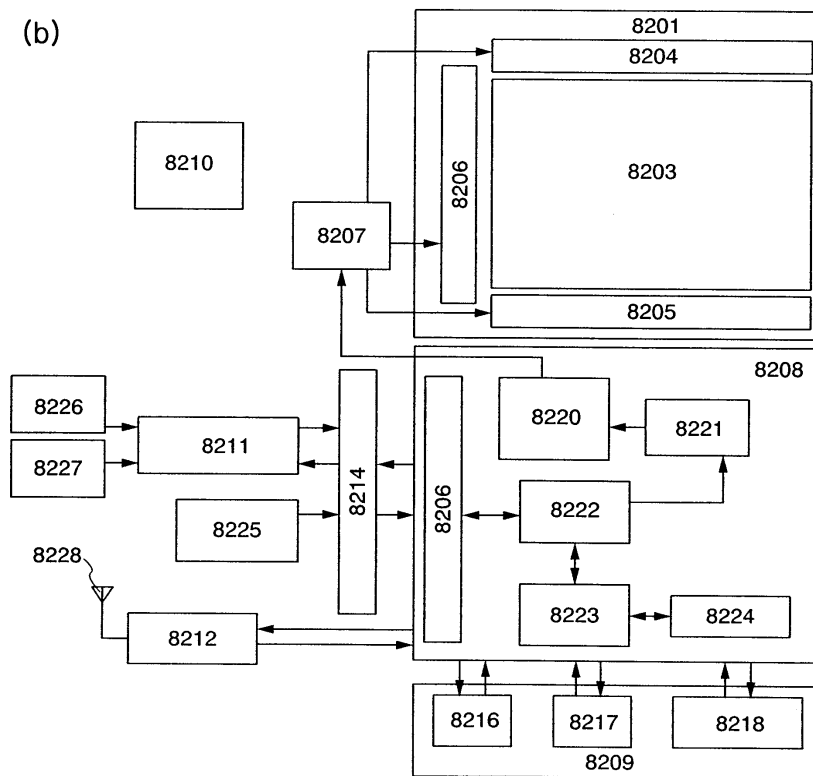


도면82

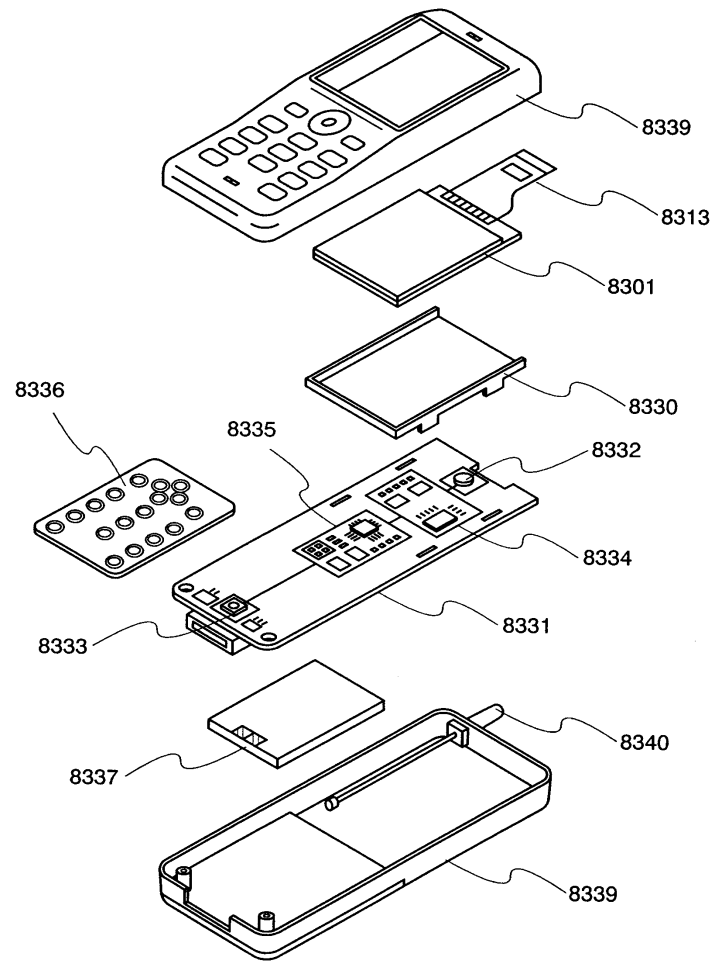
(a)



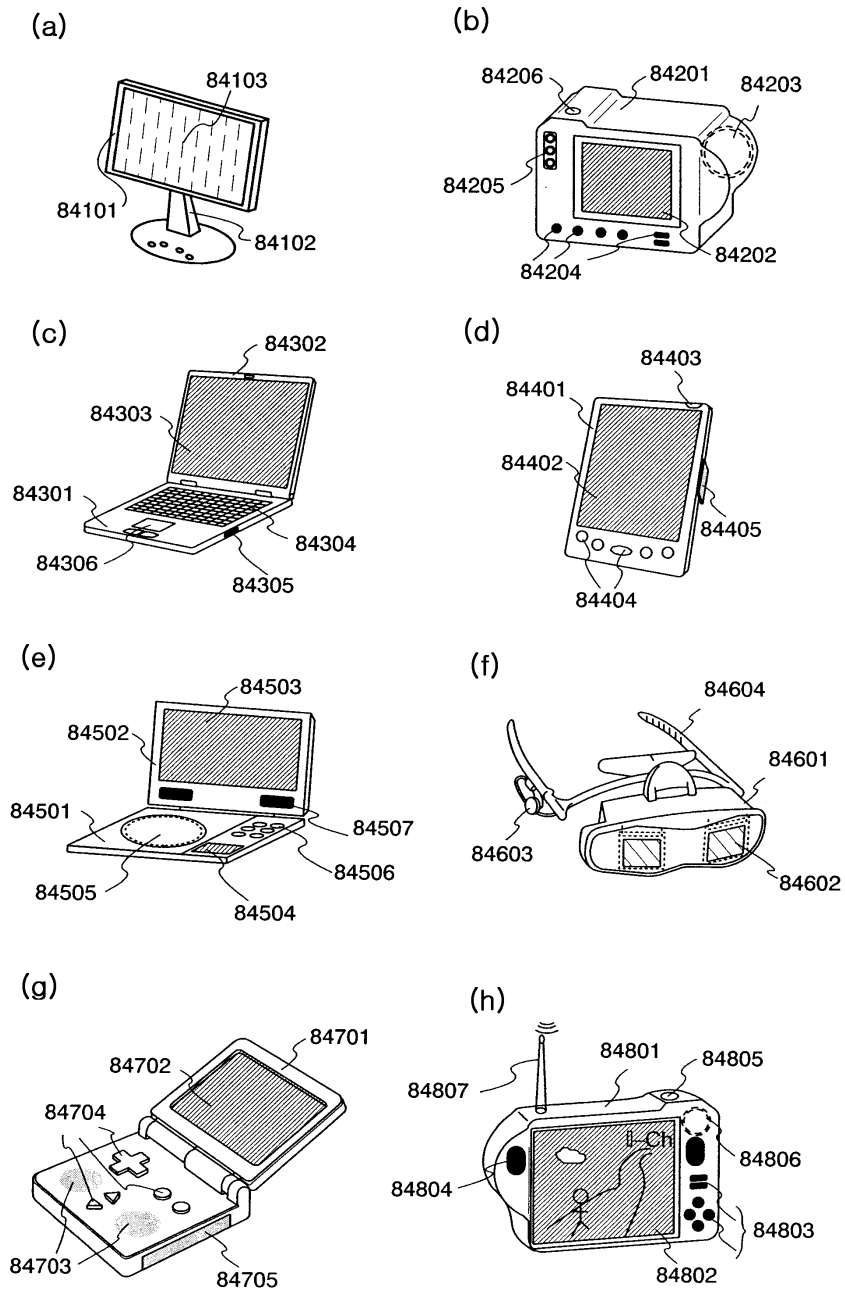
(b)



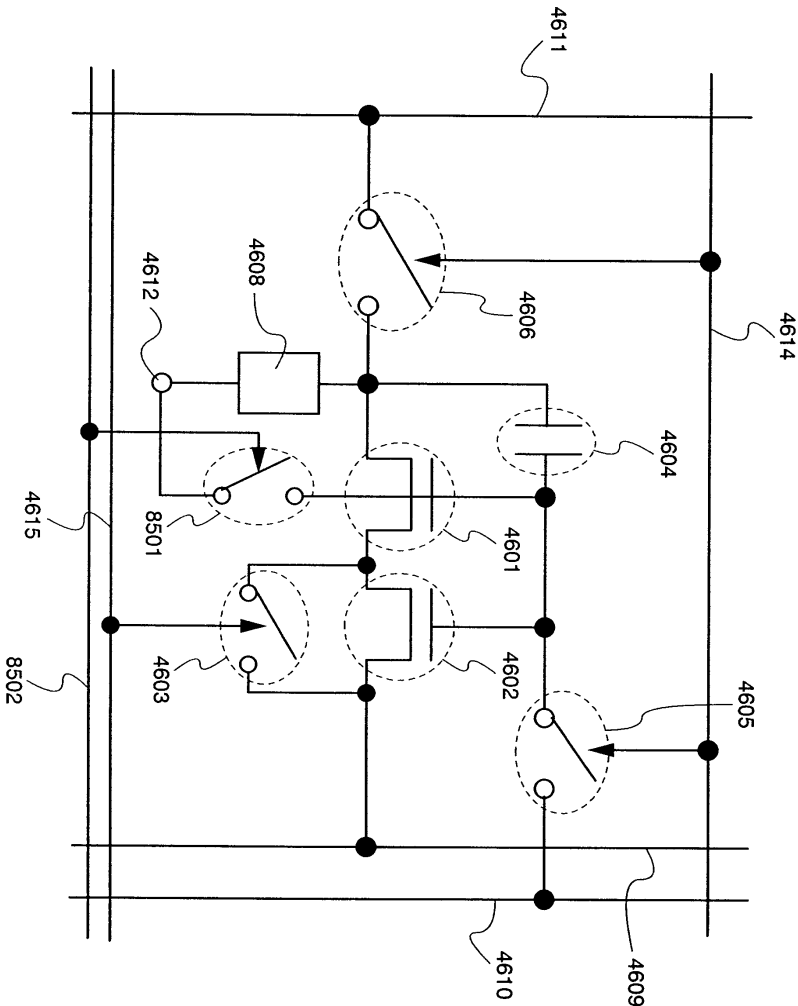
도면83



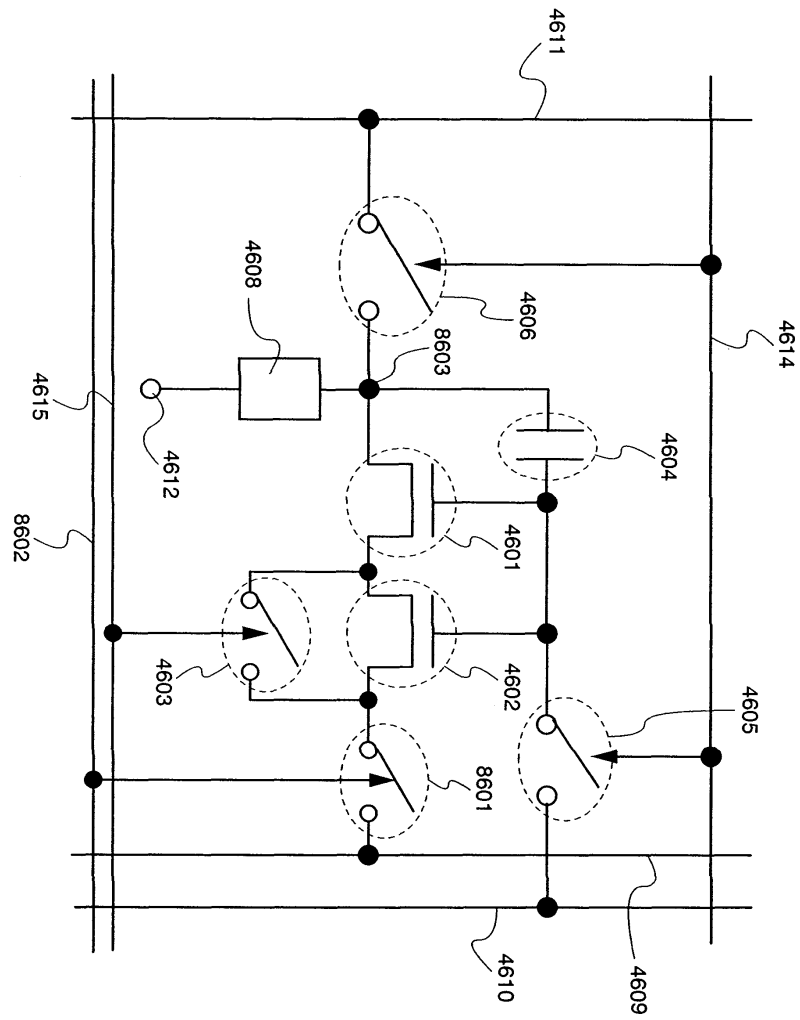
도면84



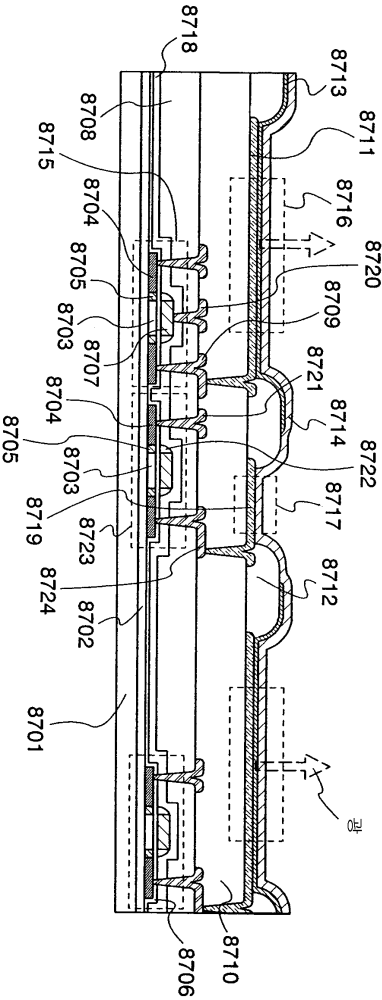
도면85



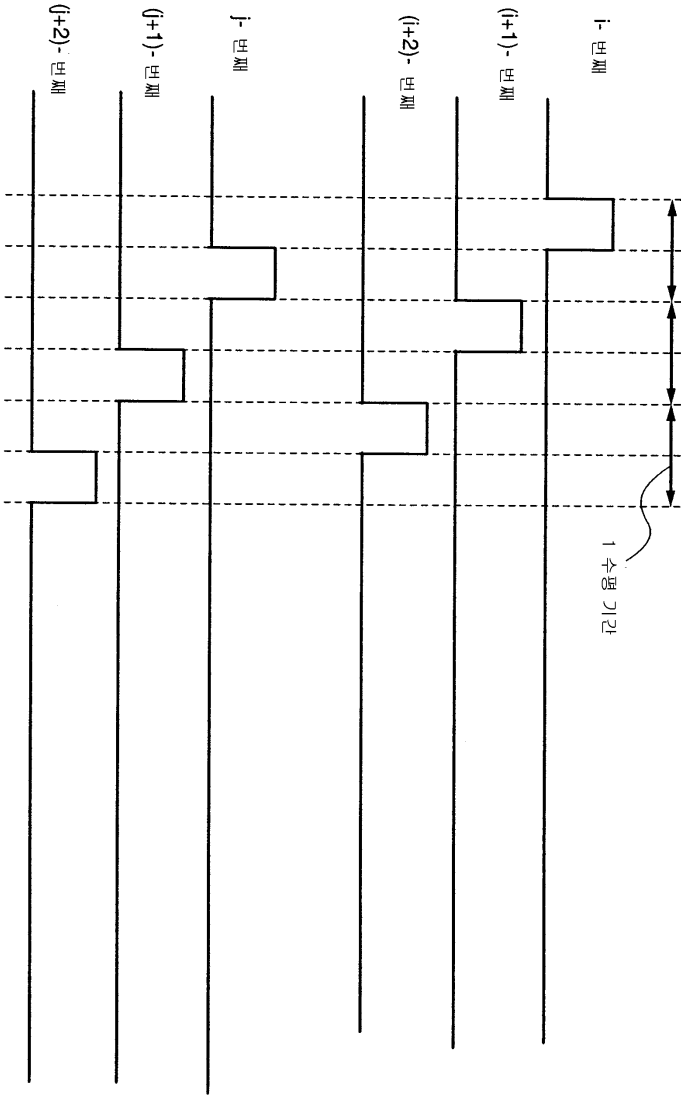
도면86



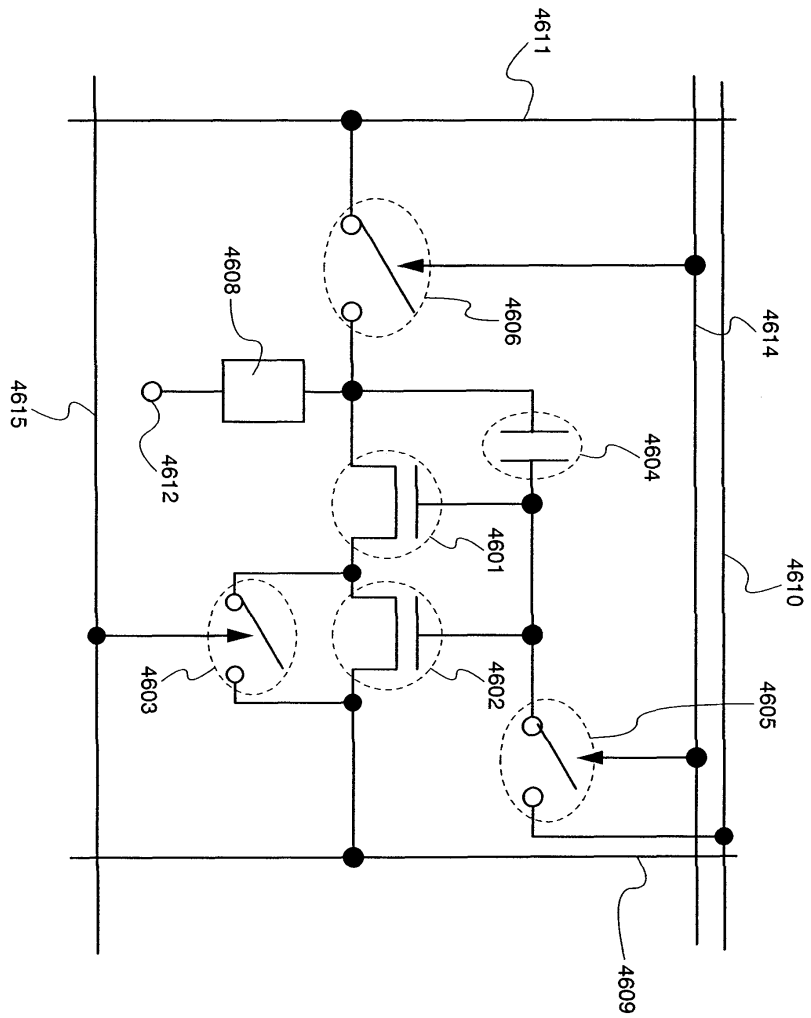
도면87



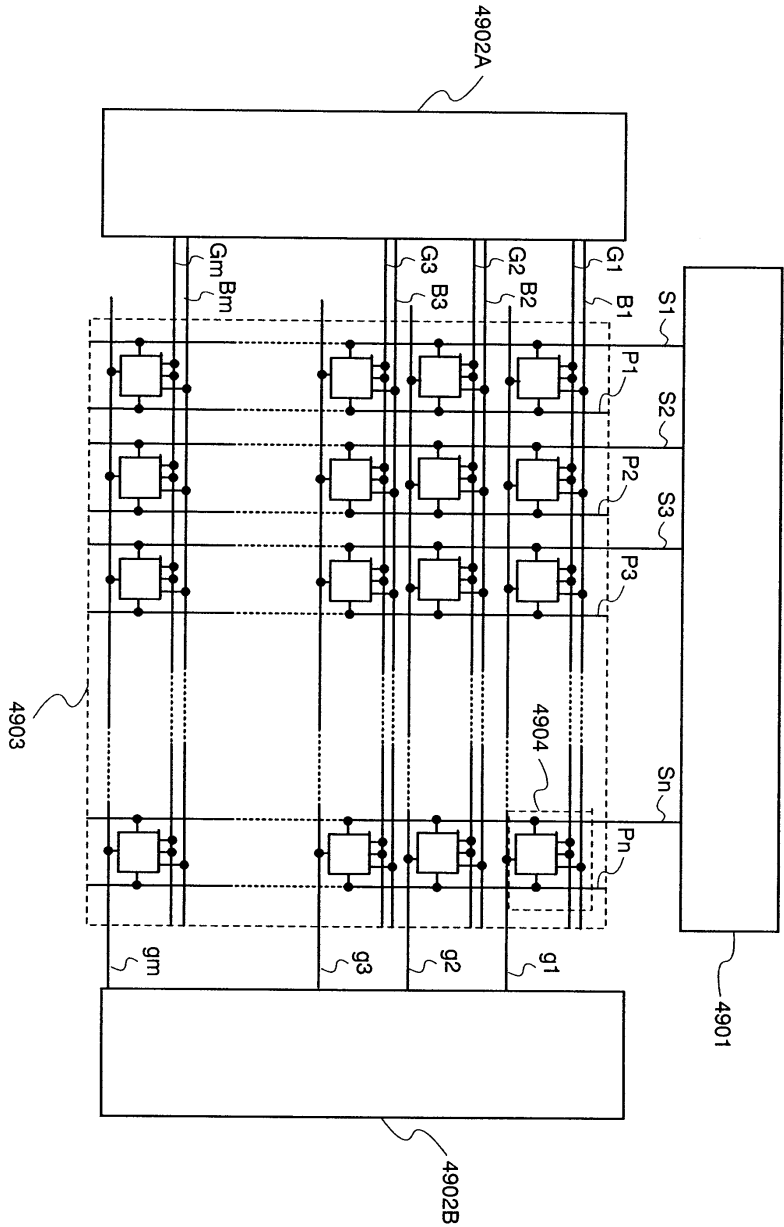
도면88



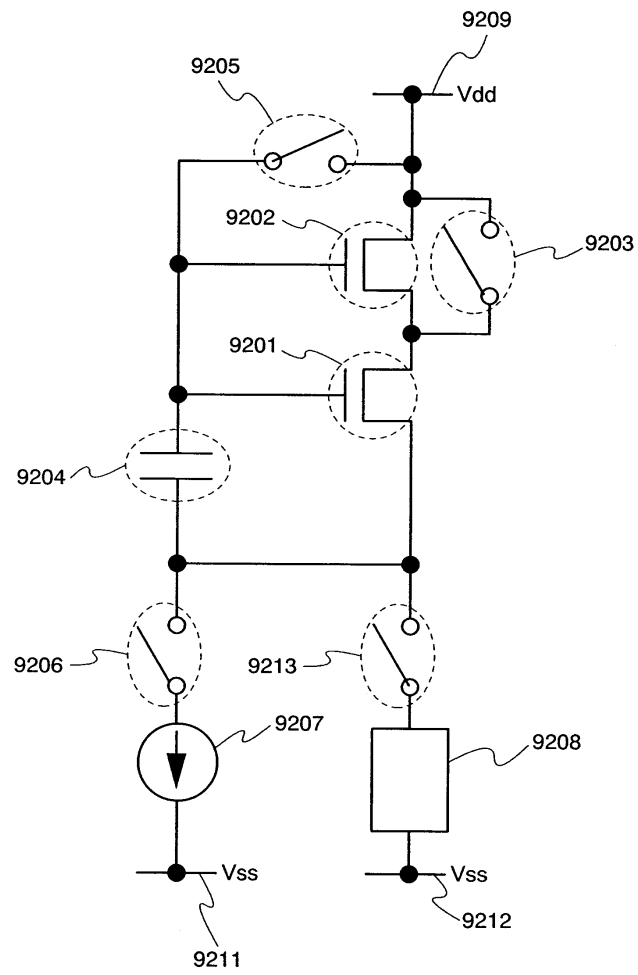
도면90



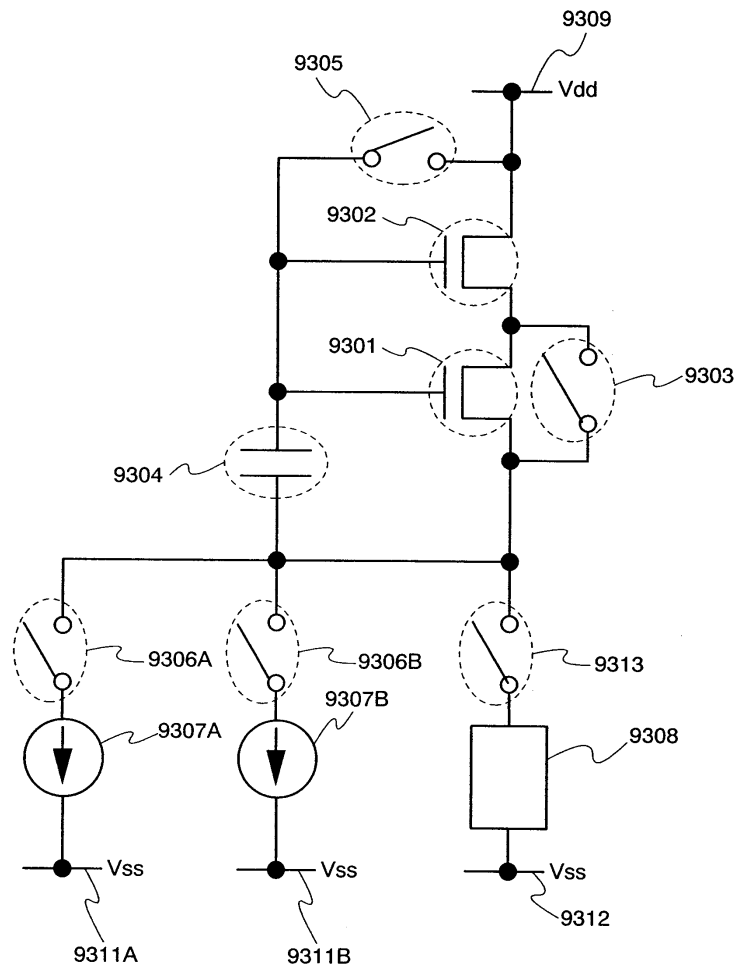
도면91



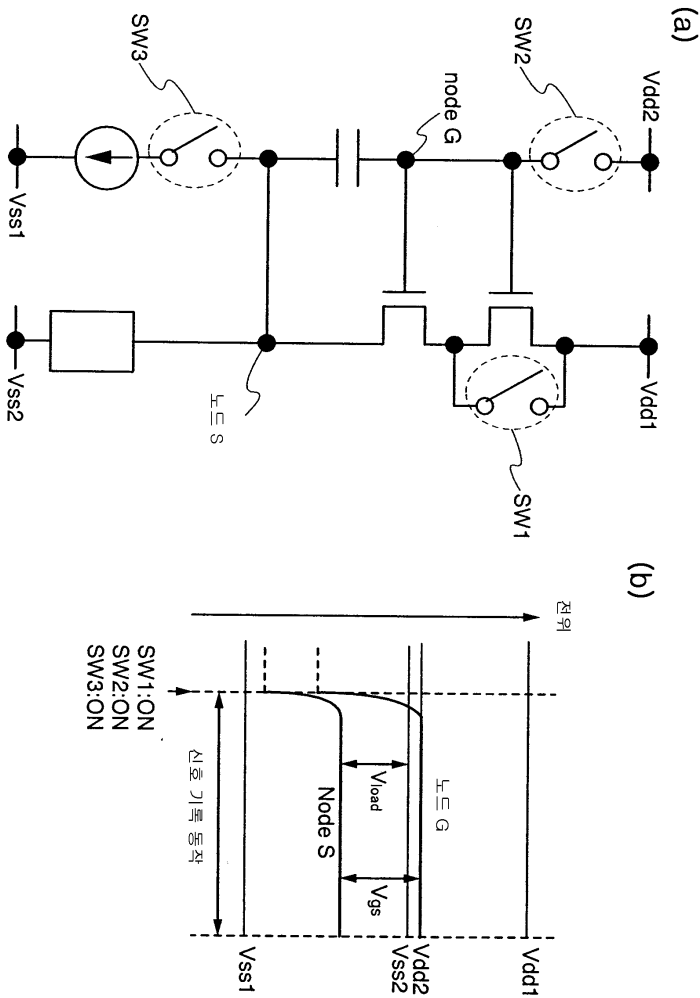
도면92



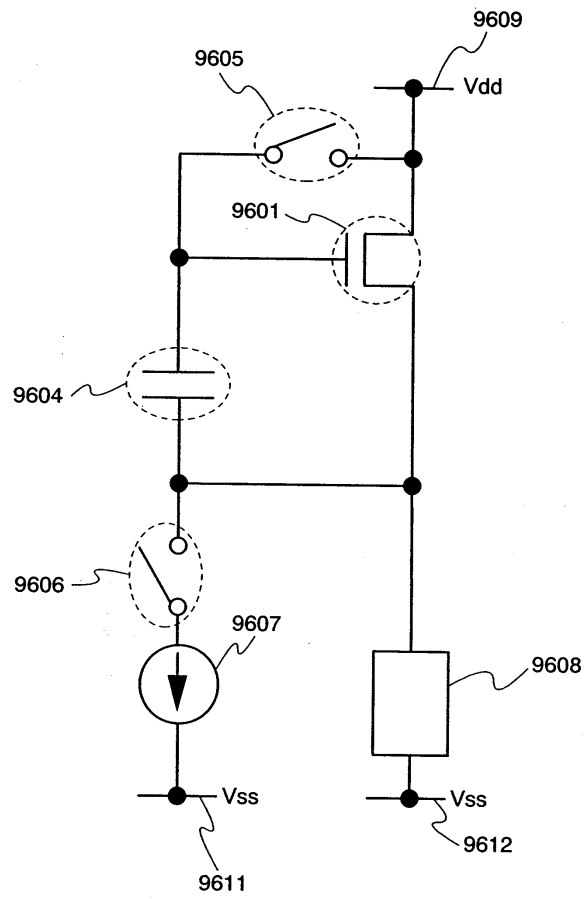
도면93



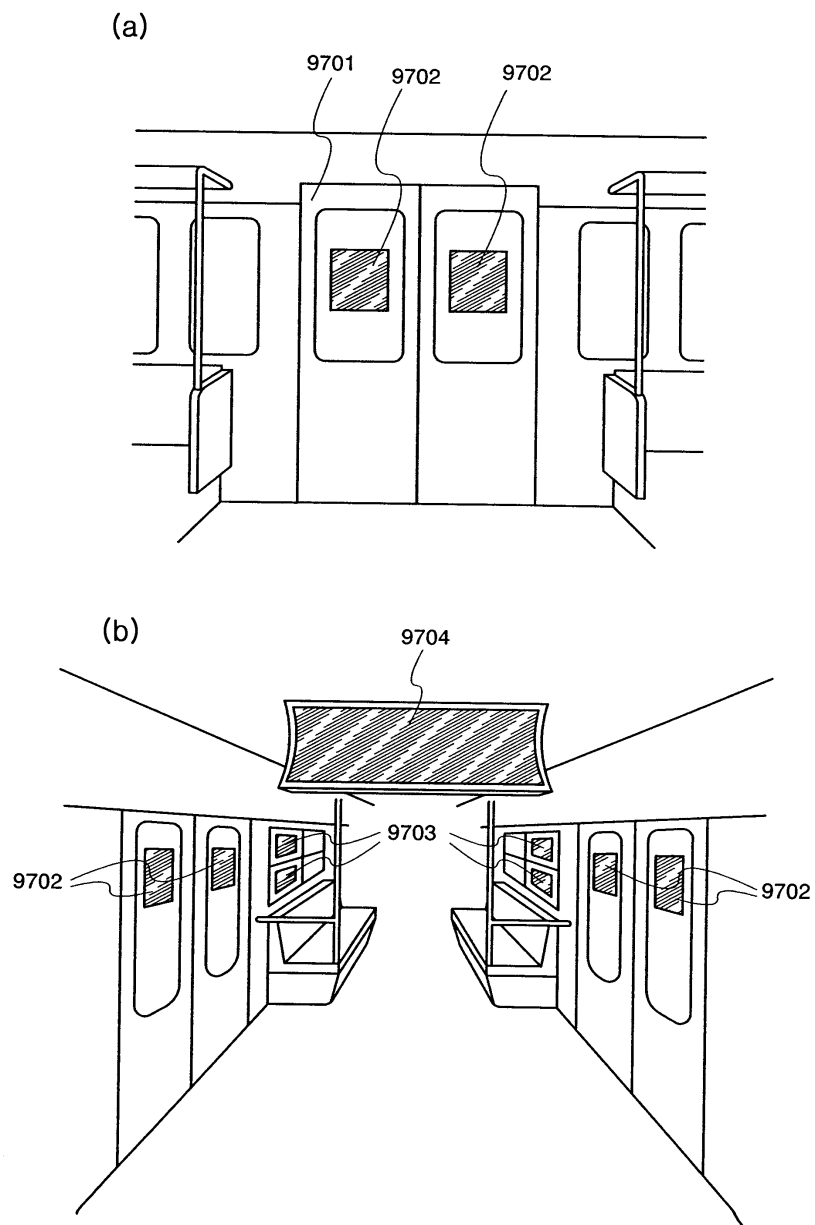
도면95



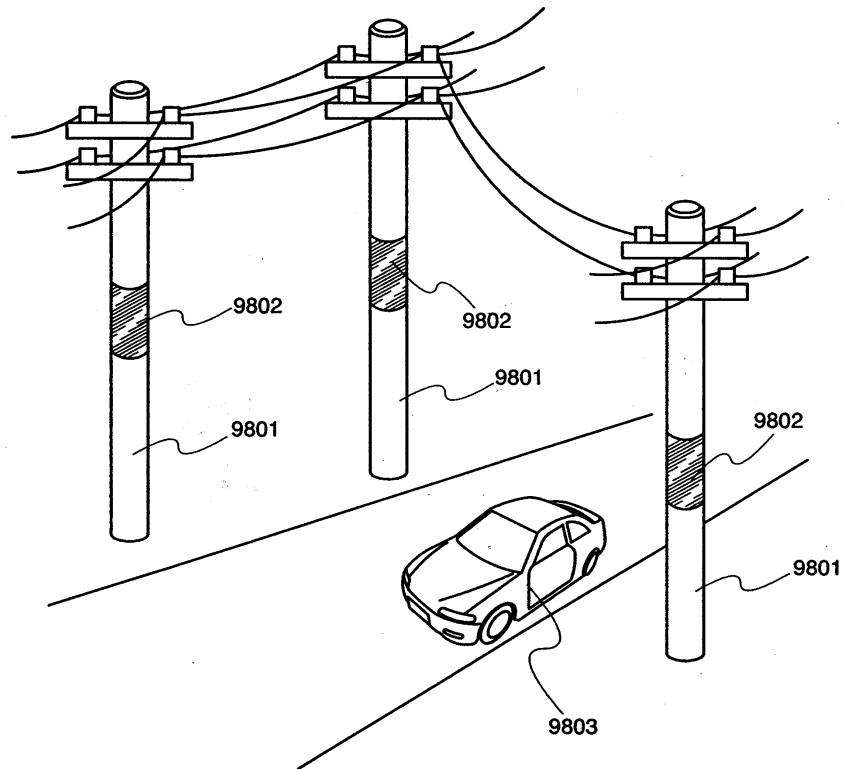
도면96



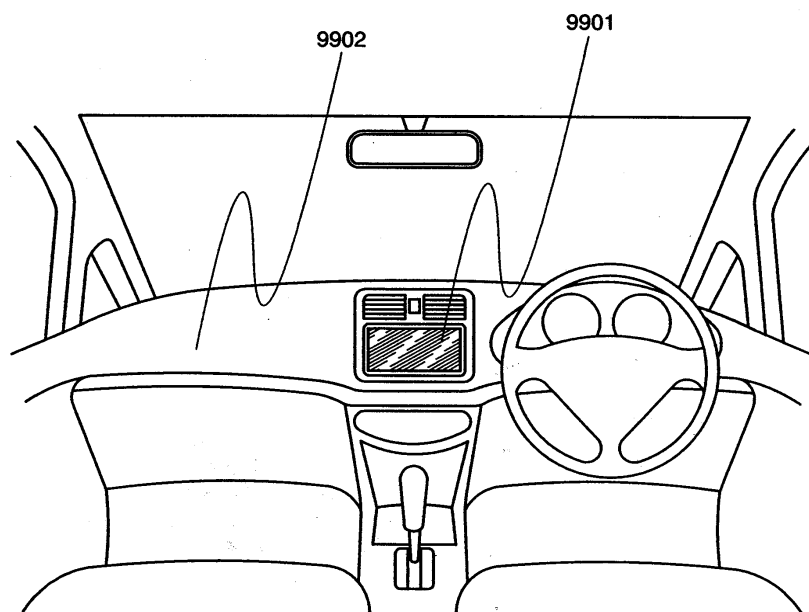
도면97



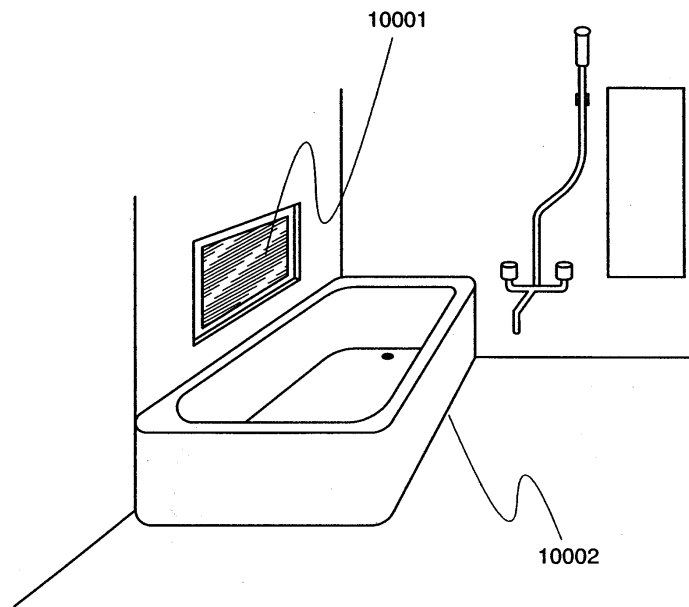
도면98



도면99



도면100



도면101

