(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0095433
(43) 공개일자 2024년06월25일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) *G09F 9/33* (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09F 9/335 (2021.05)
(21) 출원번호 10-2024-7017022
(22) 출원일자(국제) 2022년10월14일
심사청구일자 없음
(85) 번역문제출일자 2024년05월22일
(86) 국제출원번호 PCT/IB2022/059838
(87) 국제공개번호 WO 2023/073479
국제공개일자 2023년05월04일
(30) 우선권주장
JP-P-2021-175609 2021년10월27일 일본(JP)
JP-P-2022-059831 2022년03월31일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
키무라 하지메
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
이노우에 타츠노리
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

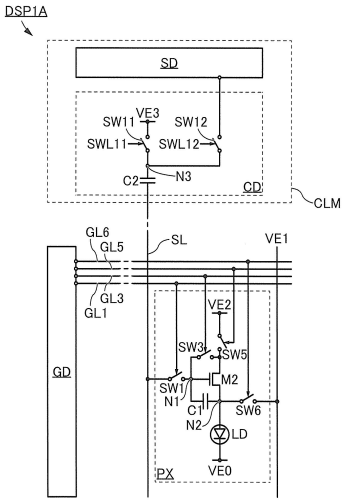
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **표시 장치 및 전자 기기**

(57) 요 약

표시 품질이 높은 표시 장치를 제공한다. 화소와 회로를 가지는 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 내지 제 4 스위치와, 제 1 용량 소자를 가진다. 또한 회로는 제 5 스위치와, 제 6 스위치와, 제 2 용량 소자를 가진다. 구동 트랜지스터의 게이트는 제 1 스위치의 제 1 단자와, 제 2 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 4 스위치의 제 1 단자와, 발광 디바이스의 애노드에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자와 제 3 스위치의 제 1 단자에 전기적으로 접속되어 있다. 제 1 스위치의 제 2 단자는 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 제 5 스위치의 제 1 단자는 제 6 스위치의 제 1 단자와 제 2 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

대 표 도 - 도2



(52) CPC특허분류
G09G 2300/0426 (2013.01)
G09G 2300/0852 (2013.01)

명 세 서

청구범위

청구항 1

표시 장치로서,

화소와 회로를 가지고,

상기 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 1 용량 소자를 가지고,

상기 회로는 제 5 스위치와, 제 6 스위치와, 제 2 용량 소자를 가지고,

상기 구동 트랜지스터의 게이트는 상기 제 1 스위치의 제 1 단자와, 상기 제 2 스위치의 제 1 단자와, 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 제 2 단자와, 상기 제 4 스위치의 제 1 단자와, 상기 발광 디바이스의 애노드에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자와 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 스위치의 제 2 단자는 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 5 스위치의 제 1 단자는 상기 제 6 스위치의 제 1 단자와 상기 제 2 용량 소자의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 스위치는 n채널형 제 1 트랜지스터를 가지고,

상기 제 2 스위치는 n채널형 제 2 트랜지스터를 가지고,

상기 제 3 스위치는 n채널형 제 3 트랜지스터를 가지고,

상기 제 4 스위치는 n채널형 제 4 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 스위치의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 3

표시 장치로서,

화소와 회로를 가지고,

상기 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 1 용량 소자와, 제 3 용량 소자를 가지고,

상기 회로는 제 6 스위치와, 제 7 스위치와, 제 8 스위치와, 제 2 용량 소자를 가지고,

상기 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가지고,

상기 구동 트랜지스터의 제 1 게이트는 상기 제 1 스위치의 제 1 단자와, 상기 제 2 스위치의 제 1 단자와, 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 제 2 단자와, 상기 제 3 용량 소자의 제 1 단자와, 상기 제 2 스위치의 제 2 단자와, 상기 제 3 스위치의 제 1 단자와, 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 제 2 게이트는 상기 제 3 용량 소자의 제 2 단자와 상기 제 5 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 스위치의 제 2 단자는 상기 발광 디바이스의 애노드에 전기적으로 접속되고,

상기 제 1 스위치의 제 2 단자는 상기 제 2 용량 소자의 제 1 단자와 상기 제 8 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 6 스위치의 제 1 단자는 상기 제 7 스위치의 제 1 단자와 상기 제 2 용량 소자의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 스위치는 n채널형 제 1 트랜지스터를 가지고,

상기 제 2 스위치는 n채널형 제 2 트랜지스터를 가지고,

상기 제 3 스위치는 n채널형 제 3 트랜지스터를 가지고,

상기 제 4 스위치는 n채널형 제 4 트랜지스터를 가지고,

상기 제 5 스위치는 n채널형 제 5 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 5 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 5 스위치의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 5

표시 장치로서,

화소와 회로를 가지고,

상기 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치

와, 제 1 용량 소자와, 제 3 용량 소자를 가지고,

상기 회로는 제 6 스위치와, 제 7 스위치와, 제 8 스위치와, 제 2 용량 소자를 가지고,

상기 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가지고,

상기 구동 트랜지스터의 제 1 게이트는 상기 제 1 스위치의 제 1 단자와 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 제 2 단자와, 상기 제 3 용량 소자의 제 1 단자와, 상기 제 3 스위치의 제 1 단자와, 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 제 2 게이트는 상기 제 3 용량 소자의 제 2 단자와 상기 제 5 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 스위치의 제 2 단자는 상기 발광 디바이스의 애노드에 전기적으로 접속되고,

상기 제 1 스위치의 제 2 단자는 상기 제 2 용량 소자의 제 1 단자와 상기 제 8 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 6 스위치의 제 1 단자는 상기 제 7 스위치의 제 1 단자와 상기 제 2 용량 소자의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 스위치는 n채널형 제 1 트랜지스터를 가지고,

상기 제 3 스위치는 n채널형 제 3 트랜지스터를 가지고,

상기 제 4 스위치는 n채널형 제 4 트랜지스터를 가지고,

상기 제 5 스위치는 n채널형 제 5 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 5 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 5 스위치의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 7

표시 장치로서,

화소와 회로를 가지고,

상기 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 1 용량 소자와, 제 2 용량 소자를 가지고,

상기 회로는 제 5 스위치와 제 6 스위치를 가지고,

상기 구동 트랜지스터의 게이트는 상기 제 1 스위치의 제 1 단자와, 상기 제 2 스위치의 제 1 단자와, 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 제 2 단자와, 상기 제 4 스위치의 제

1 단자와, 상기 발광 디바이스의 애노드에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자와 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 스위치의 제 2 단자는 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 5 스위치의 제 1 단자는 상기 제 6 스위치의 제 1 단자와 상기 제 2 용량 소자의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 스위치는 n채널형 제 1 트랜지스터를 가지고,

상기 제 2 스위치는 n채널형 제 2 트랜지스터를 가지고,

상기 제 3 스위치는 n채널형 제 3 트랜지스터를 가지고,

상기 제 4 스위치는 n채널형 제 4 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 스위치의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 9

표시 장치로서,

화소와 회로를 가지고,

상기 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 1 용량 소자와, 제 2 용량 소자를 가지고,

상기 회로는 제 5 스위치와 제 6 스위치를 가지고,

상기 구동 트랜지스터의 게이트는 상기 제 2 스위치의 제 1 단자와, 상기 제 1 용량 소자의 제 1 단자와, 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 제 2 단자와, 상기 제 4 스위치의 제 1 단자와, 상기 발광 디바이스의 애노드에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자와 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 2 용량 소자의 제 2 단자는 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 5 스위치의 제 1 단자는 상기 제 6 스위치의 제 1 단자와 상기 제 1 스위치의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 스위치는 n채널형 제 1 트랜지스터를 가지고,

상기 제 2 스위치는 n채널형 제 2 트랜지스터를 가지고,

상기 제 3 스위치는 n채널형 제 3 트랜지스터를 가지고,

상기 제 4 스위치는 n채널형 제 4 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 스위치의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 11

표시 장치로서,

화소와 회로를 가지고,

상기 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 8 스위치와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가지고,

상기 회로는 제 6 스위치와 제 7 스위치를 가지고,

상기 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가지고,

상기 구동 트랜지스터의 제 1 게이트는 상기 제 1 스위치의 제 1 단자와, 상기 제 2 스위치의 제 1 단자와, 상기 제 8 스위치의 제 1 단자와, 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 제 2 단자와, 상기 제 3 용량 소자의 제 1 단자와, 상기 제 2 스위치의 제 2 단자와, 상기 제 3 스위치의 제 1 단자와, 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 제 2 게이트는 상기 제 3 용량 소자의 제 2 단자와 상기 제 5 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 스위치의 제 2 단자는 상기 발광 디바이스의 애노드에 전기적으로 접속되고,

상기 제 1 스위치의 제 2 단자는 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 2 용량 소자의 제 2 단자는 상기 제 6 스위치의 제 1 단자와 상기 제 7 스위치의 제 1 단자에 전기적으로 접속되는, 표시 장치.

청구항 12

제 11 항에 있어서,

상기 제 1 스위치는 n채널형 제 1 트랜지스터를 가지고,

상기 제 2 스위치는 n채널형 제 2 트랜지스터를 가지고,

상기 제 3 스위치는 n채널형 제 3 트랜지스터를 가지고,

상기 제 4 스위치는 n채널형 제 4 트랜지스터를 가지고,

상기 제 5 스위치는 n채널형 제 5 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 5 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 5 스위치의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 13

표시 장치로서,

화소와 회로를 가지고,

상기 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 8 스위치와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가지고,

상기 회로는 제 6 스위치와 제 7 스위치를 가지고,

상기 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가지고,

상기 구동 트랜지스터의 제 1 게이트는 상기 제 2 스위치의 제 1 단자와, 상기 제 8 스위치의 제 1 단자와, 상기 제 1 용량 소자의 제 1 단자와, 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 제 2 단자와, 상기 제 3 용량 소자의 제 1 단자와, 상기 제 2 스위치의 제 2 단자와, 상기 제 3 스위치의 제 1 단자와, 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 구동 트랜지스터의 제 2 게이트는 상기 제 3 용량 소자의 제 2 단자와 상기 제 5 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 스위치의 제 2 단자는 상기 발광 디바이스의 애노드에 전기적으로 접속되고,

상기 제 2 용량 소자의 제 2 단자는 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 스위치의 제 2 단자는 상기 제 6 스위치의 제 1 단자와 상기 제 7 스위치의 제 1 단자에 전기적으로 접속되는, 표시 장치.

청구항 14

제 13 항에 있어서,

상기 제 1 스위치는 n채널형 제 1 트랜지스터를 가지고,

상기 제 2 스위치는 n채널형 제 2 트랜지스터를 가지고,

상기 제 3 스위치는 n채널형 제 3 트랜지스터를 가지고,

상기 제 4 스위치는 n채널형 제 4 트랜지스터를 가지고,

상기 제 5 스위치는 n채널형 제 5 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 스위치의 제 2 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 5 스위치의 제 1 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 5 스위치의 제 2 단자에 전기적으로 접속되는, 표시 장치.

청구항 15

제 1 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 발광 디바이스는 유기 EL 디바이스를 가지는, 표시 장치.

청구항 16

전자 기기로서,

제 15 항에 기재된 표시 장치와 하우징을 가지는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 구동 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 신호 처리 장치, 프로세서, 전자 기기, 시스템, 이들의 구동 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 일례로서 들 수 있다.

배 경 기 술

[0003] 근년에는 VR(가상 현실), AR(증강 현실) 등의 XR(Extended reality 또는 Cross reality)용 전자 기기, 스마트폰 등의 휴대 전화, 태블릿형 정보 단말기, 노트북형 PC(퍼스널 컴퓨터) 등이 가지는 표시 장치의 개량이 다양한 면에서 진행되고 있다. 예를 들어 화면 해상도가 높거나, 색 재현성(NTSC비)이 높거나, 구동 회로가 작거나, 소비 전력이 낮은 표시 장치의 개발이 진행되고 있다.

[0004] 특히 표시 장치의 화소 밀도(정세도) 및 색 재현성을 높게 함으로써, 표시되는 화상이 선명해져 현실감을 높일 수 있다. 또한 특허문헌 1에는 유기 EL(Electroluminescence) 재료가 포함된 발광 디바이스를 가지는 고화소수 및 고정세(高精細) 표시 장치가 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 국제공개공보 WO2019/220278호

발명의 내용

해결하려는 과제

[0006] 특히 유기 EL 재료가 포함된 발광 디바이스를 가지는 표시 장치의 정세도를 높게 하면, 발광 디바이스가 형성되는 영역(발광면)의 면적은 작아진다. 발광 디바이스의 영역(발광면)의 면적이 작아지면 발광 디바이스가 발광하기 위하여 필요한 전류의 양은 작아지지만, 허용 전류의 양도 작아진다. 즉 발광 디바이스의 표시 장치의 정세도를 높게 하면, 발광 디바이스에 흘릴 수 있는 전류의 양의 범위가 좁아지기 때문에, 발광 디바이스의 휘도를 조정하기 위해서는 전류량을 미세하게 제어할 필요가 있다.

[0007] 본 발명의 일 형태는 발광 디바이스에 흐르는 전류의 양을 미세하게 제어할 수 있는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 정세도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 표시 품질이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상술한 표시 장치를 포함하는 전자 기기를 제공하는 것을 과제 중 하나로 한다.

[0008] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

[0009] (1)

[0010] 본 발명의 일 형태는 화소와 회로를 가지는 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 1 용량 소자를 가진다. 또한 회로는 제 5 스위치와, 제 6 스위치와, 제 2 용량 소자를 가진다. 구동 트랜지스터의 게이트는 제 1 스위치의 제 1 단자와, 제 2 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 4 스위치의 제 1 단자와, 발광 디바이스의 애노드에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자와 제 3 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 스위치의 제 2 단자는 제 2 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 5 스위치의 제 1 단자는 제 6 스위치의 제 1 단자와 제 2 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

[0011] (2)

[0012] 또는 본 발명의 일 형태는 상기 (1)에서 제 1 스위치가 n채널형 제 1 트랜지스터를 가지고, 제 2 스위치가 n채널형 제 2 트랜지스터를 가지고, 제 3 스위치가 n채널형 제 3 트랜지스터를 가지고, 제 4 스위치가 n채널형 제 4 트랜지스터를 가지는 구성으로 하여도 좋다. 특히 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 스위치의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 스위치의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 스위치의 제 1 단자에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다.

[0013] (3)

[0014] 또는 본 발명의 일 형태는 화소와 회로를 가지고, 또한 상기 (1)과 구성이 다른 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 1 용량 소자와, 제 3 용량 소자를 가진다. 또한 회로는 제 6 스위치와, 제 7 스위치와, 제 8 스위치와, 제 2 용량 소자를 가진다. 또한 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가진다. 구동 트랜지스터의 제 1 게이트는 제 1 스위치의 제 1 단자와, 제 2 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자와, 제 2 스위치의 제 2 단자와, 제 3 스위치의 제 1 단자와, 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 제 2 게이트는 제 3 용량 소자의 제 2 단자와 제 5 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 3 스위치의 제 2 단자는 발광 디바이스의 애노드에 전기적으로 접속되어 있다. 또한 제 1 스위치의 제 2 단자는 제 2 용량 소자의 제 1 단자와 제 8 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 6 스위치의 제 1 단자는 제 7 스위치의 제 1 단자와 제 2 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

[0015] (4)

[0016] 또는 본 발명의 일 형태는 상기 (3)에서 제 1 스위치가 n채널형 제 1 트랜지스터를 가지고, 제 2 스위치가 n채널형 제 2 트랜지스터를 가지고, 제 3 스위치가 n채널형 제 3 트랜지스터를 가지고, 제 4 스위치가 n채널형 제 4 트랜지스터를 가지고, 제 5 스위치가 n채널형 제 5 트랜지스터를 가지는 구성으로 하여도 좋다. 특히 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 스위치의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 스위치의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 스위치의 제 1 단자에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 스위치의 제 1 단자에 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 5 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다.

[0017] (5)

[0018] 또는 본 발명의 일 형태는 화소와 회로를 가지고, 또한 상기 (1) 및 (3)과 구성이 다른 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 1 용량 소자와, 제 3 용량 소자를 가진다. 또한 회로는 제 6 스위치와, 제 7 스위치와, 제 8 스위치와, 제 2 용량 소자를 가진다. 또한 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가진다. 구동 트랜지스터의 제 1 게이트는 제 1 스위치의 제 1 단자와 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자와, 제 3 스위치의 제 1 단자와, 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 제 2 게이트는 제 3 용량 소자의 제 2 단자와 제 5 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 3 스위치의 제 2 단자는 발광 디바이스의 애노드에 전기적으로 접속되어 있다. 또한 제 1 스위치의 제 2 단자는 제 2 용량 소자의 제 1 단자와 제 8 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 6 스위치의 제 1 단자는 제 7 스위치의 제 1 단자와 제 2 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

[0019] (6)

[0020] 또는 본 발명의 일 형태는 상기 (5)에서 제 1 스위치가 n채널형 제 1 트랜지스터를 가지고, 제 3 스위치가 n채널형 제 3 트랜지스터를 가지고, 제 4 스위치가 n채널형 제 4 트랜지스터를 가지고, 제 5 스위치가 n채널형 제 5 트랜지스터를 가지는 구성으로 하여도 좋다. 특히 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 스위치의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 스위치의 제 1 단자에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 5

스위치의 제 1 단자에 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 5 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다.

[0021] (7)

[0022] 본 발명의 일 형태는 화소와 회로를 가지는 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 1 용량 소자와, 제 2 용량 소자를 가진다. 또한 회로는 제 5 스위치와 제 6 스위치를 가진다. 구동 트랜지스터의 게이트는 제 1 스위치의 제 1 단자와, 제 2 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 4 스위치의 제 1 단자와, 발광 디바이스의 애노드에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자와 제 3 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 스위치의 제 2 단자는 제 2 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 5 스위치의 제 1 단자는 제 6 스위치의 제 1 단자와 제 2 용량 소자의 제 2 단자에 전기적으로 접속되어 있다.

[0023] (8)

[0024] 또는 본 발명의 일 형태는 화소와 회로를 가지고, 또한 상기 (7)과 구성이 다른 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 1 용량 소자와, 제 2 용량 소자를 가진다. 또한 회로는 제 5 스위치와 제 6 스위치를 가진다. 구동 트랜지스터의 게이트는 제 2 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자와, 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 4 스위치의 제 1 단자와, 발광 디바이스의 애노드에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자와 제 3 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 2 용량 소자의 제 2 단자는 제 1 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 5 스위치의 제 1 단자는 제 6 스위치의 제 1 단자와 제 1 스위치의 제 2 단자에 전기적으로 접속되어 있다.

[0025] (9)

[0026] 또는 본 발명의 일 형태는 화소와 회로를 가지고, 또한 상기 (7) 및 (8)과 구성이 다른 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 1 용량 소자와, 제 2 용량 소자를 가진다. 또한 회로는 제 6 스위치를 가진다. 구동 트랜지스터의 게이트는 제 2 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자와, 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 4 스위치의 제 1 단자와, 발광 디바이스의 애노드에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자와 제 3 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 2 용량 소자의 제 2 단자는 제 1 스위치의 제 1 단자와 제 5 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 6 스위치의 제 1 단자는 제 1 스위치의 제 2 단자에 전기적으로 접속되어 있다.

[0027] (10)

[0028] 또는 본 발명의 일 형태는 화소와 구동 회로를 가지는 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 1 용량 소자와, 제 2 용량 소자를 가진다. 구동 트랜지스터의 게이트는 제 2 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자와, 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 4 스위치의 제 1 단자와, 발광 디바이스의 애노드에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자와 제 3 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 2 용량 소자의 제 2 단자는 제 1 스위치의 제 1 단자와 제 5 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 구동 회로는 제 1 스위치의 제 2 단자에 전기적으로 접속되어 있다. 또한 구동 회로는 제 1 스위치의 제 2 단자에 화상 신호를 송신하는 기능을 가진다.

[0029] (11)

[0030] 또는 본 발명의 일 형태는 상기 (7) 내지 (10) 중 어느 하나에서 제 1 스위치가 n채널형 제 1 트랜지스터를 가지고, 제 2 스위치가 n채널형 제 2 트랜지스터를 가지고, 제 3 스위치가 n채널형 제 3 트랜지스터를 가지고, 제 4 스위치가 n채널형 제 4 트랜지스터를 가지는 구성으로 하여도 좋다. 특히 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 스위치의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은

제 1 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 스위치의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 스위치의 제 1 단자에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다.

[0031] (12)

[0032] 또는 본 발명의 일 형태는 화소와 회로를 가지고, 또한 상기 (7) 내지 (9)와 구성이 다른 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 8 스위치와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가진다. 또한 회로는 제 6 스위치와 제 7 스위치를 가진다. 또한 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가진다. 구동 트랜지스터의 제 1 게이트는 제 1 스위치의 제 1 단자와, 제 2 스위치의 제 1 단자와, 제 8 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자와, 제 2 스위치의 제 2 단자와, 제 3 스위치의 제 1 단자와, 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 제 2 게이트는 제 3 용량 소자의 제 2 단자와 제 5 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 3 스위치의 제 2 단자는 발광 디바이스의 애노드에 전기적으로 접속되어 있다. 또한 제 1 스위치의 제 2 단자는 제 2 용량 소자의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 2 용량 소자의 제 2 단자는 제 6 스위치의 제 1 단자와 제 7 스위치의 제 1 단자에 전기적으로 접속되어 있다.

[0033] (13)

[0034] 또는 본 발명의 일 형태는 화소와 회로를 가지고, 또한 상기 (7) 내지 (9) 및 (12)와 구성이 다른 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 8 스위치와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가진다. 또한 회로는 제 6 스위치와 제 7 스위치를 가진다. 또한 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가진다. 구동 트랜지스터의 제 1 게이트는 제 2 스위치의 제 1 단자와, 제 8 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자와, 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자와, 제 2 스위치의 제 2 단자와, 제 3 스위치의 제 1 단자와, 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 제 2 게이트는 제 3 용량 소자의 제 2 단자와 제 5 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 3 스위치의 제 2 단자는 발광 디바이스의 애노드에 전기적으로 접속되어 있다. 또한 제 2 용량 소자의 제 2 단자는 제 1 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 스위치의 제 2 단자는 제 6 스위치의 제 1 단자와 제 7 스위치의 제 1 단자에 전기적으로 접속되어 있다.

[0035] (14)

[0036] 또는 본 발명의 일 형태는 화소와 회로를 가지고, 또한 상기 (7) 내지 (9), (12), 및 (13)과 구성이 다른 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 6 스위치와, 제 8 스위치와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가진다. 또한 회로는 제 7 스위치를 가진다. 또한 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가진다. 구동 트랜지스터의 제 1 게이트는 제 2 스위치의 제 1 단자와, 제 8 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자와, 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자와, 제 2 스위치의 제 2 단자와, 제 3 스위치의 제 1 단자와, 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 제 2 게이트는 제 3 용량 소자의 제 2 단자와 제 5 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 3 스위치의 제 2 단자는 발광 디바이스의 애노드에 전기적으로 접속되어 있다. 또한 제 2 용량 소자의 제 2 단자는 제 1 스위치의 제 1 단자와 제 6 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 1 스위치의 제 2 단자는 제 7 스위치의 제 1 단자에 전기적으로 접속되어 있다.

[0037] (15)

[0038] 또는 본 발명의 일 형태는 화소와 구동 회로를 가지고, 또한 상기 (10)과 구성이 다른 표시 장치이다. 화소는 발광 디바이스와, 구동 트랜지스터와, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치와, 제 6 스위치와, 제 8 스위치와, 제 1 용량 소자와, 제 2 용량 소자와, 제 3 용량 소자를 가진다. 또한 구동 트랜지스터는 제 1 게이트와 제 2 게이트를 가진다. 구동 트랜지스터의 제 1 게이트는 제 2 스위치의 제 1 단자와, 제 8 스위치의 제 1 단자와, 제 1 용량 소자의 제 1 단자와, 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자와, 제 2 스위치의 제 2 단자와, 제 3 스위치의 제 1 단자와, 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 구동 트랜지스터의 제 2 게이트는 제 3 용량 소자의 제 2 단자와 제 5 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 제 3 스위치의 제 2 단자는 발광 디바이스의 애노드에 전기적으로 접속되어 있다. 또한 제 2 용량 소자의 제 2 단자는 제 1 스위치의 제 1 단자와 제 6 스위치의 제 1 단자에 전기적으로 접속되어 있다. 또한 구동 회로는 제 1 스위치의 제 2 단자에 전기적으로 접속되어 있다. 또한 구동 회로는 제 1 스위치의 제 2 단자에 화상 신호를 송신하는 기능을 가진다.

[0039] (16)

[0040] 또는 본 발명의 일 형태는 상기 (12) 내지 (15) 중 어느 하나에서 제 1 스위치가 n채널형 제 1 트랜지스터를 가지고, 제 2 스위치가 n채널형 제 2 트랜지스터를 가지고, 제 3 스위치가 n채널형 제 3 트랜지스터를 가지고, 제 4 스위치가 n채널형 제 4 트랜지스터를 가지고, 제 5 스위치가 n채널형 제 5 트랜지스터를 가지는 구성으로 하여도 좋다. 특히 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 스위치의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 스위치의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 스위치의 제 1 단자에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 스위치의 제 1 단자에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다. 또한 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 스위치의 제 1 단자에 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 5 스위치의 제 2 단자에 전기적으로 접속되어 있는 것이 바람직하다.

[0041] (17)

[0042] 또는 본 발명의 일 형태는 상기 (1) 내지 (16)에서 발광 디바이스가 유기 EL 디바이스를 가지는 구성으로 하여도 좋다.

[0043] (18)

[0044] 또는 본 발명의 일 형태는 상기 (17)에 기재된 표시 장치와 하우징을 가지는 전자 기기이다.

발명의 효과

[0045] 본 발명의 일 형태에 의하여 발광 디바이스에 흐르는 전류의 양을 미세하게 제어할 수 있는 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 정세도가 높은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 표시 품질이 높은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 상술한 표시 장치를 포함하는 전자 기기를 제공할 수 있다.

[0046] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 위에서 열거한 효과를 가지지 않는 경우도 있다.

도면의 간단한 설명

[0047] 도 1은 표시 장치의 구성예를 나타낸 블록도이다.

도 2는 표시 장치의 구성예를 나타낸 회로도이다.

도 3의 (A) 및 (B)는 표시 장치의 동작예를 나타낸 타이밍 차트이다.

도 4의 (A) 내지 (C)는 회로에 입력되는 화상 데이터 신호와, 상기 회로로부터 출력된 화상 데이터 신호의 전위의 관계를 나타낸 도면이다.

도 5는 표시 장치의 동작예를 나타낸 타이밍 차트이다.

도 6의 (A) 및 (B)는 회로의 레이아웃 예를 나타낸 평면도이다.

도 7은 회로의 레이아웃 예를 나타낸 평면도이다.

도 8의 (A) 내지 (C)는 표시 장치에 포함되는 화소의 구성예를 나타낸 회로도이다.

도 9는 표시 장치의 구성예를 나타낸 회로도이다.

도 10은 표시 장치의 구성예를 나타낸 회로도이다.

도 11은 표시 장치의 구성예를 나타낸 회로도이다.

도 12는 표시 장치의 구성예를 나타낸 회로도이다.

도 13은 표시 장치의 구성예를 나타낸 회로도이다.

도 14는 표시 장치의 구성예를 나타낸 회로도이다.

도 15는 표시 장치의 구성예를 나타낸 회로도이다.

도 16은 표시 장치의 동작예를 나타낸 타이밍 차트이다.

도 17은 표시 장치의 구성예를 나타낸 회로도이다.

도 18의 (A) 내지 (C)는 표시 장치의 동작예를 나타낸 타이밍 차트이다.

도 19의 (A) 내지 (C)는 회로에 입력되는 화상 데이터 신호와, 상기 회로로부터 출력된 화상 데이터 신호의 전위의 관계를 나타낸 도면이다.

도 20은 회로의 레이아웃 예를 나타낸 평면도이다.

도 21은 표시 장치의 구성예를 나타낸 회로도이다.

도 22는 표시 장치의 구성예를 나타낸 회로도이다.

도 23의 (A) 내지 (D)는 표시 장치에 포함되는 회로의 구성예를 나타낸 회로도이다.

도 24는 표시 장치의 구성예를 나타낸 회로도이다.

도 25는 표시 장치의 구성예를 나타낸 회로도이다.

도 26은 표시 장치의 구성예를 나타낸 회로도이다.

도 27은 표시 장치의 구성예를 나타낸 회로도이다.

도 28은 표시 장치의 구성예를 나타낸 회로도이다.

도 29는 표시 장치의 구성예를 나타낸 회로도이다.

도 30은 표시 장치의 구성예를 나타낸 회로도이다.

도 31은 표시 장치의 동작예를 나타낸 타이밍 차트이다.

도 32의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 33의 (A)는 표시 장치의 표시부의 일례를 나타낸 평면 모식도이고, 도 33의 (B)는 표시 장치의 구동 회로 영역의 일례를 나타낸 평면 모식도이다.

도 34의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 평면 모식도이다.

도 35의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 블록도이다.

도 36은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 37의 (A) 내지 (C)는 표시 장치의 구성예의 일부 영역을 나타낸 단면 모식도이다.

도 38은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 39는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 40은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 41은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 42는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 43의 (A)는 표시 장치의 구성예를 나타낸 단면 모식도이고, 도 43의 (B) 및 (C)는 트랜지스터의 구성예를 나타낸 단면도이다.

도 44는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 45는 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 46은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 47의 (A)는 표시 장치의 구성예를 나타낸 단면 모식도이고, 도 47의 (B)는 발광 디바이스의 구성예를 나타낸 단면 모식도이다.

도 48은 표시 장치의 구성예를 나타낸 단면 모식도이다.

도 49의 (A) 내지 (D)는 LED 패키지의 구성예를 나타낸 단면 모식도이다.

도 50의 (A) 및 (B)는 LED 패키지의 구성예를 나타낸 평면 모식도이다.

도 51의 (A)는 표시 장치의 구성예를 나타낸 단면 모식도이고, 도 51의 (B)는 표시 장치에 포함되는 기판과 상기 기판 위의 발광 다이오드의 구성예를 나타낸 단면 모식도이다.

도 52의 (A) 내지 (F)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 53의 (A) 내지 (C)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 54의 (A)는 표시 장치에 포함되는 화소 회로의 구성예를 나타낸 회로도이고, 도 54의 (B)는 표시 장치에 포함되는 화소 회로의 구성예를 나타낸 사시 모식도이다.

도 55의 (A) 내지 (G)는 화소의 일례를 나타낸 평면도이다.

도 56의 (A) 내지 (F)는 화소의 일례를 나타낸 평면도이다.

도 57의 (A) 내지 (H)는 화소의 일례를 나타낸 평면도이다.

도 58의 (A) 내지 (D)는 화소의 일례를 나타낸 평면도이다.

도 59의 (A) 내지 (G)는 화소의 일례를 나타낸 평면도이다.

도 60의 (A)는 트랜지스터의 구성예를 나타낸 평면 모식도이고, 도 60의 (B) 및 (C)는 트랜지스터의 구성예를 나타낸 단면 모식도이다.

도 61의 (A) 및 (B)는 표시 모듈의 구성예를 나타낸 도면이다.

도 62의 (A) 내지 (F)는 전자 기기의 구성예를 나타낸 도면이다.

도 63의 (A) 내지 (D)는 전자 기기의 구성예를 나타낸 도면이다.

도 64의 (A) 내지 (C)는 전자 기기의 구성예를 나타낸 도면이다.

도 65의 (A) 내지 (H)는 전자 기기의 구성예를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0048] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고, 반도체 소자(예를 들어 트랜지스터, 다이오드, 및 포토다이오드)를 포함한 회로, 이 회로를 포함한 장치를 말한다. 또한 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 포함한 칩, 및 패키지에 칩이 제공된 전자 부품 각각은 반도체 장치의 일례이다. 또한 예를 들어 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기는 그 자체가 반도체 장치인 경우가 있고, 반도체 장치를 포함하는 경우가 있다.

[0049] 또한 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)인 것으로 한다.

[0050] X와 Y가 전기적으로 접속되는 경우에는, 일례로서 X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 및 부하)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 스위치는 온과 오프가 제어되는 기능을 가진다. 즉 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가진다.

[0051] 또한 X와 Y 사이에 소자와 전원선(예를 들어 VDD(고전원 전위), VSS(저전원 전위), GND(접지 전위), 또는 원하는 전위를 인가하는 배선) 양쪽이 배치되어 있는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하지 않는 것으로 한다. 또한 X와 Y 사이에 전원선만이 배치되어 있는 경우에는 X와 Y 사이에 다른 소자가 없기 때문에 X와 Y는 직접 접속되어 있다고 할 수 있다. 따라서 X와 Y 사이에 전원선만이 배치되어 있는 경우에는 "X와 Y는 전기적으로 접속되어 있다"라고도 할 수 있다. 그러나 X와 Y 사이에 소자와 전원선 양쪽이 배치되어 있는 경우에는 X와 전원선이(소자를 통하여) 전기적으로 접속되어 있고, Y와 전원선이 전기적으로 접속되어 있다는 것이지만, X와 Y는 전기적으로 접속되어 있는 것으로 규정되지 않는다. 또한 X와 Y 사이에 트랜지스터의 게이트와 소스를 개재(介在)하는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하지 않는 것으로 한다. 또한 X와 Y 사이에 트랜지스터의 게이트와 드레인을 개재하는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하지 않는 것으로 한다. 즉 트랜지스터의 경우에는 X와 Y 사이에 트랜지스터의 드레인과 소스를 개재하는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하는 것으로 한다. 또한 X와 Y 사이에 용량 소자가 배치되어 있는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하는 경우와 규정하지 않는 경우가 있다. 예를 들어 디지털 회로 또는 로직 회로의 구성에서 X와 Y 사이에 용량 소자가 배치되어 있는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하지 않는 경우가 있다. 한편 예를 들어 아날로그 회로의 구성에서 X와 Y 사이에 용량 소자가 배치되어 있는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하는 경우가 있다.

[0052] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는 X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어 논리 회로(예를 들어 인버터, NAND 회로, 및 NOR 회로), 신호 변환 회로(예를 들어 디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 및 감마 보정 회로), 전위 레벨 변환 회로(예를 들어 승압 회로 또는 강압 회로 등의 전원 회로, 및 신호의 전위 레벨을 변경하는 레벨 시프터 회로), 전압원, 전류원, 전환 회로, 증폭 회로(예를 들어 신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 및 버퍼 회로), 신호 생성 회로, 기억 회로, 및 제어 회로)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서 X와 Y 사이에 다른 회로를 개재하여도 X로부터 출력된 신호가 Y로 전달되는 경우에는 X와 Y는 기능적으로 접속되어 있는 것으로 한다.

[0053] 또한 X와 Y가 전기적으로 접속되어 있다고 명시적으로 기재하는 경우에는 X와 Y가 전기적으로 접속되어 있는 경우(즉 X와 Y 사이에 다른 소자 또는 다른 회로를 개재하여 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉 X와 Y 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되어 있는 경우)를 포함하는 것으로 한다.

[0054] 또한 예를 들어 "X와, Y와, 트랜지스터의 소스(제 1 단자 및 제 2 단자 중 한쪽이라고 바꿔 말하는 경우가 있음)와, 트랜지스터의 드레인(제 1 단자 및 제 2 단자 중 다른 쪽이라고 바꿔 말하는 경우가 있음)이 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스, 트랜지스터의 드레인, Y의 순서대로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는 "트랜지스터의 소스는 X에 전기적으로 접속되고, 트랜지스터의 드레인은 Y에

전기적으로 접속되고, X, 트랜지스터의 소스, 트랜지스터의 드레인, Y는 이 순서대로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스와 드레인을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스, 트랜지스터의 드레인, Y는 이 접속 순서대로 제공되어 있다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써, 트랜지스터의 소스와 드레인을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)인 것으로 한다.

[0055] 또한 회로도상 독립된 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능의 양쪽의 구성 요소의 기능을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0056] 또한 본 명세서 등에서 "저항 소자"는, 예를 들어 0Ω보다 저항값이 높은 회로 소자, 또는 0Ω보다 저항값이 높은 배선으로 할 수 있다. 그러므로 본 명세서 등에서 "저항 소자"는 저항값을 가지는 배선, 소스와 드레인 간을 전류가 흐르는 트랜지스터, 다이오드, 또는 코일을 포함하는 것으로 한다. 그러므로 "저항 소자"라는 용어는 "저항", "부하", 또는 "저항값을 가지는 영역"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 반대로 "저항", "부하", 또는 "저항값을 가지는 영역"이라는 용어는 "저항 소자"라는 용어로 바꿔 말할 수 있는 경우가 있다. 저항값은 예를 들어 바람직하게는 1mΩ 이상 10Ω 이하, 더 바람직하게는 5mΩ 이상 5Ω 이하, 더 바람직하게는 10mΩ 이상 1Ω 이하로 할 수 있다. 또한 예를 들어 1Ω 이상 1×10^{9}Ω 이하로 하여도 좋다.

[0057] 또한 본 명세서 등에서 "용량 소자"는, 예를 들어 정전 용량이 0F보다 높은 회로 소자, 정전 용량이 0F보다 높은 배선의 영역, 기생 용량, 또는 트랜지스터의 게이트 용량으로 할 수 있다. 또한 "용량 소자", "기생 용량", 또는 "게이트 용량"이라는 용어는 "용량"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", 또는 "게이트 용량"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 또한 "용량"(3 단자 이상의 "용량"을 포함함)은 절연체와 상기 절연체를 개재한 한 쌍의 도전체를 포함하는 구성이다. 그러므로 "용량"의 "한 쌍의 도전체"라는 용어는 "한 쌍의 전극", "한 쌍의 도전 영역", "한 쌍의 영역", 또는 "한 쌍의 단자"로 바꿔 말할 수 있다. 또한 "한 쌍의 단자 중 한쪽" 및 "한 쌍의 단자 중 다른 쪽"이라는 용어는 각각 제 1 단자 및 제 2 단자라고 부르는 경우가 있다. 또한 정전 용량은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0058] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 가진다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형 또는 p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스 또는 드레인이라는 용어는 서로 바꿔 말할 수 있는 경우가 있다. 또한 본 명세서 등에서는, 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(혹은 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(혹은 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 가지는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 "게이트"와 "백 게이트"라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 가지는 경우, 본 명세서 등에서는 각 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부를 수 있다.

[0059] 예를 들어 본 명세서 등에서 트랜지스터의 일례로서는, 2개 이상의 게이트 전극을 포함한 멀티 게이트 구조의 트랜지스터를 사용할 수 있다. 멀티 게이트 구조로 하면, 채널 형성 영역이 직렬로 접속되기 때문에, 복수의 트랜지스터가 직렬로 접속된다. 따라서 멀티 게이트 구조로 하면, 오프 전류의 감소, 트랜지스터의 내압 향상(신뢰성 향상)을 도모할 수 있다. 또는 멀티 게이트 구조로 하면, 포화 영역에서 동작할 때, 드레인과 소스 사이의 전압이 변화되어도 드레인과 소스 사이의 전류가 그다지 변화되지 않기 때문에, 기울기가 평평한 전압-전류 특성을 얻을 수 있다. 기울기가 평평한 전압-전류 특성을 이용하면, 이상적인 전류원 회로 또는 저항값이 매우 높은 능동 부하를 실현할 수 있다. 그 결과, 특성이 좋은 차동 회로 또는 커런트 미러 회로 등을 실현할 수 있다.

[0060] 또한 본 명세서 등에서 "발광 디바이스" 및 "수광 디바이스" 등의 회로 소자는 "애노드" 및 "캐소드"라고 불리

는 극성을 가지는 경우가 있다. "발광 디바이스"의 경우, 순바이어스를 인가("캐소드"에 대한 양의 전위를 "애노드"에 인가)함으로써 "발광 디바이스"를 발광시킬 수 있는 경우가 있다. 또한 "수광 디바이스"의 경우, 제로 바이어스 또는 역바이어스를 인가("캐소드"에 대한 음의 전위를 "애노드"에 인가)하고 또한 광을 "수광 디바이스"에 조사함으로써, "애노드"-"캐소드" 사이에 전류가 발생하는 경우가 있다. 상술한 바와 같이 "애노드" 및 "캐소드"는 "발광 디바이스", "수광 디바이스" 등의 회로 소자의 입출력 단자로서 취급되는 경우가 있다. 본 명세서 등에서는 "발광 디바이스", "수광 디바이스" 등의 회로 소자의 "애노드", "캐소드" 각각을 단자(제 1 단자, 제 2 단자 등)라고 부르는 경우가 있다. 예를 들어 "애노드" 및 "캐소드" 중 한쪽을 제 1 단자라고 부르고, "애노드" 및 "캐소드" 중 다른 쪽을 제 2 단자라고 부르는 경우가 있다.

[0061] 또한 회로도에서 단일의 회로 소자가 도시되어 있는 경우에도 상기 회로 소자가 복수의 회로 소자를 가지는 경우가 있다. 예를 들어 회로도에서 하나의 저항 소자가 도시되어 있는 경우에는 2개 이상의 저항 소자가 직렬로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 예를 들어 회로도에서 하나의 용량 소자가 도시되어 있는 경우에는 2개 이상의 용량 소자가 병렬로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 예를 들어 회로도에서 하나의 트랜지스터가 도시되어 있는 경우에는 2개 이상의 트랜지스터가 직렬로 전기적으로 접속되고, 또한 각 트랜지스터의 게이트가 서로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 이와 마찬가지로 예를 들어 회로도에서 하나의 스위치가 도시되어 있는 경우에는 상기 스위치가 2개 이상의 트랜지스터를 가지고, 2개 이상의 트랜지스터가 직렬 또는 병렬로 전기적으로 접속되고, 각 트랜지스터의 게이트가 서로 전기적으로 접속되는 경우를 포함하는 것으로 한다.

[0062] 또한 본 명세서 등에서, 회로 구성 및 디바이스 구조에 따라 노드를 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.

[0063] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바꿔 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바꿔 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화되면, 배선에 인가되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도 변화된다.

[0064] 또한 본 명세서 등에서 "고레벨 전위" 및 "저레벨 전위"라는 용어는 특정의 전위를 의미하는 것은 아니다. 예를 들어 2개의 배선의 양쪽이 "고레벨 전위를 인가하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 인가하는 각 고레벨 전위는 서로 같지 않아도 된다. 또한 이와 마찬가지로 2개의 배선의 양쪽이 "저레벨 전위를 인가하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 인가하는 각 저레벨 전위는 서로 같지 않아도 된다.

[0065] 또한 "전류"란 전하의 이동 현상(전기 전도)을 말하고, 예를 들어 "양의 하전체(荷電體)의 전기 전도가 발생하고 있다"라는 기재는, "그 반대 방향으로 음의 하전체의 전기 전도가 발생하고 있다"라고 바꿔 말할 수 있다. 그러므로 본 명세서 등에서 "전류"란 별도의 설명이 없는 한, 캐리어의 이동에 따른 전하의 이동 현상(전기 전도)을 말하는 것으로 한다. 여기서 캐리어로서는 예를 들어 전자, 정공, 음이온, 양이온, 및 착이온이 있고, 전류가 흐르는 시스템(예를 들어 반도체, 금속, 전해액, 및 진공 중)에 따라 캐리어가 다르다. 또한 배선 등에서의 "전류의 방향"은 양전하를 띤 캐리어가 이동하는 방향이고, 양의 전류량으로 기재한다. 바꿔 말하면, 음전하를 띤 캐리어가 이동하는 방향은 전류의 방향과 반대 방향이고, 음의 전류량으로 표현된다. 따라서 본 명세서 등에서 전류의 양과 음(또는 전류의 방향)에 대하여 별도의 설명이 없는 경우, "소자 A로부터 소자 B로 전류가 흐른다"의 기재는 "소자 B로부터 소자 A로 전류가 흐른다"로 바꿔 말할 수 있는 것으로 한다. 또한 "소자 A에 전류가 입력된다"의 기재는 "소자 A로부터 전류가 출력된다"로 바꿔 말할 수 있는 것으로 한다.

[0066] 또한 본 명세서 등에서 "제 1", "제 2", "제 3" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 생략될 수도 있다.

[0067] 또한 본 명세서 등에서 "위에" 및 "아래에" 등의 배치를 나타내는 용어는 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시

킴으로써, "도전체의 하면에 위치하는 절연체"라고 바꿔 말할 수 있다.

[0068] 또한 "위" 또는 "아래"라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접하는 것에 한정되지 않는다. 예를 들어 "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한 마찬가지로 예를 들어 "절연층(A) 위쪽의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한 마찬가지로 예를 들어 "절연층(A) 아래쪽의 전극(B)"이라는 표현이면, 절연층(A) 아래에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0069] 또한 본 명세서 등에서 매트릭스상으로 배치된 구성 요소 및 그 위치 관계를 설명하기 위하여 "행" 및 "열"이라는 용어를 사용하는 경우가 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "행 방향"이라는 표현은 나타내는 도면의 방향을 90° 회전시킴으로써 "열 방향"으로 바꿔 말할 수 있는 경우가 있다.

[0070] 또한 본 명세서 등에서 매트릭스상으로 배치된 구성 요소를 전기적으로 접속하는 배선은 행 방향 또는 열 방향으로 연장되어 배치될 수 있다. 예를 들어 본 명세서 등에서 " 배선(A)이 행 방향으로 연장되어 배치된다"고 설명하는 경우, 배선(A)은 열 방향으로도 연장되어 배치될 수 있는 경우가 있다. 그 반대도 마찬가지로 "배선(A)이 열 방향으로 연장되어 배치된다"고 설명하는 경우, 배선(A)은 행 방향으로도 연장되어 배치될 수 있는 경우가 있다. 즉 매트릭스상으로 배치된 구성 요소를 전기적으로 접속하는 배선이 되어 배치되는 방향은 본 명세서 등에 기재되는 방향에 한정되지 않고, 행 방향 또는 열 방향으로 할 수 있는 경우가 있다.

[0071] 또한 본 명세서 등에서 "막" 및 "층"이라는 용어는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 "막" 및 "층"이라는 용어를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어 "도전층" 또는 "도전막"이라는 용어를 "도전체"라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연층" 또는 "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.

[0072] 또한 본 명세서 등에서 "전극", "배선", 및 "단자"라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극" 또는 "배선"이라는 용어는, 복수의 "전극" 또는 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선" 또는 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는 "전극", "배선", 및 "단자" 중에서 선택된 하나 이상이 일체가 되어 형성되어 있는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", 또는 "단자"라는 용어는 경우에 따라 "영역"이라는 용어로 치환되는 경우가 있다.

[0073] 또한 본 명세서 등에서 "배선", "신호선", 및 "전원선"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 또는 "전원선"이라는 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선"이라는 용어는 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선"이라는 용어는 "전원선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되는 "전위"라는 용어를 경우 또는 상황에 따라 "신호"라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호"라는 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.

[0074] 또한 본 명세서 등에서는 반도체 장치의 동작 방법을 설명하기 위하여 타이밍 차트를 사용하는 경우가 있다. 또한 본 명세서 등에 사용하는 타이밍 차트는 이상적인 동작예를 나타낸 것이며, 상기 타이밍 차트에 기재되는 기간, 신호(예를 들어 전위 또는 전류)의 크기, 및 타이밍은 특별히 언급이 없는 경우에는 한정되지 않는다. 본 명세서 등에 기재되는 타이밍 차트는 상황에 따라 상기 타이밍 차트에서의 각 배선(노드를 포함함)에 입력되는 신호(예를 들어 전위 또는 전류)의 크기 및 타이밍을 변경할 수 있다. 예를 들어 타이밍 차트에 2개의 기간이 등간격으로 기재되어 있어도, 2개의 기간의 길이는 상이한 경우가 있다. 또한 예를 들어 2개의 기간에서 한쪽의 기간이 길며, 다른 쪽의 기간이 짧게 기재되어 있어도, 이들 기간의 길이는 같아도 좋은 경우가 있으며,

한쪽의 기간이 짧고 다른 쪽의 기간이 길어도 좋은 경우가 있다.

[0075] 본 명세서 등에서 금속 산화물(metal oxide)이란 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 채널 형성 영역에 금속 산화물이 포함되어 있는 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 가지는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor)라고 할 수 있다. 또한 OS 트랜지스터라고 기재하는 경우에는 금속 산화물 또는 산화물 반도체를 포함한 트랜지스터라고 바꿔 말할 수 있다.

[0076] 또한 본 명세서 등에서, 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.

[0077] 또한 본 명세서 등에서 반도체의 불순물이란 예를 들어 반도체층을 구성하는 주성분 이외의 성분을 가리킨다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함됨으로써, 예를 들어 반도체의 결함 준위 밀도 증가, 캐리어 이동도 저하, 및 결정성 저하 중 한쪽 또는 양쪽이 일어날 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 1족 원소와, 2족 원소와, 13족 원소와, 14족 원소와, 15족 원소와, 주성분 이외의 전이 금속이 있으며, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 및 질소가 있다. 구체적으로는 반도체가 실리콘층인 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 1족 원소, 2족 원소, 13족 원소, 및 15족 원소(다만 산소, 수소는 제외함)가 있다.

[0078] 본 명세서 등에서 스위치란 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되며, 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 가리킨다. 또는 스위치란 전류를 흘리는 경로를 선택하여 전환하는 기능을 가지는 것을 가리킨다. 그러므로 스위치는 제어 단자와는 별도로 전류를 흘리는 단자를 2개 또는 3개 이상 포함하는 경우가 있다. 일례로서는 전기적 스위치 또는 기계적 스위치 등을 사용할 수 있다. 즉 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.

[0079] 전기적인 스위치의 일례로서는 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 및 다이오드 접속의 트랜지스터), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 예를 들어 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태 또는 소스 전극과 드레인 전극 사이에 전류를 흘릴 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0080] 기계적인 스위치의 일례로서는 MEMS(micro electro mechanical systems) 기술을 사용한 스위치가 있다. 이 스위치는 기계적으로 동작시킬 수 있는 전극을 가지고, 이 전극의 움직임에 따라 도통과 비도통을 제어하여 동작한다.

[0081] 또한 본 명세서 등에서, 메탈 마스크 또는 FMM(파인 메탈 마스크, 고정세 메탈 마스크)을 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서, 메탈 마스크 또는 FMM을 사용하지 않고 제작되는 디바이스를 MML(메탈 마스크리스) 구조의 디바이스라고 부르는 경우가 있다.

[0082] 또한 본 명세서 등에서, 각 색의 발광 디바이스(여기서는 청색(B), 녹색(G), 및 적색(R))의 발광층을 구분 형성하거나 개별 도포하는 구조를 SBS(Side By Side) 구조라고 부르는 경우가 있다. 또한 본 명세서 등에서, 백색광을 방출할 수 있는 발광 디바이스를 백색 발광 디바이스라고 부르는 경우가 있다. 또한 백색 발광 디바이스는 착색층(예를 들어 컬러 필터)과 조합함으로써 풀 컬러 표시의 표시 장치로 할 수 있다.

[0083] 또한 발광 디바이스는 싱글 구조와 탠덤 구조로 크게 나눌 수 있다. 싱글 구조의 디바이스는 한 쌍의 전극 사이에 하나의 발광 유닛을 가지고, 상기 발광 유닛은 하나 이상의 발광층을 포함하는 구성으로 하는 것이 바람직하다. 2개의 발광층을 사용하여 백색 발광을 얻는 경우, 2개의 발광층 각각의 발광색이 보색 관계가 되는 발광층을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 발광 디바이스 전체로서 백색을 발광하는 구성을 얻을 수 있다. 또한 3개 이상의 발광층을 사용하여 백색 발광을 얻는 경우, 3개 이상의 발광층 각각의 발광색이 합쳐져 발광 디바이스 전체로서 백색 발광할 수 있

는 구성으로 하면 좋다.

[0084] 탠덤 구조의 디바이스는 한 쌍의 전극 사이에 2개 이상의 발광 유닛을 가지고, 각 발광 유닛은 하나 이상의 발광층을 포함하는 구성으로 하는 것이 바람직하다. 백색 발광을 얻기 위해서는 복수의 발광 유닛의 발광층으로부터의 광을 합성시켜 백색 발광이 얻어지는 구성으로 하면 좋다. 또한 백색 발광이 얻어지는 구성에 대해서는, 싱글 구조의 구성과 마찬가지이다. 또한 탠덤 구조의 디바이스에서, 복수의 발광 유닛 사이에는 전하 발생층 등의 중간층이 제공되는 것이 바람직하다.

[0085] 또한 상술한 백색 발광 디바이스(싱글 구조 또는 탠덤 구조)와 SBS 구조의 발광 디바이스를 비교한 경우, SBS 구조의 발광 디바이스는 백색 발광 디바이스보다 소비 전력을 낮출 수 있다. 소비 전력을 낮게 하고자 하는 경우에는 SBS 구조의 발광 디바이스를 사용하면 적합하다. 한편 백색 발광 디바이스는 제조 공정이 SBS 구조의 발광 디바이스보다 간단하기 때문에 제조 비용을 낮게 할 수 있거나, 제조 수율을 높게 할 수 있어 적합하다.

[0086] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

[0087] 또한 본 명세서 등에서 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 구성예를 서로 적절히 조합할 수 있다.

[0088] 또한 어떤 하나의 실시형태에 기재된 내용(일부의 내용이어도 좋음)은 그 실시형태에 기재된 다른 내용(일부의 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에 기재된 내용(일부의 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 수행할 수 있다.

[0089] 또한 실시형태에 기재되는 내용이란 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 가리킨다.

[0090] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.

[0091] 본 명세서에 기재된 실시형태에 대해서 도면을 참조하면서 설명한다. 다만 실시형태는 상이한 많은 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 통상의 기술자라면 쉽게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에 있어서 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 사시도 등에 있어서 도면의 명확성을 위하여 일부 구성 요소의 기재를 생략하는 경우가 있다.

[0092] 또한 본 명세서의 도면에 있어서 각 실시형태에 따른 구성을 설명하기 위하여 평면도를 사용하는 경우가 있다. 평면도란 일례로서 구성을 수평 방향으로 절단한 면(단면)의 상태를 나타낸 도면이다. 또한 평면도에 숨은선(예를 들어 파선)이 기재되어 있음으로써, 구성에 포함되어 있는 복수 요소의 위치 관계 또는 상기 복수 요소의 중첩 관계를 나타낼 수 있다. 또한 본 명세서 등에서 "평면도"라는 용어는 "투영도", "상면도", 또는 "하면도"라는 용어로 바꿔 말할 수 있는 것으로 한다. 또한 상황에 따라서는 구성을 수평 방향으로 절단한 면(단면)이 아니라 수평 방향과 상이한 방향으로 절단한 면(단면)을 평면도라고 하는 경우가 있다.

[0093] 또한 본 명세서의 도면에서 각 실시형태에 따른 구성을 설명하기 위하여 단면도를 사용하는 경우가 있다. 단면도란 일례로서 구성을 수직 방향으로 절단한 면(단면)의 상태를 나타낸 도면이다. 또한 본 명세서 등에서 "단면도"라는 용어는 "정면도" 또는 "측면도"라는 용어로 바꿔 말할 수 있는 것으로 한다. 또한 상황에 따라서는 구성을 수직 방향으로 절단한 면(단면)이 아니라 수직 방향과 상이한 방향으로 절단한 면(단면)을 단면도라고 하는 경우가 있다.

[0094] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 이들을 특별히 구별할 필요가 있는 경우에는 부호에 "_1", "[n]", "[m,n]" 등의 식별용 부호를 부기하여 기재하는 경우가 있다. 또한 도면 등에서 부호에 "_1", "[n]", "[m,n]" 등의 식별용 부호를 부기하는 경우에, 본 명세서 등에서 구별할 필요가 없는 경우에는 식별용

부호를 기재하지 않는 경우가 있다.

[0095] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 도시한 것이고, 도면에 도시된 형상 또는 값 등에 한정되지 않는다. 예를 들어, 노이즈로 인한 신호, 전압, 또는 전류의 편차, 또는 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.

[0096] (실시형태 1)

[0097] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 설명한다.

[0098] <표시 장치의 구성예 1>

[0099] 도 1에는 본 발명의 일 형태의 표시 장치를 나타내었다. 표시 장치(DSP0)는 일례로서 화소 어레이(ALP)와, 행 드라이버 회로(RWD)와, 열 드라이버 회로(CLM)를 가진다.

[0100] 화소 어레이(ALP)는 일례로서 m×n개(m은 1 이상의 정수로 하고 n은 1 이상의 정수로 함)의 화소(PX)를 가진다. 특히 각 화소(PX)는 화소 어레이(ALP) 내에서 m행 n열의 매트릭스상으로 배치되어 있다. 또한 도 1에는 복수의 화소(PX)로서 화소(PX[1,1])와, 화소(PX[m,1])와, 화소(PX[1,n])와, 화소(PX[m,n])와, 화소(PX[i,j])(i는 1 이상 m 이하의 정수로 하고 j는 1 이상 n 이하의 정수로 함)를 발췌하여 나타내었다.

[0101] 화소(PX)는 표시 화소로서의 기능을 가진다. 표시 화소는 일례로서 액정 표시 디바이스 및 발광 디바이스 중 한쪽 또는 양쪽이 적용된 화소로 할 수 있다. 또한 발광 디바이스로서는 예를 들어 유기 EL 소자(OLED(Organic Light Emitting Diode))를 포함한 발광 디바이스, 무기 EL 소자, LED(마이크로 LED를 포함함), QLED(Quantum-dot Light Emitting Diode), 및 반도체 레이저가 있다. 또한 본 실시형태에서 화소(PX)에는 유기 EL 재료가 포함된 발광 디바이스가 적용된 것으로 하여 설명한다. 특히 고휘도 발광이 가능한 발광 디바이스로부터 방출되는 광의 휘도는 예를 들어 500cd/m^2 이상, 바람직하게는 1000cd/m^2 이상 10000cd/m^2 이하, 더 바람직하게는 2000cd/m^2 이상 5000cd/m^2 이하로 할 수 있다.

[0102] 또한 화소 어레이(ALP)에서는 일례로서 배선(GL[1]) 내지 배선(GL[m]) 각각이 행 방향으로 연장되어 배치되어 있다. 또한 화소 어레이(ALP)에서는 일례로서 배선(SL[1]) 내지 배선(SL[n]) 각각이 열 방향으로 연장되어 배치되어 있다.

[0103] 화소(PX[i,j])는 일례로서 배선(GL[i])과 배선(SL[j])에 전기적으로 접속되어 있다.

[0104] 배선(SL[j])은 일례로서 화소(PX[i,j])에 화상 데이터 신호를 송신하는 배선으로서 기능한다.

[0105] 또한 도 1에는 화소 어레이에서 열마다 하나의 배선(SL)이 연장되어 배치되도록 도시하였지만, 1열에 연장되어 배치되는 배선(SL)의 개수는 하나에 한정되지 않는다. 즉 화소 어레이(ALP)의 1열에 연장되어 배치되는 배선(SL)의 개수는 2개 이상으로 하여도 좋다.

[0106] 배선(GL[i])은 일례로서, 화상 데이터 신호의 공급 대상이 되는 화소(PX[i,j])를 선택하기 위한 선택 신호를 송신하는 배선으로서 기능한다. 또한 배선(GL[i])은 일례로서, 화소(PX[i,j])에 포함되는 구동 트랜지스터의 문턱 전압을 보정하기 위하여, 화소(PX[i,j])를 선택하기 위한 선택 신호를 송신하는 배선으로서 기능하여도 좋다. 또한 배선(GL[i])은 화소(PX[i,j])에 포함되는 스위치의 온 상태와 오프 상태를 전환하는 제어 신호(디지털 전위)를 송신하기 위한 배선으로서 기능하여도 좋다.

[0107] 또한 도 1에는 화소 어레이에서 행마다 하나의 배선(GL)이 연장되어 배치되도록 도시하였지만, 1행에 연장되어 배치되는 배선(GL)의 개수는 하나에 한정되지 않는다. 즉 화소 어레이(ALP)의 1행에 연장되어 배치되는 배선(GL)의 개수는 2개 이상으로 하여도 좋다. 예를 들어 1행에 연장되어 배치되는 배선(GL)의 개수는 화소(PX)의 회로 구성에 따라 정할 수 있고, 화소(PX)의 회로 구성에 따라서는 배선(GL)의 개수는 2개 이상으로 하여도 좋다.

[0108] 행 드라이버 회로(RWD)는 일례로서 구동 회로(GD)를 가진다.

[0109] 구동 회로(GD)는 일례로서 배선(GL[1]) 내지 배선(GL[m]) 각각에 전기적으로 접속되어 있다.

[0110] 구동 회로(GD)는 일례로서 화상 데이터 신호의 공급 대상이 되는 화소 어레이(ALP)의 첫 번째 행 내지 m번째 행 중에서 선택된 하나 이상을 선택하고, 선택된 행에 배치되는 복수의 화소(PX)에 선택 신호를 송신하는 기능을

가진다. 따라서 구동 회로(GD)에는 디멀티플렉서가 포함되어도 좋다. 또한 상기 선택 신호는 예를 들어 아날로그 전위, 디지털 전위(고레벨 전위 또는 저레벨 전위), 또는 펄스 전위로 할 수 있다. 또한 구동 회로(GD)는 화상 데이터 신호의 공급 대상이 되는 화소(PX)를 선택할 뿐만 아니라, 화소(PX)에 포함되는 트랜지스터의 문턱 전압의 보정을 목적으로 하여 화소(PX)를 선택하는 기능을 가져도 좋다. 즉 구동 회로(GD)는 화소(PX)에 포함되는 트랜지스터의 문턱 전압을 보정하기 위한 선택 신호를 송신하는 기능을 가져도 좋다.

[0111] 열 드라이버 회로(CLM)는 일례로서 구동 회로(SD)와 회로(CD[1]) 내지 회로(CD[n])를 가진다.

[0112] 또한 회로(CD[1]) 내지 회로(CD[j]) 각각은 구동 회로(SD)에 전기적으로 접속되어 있다. 또한 회로(CD[j])는 일례로서 배선(SL[j])에 전기적으로 접속되어 있다.

[0113] 구동 회로(SD)는 일례로서, 화소 어레이(ALP)에 포함되는 화소(PX)에 화상 데이터 신호를 송신하는 기능을 가진다. 또한 화상 데이터 신호의 송신 방법에 따라서는 구동 회로(SD)에는 디멀티플렉서가 포함되어도 좋다. 또한 상기 화상 데이터 신호는 예를 들어 아날로그 전위, 디지털 전위(고레벨 전위 또는 저레벨 전위), 또는 펄스 전위로 할 수 있다.

[0114] 회로(CD[j])는 일례로서, 구동 회로(SD)로부터 입력된 화상 데이터 신호를 레벨 시프트하고, 레벨 시프트된 화상 데이터 신호를 배선(SL[j])에 송신하는 기능을 가진다.

[0115] 다음으로 화소(PX) 및 회로(CD)의 구성예에 대하여 설명한다. 도 2에 나타낸 표시 장치(DSP1A)는 도 1의 표시 장치(DSP0)의 일례이고, 도 2에는 화소 어레이(ALP)에 포함되는 복수의 화소(PX) 중 하나와, 그 화소(PX)에 전기적으로 접속되는 행 드라이버 회로(RWD)의 구동 회로(GD)와, 열 드라이버 회로(CLM)의 회로(CD) 및 구동 회로(SD)를 발췌하여 나타내었다.

[0116] 도 2의 표시 장치(DSP1A)에서 화소(PX)는 일례로서 트랜지스터(M2)와, 스위치(SW1)와, 스위치(SW3)와, 스위치(SW5)와, 스위치(SW6)와, 용량 소자(C1)와, 발광 디바이스(LD)를 가진다. 또한 회로(CD)는 스위치(SW11)와, 스위치(SW12)와, 용량 소자(C2)를 가진다. 특히 트랜지스터(M2)는 화소(PX)의 구동 트랜지스터로서 기능한다.

[0117] 트랜지스터(M2)에는 일례로서 OS 트랜지스터를 적용하는 것이 바람직하다. 특히 OS 트랜지스터의 채널 형성 영역에 포함되는 금속 산화물로서는 예를 들어 인듐 산화물, 갈륨 산화물 및 아연 산화물이 있다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 1종류 또는 복수 종류를 포함하는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘 중에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.

[0118] 특히 반도체층에 사용하는 금속 산화물에는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물(IGZO라고도 기재함)을 사용하는 것이 바람직하다. 또는 인듐, 주석, 및 아연을 포함한 산화물(ITZO(등록 상표)라고도 기재함)을 사용하는 것이 바람직하다. 또는 인듐, 갈륨, 주석, 및 아연을 포함한 산화물을 사용하는 것이 바람직하다. 또는 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함한 산화물(IAZO라고도 기재함)을 사용하는 것이 바람직하다. 또는 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물(IAGZO라고도 기재함)을 사용하는 것이 바람직하다. 또한 OS 트랜지스터에 대해서는 실시형태 5에서 자세히 설명한다.

[0119] 또한 트랜지스터(M2)에는 OS 트랜지스터 이외의 트랜지스터를 적용하여도 좋다. 예를 들어 트랜지스터(M2)에는 채널 형성 영역에 실리콘을 포함한 트랜지스터(이후, Si 트랜지스터라고 부름)를 적용할 수 있다. 또한 실리콘으로서는 예를 들어 단결정 실리콘, 비정질 실리콘(수소화 비정질 실리콘이라고 하는 경우가 있음), 미결정 실리콘, 또는 다결정 실리콘(저온 다결정 실리콘을 포함함)을 사용할 수 있다.

[0120] 또한 트랜지스터(M2)에는 OS 트랜지스터 및 Si 트랜지스터 이외에 예를 들어, 저마늄이 채널 형성 영역에 포함된 트랜지스터, 셀레늄화 아연, 황화 카드뮴, 비소화 갈륨, 인화 인듐, 질화 갈륨, 또는 실리콘 저마늄 등의 화합물 반도체가 채널 형성 영역에 포함된 트랜지스터, 탄소 나노튜브가 채널 형성 영역에 포함된 트랜지스터, 또는 유기 반도체가 채널 형성 영역에 포함된 트랜지스터를 사용할 수 있다.

[0121] 또한 도 2에 도시된 트랜지스터(M2)는 n채널형 트랜지스터로 하였지만, 상황에 따라 또는 경우에 따라 p채널형 트랜지스터로 하여도 좋다. 또한 n채널형 트랜지스터를 p채널형 트랜지스터로 치환한 경우, 화소(PX)가 정상적으로 동작하도록 화소(PX)에 입력되는 전위 등을 적절히 변경할 필요가 있다. 또한 이는 도 2뿐만 아니라 명세서의 다른 부분에 기재된 트랜지스터 또는 다른 도면에 도시된 트랜지스터에 대해서도 마찬가지이다. 또한 본

실시형태에서는 트랜지스터(M2)가 n채널형 트랜지스터인 것으로 하여 화소(PX)의 구성 및 동작에 대하여 설명한다.

[0122] 또한 트랜지스터(M2)는 소스-드레인 간 전압이 아니라 게이트-소스 간 전압에 따른 전류를 소스-드레인 사이에 흘리는 동작을 하는 것이 바람직하다. 즉 트랜지스터(M2)는 온 상태일 때 포화 영역에서 동작하는 것이 바람직하다. 트랜지스터(M2)를 포화 영역에서 동작시킴으로써, 트랜지스터(M2)에 흐르는 전류의 양을 게이트-소스 간 전압에 의하여 정할 수 있다. 또한 트랜지스터(M2)를 포화 영역에서 동작시키면, 트랜지스터(M2)의 소스-드레인 간 전압이 변화되어도 드레인 전류는 크게 변화되지 않는다. 즉 트랜지스터(M2)에 흐르는 전류의 양을 게이트-소스 간 전압에 의하여 정함으로써, 트랜지스터(M2)는 발광 디바이스(LD)의 애노드-캐소드 사이에 안정된 전류를 흘릴 수 있다. 또한 상황에 따라서는 트랜지스터(M2)는 온 상태일 때 선형 영역에서 동작하여도 좋다. 또는 트랜지스터(M2)는 서브스레숄드 영역에서 동작하여도 좋다.

[0123] 또한 트랜지스터에 관한 앞의 설명은 트랜지스터(M2)뿐만 아니라, 명세서의 다른 부분에 기재된 트랜지스터 및 도면에 나타낸 트랜지스터에 대해서도 적용할 수 있는 것으로 한다.

[0124] 스위치(SW1)와, 스위치(SW3)와, 스위치(SW5)와, 스위치(SW6)와, 스위치(SW11)와, 스위치(SW12) 각각에는 예를 들어 아날로그 스위치 및 트랜지스터 등의 전기적인 스위치를 적용할 수 있다. 특히 스위치(SW1)와, 스위치(SW3)와, 스위치(SW5)와, 스위치(SW6)와, 스위치(SW11)와, 스위치(SW12)에는 전기적인 스위치로서 상술한 트랜지스터가 사용되는 것이 바람직하고, OS 트랜지스터가 사용되는 것이 더 바람직하다. 또한 스위치(SW1)와, 스위치(SW3)와, 스위치(SW5)와, 스위치(SW6)와, 스위치(SW11)와, 스위치(SW12)에 전기적인 스위치가 사용되는 경우, 상기 전기적인 스위치에는 OS 트랜지스터 이외로서, 트랜지스터(M2)에 적용할 수 있는 트랜지스터를 사용할 수 있다. 구체적으로는 상기 트랜지스터는 Si 트랜지스터로 할 수 있다. 또한 스위치(SW1)와, 스위치(SW3)와, 스위치(SW5)와, 스위치(SW6)와, 스위치(SW11)와, 스위치(SW12)에는 예를 들어 기계적인 스위치를 적용하여도 좋다.

[0125] 또한 본 명세서 등에서는, 도 2에 나타낸 스위치(SW1)와, 스위치(SW3)와, 스위치(SW5)와, 스위치(SW6)와, 스위치(SW11)와, 스위치(SW12) 각각은 제어 단자에 고레벨 전위가 공급될 때 온 상태가 되고, 제어 단자에 저레벨 전위가 공급될 때 오프 상태가 되는 것으로 한다.

[0126] 도 2에서 발광 디바이스(LD)는 일례로서, 유기 EL 소자(OLED)를 가지는 자발광형 발광 디바이스로 한다. 또한 화소(PX)에 적용할 수 있는 발광 디바이스(LD)의 구성에 대해서는 실시형태 4에서 자세히 설명한다.

[0127] 화소(PX)에서 스위치(SW1)의 제 1 단자는 트랜지스터(M2)의 게이트와, 스위치(SW3)의 제 1 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속되고, 스위치(SW1)의 제 2 단자는 배선(SL)에 전기적으로 접속되고, 스위치(SW1)의 제어 단자는 배선(GL1)에 전기적으로 접속되어 있다. 또한 트랜지스터(M2)의 제 1 단자는 용량 소자(C1)의 제 2 단자와, 스위치(SW6)의 제 1 단자와, 발광 디바이스(LD)의 애노드에 전기적으로 접속되고, 트랜지스터(M2)의 제 2 단자는 스위치(SW3)의 제 2 단자와 스위치(SW5)의 제 1 단자에 전기적으로 접속되어 있다. 또한 스위치(SW3)의 제어 단자는 배선(GL3)에 전기적으로 접속되어 있다. 또한 스위치(SW5)의 제 2 단자는 배선(VE2)에 전기적으로 접속되고, 스위치(SW5)의 제어 단자는 배선(GL5)에 전기적으로 접속되어 있다. 또한 스위치(SW6)의 제 2 단자는 배선(VE1)에 전기적으로 접속되고, 스위치(SW6)의 제어 단자는 배선(GL6)에 전기적으로 접속되어 있다. 또한 발광 디바이스(LD)의 캐소드는 배선(VE0)에 전기적으로 접속되어 있다.

[0128] 또한 본 실시형태에서는 스위치(SW1)의 제 1 단자와, 스위치(SW3)의 제 1 단자와, 트랜지스터(M2)의 게이트와, 용량 소자(C1)의 제 1 단자의 전기적인 접속점을 노드(N1)라고 부른다. 또한 트랜지스터(M2)의 제 1 단자와, 용량 소자(C1)의 제 2 단자와, 스위치(SW6)의 제 1 단자와, 발광 디바이스(LD)의 애노드의 전기적인 접속점을 노드(N2)라고 부른다.

[0129] 회로(CD)에서 용량 소자(C2)의 제 1 단자는 배선(SL)에 전기적으로 접속되고, 용량 소자(C2)의 제 2 단자는 스위치(SW11)의 제 1 단자와 스위치(SW12)의 제 1 단자에 전기적으로 접속되어 있다. 또한 스위치(SW11)의 제 2 단자는 배선(VE3)에 전기적으로 접속되고, 스위치(SW11)의 제어 단자는 배선(SWL11)에 전기적으로 접속되어 있다. 또한 스위치(SW12)의 제 2 단자는 구동 회로(SD)에 전기적으로 접속되고, 스위치(SW12)의 제어 단자는 배선(SWL12)에 전기적으로 접속되어 있다.

[0130] 또한 본 실시형태에서는 스위치(SW11)의 제 1 단자와, 스위치(SW12)의 제 1 단자와, 용량 소자(C2)의 제 2 단자의 전기적인 접속점을 노드(N3)라고 부른다.

[0131] 배선(VE0) 내지 배선(VE3) 각각은 일례로서, 정전위를 공급하는 배선으로서 기능한다. 배선(VE0) 내지 배선

(VE3) 각각이 공급하는 정전위는 서로 같아도 좋고 상이하여도 좋다. 또는 배선(VE0) 내지 배선(VE3) 각각이 공급하는 전위의 일부는 같고, 나머지 전위는 상이하여도 좋다. 또한 배선(VE0) 내지 배선(VE3) 중에서 선택된 하나 이상은 정전위가 아니라 펄스 전위를 공급하는 배선으로서 기능하여도 좋다.

[0132] 특히, 도 2의 화소(PX)에서 배선(VE0)은 발광 디바이스(LD)의 캐소드에 전위를 공급하는 배선으로서 기능하는 것이 바람직하다. 또한 배선(VE2)은 발광 디바이스(LD)의 애노드에 전위를 공급하는 배선으로서 기능하는 것이 바람직하다.

[0133] 또한 도 2의 화소(PX)에서 발광 디바이스(LD)의 캐소드는 배선(VE0)에 전기적으로 접속되고, 발광 디바이스(LD)의 애노드는 트랜지스터(M2) 및 스위치(SW5)를 통하여 배선(VE2)에 전기적으로 접속되어 있지만, 발광 디바이스(LD)의 애노드가 배선(VE0)에 전기적으로 접속되고 발광 디바이스(LD)의 캐소드가 배선(VE2)에 전기적으로 접속되어도 좋다. 즉 전자의 발광 디바이스(LD)의 구성을 순 적층으로 한 경우, 본 발명의 일 형태의 표시 장치에 따른 화소의 발광 디바이스의 구성은 역 적층으로 하여도 좋다. 이 경우 배선(VE0)은 발광 디바이스(LD)의 애노드에 전위를 공급하는 배선으로서 기능하고, 배선(VE2)은 발광 디바이스(LD)의 캐소드에 전위를 공급하는 배선으로서 기능한다.

[0134] 배선(GL1), 배선(GL3), 배선(GL5), 및 배선(GL6)은 도 1의 배선(GL[1]) 내지 배선(GL[m]) 중 하나에 상당한다. 즉 도 2에 나타낸 화소(PX)의 회로 구성의 경우, 화소 어레이(ALP)의 1행에 연장되어 배치되는 배선(GL)의 개수는 4개이다.

[0135] 배선(SWL11)은 스위치(SW11)의 온 상태와 오프 상태를 전환하는 제어 신호(디지털 전위)를 송신하기 위한 배선으로서 기능한다. 또한 마찬가지로 배선(SWL12)은 스위치(SW12)의 온 상태와 오프 상태를 전환하는 제어 신호(디지털 전위)를 송신하기 위한 배선으로서 기능한다.

[0136] <<표시 장치의 동작 방법예 1>>

[0137] 다음으로 도 2의 표시 장치(DSP1A)의 동작 방법의 일례에 대하여 설명한다.

[0138] 도 3의 (A) 및 (B)는 표시 장치(DSP1A)의 동작 방법의 일례를 나타낸 타이밍 차트이다. 구체적으로는 도 3의 (A)의 타이밍 차트에는 기간 T11 내지 기간 T17 각각에서의 배선(GL1), 배선(GL3), 배선(GL5), 배선(GL6), 배선(SWL11), 배선(SWL12), 및 노드(N3)의 전위 변화를 나타낸 것이다. 또한 도 3의 (B)에는 기간 T11 내지 기간 T17 각각에서의 노드(N1) 및 노드(N2)의 전위 변화를 나타내었다. 또한 도 3의 (B)에서 노드(N1)의 전위 변화는 실선으로 나타내고, 노드(N2)의 전위 변화는 일점쇄선으로 나타내었다. 또한 도 3의 (B)의 타이밍 차트는 트랜지스터(M2)의 문턱 전압이 0V보다 큰 경우를 나타낸 것이다.

[0139] 또한 도 3의 (A)에서 High는 고레벨 전위를 나타내고, Low는 저레벨 전위를 나타낸다.

[0140] 배선(VE1)에는 정전위로서 V_N이 공급되는 것으로 한다. 또한 배선(VE3)에는 정전위로서 V_{ref}가 공급되는 것으로 한다. 또한 V_N과 V_{ref}는 서로 같은 전위로 하여도 좋다.

[0141] 또한 배선(VE2)에는 정전위로서 V_{AN}이 공급되는 것으로 한다. 또한 배선(VE0)에는 정전위로서 V_{CT}가 공급되는 것으로 한다. 또한 V_{AN}은 V_{CT}보다 높은 전위로 한다.

[0142] 또한 V_{AN}은 V_N보다 높은 전위로 한다. 또한 V_N-V_{CT}의 전압은 발광 디바이스(LD)가 발광하지 않는(발광 디바이스(LD)의 애노드-캐소드 사이에 전류가 흐르지 않는) 전압으로 한다. 그러므로 V_N은 V_{CT}와 같은 전위 또는 V_{CT}보다 낮은 전위로 하는 것이 바람직하다.

[0143] 또한 트랜지스터(M2)의 문턱 전압을 V_{th}로 한다. 또한 V_{th}는 V_{AN}-V_N보다 낮은 전압으로 한다.

[0144] [기간 T11보다 전]

[0145] 기간 T11보다 전에서 배선(GL1), 배선(GL3), 배선(GL5), 배선(GL6), 배선(SWL11), 및 배선(SWL12) 각각에는 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW1), 스위치(SW3), 스위치(SW5), 스위치(SW6), 스위치(SW11), 및 스위치(SW12) 각각의 제어 단자에는 저레벨 전위가 공급되기 때문에 이들 스위치 각각은 오프 상태이다.

[0146] 또한 기간 T11보다 전에서 노드(N1) 및 노드(N2) 각각의 전위는 특별히 한정되지 않는 것으로 한다. 예를 들어 도 3의 (B)의 후술하는 기간 T11에서는 노드(N1)의 전위가 상승되는 예를 나타내었지만, 기간 T11보다 전의 노

드(N1)의 전위는 기간 T11에서 저하되는 전위로 하여도 좋다. 또한 예를 들어 도 3의 (B)의 후술하는 기간 T11에서는 노드(N2)의 전위가 저하되는 예를 나타내었지만, 기간 T11보다 전의 노드(N2)의 전위는 기간 T11에서 상승되는 전위로 하여도 좋다.

[0147] 또한 기간 T11보다 전에서 노드(N3)의 전위는 불안정하다. 그러므로 도 3의 (A)의 타이밍 차트의 기간 T11보다 전의 노드(N3)의 전위를 해칭으로 도시하였다.

[0148] [기간 T11]

[0149] 기간 T11에서는 배선(GL1), 배선(GL3), 배선(GL5), 배선(GL6), 및 배선(SWL11)에 고레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW1), 스위치(SW3), 스위치(SW5), 스위치(SW6), 및 스위치(SW11) 각각의 제어 단자에는 고레벨 전위가 공급되기 때문에 이들 스위치 각각은 온 상태가 된다.

[0150] 스위치(SW1), 스위치(SW3), 및 스위치(SW5) 각각이 온 상태이기 때문에 트랜지스터(M2)의 게이트, 용량 소자(C1)의 제 1 단자, 및 용량 소자(C2)의 제 1 단자 각각과 배선(VE2)의 사이는 도통 상태가 된다. 따라서 용량 소자(C2)의 제 1 단자, 트랜지스터(M2)의 게이트, 및 용량 소자(C1)의 제 1 단자(노드(N1))에는 배선(VE2)으로부터 전위(V_{AN})가 공급된다(도 3의 (B) 참조).

[0151] 또한 스위치(SW6)가 온 상태이기 때문에 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 발광 디바이스(LD)의 애노드 각각과 배선(VE1) 사이는 도통 상태가 된다. 따라서 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 발광 디바이스(LD)의 애노드(노드(N2))에는 배선(VE1)으로부터 전위(V_N)가 공급된다(도 3의 (B) 참조).

[0152] 이때 발광 디바이스(LD)의 애노드-캐소드 간 전압은 V_N-V_{CT}가 된다. 상술한 바와 같이 발광 디바이스(LD)의 애노드-캐소드 간 전압이 V_N-V_{CT}일 때 발광 디바이스(LD)는 발광하지 않는다(발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르지 않는다).

[0153] 또한 트랜지스터(M2)의 게이트 및 제 2 단자의 전위는 V_{AN}이고 트랜지스터(M2)의 제 1 단자의 전위는 V_N이 되기 때문에, 트랜지스터(M2)의 게이트-소스 간 전압은 V_{AN}-V_N이 된다. 게이트-소스 간 전압(V_{AN}-V_N)은 V_{th}보다 높은 전압이기 때문에 트랜지스터(M2)는 온 상태가 된다. 또한 발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르지 않는 것으로 하면, 스위치(SW5), 트랜지스터(M2), 및 스위치(SW6)를 통하여 배선(VE1)과 배선(VE2) 사이에 전류가 흐른다.

[0154] 또한 스위치(SW11)가 온 상태이기 때문에 용량 소자(C2)의 제 2 단자 및 스위치(SW12)의 제 1 단자 각각과 배선(VE3) 사이는 도통 상태가 된다. 따라서 용량 소자(C2)의 제 2 단자 및 스위치(SW12)의 제 1 단자(노드(N3))에는 배선(VE3)으로부터 전위(V_{ref})가 공급된다(도 3의 (A) 참조).

[0155] 또한 도 3의 (A)의 타이밍 차트의 기간 T11에서는 같은 타이밍으로 배선(GL1), 배선(GL3), 배선(GL5), 배선(GL6), 및 배선(SWL11) 각각에 고레벨 전위가 입력되어 있지만, 기간 T11 중이면 배선(GL1), 배선(GL3), 배선(GL5), 배선(GL6), 및 배선(SWL11) 각각에 고레벨 전위가 입력되는 타이밍은 상이하여도 좋다.

[0156] [기간 T12]

[0157] 기간 T12에서는 배선(GL5)에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW5)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW5)는 오프 상태가 된다. 따라서 트랜지스터(M2)의 제 2 단자와 배선(VE2) 사이는 비도통 상태가 된다.

[0158] 스위치(SW5)가 오프 상태가 되기 직전에는 트랜지스터(M2)의 게이트-소스 간 전압(V_{AN}-V_N)은 트랜지스터(M2)의 문턱 전압(V_{th})보다 크기 때문에 트랜지스터(M2)는 온 상태이다. 스위치(SW5)가 오프 상태가 되면 배선(VE2)으로부터 트랜지스터(M2)의 제 2 단자 및 트랜지스터(M2)의 게이트에 대한 전위(V_{AN}) 인가가 없어지기 때문에, 노드(N1)에 공급된 양 전하는 트랜지스터(M2)의 제 1 단자-제 2 단자 사이 및 스위치(SW6)를 통하여 배선(VE1)에 방전된다. 이에 의하여 노드(N1)의 전위가 저하된다.

[0159] 노드(N1)의 전위가 저하됨으로써 트랜지스터(M2)의 게이트-소스 간 전압도 낮아진다. 트랜지스터(M2)의 게이트-소스 간 전압이 트랜지스터(M2)의 문턱 전압(V_{th})까지 낮아지면 트랜지스터(M2)는 오프 상태가 되어 노드(N1)로

부터의 양 전하의 방전이 멈춘다. 즉 노드(N1)의 전위가 V_{AN}으로부터 V_N+V_{th}에 도달하였을 때 트랜지스터(M2)가 오프 상태가 된다. 트랜지스터(M2)가 오프 상태이기 때문에 노드(N1)의 전위는 V_N+V_{th}에서 변화되지 않는다(도 3의 (B) 참조). 또한 트랜지스터(M2)가 오프 상태가 됨으로써 노드(N1) 및 배선(SL)은 플로팅 상태가 된다.

[0160] [기간 T13]

[0161] 기간 T13에서는 배선(GL3) 및 배선(SWL11) 각각에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW3) 및 스위치(SW11) 각각의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW3) 및 스위치(SW11) 각각은 오프 상태가 된다.

[0162] 스위치(SW3)가 오프 상태이기 때문에 용량 소자(C2)의 제 1 단자, 트랜지스터(M2)의 게이트, 및 용량 소자(C1)의 제 1 단자 각각과 트랜지스터(M2)의 제 2 단자 사이는 비도통 상태가 된다.

[0163] 또한 스위치(SW11)가 오프 상태이기 때문에 용량 소자(C2)의 제 2 단자 및 스위치(SW12)의 제 1 단자 각각과 배선(VE3) 사이는 비도통 상태가 된다. 이때 노드(N3)는 플로팅 상태가 된다.

[0164] [기간 T14]

[0165] 기간 T14에서는 배선(SWL12)에 고레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW12)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW12)는 오프 상태가 된다.

[0166] 특히 스위치(SW12)가 온 상태가 되었을 때 구동 회로(SD)는 스위치(SW12)를 통하여 용량 소자(C2)의 제 2 단자(노드(N3))에, 화소(PX)에 표시하는 화상에 따른 화상 데이터 신호를 송신하는 것으로 한다. 또한 상기 화상 데이터 신호는 전위(V_{data})로 한다.

[0167] 따라서 노드(N3)의 전위는 V_{ref}에서 V_{data}로 변화된다. 또한 배선(SL) 및 노드(N1)는 플로팅 상태이기 때문에 용량 소자(C2)에서의 용량 결합에 의하여 노드(N3)의 전위 변화에 따라 배선(SL) 및 노드(N1)의 전위도 변화된다. 배선(SL) 및 노드(N1)의 전위 변화량은 예를 들어 용량 소자(C1)의 정전 용량, 용량 소자(C2)의 정전 용량, 트랜지스터(M2)의 게이트 용량, 스위치(SW1)에 따른 기생 용량, 스위치(SW3)에 따른 기생 용량, 및 배선(SL)에 따른 기생 용량에 의하여 정해진다. 본 동작예에서는 간단하게 설명하기 위하여, 배선(SL) 및 노드(N1)의 전위 변화량은 용량 소자(C1)의 정전 용량 및 용량 소자(C2)의 정전 용량에 의하여 정해지는 것으로 하여 설명한다.

[0168] 용량 소자(C1)의 정전 용량을 C_1, 용량 소자(C2)의 정전 용량을 C_2로 하고, 노드(N3)의 전위가 V_{ref}에서 V_{data}로 변화되었을 때 배선(SL) 및 노드(N1)의 전위에는 변화량으로서 $\Delta V_{data}=(V_{data}-V_{ref})\times C_2/(C_1+C_2)$가 공급된다. 그러므로 배선(SL) 및 노드(N1)의 전위는 $V_N+V_{th}+\Delta V_{data}$가 된다(도 3의 (B) 참조).

[0169] 한편, 용량 소자(C1)의 제 2 단자(노드(N2))에는 기간 T14보다 전부터 배선(VE1)으로부터의 전위(V_N)가 공급되어 있기 때문에, 노드(N3)의 전위가 V_{ref}에서 V_{data}로 변화되는 기간이어도, 용량 소자(C1)의 제 2 단자(노드(N2))의 전위는 V_N 그대로 변화되지 않는다.

[0170] 상술한 바와 같이, 기간 T14에서의 트랜지스터(M2)의 게이트-소스 간 전압을 V_{drv}로 하면, V_{drv}=(노드(N1)의 전위)-(노드(N2)의 전위)=$V_{th}+\Delta V_{data}$가 된다. 즉 기간 T14에서는 용량 소자(C1)의 제 1 단자-제 2 단자 사이에 유지되는 전압(V_{drv})이 화소(PX)에 표시하는 화상에 따른 전위(ΔV_{data})와 트랜지스터(M2)의 문턱 전압(V_{th})의 합으로 설정된다.

[0171] 또한 트랜지스터(M2)의 게이트-소스 간 전압(V_{drv})은 트랜지스터(M2)의 문턱 전압(V_{th})보다 크기 때문에 트랜지스터(M2)는 온 상태이다. 다만 스위치(SW3) 및 스위치(SW5) 각각은 오프 상태이므로 트랜지스터(M2)의 제 2 단자와 노드(N1) 사이 그리고 트랜지스터(M2)의 제 2 단자와 배선(VE2) 사이 각각은 비도통 상태가 된다. 그러므로 트랜지스터(M2)의 제 1 단자-제 2 단자 사이에는 전류가 흐르지 않는다.

[0172] [기간 T15]

[0173] 기간 T15에서는 배선(GL1)에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW1)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW1)는 오프 상태가 된다.

[0174] 스위치(SW1)가 오프 상태가 됨으로써, 트랜지스터(M2)의 게이트 및 용량 소자(C1)의 제 1 단자와 배선(SL) 사이

는 비도통 상태가 된다. 또한 스위치(SW3)는 기간 T13부터 오프 상태이기 때문에 용량 소자(C1)의 제 1 단자(노드(N1))에는 전위($V_N+V_{th}+\Delta V_{data}$)가 유지된다.

[0175] [기간 T16]

[0176] 기간 T16에서는 배선(GL5)에 고레벨 전위가 공급되고, 배선(GL6)에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW5)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW5)는 온 상태가 된다. 또한 스위치(SW6)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW6)는 오프 상태가 된다.

[0177] 스위치(SW5)가 온 상태이기 때문에 트랜지스터(M2)의 제 2 단자와 배선(VE2) 사이는 도통 상태가 된다. 또한 스위치(SW6)가 오프 상태이기 때문에 트랜지스터(M2)의 제 1 단자 및 용량 소자(C1)의 제 2 단자 각각과 배선(VE1) 사이는 비도통 상태가 된다. 또한 스위치(SW3)는 기간 T13부터 오프 상태이기 때문에 트랜지스터(M2)의 제 2 단자와 트랜지스터(M2)의 게이트(노드(N1)) 사이는 비도통 상태가 된다.

[0178] 또한 트랜지스터(M2)의 게이트-소스 간 전압은 $V_{drv}=V_{th}+\Delta V_{data}$이고, 트랜지스터(M2)의 문턱 전압($V_{th}$)보다 크기 때문에 트랜지스터(M2)는 온 상태이다.

[0179] 따라서 스위치(SW5), 트랜지스터(M2), 및 발광 디바이스(LD)를 통하여 배선(VE0)과 배선(VE2) 사이에 전류가 흐른다.

[0180] 이때 배선(VE0)-배선(VE2) 간 전압($V_{AN}-V_{CT}$)은 트랜지스터(M2)와, 발광 디바이스(LD)와, 스위치(SW5)에 의하여 분압된다. 본 동작예에서는 기간 T16의 동작에 의하여 트랜지스터(M2)의 제 1 단자(용량 소자(C1)의 제 2 단자 및 노드(N2))의 전위는 V_N에서 V_S로 승압되는 것으로 한다(도 3의 (B) 참조).

[0181] 또한 트랜지스터(M2)의 제 1 단자(용량 소자(C1)의 제 2 단자 및 노드(N2))의 전위가 V_N에서 V_S로 승압됨으로써, 용량 소자(C1)의 용량 결합에 의하여 트랜지스터(M2)의 게이트(용량 소자(C1)의 제 1 단자 및 노드(N1))의 전위도 변화된다. 본 동작예에서는 기간 T16의 동작에 의하여 트랜지스터(M2)의 게이트(용량 소자(C1)의 제 1 단자 및 노드(N1))의 전위는 $V_N+V_{th}+\Delta V_{data}$에서 V_G로 승압되는 것으로 한다(도 3의 (B) 참조).

[0182] 또한 상술한 용량 소자(C1)의 용량 결합에 의한 노드(N1)의 전위 변화량은 용량 소자(C1)의 정전 용량, 트랜지스터(M2)의 게이트 용량, 스위치(SW1)에 따른 기생 용량, 및 스위치(SW3)에 따른 기생 용량에 의하여 정해진다. 또한 본 동작예에서는 간단하게 설명하기 위하여, 노드(N1)의 전위 변화량은 노드(N2)의 전위 변화량과 같은 것으로 한다. 즉 노드(N2)의 전위 변화량을 $\Delta V_C(=V_S-V_N)$로 하였을 때 노드(N1)의 전위 변화량도 ΔV_C가 된다. 이는 노드(N1) 주변의 용량 결합 계수가 1인 경우에 상당한다.

[0183] 또한 노드(N1)에서는 $\Delta V_C=V_G-(V_N+V_{th}+\Delta V_{data})$이기 때문에 이 수학식에 노드(N2)의 전위 변화량($\Delta V_C=V_S-V_N$)을 대입하면, $V_G-V_S=V_{th}+\Delta V_{data}=V_{drv}$가 얻어진다. 즉 기간 T16에서의 트랜지스터(M2)의 게이트-소스 간 전압은 기간 T14에서 회로(CD)에 화상 데이터 신호가 입력되고 나서부터 변화되지 않았다.

[0184] 여기서 트랜지스터(M2)가 포화 영역에서 동작하는 경우에 대하여 생각한다. 트랜지스터(M2)의 제 1 단자-제 2 단자 사이에 흐르는 전류의 양은 트랜지스터(M2)의 게이트-소스 간 전압(V_{drv})에 의하여 정해진다. 구체적으로는 포화 영역에서 동작하는 트랜지스터의 소스-드레인 사이에 흐르는 전류의 양(I)은 트랜지스터의 게이트-소스 간 전압(V_{GS})과 트랜지스터의 문턱 전압(V_{th})의 차이의 2승에 비례하기 때문에 $I=k(V_{GS}-V_{th})^2$가 성립된다. 다만 k는 트랜지스터 구조에 의존하는 비례 상수이다. 상기 수학식의 V_{GS}에 트랜지스터(M2)의 게이트-소스 간 전압(V_{drv})을 대입함으로써 $I=k(\Delta V_{data})^2$가 되고, 트랜지스터(M2)에 흐르는 전류의 양(I)은 문턱 전압(V_{th})에 의존하지 않고 ΔV_{data}에 의하여 정해진다.

[0185] 상술한 바와 같이 기간 T11 내지 기간 T16까지의 동작을 수행함으로써, 트랜지스터(M2)는 트랜지스터(M2)의 문턱 전압(V_{th})에 의존하지 않는 전류를 생성할 수 있다.

[0186] 또한 발광 디바이스(LD)의 애노드의 전위가 V_S이기 때문에 발광 디바이스(LD)의 애노드-캐소드 간 전위는 V_S-V_{CT}이다. 또한 발광 디바이스(LD)의 애노드-캐소드 사이에는 트랜지스터(M2)의 소스-드레인 사이에 흐르는 전류

($I=k(\Delta V_{data})^2$)가 흐르기 때문에 발광 디바이스(LD)는 발광한다. 발광 디바이스(LD)가 유기 EL 소자인 경우, 발광 디바이스(LD)의 발광 휘도는 발광 디바이스(LD)의 애노드-캐소드 사이에 흐르는 전류의 양에 의하여 정해진다. 즉 발광 디바이스(LD)의 발광 휘도는 구동 회로(SD)로부터 입력되는 화상 데이터 신호(V_{data})에 의하여 정해진다.

[0187] 구동 회로(SD)로부터 출력된 화상 데이터 신호(V_{data})는 회로(CD)를 통하여 $V_{AN}+K\times(V_{data}-V_{ref})$로 변화된다. 즉 $V_{AN}+K\times(V_{data}-V_{ref})$가 화소(PX)에 입력된다. 또한 $K=C_2/(C_1+C_2)$로 하였다. 여기서, 화소의 계조 레벨의 최솟값을 V_{data_min}으로 하고 화소의 계조 레벨의 최댓값을 V_{data_max}로 하여, 화상 데이터 신호(V_{data})가 V_{data_min} 내지 V_{data_max}의 복수의 전위 중 어느 하나인 경우에 대하여 생각한다. V_{data_min} 내지 V_{data_max}의 복수의 전위 각각은 회로(CD)를 통하여 화소(PX)에 입력됨으로써 $V_{AN}+K\times(V_{data_min}-V_{ref})$ 내지 $V_{AN}+K\times(V_{data_max}-V_{ref})$로 변화된다.

[0188] V_{ref}가 V_{AN}보다 낮은 경우, 구동 회로(SD)로부터 출력되는 화상 데이터 신호(V_{data_min} 내지 V_{data_max}) 각각과, 회로(CD)를 통하여 화소(PX)에 입력되는 $V_{AN}+K\times(V_{data_min}-V_{ref})$ 내지 $V_{AN}+K\times(V_{data_max}-V_{ref})$의 관계는 도 4의 (A)와 같다. 즉 구동 회로(SD)로부터 출력되는 화상 데이터 신호가 회로(CD)를 통하여 화소(PX)에 입력되면, 화상 데이터 신호의 전위 범위가 좁아지고, 또한 화상 데이터 신호의 전위의 간격 폭도 작아진다. 이에 의하여 화소(PX)에 입력되는 화상 데이터 신호의 전위를 미세하게 변화시킬 수 있기 때문에, 트랜지스터(M2)의 소스-드레인 사이에 흐르는 전류의 양을 미세하게 변화시킬 수 있다.

[0189] 또한 V_{ref}가 V_{AN}보다 높은 경우, 구동 회로(SD)로부터 출력되는 화상 데이터 신호(V_{data_min} 내지 V_{data_max}) 각각과, 회로(CD)를 통하여 화소(PX)에 입력되는 $V_{AN}+K\times(V_{data_min}-V_{ref})$ 내지 $V_{AN}+K\times(V_{data_max}-V_{ref})$의 관계는 도 4의 (B)와 같다. 또한 화상 데이터 신호의 전위의 간격 폭을 작게 함으로써, 트랜지스터(M2)의 소스-드레인 사이에 흐르는 전류의 양을 미세하게 변화시킬 수 있는 점에 대해서는 도 4의 (A)와 마찬가지이다.

[0190] 또한 V_{ref}와 V_{AN}이 서로 같은 경우, 구동 회로(SD)로부터 출력되는 화상 데이터 신호(V_{data_min} 내지 V_{data_max}) 각각과, 회로(CD)를 통하여 화소(PX)에 입력되는 $V_{AN}+K\times(V_{data_min}-V_{ref})$ 내지 $V_{AN}+K\times(V_{data_max}-V_{ref})$의 관계는 도 4의 (C)와 같다. 또한 화상 데이터 신호의 전위의 간격 폭을 작게 함으로써, 트랜지스터(M2)의 소스-드레인 사이에 흐르는 전류의 양을 미세하게 변화시킬 수 있는 점에 대해서는 도 4의 (A) 및 (B)와 마찬가지이다.

[0191] 또한 도 3의 (A)의 타이밍 차트의 기간 T16에서는, 배선(GL5)에 고레벨 전위가, 그리고 배선(GL6)에는 저레벨 전위가 같은 타이밍으로 입력되어 있지만, 기간 T16 중이면 배선(GL5) 및 배선(GL6) 각각에 전위가 입력되는 타이밍은 상이하여도 좋다.

[0192] [기간 T17]

[0193] 기간 T17에서는 배선(GL5) 및 배선(SWL12) 각각에 저레벨 전위가 공급되고 배선(GL6)에 고레벨 전위가 공급되어 있다. 그러므로 스위치(SW5) 및 스위치(SW12) 각각의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW5) 및 스위치(SW12) 각각은 오프 상태가 된다. 또한 스위치(SW6)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW6)는 온 상태가 된다.

[0194] 스위치(SW5)가 오프 상태이기 때문에 트랜지스터(M2)의 제 2 단자와 배선(VE2) 사이는 비도통 상태가 된다. 또한 스위치(SW6)가 온 상태이기 때문에 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 발광 디바이스(LD)의 애노드 각각과 배선(VE1) 사이는 도통 상태가 된다. 따라서 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 발광 디바이스(LD)의 애노드(노드(N2))에는 배선(VE1)으로부터 전위(V_N)가 공급된다(도 3의 (B) 참조).

[0195] 이때 발광 디바이스(LD)의 애노드-캐소드 간 전압은 V_N-V_{CT}가 된다. 상술한 바와 같이 발광 디바이스(LD)의 애노드-캐소드 간 전압이 V_N-V_{CT}일 때 발광 디바이스(LD)는 발광하지 않는다(발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르지 않는다).

[0196] 즉 기간 T17의 동작을 수행함으로써 발광 디바이스(LD)의 발광을 정지할 수 있다.

[0197] 상술한 기간 T11 내지 기간 T17의 동작을 수행함으로써, 화소(PX)의 트랜지스터(M2)는 트랜지스터(M2)의 문턱

전압(V_{th})에 의존하지 않는 전류를 생성할 수 있고, 상기 전류를 발광 디바이스(LD)에 공급할 수 있다.

[0198] 표시 장치의 화소 어레이에 포함되는 복수의 화소의 구동 트랜지스터 각각의 문턱 전압은 상기 표시 장치의 제작 공정 및 제작 환경에 따라 편차가 생길 가능성이 있다. 즉 같은 화상 데이터 신호를 상이한 화소에 공급하여도, 각 화소의 트랜지스터의 문턱 전압이 상이한 경우에는 각 트랜지스터에 흐르는 전류의 양도 상이하고, 각 화소의 발광 디바이스의 발광 휘도가 상이한 경우가 있다. 결과로서, 발광 디바이스의 발광 휘도의 불균일이 발생하기 때문에 표시 장치의 화상의 표시 품질이 저하된다.

[0199] 한편, 본 발명의 일 형태로서 표시 장치(DSP1A)를 사용함으로써, 화소(PX)의 트랜지스터(M2)는 트랜지스터(M2)의 문턱 전압(V_{th})에 의존하지 않는 전류를 생성할 수 있기 때문에 화소 어레이(ALP) 각각의 화소(PX)에 포함되는 발광 디바이스의 발광 휘도의 불균일의 발생을 방지할 수 있다. 따라서 표시 장치(DSP1A)를 사용함으로써 표시 장치(DSP1A)의 표시 품질을 높일 수 있다.

[0200] 또한 상술한 기간 T11 내지 기간 T17의 동작을 수행함으로써, 표시 장치(DSP1A)의 화소(PX)의 발광 디바이스(LD)에 흐르는 전류의 양을 더 미세하게 제어할 수 있다.

[0201] 표시 장치의 정세도가 높아지는 경우, 화소 어레이에 포함되는 복수의 화소의 발광 디바이스가 형성되는 영역(발광면)의 면적은 작아진다. 발광 디바이스의 영역(발광면)의 면적이 작아지면 발광 디바이스가 발광하기 위하여 필요한 전류의 양은 작아지지만, 허용 전류의 양도 작아진다. 그러므로 발광 디바이스의 발광 휘도를 정확하게 조정하기 위해서는 미소한 전류의 제어가 필요하다.

[0202] 본 발명의 일 형태로서 표시 장치(DSP1A)를 사용함으로써, 발광 디바이스(LD)에 흐르는 전류의 양을 미세하게 제어할 수 있기 때문에 화소(PX)의 발광 디바이스(LD)의 발광 휘도를 미세하게 조정할 수 있다. 그러므로 표시 장치(DSP1A)를 사용함으로써 화상의 계조를 미세하게 설정할 수 있기 때문에 표시 장치(DSP1A)의 표시 품질을 높일 수 있다. 또한 표시 장치(DSP1A)를 사용함으로써, 발광 디바이스(LD)에 흐르는 전류의 양을 작게 할 수 있기 때문에, 과전류로 인하여 발광 디바이스(LD)가 파괴되는 것을 방지할 수 있다.

[0203] <<표시 장치의 동작 방법예 2>>

[0204] 도 3의 (A) 및 (B)는 표시 장치(DSP1A)의 화소 어레이(ALP)에 포함되는 하나의 화소(PX)에 관한 동작에 대하여 설명한 것이다. 여기서는 표시 장치(DSP1A)를 적용한 표시 장치(DSP0)에서의 화소 어레이(ALP)의 전체 동작에 대하여 설명한다.

[0205] 또한 표시 장치(DSP0)로서 표시 장치(DSP1A)를 적용하기 때문에, 표시 장치(DSP0)의 회로(CD[1]) 내지 회로(CD[n])에는 도 2의 회로(CD)가 적용되는 것으로 한다. 또한 화소(PX[1,1]) 내지 화소(PX[m,n]) 각각에는 도 2의 화소(PX)가 적용되는 것으로 한다.

[0206] 도 5는 표시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 복수의 화소(PX)에 대한 화상 데이터의 기록 방법의 일례를 나타낸 타이밍 차트이다.

[0207] 도 5의 타이밍 차트는 기간 U1 내지 기간 U7 사이 및 그 근방의 기간에서의 노드(N3[1]), 노드(N3[2]), 노드(N3[n]), 배선(GL1[1]), 배선(GL6[1]), 배선(GL1[2]), 배선(GL6[2]), 배선(GL1[m]), 및 배선(GL6[m])의 전위 변화와, 용량 소자(C1[1,1]), 용량 소자(C1[1,2]), 용량 소자(C1[1,n]), 용량 소자(C1[2,1]), 용량 소자(C1[2,2]), 용량 소자(C1[2,n]), 용량 소자(C1[m,1]), 용량 소자(C1[m,2]), 및 용량 소자(C1[m,n]) 각각의 제 1 단자-제 2 단자 사이에 유지되는 화상 데이터의 변화를 나타낸 것이다.

[0208] 또한 노드(N3[1])는 표시 장치(DSP0)에서의 회로(CD[1])에 포함되는 노드(N3)에 상당한다. 마찬가지로 노드(N3[2])는 표시 장치(DSP0)에서의 회로(CD[2])(도 1에 도시하지 않았음)에 포함되는 노드(N3)에 상당하고, 노드(N3[n])는 표시 장치(DSP0)에서의 회로(CD[n])에 포함되는 노드(N3)에 상당한다.

[0209] 또한 배선(GL1[1])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 첫 번째 행에 연장되어 배치되는 도 2의 배선(GL1)에 상당한다. 마찬가지로 배선(GL1[2])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 두 번째 행에 연장되어 배치되는 도 2의 배선(GL1)에 상당하고, 배선(GL1[m])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 m번째 행에 연장되어 배치되는 도 2의 배선(GL1)에 상당한다.

[0210] 또한 용량 소자(C1[1,1])는 표시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 화소(PX[1,1])가 가지는 도 2의 용량 소자(C1)에 상당한다. 마찬가지로 용량 소자(C1[1,2])는 표시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 화소(PX[1,2])(도 1에 도시하지 않았음)가 가지는 도 2의 용량 소자(C1)에 상당하고, 용량 소자(C1[1,n])는 표

시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 화소(PX[1,n])가 가지는 도 2의 용량 소자(C1)에 상당한다. 이하에서, 용량 소자(C1[i,j])라는 표기는 표시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 화소(PX[i,j])가 가지는 도 2의 용량 소자(C1)에 상당하는 것으로 한다.

[0211] 또한 도 5의 타이밍 차트의 기간 U1, 기간 U3, 및 기간 U6 각각에서는 소정 행에 위치하는 복수의 화소(PX)에 대하여, 도 3의 타이밍 차트의 기간 T11 내지 기간 T13의 동작이 수행되는 것으로 한다. 또한 도 5의 타이밍 차트의 기간 U2, 기간 U4, 및 기간 U7 각각에서는 소정 행에 위치하는 복수의 화소(PX)에 대하여, 도 3의 (A)의 타이밍 차트의 기간 T14 내지 기간 T17의 동작이 수행되는 것으로 한다.

[0212] 기간 U1보다 전에서는, 용량 소자(C1[1,1])에는 전압(V_{drv}[1,1]_0)이 유지되고, 용량 소자(C1[1,2])에는 전압(V_{drv}[1,2]_0)이 유지되고, 용량 소자(C1[1,n])에는 전압(V_{drv}[1,n]_0)이 유지되고, 용량 소자(C1[2,1])에는 전압(V_{drv}[2,1]_0)이 유지되고, 용량 소자(C1[2,2])에는 전압(V_{drv}[2,2]_0)이 유지되고, 용량 소자(C1[2,n])에는 전압(V_{drv}[2,n]_0)이 유지되고, 용량 소자(C1[m,1])에는 전압(V_{drv}[m,1]_0)이 유지되고, 용량 소자(C1[m,2])에는 전압(V_{drv}[m,2]_0)이 유지되고, 용량 소자(C1[m,n])에는 전압(V_{drv}[m,n]_0)이 유지되어 있다. 또한 V_{drv}[i,j]는 화소(PX[i,j])에서의 도 3의 (B)의 타이밍 차트의 V_{drv}에 상당한다.

[0213] 또한 기간 U1보다 전에서는, 배선(GL1[1]) 내지 배선(GL1[m]) 각각에는 저레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 모든 화소(PX)의 스위치(SW1)의 제어 단자 각각에 저레벨 전위가 공급되기 때문에 모든 화소(PX)의 스위치(SW1)는 오프 상태가 된다. 또한 이 동작에 의하여 화소 어레이(ALP)의 모든 화소(PX)의 발광 디바이스(LD)의 애노드-캐소드 사이에 전류가 흐르기 때문에 발광 디바이스(LD)는 발광한다.

[0214] 기간 U1에서는 화소 어레이(ALP)의 첫 번째 행에 위치하는 화소(PX[1,1]) 내지 화소(PX[1,n])에서 도 3의 (A)의 타이밍 차트의 기간 T11 내지 기간 T13의 동작이 수행된다. 이에 의하여, 노드(N3[1]) 내지 노드(N3[n]) 각각의 전위는 V_{ref}가 된다.

[0215] 또한 기간 U1에서는 배선(GL1[1])에는 고레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 첫 번째 행에 배치되는 화소(PX[1,1]) 내지 화소(PX[1,n])의 스위치(SW1)의 제어 단자 각각에 고레벨 전위가 공급되기 때문에 화소(PX[1,1]) 내지 화소(PX[1,n]) 각각의 스위치(SW1)는 온 상태가 된다.

[0216] 또한 기간 U1에서는 배선(GL6[1])에는 고레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 첫 번째 행에 배치되는 화소(PX[1,1]) 내지 화소(PX[1,n])의 스위치(SW6)의 제어 단자 각각에 고레벨 전위가 공급되기 때문에 화소(PX[1,1]) 내지 화소(PX[1,n]) 각각의 스위치(SW6)는 온 상태가 된다. 또한 이 동작에 의하여 화소(PX[1,1]) 내지 화소(PX[1,n]) 각각의 발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르지 않기 때문에 이들 발광 디바이스(LD)는 비발광이 된다.

[0217] 또한 도 3의 (A)의 타이밍 차트의 기간 T11 내지 기간 T13의 동작에 의하여, 기간 U1보다 전에서 화소(PX[1,1]) 내지 화소(PX[1,n]) 각각에 포함되는 용량 소자(C1[1,1]) 내지 용량 소자(C1[1,n]) 각각에 유지된 전압(V_{drv}[1,1]_0 내지 V_{drv}[1,n]_0)이 초기화되고, 용량 소자(C1[1,1]) 내지 용량 소자(C1[1,n]) 각각에 트랜지스터(M2)의 문턱 전압의 보정용 전압이 기록된다. 또한 도 5의 기간 U1의 용량 소자(C1[1,1]), 용량 소자(C1[1,2]), 및 용량 소자(C1[1,n])에는 보정용 전압을 기재하지 않았다.

[0218] 기간 U2에서는 화소 어레이(ALP)의 첫 번째 행에 위치하는 화소(PX[1,1]) 내지 화소(PX[1,n])에서 도 3의 (A)의 타이밍 차트의 기간 T14 내지 기간 T17의 동작이 수행된다. 이때 일례로서, 노드(N3[1]) 내지 노드(N3[n]) 각각에는 화소(PX[1,1]) 내지 화소(PX[1,n])에 기록되는 화상 데이터에 따른 신호로서 전위(V_d[1,1]_1 내지 V_d[1,n]_1)가 입력된다. 또한 V_d[1,1]_1 내지 V_d[1,n]_1은 도 3의 (A) 및 (B)의 설명의 V_{data}에 상당한다.

[0219] 또한 도 3의 (A)의 타이밍 차트의 기간 T14 내지 기간 T17의 동작에 의하여, 화소(PX[1,1]) 내지 화소(PX[1,n]) 각각에 포함되는 용량 소자(C1[1,1]) 내지 용량 소자(C1[1,n]) 각각의 제 1 단자에는 V_d[1,1]_1 내지 V_d[1,n]_1이 레벨 시프트된 전위가 입력된다. 이에 의하여 용량 소자(C1[1,1]) 내지 용량 소자(C1[1,n]) 각각에는 화상 데이터에 따른 전위로서 V_{drv}[1,1]_1 내지 V_{drv}[1,n]_1이 유지된다.

[0220] 그 후 배선(GL1[1])에는 저레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 첫 번째 행에 배치되는 화소(PX[1,1]) 내지 화소(PX[1,n])의 스위치(SW1)의 제어 단자 각각에 저레벨 전위가 공급되기 때문에 화소

(PX[1,1]) 내지 화소(PX[1,n]) 각각의 스위치(SW1)는 오프 상태가 된다.

[0221] 또한 기간 U2에서는 배선(GL1[1])에 저레벨 전위가 공급된 후에 배선(GL6[1])에는 저레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 첫 번째 행에 배치되는 화소(PX[1,1]) 내지 화소(PX[1,n])의 스위치(SW6)의 제어 단자 각각에 저레벨 전위가 공급되기 때문에 화소(PX[1,1]) 내지 화소(PX[1,n]) 각각의 스위치(SW6)는 오프 상태가 된다. 또한 이 동작에 의하여 화소(PX[1,1]) 내지 화소(PX[1,n]) 각각의 발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르기 때문에 이들 발광 디바이스(LD)는 상기 전류의 양에 따른 휘도의 광을 방출한다. 또한 상기 전류의 양은 도 3의 (A) 및 (B)의 설명과 같이 트랜지스터(M2)의 게이트-소스 간 전압, 즉 용량 소자(C1)에 유지된 전압에 의하여 정해진다. 즉 화소(PX[1,1])의 발광 디바이스(LD)는 전압(V_{drv}[1,1]_1)에 따른 휘도의 광을 방출하고, 화소(PX[1,2])의 발광 디바이스(LD)는 전압(V_{drv}[1,2]_1)에 따른 휘도의 광을 방출하고, 화소(PX[1,n])의 발광 디바이스(LD)는 전압(V_{drv}[1,n]_1)에 따른 휘도의 광을 방출한다.

[0222] 기간 U3에서는 화소 어레이(ALP)의 두 번째 행에 위치하는 화소(PX[2,1]) 내지 화소(PX[2,n])(도 1에 도시하지 않았음)에서 도 3의 (A)의 타이밍 차트의 기간 T11 내지 기간 T13의 동작이 수행된다. 이에 의하여, 노드(N3[1]) 내지 노드(N3[n]) 각각의 전위는 V_{ref}가 된다.

[0223] 또한 기간 U3에서는 배선(GL1[2])에는 고레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 두 번째 행에 배치되는 화소(PX[2,1]) 내지 화소(PX[2,n])의 스위치(SW1)의 제어 단자 각각에 고레벨 전위가 공급되기 때문에 화소(PX[2,1]) 내지 화소(PX[2,n]) 각각의 스위치(SW1)는 온 상태가 된다.

[0224] 또한 기간 U3에서는 배선(GL6[2])에는 고레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 두 번째 행에 배치되는 화소(PX[2,1]) 내지 화소(PX[2,n])의 스위치(SW6)의 제어 단자 각각에 고레벨 전위가 공급되기 때문에 화소(PX[2,1]) 내지 화소(PX[2,n]) 각각의 스위치(SW6)는 온 상태가 된다. 또한 이 동작에 의하여 화소(PX[2,1]) 내지 화소(PX[2,n]) 각각의 발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르지 않기 때문에 이들 발광 디바이스(LD)는 비발광이 된다.

[0225] 또한 도 3의 (A)의 타이밍 차트의 기간 T11 내지 기간 T13의 동작에 의하여, 기간 U3보다 전에서 화소(PX[2,1]) 내지 화소(PX[2,n]) 각각에 포함되는 용량 소자(C1[2,1]) 내지 용량 소자(C1[2,n]) 각각에 유지된 전압(V_{drv}[2,1]_0 내지 V_{drv}[2,n]_0)이 초기화되고, 용량 소자(C1[2,1]) 내지 용량 소자(C1[2,n]) 각각에 트랜지스터(M2)의 문턱 전압의 보정용 전압이 기록된다. 또한 도 5의 기간 U3의 용량 소자(C1[2,1]), 용량 소자(C1[2,2]), 및 용량 소자(C1[2,n])에는 보정용 전압을 기재하지 않았다.

[0226] 기간 U4에서는 화소 어레이(ALP)의 두 번째 행에 위치하는 화소(PX[2,1]) 내지 화소(PX[2,n])에서 도 3의 (A)의 타이밍 차트의 기간 T14 내지 기간 T17의 동작이 수행된다. 이때 일례로서, 노드(N3[1]) 내지 노드(N3[n]) 각각에는 화소(PX[2,1]) 내지 화소(PX[2,n])에 기록되는 화상 데이터에 따른 신호로서 전위(V_d[2,1]_1 내지 V_d[2,n]_1)가 입력된다. 또한 V_d[2,1]_1 내지 V_d[2,n]_1은 도 3의 (A) 및 (B)의 설명의 V_{data}에 상당한다.

[0227] 또한 도 3의 (A)의 타이밍 차트의 기간 T14 내지 기간 T17의 동작에 의하여, 화소(PX[2,1]) 내지 화소(PX[2,n]) 각각에 포함되는 용량 소자(C1[2,1]) 내지 용량 소자(C1[2,n]) 각각의 제 1 단자에는 V_d[2,1]_1 내지 V_d[2,n]_1이 레벨 시프트된 전위가 입력된다. 이에 의하여 용량 소자(C1[2,1]) 내지 용량 소자(C1[2,n]) 각각에는 화상 데이터에 따른 전위로서 V_{drv}[2,1]_1 내지 V_{drv}[2,n]_1이 유지된다.

[0228] 그 후 배선(GL1[2])에는 저레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 두 번째 행에 배치되는 화소(PX[2,1]) 내지 화소(PX[2,n])의 스위치(SW1)의 제어 단자 각각에 저레벨 전위가 공급되기 때문에 화소(PX[2,1]) 내지 화소(PX[2,n]) 각각의 스위치(SW1)는 오프 상태가 된다.

[0229] 또한 기간 U4에서는 배선(GL1[2])에 저레벨 전위가 공급된 후에 배선(GL6[2])에는 저레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 두 번째 행에 배치되는 화소(PX[2,1]) 내지 화소(PX[2,n])의 스위치(SW6)의 제어 단자 각각에 저레벨 전위가 공급되기 때문에 화소(PX[2,1]) 내지 화소(PX[2,n]) 각각의 스위치(SW6)는 오프 상태가 된다. 또한 이 동작에 의하여 화소(PX[2,1]) 내지 화소(PX[2,n]) 각각의 발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르기 때문에 이들 발광 디바이스(LD)는 상기 전류의 양에 따른 휘도의 광을 방출한다. 또한 상기 전류의 양은 도 3의 (A) 및 (B)의 설명과 같이 트랜지스터(M2)의 게이트-소스 간 전압, 즉 용량 소자(C1)에 유지된 전압에 의하여 정해진다. 즉 화소(PX[2,1])의 발광 디바이스(LD)는 전압(V_{drv}[2,1]_1)에 따른 휘도의 광을 방출하고, 화소(PX[2,2])의 발광 디바이스(LD)는 전압(V_{drv}[2,2]_1)에 따른 휘

도의 광을 방출하고, 화소(PX[1,n])의 발광 디바이스(LD)는 전압(V_{drv}[2,n]_1)에 따른 휘도의 광을 방출한다.

[0230] 기간 U5에서는 기간 U1 및 기간 U2(기간 U3 및 기간 U4)와 마찬가지로, 세 번째 행 내지 m-1번째 행의 각 행에서 화소(PX)에 화상 데이터가 기록된다. 또한 기간 U5의 화소(PX)에 대한 화상 데이터의 기록은 행마다 축차적으로 수행된다.

[0231] 기간 U6에서는 화소 어레이(ALP)의 m번째 행에 위치하는 화소(PX[m,1]) 내지 화소(PX[m,n])에서 도 3의 (A)의 타이밍 차트의 기간 T11 내지 기간 T13의 동작이 수행된다. 이에 의하여 노드(N3[1]) 내지 노드(N3[n]) 각각의 전위는 V_{ref}가 된다.

[0232] 또한 기간 U6에서는 배선(GL1[m])에는 고레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 m번째 행에 배치되는 화소(PX[m,1]) 내지 화소(PX[m,n])의 스위치(SW1)의 제어 단자 각각에 고레벨 전위가 공급되기 때문에 화소(PX[m,1]) 내지 화소(PX[m,n]) 각각의 스위치(SW1)는 온 상태가 된다.

[0233] 또한 기간 U6에서는 배선(GL6[m])에는 고레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 m번째 행에 배치되는 화소(PX[m,1]) 내지 화소(PX[m,n])의 스위치(SW6)의 제어 단자 각각에 고레벨 전위가 공급되기 때문에 화소(PX[m,1]) 내지 화소(PX[m,n]) 각각의 스위치(SW6)는 온 상태가 된다. 또한 이 동작에 의하여 화소(PX[m,1]) 내지 화소(PX[m,n]) 각각의 발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르지 않기 때문에 이들 발광 디바이스(LD)는 비발광이 된다.

[0234] 또한 도 3의 (A)의 타이밍 차트의 기간 T11 내지 기간 T13의 동작에 의하여, 기간 U6보다 전에서 화소(PX[m,1]) 내지 화소(PX[m,n]) 각각에 포함되는 용량 소자(C1[m,1]) 내지 용량 소자(C1[m,n]) 각각에 유지된 전압(V_{drv}[m,1]_0 내지 V_{drv}[m,n]_0)이 초기화되고, 용량 소자(C1[m,1]) 내지 용량 소자(C1[m,n]) 각각에 트랜지스터(M2)의 문턱 전압의 보정용 전압이 기록된다. 또한 도 5의 기간 U6의 용량 소자(C1[m,1]), 용량 소자(C1[m,2]), 및 용량 소자(C1[m,n])에는 보정용 전압을 기재하지 않았다.

[0235] 기간 U7에서는 화소 어레이(ALP)의 m번째 행에 위치하는 화소(PX[m,1]) 내지 화소(PX[m,n])에서 도 3의 (A)의 타이밍 차트의 기간 T14 내지 기간 T17의 동작이 수행된다. 이때 일례로서, 노드(N3[1]) 내지 노드(N3[n]) 각각에는 화소(PX[m,1]) 내지 화소(PX[m,n])에 기록되는 화상 데이터에 따른 신호로서 전위(V_d[m,1]_1 내지 V_d[m,n]_1)가 입력된다. 또한 V_d[m,1]_1 내지 V_d[m,n]_1은 도 3의 (A) 및 (B)의 설명의 V_{data}에 상당한다.

[0236] 또한 도 3의 (A)의 타이밍 차트의 기간 T14 내지 기간 T17의 동작에 의하여, 화소(PX[m,1]) 내지 화소(PX[m,n]) 각각에 포함되는 용량 소자(C1[m,1]) 내지 용량 소자(C1[m,n]) 각각의 제 1 단자에는 V_d[m,1]_1 내지 V_d[m,n]_1이 레벨 시프트된 전위가 입력된다. 이에 의하여 용량 소자(C1[m,1]) 내지 용량 소자(C1[m,n]) 각각에는 화상 데이터에 따른 전위로서 V_{drv}[m,1]_1 내지 V_{drv}[m,n]_1이 유지된다.

[0237] 그 후 배선(GL1[m])에는 저레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 m번째 행에 배치되는 화소(PX[m,1]) 내지 화소(PX[m,n])의 스위치(SW1)의 제어 단자 각각에 저레벨 전위가 공급되기 때문에 화소(PX[m,1]) 내지 화소(PX[m,n]) 각각의 스위치(SW1)는 오프 상태가 된다.

[0238] 또한 기간 U7에서는 배선(GL1[3])에 저레벨 전위가 공급된 후에 배선(GL6[m])에는 저레벨 전위가 입력되어 있다. 이에 의하여 화소 어레이(ALP)의 m번째 행에 배치되는 화소(PX[m,1]) 내지 화소(PX[m,n])의 스위치(SW6)의 제어 단자 각각에 저레벨 전위가 공급되기 때문에 화소(PX[m,1]) 내지 화소(PX[m,n]) 각각의 스위치(SW6)는 오프 상태가 된다. 또한 이 동작에 의하여 화소(PX[m,1]) 내지 화소(PX[m,n]) 각각의 발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르기 때문에 이들 발광 디바이스(LD)는 상기 전류의 양에 따른 휘도의 광을 방출한다. 또한 상기 전류의 양은 도 3의 (A) 및 (B)의 설명과 같이 트랜지스터(M2)의 게이트-소스 간 전압, 즉 용량 소자(C1)에 유지된 전압에 의하여 정해진다. 즉 화소(PX[m,1])의 발광 디바이스(LD)는 전압(V_{drv}[m,1]_1)에 따른 휘도의 광을 방출하고, 화소(PX[1,2])(도 1에 도시하지 않았음)의 발광 디바이스(LD)는 전압(V_{drv}[m,2]_1)에 따른 휘도의 광을 방출하고, 화소(PX[m,n])의 발광 디바이스(LD)는 전압(V_{drv}[m,n]_1)에 따른 휘도의 광을 방출한다.

[0239] 상술한 바와 같이 기간 U1 내지 기간 U7의 동작을 수행함으로써, 표시 장치(DSP1A)를 적용한 표시 장치(DSP0)는 화상을 표시할 수 있다. 또한 기간 U1 내지 기간 U7의 동작을 반복할 때마다 표시 장치(DSP0)에 표시되는 화상을 갱신할 수 있다.

[0240] 또한 상술한 표시 장치(DSP0)의 동작 방법은 본 발명의 일 형태의 표시 장치에 따른 동작 방법에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 표시 장치에 따른 동작 방법은 도 1의 표시 장치(DSP0)가 1프레임 기간 내에서 화소(PX)에 포함되는 스위치의 온 상태·오프 상태의 제어 및 화소(PX)에 인가되는 전압의 제어 중 한쪽 또는 양쪽에 의하여 화소(PX)의 발광 디바이스를 펄스상으로 발광시켜 화상을 표시하는 방법으로 하여도 좋다. 반대로 말하면, 도 1의 표시 장치(DSP0)는 1프레임 기간 내에서 화소(PX)의 발광 디바이스가 발광하는 이외의 기간에는 화소(PX)의 발광 디바이스를 발광시키지 않을 수 있다. 즉 표시 장치(DSP0)는 1프레임 기간 내에 화상의 표시와 흑색 표시를 수행하는 동작(Duty 구동이라고 불림)을 수행할 수 있다.

[0241] 또한 도 1의 표시 장치(DSP0)에 동영상을 표시시키는 경우, 표시 장치(DSP0)의 프레임 주파수는 30Hz 이상, 60Hz 이상, 120Hz 이상, 165Hz 이상, 또는 240Hz 이상으로 하면 좋다. 또한 도 1의 표시 장치(DSP0)에 정지 화상을 표시시키는 경우, 표시 장치(DSP0)의 프레임 주파수는 10Hz 이하, 5Hz 이하, 1Hz 이하, 0.5Hz 이하, 또는 0.1Hz 이하로 하면 좋다.

[0242] <<표시 장치의 레이아웃 예>>

[0243] 도 6의 (A) 및 (B) 각각은 도 2의 표시 장치(DSP1A)의 일부의 회로 구성의 일례를 나타낸 레이아웃 도면(평면도)이다. 또한 도 6의 (A)는 회로(CD)의 레이아웃 도면이고, 도 6의 (B)는 화소(PX)의 레이아웃 도면이다.

[0244] 도 6의 (A)의 레이아웃 도면에서는 도 1의 회로(CD)에 포함되는 스위치(SW11)에는 트랜지스터(M11)를 적용하고, 도 1의 회로(CD)에 포함되는 스위치(SW12)에는 트랜지스터(M12)를 적용하였다. 또한 도 6의 (B)의 레이아웃 도면에서는 도 1의 화소(PX)에 포함되는 스위치(SW1)에는 트랜지스터(M1)를 적용하고, 도 1의 화소(PX)에 포함되는 스위치(SW3)에는 트랜지스터(M3)를 적용하고, 도 1의 화소(PX)에 포함되는 스위치(SW5)에는 트랜지스터(M5)를 적용하고, 도 1의 화소(PX)에 포함되는 스위치(SW6)에는 트랜지스터(M6)를 적용하였다.

[0245] 또한 도 6의 (A) 및 (B) 각각에서 표시 장치(DSP1A)는 도전체(GEM)와, 도전체(SDMB)와, 도전체(SDMT)와, 반도체(SMC)와, 도전체(PLG)를 가진다. 또한 도 6의 (A) 및 (B) 각각에는 표시 장치(DSP1A)에 포함되는 절연체를 도시하지 않았다.

[0246] 반도체(SMC)는 일례로서 도전체(GEM)의 아래쪽에 위치한다. 또한 도전체(GEM)는 일례로서 도전체(SDMB)의 아래쪽에 위치한다. 또한 도전체(SDMB)는 일례로서 도전체(SDMT)의 아래쪽에 위치한다. 즉 도 6의 (A) 및 (B)의 회로(CD) 및 화소(PX)에서는 반도체(SMC), 도전체(GEM), 도전체(SDMB), 및 도전체(SDMT)가 이 순서대로 형성되어 있다.

[0247] 도전체(GEM)의 일부는 일례로서, 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 트랜지스터(M5), 트랜지스터(M6), 트랜지스터(M11), 및 트랜지스터(M12) 각각의 게이트(제 1 게이트라고 부르는 경우가 있음)로서 기능한다.

[0248] 반도체(SMC), 도전체(GEM), 도전체(SDMB), 및 도전체(SDMT) 각각은 예를 들어 포토리소그래피법을 사용하여 형성할 수 있다. 구체적으로는 예를 들어 도전체(GEM)를 형성하는 경우에는 도전체(GEM)가 되는 도전 재료를 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, PLD(Pulsed Laser Deposition)법, 및 원자층 퇴적(ALD: Atomic Layer Deposition)법 중에서 선택된 하나 이상의 방법을 사용하여 형성하고, 그 후에 포토리소그래피법에 의하여 원하는 패턴을 형성하면 좋다. 또한 반도체(SMC), 도전체(SDMB), 및 도전체(SDMT)에 대해서도 상기와 같은 방법에 의하여 형성할 수 있다.

[0249] 또한 반도체(SMC)와 도전체(GEM) 사이, 도전체(GEM)와 도전체(SDMB) 사이, 및 도전체(SDMB)와 도전체(SDMT) 사이에는 절연체가 제공되어도 좋다. 특히 반도체(SMC)와 도전체(GEM) 사이에 제공되는 절연체는 게이트 절연막(제 1 게이트 절연막, 프런트 게이트 절연막이라고 부르는 경우가 있음)으로서 기능하는 경우가 있다.

[0250] 또한 반도체(SMC)와 도전체(SDMB) 사이, 반도체(SMC)와 도전체(SDMT) 사이, 및 도전체(GEM)와 도전체(SDMT) 사이 각각에는 배선 또는 플러그로서 기능하는 도전체(PLG)가 제공되어 있다. 도전체(PLG)는 예를 들어 상기 절연체에 개구부를 형성하고, 상기 개구부에 도전체(PLG)가 되는 도전 재료를 매립함으로써 형성된다. 또한 도전체(PLG) 형성 후에는 도전체(PLG) 및 주변의 절연체 각각의 막 면의 높이를 정렬시키기 위하여, 화학 기계 연마법 등을 사용한 평탄화 처리에 의하여 평탄화시켜도 좋다.

[0251] 도 6의 (A) 및 (B) 각각에 도시된 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 트랜지스터(M5), 트랜지스터(M6), 트랜지스터(M11), 및 트랜지스터(M12) 각각은 일례로서 반도체(SMC)와, 도전체(GEM)와, 절연체와, 도전

체(PLG) 각각의 일부를 포함한다.

[0252] 또한 도 6의 (A) 및 (B) 각각에 도시된 용량 소자(C1) 및 용량 소자(C2)는 도전체(SDMB)와 도전체(SDMT) 각각의 일부를 포함한다. 또한 구체적으로는 용량 소자(C1) 및 용량 소자(C2) 각각은 도전체(SDMB) 및 도전체(SDMT) 각각의 일부가 서로 중첩되는 영역을 가진다. 즉 용량 소자(C1) 및 용량 소자(C2) 각각에서 도전체(SDMB)의 일부는 한 쌍의 전극 중 한쪽으로서 기능하고, 도전체(SDMT)의 일부는 한 쌍의 전극 중 다른 쪽으로서 기능한다. 또한 용량 소자(C1) 및 용량 소자(C2)에 포함되는 도전체(SDMB)와 도전체(SDMT) 사이에는 유전율이 높은 절연체가 제공되어 있는 것이 바람직하다.

[0253] 또한 도 6의 (B)에 도시된 도전체(EC)는 일례로서 도전체(SDMB) 위에 형성되어 있다. 도전체(EC)는 도전체(SDMT)와, 그 위쪽에 위치하는 발광 디바이스(LD)(도 6의 (B)에 도시하지 않았음)의 애노드를 전기적으로 접속하기 위한 배선 또는 플러그로서 기능한다.

[0254] 또한 본 발명의 일 형태의 표시 장치에 따른 레이아웃 도면은 도 6의 (A) 및 (B)에 한정되지 않는다. 본 발명의 일 형태의 표시 장치에 따른 레이아웃 도면은 도 6의 (A) 또는 (B)를 적절히 변경한 도면이어도 좋다.

[0255] 도 6의 (B)의 변경예를 도 7에 나타내었다. 도 7에 나타낸 화소(PX)의 레이아웃 도면은 트랜지스터(M3)에 포함되는 반도체(SMC)와 트랜지스터(M5)에 포함되는 반도체(SMC)가 서로 분리되지 않고 연속된 하나의 반도체막으로서 형성되는 점에서 도 6의 (B)의 화소(PX)의 레이아웃 도면과 다르다.

[0256] 또한 도 7에서는 트랜지스터(M3)에 포함되는 반도체(SMC)와 트랜지스터(M5)에 포함되는 반도체(SMC)가 연속된 하나의 반도체막으로서 형성되기 때문에, 스위치(SW3)의 제 2 단자에 상당하는 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 스위치(SW5)의 제 1 단자에 상당하는 트랜지스터(M5)의 소스 및 드레인 중 한쪽을 포함하는 영역 위에는 하나의 도전체(PLG)가 형성되어 있다.

[0257] 도 7과 같이, 분리되지 않고 연속된 하나의 반도체막을 형성함으로써, 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 트랜지스터(M5)의 소스 및 드레인 중 한쪽 사이에 흐르는 전류의 거리를 짧게 할 수 있다. 이에 의하여 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 트랜지스터(M5)의 소스 및 드레인 중 한쪽 사이의 저항값을 낮출 수 있기 때문에 소비 전력을 저감할 수 있다.

[0258] 또한 반도체뿐만 아니라, 도전체 및 절연체 각각의 막에서도 가공 패턴이 미세하게 될수록 상기 막의 가공 불량이 발생하기 쉬워진다. 도 7과 같이 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 트랜지스터(M5)의 소스 및 드레인 중 한쪽 사이의 반도체(SMC)를 분리시키지 않으면, 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 트랜지스터(M5)의 소스 및 드레인 중 한쪽 사이의 반도체(SMC) 분리 시에 발생하는 가공 불량을 방지할 수 있는 경우가 있다.

[0259] <<표시 장치의 변경예 1>>

[0260] 또한 앞에서 설명한 본 발명의 일 형태의 표시 장치에 따른 화소는 도 2에 나타낸 화소(PX)에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 도 2의 화소(PX)를 적절히 변경한 구성으로 하여도 좋다.

[0261] 도 2의 화소(PX)의 변경예를 도 8의 (A)에 나타내었다. 도 8의 (A)에 나타낸 화소(PX)는 트랜지스터(M2)가 백 게이트를 가지는 점에서 도 2의 화소(PX)와 다르다.

[0262] 구체적으로는 도 8의 (A)에 도시된 트랜지스터(M2)는 일례로서는 채널 위아래에 게이트를 가지는 구조의 트랜지스터로 하고, 트랜지스터(M2)는 제 1 게이트와 제 2 게이트를 가진다. 편의상 일례로서, 제 1 게이트를 게이트(프런트 게이트라고 기재하는 경우가 있음)로, 제 2 게이트를 백 게이트로 구별하여 기재하였지만, 제 1 게이트와 제 2 게이트는 서로 바꿀 수 있다. 그러므로 본 명세서 등에서 "게이트"라는 용어는 "백 게이트"라는 용어와 바꿔 기재할 수 있다. 마찬가지로, "백 게이트"라는 용어는 "게이트"라는 용어와 바꿔 기재할 수 있다. 구체적인 예로서, "게이트는 제 1 배선에 전기적으로 접속되고, 백 게이트는 제 2 배선에 전기적으로 접속된다"와 같은 접속 구성은 "백 게이트는 제 1 배선에 전기적으로 접속되고, 게이트는 제 2 배선에 전기적으로 접속된다"와 같은 접속 구성으로 바꿀 수 있다.

[0263] 또한 본 발명의 일 형태의 표시 장치에 따른 화소(PX)는 트랜지스터의 백 게이트의 접속 구성에 의존하지 않는다. 도 8의 (A)에 도시된 트랜지스터(M2)에서는 백 게이트가 도시되고 상기 백 게이트의 접속 구성에 대해서는 도시되지 않았지만, 상기 백 게이트의 전기적인 접속 대상은 설계 단계에서 결정할 수 있다. 예를 들어 백 게이트를 가지는 트랜지스터에서, 그 트랜지스터의 온 전류를 높이기 위하여 게이트와 백 게이트를 전기적으로 접속하여도 좋다. 즉 트랜지스터(M2)의 게이트와 백 게이트를 전기적으로 접속하여도 좋다. 또한 예를 들어 백

게이트를 가지는 트랜지스터에서, 그 트랜지스터의 문턱 전압 등을 변동시키기 위하여, 또는 그 트랜지스터의 오프 전류를 작게 하기 위하여, 외부 회로 등과 전기적으로 접속되는 배선을 제공하고 상기 외부 회로 등에 의하여 트랜지스터의 백 게이트에 고정 전위 또는 가변 전위를 공급하여도 좋다. 또한 이는 도 8의 (A)뿐만 아니라 명세서의 다른 부분에 기재된 트랜지스터 및 다른 도면에 도시된 트랜지스터에 대해서도 마찬가지이다.

[0264] 또한 도 8의 (A)의 화소(PX)에서는 트랜지스터(M2)의 게이트가 스위치(SW3)의 제 1 단자와, 스위치(SW1)의 제 1 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속되는 구성으로 하였지만, 도 8의 (B)에 나타낸 바와 같이 화소(PX)는 트랜지스터(M2)의 게이트가 아니라 트랜지스터(M2)의 백 게이트가 스위치(SW3)의 제 1 단자와, 스위치(SW1)의 제 1 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속되는 구성으로 하여도 좋다.

[0265] 또한 상술한 바와 같이 도 2에 나타낸 화소(PX)에 포함되는 스위치(SW1)와, 스위치(SW3)와, 스위치(SW5)와, 스위치(SW6)에는 트랜지스터 등의 전기적인 스위치를 적용할 수 있다. 구체적으로는 화소(PX)는 도 8의 (C)에 나타낸 바와 같이 스위치(SW1)가 트랜지스터(M1)를 가지고, 스위치(SW3)가 트랜지스터(M3)를 가지고, 스위치(SW5)가 트랜지스터(M5)를 가지고, 스위치(SW6)가 트랜지스터(M6)를 가지는 구성으로 할 수 있다. 또한 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M5), 및 트랜지스터(M6) 각각에는 트랜지스터(M2)에 적용할 수 있는 트랜지스터를 사용할 수 있다.

[0266] 상술한 바와 같이 도 2의 표시 장치(DSP1A)는 화소(PX) 내의 용량 소자(C1)와 화소(PX) 외의 용량 소자(C2)에 의하여 화상 데이터 신호의 전위 변환을 수행한다. 또한 예를 들어 용량 소자(C1)에 트랜지스터(M2)의 문턱 전압의 보정을 하기 위한 전압이 기록되어 있는 경우, 노드(N2)의 전위 변화에 의하여 노드(N1)의 전위는 노드(N2)의 전위 변화에 $C_1/(C_1+C_2)$를 곱한 전위가 인가되기 때문에, 용량 소자(C1)에 기록되어 있는 트랜지스터(M2)의 문턱 전압을 보정하기 위한 전압이 변화되는 경우가 있다(노드(N2)의 전위 변화가 노드(N1)의 전위 변화와 같은 경우, 용량 소자(C1)에 기록되어 있는 트랜지스터(M2)의 문턱 전압을 보정하기 위한 전압은 변화되지 않는다). 그러나 도 2의 표시 장치(DSP1A)는 도 3의 (A) 및 (B)의 타이밍 차트를 보면, 노드(N2)의 전위는 기간 T11, 기간 T16, 및 기간 T17 이외에서는 변화되지 않고, 또한 기간 T16 및 기간 T17에서는 노드(N1)와 용량 소자(C2)의 제 1 단자 사이는 비도통 상태가 되기 때문에, 노드(N2)의 전위 변화로 인한 노드(N1)의 전위 변화는 용량 소자(C2)의 영향을 받지 않는다. 즉 노드(N2)의 전위가 변화되는 경우, 노드(N1)의 전위 변화량은 노드(N2)의 전위 변화량과 거의 같다.

[0267] <<표시 장치의 변경예 2>>

[0268] 다음으로 표시 장치(DSP1A)와 다른 도 1의 표시 장치(DSP0)의 일례를 도 9에 나타내었다. 도 9에 나타낸 표시 장치(DSP1B)는 도 2의 표시 장치(DSP1A)의 변경예이고, 화소(PX)에 용량 소자(C2I)가 제공되는 점 및 회로(CD)에 용량 소자(C2)가 제공되지 않는 점에서 표시 장치(DSP1A)와 다르다.

[0269] 따라서 표시 장치(DSP1B)의 설명에서, 표시 장치(DSP1A)의 내용과 공통되는 부분에 대해서는 표시 장치(DSP1A)의 설명을 참조한다.

[0270] 표시 장치(DSP1B)에서 용량 소자(C2I)의 제 1 단자는 스위치(SW1)의 제 2 단자에 전기적으로 접속되어 있다. 또한 용량 소자(C2I)의 제 2 단자는 배선(SL)에 전기적으로 접속되어 있다.

[0271] 또한 스위치(SW11)의 제 1 단자는 배선(SL)과 스위치(SW12)의 제 1 단자에 전기적으로 접속되어 있다.

[0272] 또한 표시 장치(DSP1B)에서는 스위치(SW11)의 제 1 단자와, 스위치(SW12)의 제 1 단자와, 용량 소자(C2I)의 전기적인 접속점을 노드(N3)라고 부른다. 또한 본 구성예의 표시 장치(DSP1B)의 경우, 노드(N3)를 배선(SL)으로 치환하여 설명할 수 있는 경우가 있다.

[0273] 표시 장치(DSP1B)에서 용량 소자(C2I)는 표시 장치(DSP1A)의 용량 소자(C2)에 상당한다. 즉 표시 장치(DSP1B)는, 표시 장치(DSP1A)에서 회로(CD)에 포함되는 용량 소자(C2)를 용량 소자(C2I)로서 화소(PX)에 제공한 구성을 가진다. 따라서 표시 장치(DSP1B)의 동작 방법에 대해서는, 표시 장치(DSP1A)의 동작 방법에서 용량 소자(C2)를 용량 소자(C2I)로 치환하여 설명할 수 있는 경우가 있다.

[0274] 표시 장치(DSP1B)는 표시 장치(DSP1A)와 같은 동작 방법을 수행함으로써, 화소(PX)의 트랜지스터(M2)의 문턱 전압을 보정하여 화소(PX)에 화상을 표시할 수 있다.

[0275] 또한 본 발명의 일 형태의 표시 장치는 표시 장치(DSP1B)의 구성에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 표시 장치(DSP1B)를 적절히 변경한 구성으로 하여도 좋다.

[0276] 도 9의 표시 장치(DSP1B)의 변경예를 도 10에 나타내었다. 도 10에 나타낸 표시 장치(DSP1C)는 스위치(SW1)의 제 2 단자가 용량 소자(C2I)의 제 1 단자가 아니라 배선(SL)에 전기적으로 접속되는 점, 스위치(SW1)의 제 1 단자가 트랜지스터(M2)의 게이트, 스위치(SW3)의 제 1 단자, 및 용량 소자(C1)의 제 1 단자가 아니라 용량 소자(C2I)의 제 2 단자에 전기적으로 접속되는 점, 및 용량 소자(C2I)의 제 1 단자가 트랜지스터(M2)의 게이트와, 스위치(SW3)의 제 1 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속되는 점에서 도 9의 표시 장치(DSP1B)와 다르다.

[0277] 즉 표시 장치(DSP1B)는 배선(SL)에서 배선(VE0)까지 사이의 전기적인 경로에 용량 소자(C2I), 스위치(SW1), 용량 소자(C1), 및 발광 디바이스(LD)가 순차적으로 제공되어 있는 구성을 가지고, 표시 장치(DSP1C)는 배선(SL)에서 배선(VE0)까지 사이의 전기적인 경로에 스위치(SW1), 용량 소자(C2I), 용량 소자(C1), 및 발광 디바이스(LD)가 순차적으로 제공되어 있는 구성을 가진다.

[0278] 또한 본 명세서 등에서는 스위치(SW1)의 제 1 단자와 용량 소자(C2I)의 제 2 단자 사이의 전기적인 접속점을 노드(N4)라고 부른다.

[0279] 또한 표시 장치(DSP1C)에서 용량 소자(C2I)는 표시 장치(DSP1A)의 용량 소자(C2)에 상당한다. 또한 표시 장치(DSP1C)에서 노드(N4)는 표시 장치(DSP1A)의 노드(N3)에 상당한다. 즉 표시 장치(DSP1C)는, 표시 장치(DSP1A)에서 회로(CD)에 포함되는 용량 소자(C2)를 용량 소자(C2I)로서 화소(PX)에 제공한 구성을 가진다. 따라서 표시 장치(DSP1C)의 동작 방법은, 표시 장치(DSP1A)의 동작 방법에서 용량 소자(C2)를 용량 소자(C2I)로 치환하고 노드(N3)를 노드(N4)로 치환하여 설명할 수 있는 경우가 있다.

[0280] 표시 장치(DSP1C)도 표시 장치(DSP1A)와 같은 동작 방법을 수행함으로써, 화소(PX)의 트랜지스터(M2)의 문턱 전압을 보정하여 화소(PX)에 화상을 표시할 수 있다.

[0281] 또한 도 10의 표시 장치(DSP1C)와 다른 표시 장치(DSP1A)의 변경예를 도 11에 나타내었다. 도 11에 나타낸 표시 장치(DSP1D)는 도 10의 표시 장치(DSP1C)의 변경예이고, 화소(PX)에 스위치(SW11I)가 제공되는 점 및 회로(CD)에 스위치(SW11)가 제공되지 않는 점에서 표시 장치(DSP1C)와 다르다. 즉 도 11에 나타낸 표시 장치(DSP1D)는 화소(PX)에 스위치(SW11I) 및 용량 소자(C2I)가 제공되는 점 및 회로(CD)에 스위치(SW11) 및 용량 소자(C2)가 제공되지 않는 점에서 표시 장치(DSP1A)와 다르다.

[0282] 표시 장치(DSP1D)에서 스위치(SW11I)의 제 1 단자는 스위치(SW1)의 제 1 단자와 용량 소자(C2I)의 제 2 단자에 전기적으로 접속되어 있다. 또한 스위치(SW11I)의 제 2 단자는 배선(VE3)에 전기적으로 접속되어 있다. 또한 스위치(SW11I)의 제어 단자는 배선(GL11)에 전기적으로 접속되어 있다.

[0283] 또한 용량 소자(C2I)의 제 1 단자는 스위치(SW3)의 제 1 단자와, 용량 소자(C1)의 제 1 단자와, 트랜지스터(M2)의 게이트에 전기적으로 접속되어 있다. 또한 스위치(SW1)의 제 2 단자는 배선(SL)에 전기적으로 접속되어 있다.

[0284] 또한 스위치(SW12)의 제 1 단자는 배선(SL)에 전기적으로 접속되어 있다.

[0285] 배선(GL11)은 배선(GL1), 배선(GL3), 배선(GL5), 및 배선(GL6)과 함께 도 1의 배선(GL[1]) 내지 배선(GL[m]) 중 하나에 상당한다. 즉 도 11에 나타낸 화소(PX)의 회로 구성의 경우, 화소 어레이(ALP)의 1행에 연장되어 배치되는 배선(GL)의 개수는 5개이다.

[0286] 표시 장치(DSP1D)에서 용량 소자(C2I)는 표시 장치(DSP1A)의 용량 소자(C2)에 상당한다. 또한 스위치(SW11I)는 표시 장치(DSP1A)의 스위치(SW11)에 상당한다. 또한 배선(GL11)은 표시 장치(DSP1A)의 배선(SWL11)에 상당한다. 또한 노드(N4)는 표시 장치(DSP1A)의 노드(N3)에 상당한다. 즉 표시 장치(DSP1D)는, 표시 장치(DSP1A)에서 회로(CD)에 포함되는 스위치(SW11) 및 용량 소자(C2) 각각을 스위치(SW11I) 및 용량 소자(C2I)로서 화소(PX)에 제공한 구성을 가진다. 따라서 표시 장치(DSP1D)의 동작 방법은, 표시 장치(DSP1A)의 동작 방법에서 스위치(SW11)를 스위치(SW11I)로 치환하고, 용량 소자(C2)를 용량 소자(C2I)로 치환하고, 노드(N3)를 노드(N4)로 치환하고, 배선(SWL11)을 배선(GL11)으로 치환하여 설명할 수 있는 경우가 있다.

[0287] 표시 장치(DSP1D)는 표시 장치(DSP1A)와 같은 동작 방법을 수행함으로써, 화소(PX)의 트랜지스터(M2)의 문턱 전압을 보정하여 화소(PX)에 화상을 표시할 수 있다.

[0288] 또한 표시 장치(DSP1A)의 동작 방법에서 설명한 바와 같이 배선(VE2)과 배선(VE3) 각각이 공급하는 전위는 서로 같게 할 수 있다. 이 경우 배선(VE2)과 배선(VE3)은 하나의 배선으로서 합쳐도 좋다. 일례로서, 도 12에는 표시 장치(DSP1D)에서 배선(VE2)과 배선(VE3)을 하나의 배선(VE3)으로 합친 구성의 표시 장치(DSP1DA)를 나타내었

다.

[0289] 또한 표시 장치(DSP1A)의 동작 방법에서 설명한 바와 같이 배선(VE1)과 배선(VE3) 각각이 공급하는 전위는 서로 같게 할 수 있다. 이 경우 배선(VE1)과 배선(VE3)은 하나의 배선으로서 합쳐도 좋다. 일례로서, 도 13에는 표시 장치(DSP1D)에서 배선(VE1)과 배선(VE3)을 하나의 배선(VE1)으로 합친 구성의 표시 장치(DSP1DB)를 나타내었다.

[0290] 또한 도 9의 표시 장치(DSP1B), 도 10의 표시 장치(DSP1C), 도 11의 표시 장치(DSP1D), 도 12의 표시 장치(DSP1DA), 및 도 13의 표시 장치(DSP1DB)와 다른 표시 장치(DSP1A)의 변경예를 도 14에 나타내었다. 도 14에 나타낸 표시 장치(DSP1E)는 도 11의 표시 장치(DSP1D)의 변경예이고, 회로(CD)에 스위치(SW12)가 제공되지 않는 점에서 표시 장치(DSP1D)와 다르다. 즉 도 14에 나타낸 표시 장치(DSP1E)는 화소(PX)에 스위치(SW11I), 스위치(SW12I), 및 용량 소자(C2I)가 제공되는 점 및 회로(CD)가 제공되지 않는 점에서 표시 장치(DSP1A)와 다르다.

[0291] 또한 편의상, 표시 장치(DSP1E)에서는 표시 장치(DSP1D)의 스위치(SW1)를 스위치(SW12I)라고 표기하고, 표시 장치(DSP1D)의 배선(GL1)을 배선(GL12)이라고 표기하였다.

[0292] 표시 장치(DSP1E)에서 구동 회로(SD)는 배선(SL)에 전기적으로 접속되고, 배선(SL)은 스위치(SW12I)의 제 2 단자에 전기적으로 접속되어 있다.

[0293] 표시 장치(DSP1E)에 제공되어 있는 스위치(SW12I)는 표시 장치(DSP1D)의 화소(PX)에 제공되는 스위치(SW1)와 겸용할 수 있다. 따라서 표시 장치(DSP1D)는 도 14의 표시 장치(DSP1E)와 같이 회로(CD) 내에 스위치(SW12)를 제공하지 않는 구성으로 변경할 수 있다.

[0294] 표시 장치(DSP1E)의 동작 방법은, 표시 장치(DSP1A)의 동작 방법에서 스위치(SW11)를 스위치(SW11I)로 치환하고, 용량 소자(C2)를 용량 소자(C2I)로 치환하고, 노드(N3)를 노드(N4)로 치환하고, 배선(SWL11)을 배선(GL11)으로 치환하고, 배선(SWL12)을 배선(GL12)으로 치환하여 설명할 수 있다. 또한 표시 장치(DSP1A)의 배선(GL1)이 공급하는 신호에 대해서는 표시 장치(DSP1E)에서는 생각하지 않아도 된다.

[0295] <<표시 장치의 변경예 3>>

[0296] 다음으로 표시 장치(DSP1A) 내지 표시 장치(DSP1E)와 다른 도 1의 표시 장치(DSP0)의 일례를 도 15에 나타내었다. 도 15에 나타낸 표시 장치(DSP1F)는 도 2의 표시 장치(DSP1A)의 변경예이고, 용량 소자(C1)의 제 2 단자, 트랜지스터(M2)의 제 1 단자, 및 스위치(SW6)의 제 1 단자와 발광 디바이스(LD) 사이에 직렬로 전기적으로 접속되도록 스위치(SW4)가 제공되는 점 및 발광 디바이스(LD)에 병렬로 전기적으로 접속되도록 스위치(SW9)가 제공되는 점에서 표시 장치(DSP1A)와 다르다.

[0297] 스위치(SW4) 및 스위치(SW9) 각각에는 예를 들어 스위치(SW1), 스위치(SW3), 스위치(SW5), 스위치(SW6), 스위치(SW11), 또는 스위치(SW12)에 적용할 수 있는 스위치를 사용할 수 있다. 또한 스위치(SW4) 및 스위치(SW9) 각각은 제어 단자에 고레벨 전위가 공급될 때 온 상태가 되고, 제어 단자에 저레벨 전위가 공급될 때 오프 상태가 되는 것으로 한다.

[0298] 스위치(SW4)의 제 1 단자는 용량 소자(C1)의 제 2 단자와, 트랜지스터(M2)의 제 1 단자와, 스위치(SW6)의 제 1 단자에 전기적으로 접속되어 있다. 또한 스위치(SW4)의 제 2 단자는 발광 디바이스(LD)의 애노드와 스위치(SW9)의 제 1 단자에 전기적으로 접속되어 있다. 또한 스위치(SW4)의 제어 단자는 배선(GL4)에 전기적으로 접속되어 있다.

[0299] 스위치(SW9)의 제 2 단자는 발광 디바이스(LD)의 캐소드와 배선(VE0)에 전기적으로 접속되어 있다. 또한 스위치(SW9)의 제어 단자는 배선(GL9)에 전기적으로 접속되어 있다.

[0300] 도 15의 표시 장치(DSP1F)에서 배선(GL4) 및 배선(GL9)은 배선(GL1), 배선(GL3), 배선(GL5), 및 배선(GL6)과 함께 도 1의 배선(GL[1]) 내지 배선(GL[m]) 중 하나에 상당한다. 즉 도 15에 나타낸 화소(PX)의 회로 구성의 경우, 화소 어레이(ALP)의 1행에 연장되어 배치되는 배선(GL)의 개수는 6개이다.

[0301] 다음으로 도 15의 표시 장치(DSP1F)의 동작 방법의 일례에 대하여 설명한다.

[0302] 도 16은 표시 장치(DSP1F)의 동작 방법의 일례를 나타낸 타이밍 차트이다. 구체적으로는 도 16의 타이밍 차트는 도 3의 (A)의 타이밍 차트의 변경예이고, 도 3의 (A)의 타이밍 차트에 배선(GL4) 및 배선(GL9)의 전위 변화도 추가하여 나타낸 것이다. 그러므로 표시 장치(DSP1F)의 배선(GL4) 및 배선(GL9)의 전위 변화 이외의 동작에 대해서는 도 3의 (A)의 타이밍 차트의 설명을 참조한다.

[0303] 기간 T16에서 배선(GL4)에는 고레벨 전위가 공급되고, 배선(GL9)에는 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW4)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW4)는 온 상태가 된다. 또한 스위치(SW9)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW9)는 오프 상태가 된다.

[0304] 즉 기간 T16에서는 배선(VE0) 및 발광 디바이스(LD)의 캐소드 각각과 발광 디바이스(LD)의 애노드 사이가 비도통 상태가 되기 때문에, 발광 디바이스(LD)의 애노드에는 스위치(SW9)를 통하여 배선(VE0)으로부터의 전위(V_{CT})가 공급되지 않는다. 한편, 기간 T16에서는 스위치(SW5) 및 스위치(SW4) 각각이 온 상태이기 때문에 발광 디바이스(LD)의 애노드에는 배선(VE2)으로부터의 전류가 흐른다. 그러므로 발광 디바이스(LD)는 발광한다.

[0305] 기간 T11 내지 기간 T15 및 기간 T17에서 배선(GL4)에는 저레벨 전위가 공급되고, 배선(GL9)에는 고레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW4)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW4)는 오프 상태가 된다. 또한 스위치(SW9)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW9)는 온 상태가 된다.

[0306] 즉 기간 T11 내지 기간 T15 및 기간 T17에서는 배선(VE0) 및 발광 디바이스(LD)의 캐소드 각각과 발광 디바이스(LD)의 애노드 사이가 도통 상태가 되기 때문에 발광 디바이스(LD)의 애노드-캐소드 간 전압이 0V가 된다. 또한 스위치(SW4)가 오프 상태이기 때문에 스위치(SW4)를 통하여 노드(N2)와 발광 디바이스(LD)의 애노드 사이에 전류는 흐르지 않는다.

[0307] 특히 기간 T11 내지 기간 T15 및 기간 T17은 원래 발광 디바이스(LD)가 발광하지 않는 기간이지만 이들 기간에서 스위치(SW9)를 온 상태로 함으로써, 발광 디바이스(LD)의 애노드에 축적되어 있는 전하를 스위치(SW9)를 통하여 배선(VE0)에 배출할 수 있다. 즉 발광 디바이스(LD)가 발광하지 않는 기간에서, 표시 장치(DSP1F)는 발광 디바이스(LD)의 애노드에 축적되어 있는 전하를 스위치(SW9)가 제공되지 않는 표시 장치(예를 들어 표시 장치(DSP1A) 내지 표시 장치(DSP1E))보다 빠르게 방전할 수 있다. 이에 의하여 발광 디바이스(LD)의 발광 상태를 보다 빠르게 소광 상태로 이행시킬 수 있다.

[0308] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다.

[0309] (실시형태 2)

[0310] 본 실시형태에서는 앞에서 설명한 표시 장치(DSP1A)와 다른 본 발명의 일 형태의 표시 장치에 대하여 설명한다.

[0311] <표시 장치의 구성예 1>

[0312] 도 17에는 실시형태 1에서 설명한 도 1의 표시 장치(DSP0)에 적용할 수 있는 화소(PX) 및 회로(CD) 각각의 구성예를 나타내었다. 도 17에 나타낸 표시 장치(DSP2A)는 도 2와 마찬가지로 화소 어레이(ALP)에 포함되는 복수의 화소(PX) 중 하나와, 그 화소(PX)에 전기적으로 접속되는 행 드라이버 회로(RWD)의 구동 회로(GD)와, 열 드라이버 회로(CLM)의 회로(CD) 및 구동 회로(SD)를 발췌하여 나타내었다.

[0313] 도 17의 표시 장치(DSP2A)에서 화소(PX)는 일례로서 트랜지스터(M2)와, 스위치(SW1)와, 스위치(SW4)와, 스위치(SW6)와, 스위치(SW7)와, 스위치(SW8)와, 용량 소자(C1)와, 용량 소자(C3)와, 발광 디바이스(LD)를 가진다. 또한 회로(CD)는 스위치(SW11)와, 스위치(SW12)와, 스위치(SW13)와, 용량 소자(C2)를 가진다.

[0314] 또한 도 17에 나타낸 트랜지스터(M2)에는 도 2에 나타낸 트랜지스터(M2)에 적용할 수 있는 트랜지스터를 사용할 수 있다. 다만 도 17의 트랜지스터(M2)는 백 게이트를 가지는 점에서 도 2의 트랜지스터(M2)와 다르다.

[0315] 또한 도 17에 나타낸 스위치(SW1), 스위치(SW4), 스위치(SW6), 스위치(SW7), 스위치(SW8), 스위치(SW11), 스위치(SW12), 및 스위치(SW13)에는 도 2에 나타낸 스위치(SW1), 스위치(SW3), 스위치(SW5), 스위치(SW6), 스위치(SW11), 및 스위치(SW12)에 적용할 수 있는 스위치를 사용할 수 있다.

[0316] 또한 본 명세서 등에서는 도 17에 나타낸 스위치(SW1), 스위치(SW4), 스위치(SW6), 스위치(SW7), 스위치(SW8), 스위치(SW11), 스위치(SW12), 및 스위치(SW13) 각각은 제어 단자에 고레벨 전위가 공급될 때 온 상태가 되고, 제어 단자에 저레벨 전위가 공급될 때 오프 상태가 되는 것으로 한다.

[0317] 발광 디바이스(LD)에 대해서는 실시형태 1에서 설명한 발광 디바이스(LD)의 기재를 참조한다.

[0318] 화소(PX)에서 스위치(SW1)의 제 1 단자는 트랜지스터(M2)의 게이트와, 스위치(SW8)의 제 1 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속되고, 스위치(SW1)의 제 2 단자는 배선(SL)에 전기적으로 접속되고, 스위치(SW1)의 제어 단자는 배선(GL1)에 전기적으로 접속되어 있다. 또한 트랜지스터(M2)의 제 1 단자는 스위치(SW

4)의 제 1 단자와, 스위치(SW6)의 제 1 단자와, 스위치(SW8)의 제 2 단자와, 용량 소자(C1)의 제 2 단자와, 용량 소자(C3)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(M2)의 제 2 단자는 배선(VE2)에 전기적으로 접속되고, 트랜지스터(M2)의 백 게이트는 용량 소자(C3)의 제 2 단자와 스위치(SW7)의 제 1 단자에 전기적으로 접속되어 있다. 또한 스위치(SW4)의 제 2 단자는 발광 디바이스(LD)의 애노드에 전기적으로 접속되고, 스위치(SW4)의 제어 단자는 배선(GL4)에 전기적으로 접속되어 있다. 또한 스위치(SW6)의 제 2 단자는 배선(VE1)에 전기적으로 접속되고, 스위치(SW6)의 제어 단자는 배선(GL6)에 전기적으로 접속되어 있다. 또한 스위치(SW7)의 제 2 단자는 배선(VE5)에 전기적으로 접속되고, 스위치(SW7)의 제어 단자는 배선(GL7)에 전기적으로 접속되어 있다. 또한 발광 디바이스(LD)의 캐소드는 배선(VE0)에 전기적으로 접속되어 있다.

[0319] 또한 본 실시형태에서는 스위치(SW1)의 제 1 단자와, 스위치(SW8)의 제 1 단자와, 트랜지스터(M2)의 게이트와, 용량 소자(C1)의 제 1 단자의 전기적인 접속점을 노드(N1)라고 부른다. 또한 트랜지스터(M2)의 제 1 단자와, 용량 소자(C1)의 제 2 단자와, 용량 소자(C3)의 제 1 단자와, 스위치(SW4)의 제 1 단자와, 스위치(SW6)의 제 1 단자와, 스위치(SW8)의 제 2 단자의 전기적인 접속점을 노드(N2)라고 부른다. 또한 트랜지스터(M2)의 백 게이트와, 용량 소자(C3)의 제 2 단자와, 스위치(SW7)의 제 1 단자의 전기적인 접속점을 노드(NB)라고 부른다.

[0320] 회로(CD)에서 용량 소자(C2)의 제 1 단자는 배선(SL)과 스위치(SW13)의 제 1 단자에 전기적으로 접속되고, 용량 소자(C2)의 제 2 단자는 스위치(SW11)의 제 1 단자와 스위치(SW12)의 제 1 단자에 전기적으로 접속되어 있다. 또한 스위치(SW11)의 제 2 단자는 배선(VE3)에 전기적으로 접속되고, 스위치(SW11)의 제어 단자는 배선(SWL11)에 전기적으로 접속되어 있다. 또한 스위치(SW12)의 제 2 단자는 구동 회로(SD)에 전기적으로 접속되고, 스위치(SW12)의 제어 단자는 배선(SWL12)에 전기적으로 접속되어 있다. 또한 스위치(SW13)의 제 2 단자는 배선(VE4)에 전기적으로 접속되고, 스위치(SW13)의 제어 단자는 배선(SWL13)에 전기적으로 접속되어 있다.

[0321] 또한 본 실시형태에서는 스위치(SW11)의 제 1 단자와, 스위치(SW12)의 제 1 단자와, 용량 소자(C2)의 제 2 단자의 전기적인 접속점을 노드(N3)라고 부른다.

[0322] 배선(VE0) 내지 배선(VE5) 각각은 일례로서, 정전위를 공급하는 배선으로서 기능한다. 배선(VE0) 내지 배선(VE5) 각각이 공급하는 정전위는 서로 같아도 좋고 서로 달라도 좋다. 또는 배선(VE0) 내지 배선(VE5) 각각이 공급하는 전위의 일부는 같고, 나머지는 상이한 전위이어도 좋다. 또한 배선(VE0) 내지 배선(VE5) 중에서 선택된 하나 이상은 정전위가 아니라, 펄스 전위를 공급하는 배선으로서 기능하여도 좋다.

[0323] 특히, 도 17의 화소(PX)에서 배선(VE0)은 발광 디바이스(LD)의 캐소드에 전위를 공급하는 배선으로서 기능하는 것이 바람직하다. 또한 배선(VE2)은 발광 디바이스(LD)의 애노드에 전위를 공급하는 배선으로서 기능하는 것이 바람직하다.

[0324] 또한 도 17의 화소(PX)에 포함되는 발광 디바이스(LD)를 순 적층 구성으로 한 경우, 도 17의 발광 디바이스(LD)는 역 적층 구성으로 하여도 좋다. 이 경우 배선(VE0)은 발광 디바이스(LD)의 애노드에 전위를 공급하는 배선으로서 기능하고, 배선(VE2)은 발광 디바이스(LD)의 캐소드에 전위를 공급하는 배선으로서 기능한다.

[0325] 배선(GL1), 배선(GL4), 배선(GL6), 및 배선(GL7)은 도 1의 배선(GL[1]) 내지 배선(GL[m]) 중 하나에 상당한다. 즉 도 17에 나타낸 화소(PX)의 회로 구성의 경우, 화소 어레이(ALP)의 1행에 연장되어 배치되는 배선(GL)의 개수는 4개이다.

[0326] 배선(SWL11) 및 배선(SWL12)에 대해서는 도 2에 나타낸 배선(SWL11) 및 배선(SWL12)의 설명을 참조한다. 또한 배선(SWL13)은 스위치(SW13)의 온 상태와 오프 상태를 전환하는 제어 신호(디지털 전위)를 송신하기 위한 배선으로서 기능한다.

[0327] <<표시 장치의 동작 방법예 1>>

[0328] 다음으로 도 17의 표시 장치(DSP2A)의 동작 방법의 일례에 대하여 설명한다.

[0329] 도 18의 (A) 내지 (C)는 표시 장치(DSP1A)의 동작 방법의 일례를 나타낸 타이밍 차트이다. 구체적으로는 도 18의 (A)의 타이밍 차트에는 기간 T21 내지 기간 T30 각각에서의 배선(GL1), 배선(GL4), 배선(GL6), 배선(GL7), 배선(SWL11), 배선(SWL12), 배선(SWL13), 및 노드(N3)의 전위 변화를 나타내었다. 또한 도 18의 (B)에는 기간 T21 내지 기간 T30 각각에서의 노드(N1) 및 노드(N2)의 전위 변화를 나타내고, 도 18의 (C)에는 기간 T21 내지 기간 T30 각각에서의 노드(N2) 및 노드(NB)의 전위 변화를 나타내었다. 또한 도 18의 (B) 및 (C)에서 노드(N1)의 전위 변화는 실선으로 나타내고, 노드(N2)의 전위 변화는 일점쇄선으로 나타내고, 노드(NB)의 전위 변화는 이점쇄선으로 나타내었다.

[0330] 또한 도 18의 (A)에서 High는 고레벨 전위를 나타내고, Low는 저레벨 전위를 나타낸다.

[0331] 배선(VE1)에는 정전위로서 V_{N1}이 공급되는 것으로 한다. 또한 배선(VE3)에는 정전위로서 V_{ref}가 공급되는 것으로 한다. 또한 배선(VE5)에는 정전위로서 V_{N5}가 공급되는 것으로 한다. 또한 도 18의 (C)에서는 V_{N1}은 V_{N5}보다 낮은 전위로 하였지만, V_{N1}은 V_{N5}와 같은 전위로 하여도 좋고, V_{N5}보다 낮은 전위로 하여도 좋은 경우가 있다.

[0332] 또한 V_{N5}는 트랜지스터(M2)의 백 게이트-소스 간 전압이 $V_{N5}-V_{N1}$일 때 트랜지스터(M2)의 문턱 전압이 0V보다 낮아지는 전위로 하는 것이 바람직하다.

[0333] 또한 배선(VE2)에는 정전위로서 V_{AN}이 공급되는 것으로 한다. 또한 배선(VE0)에는 정전위로서 V_{CT}가 공급되는 것으로 한다. 또한 V_{AN}은 V_{CT}보다 높은 전위로 한다.

[0334] 또한 V_{AN}은 V_{N1}보다 높은 전위로 한다. 또한 $V_{N1}-V_{CT}$의 전압은 발광 디바이스(LD)가 발광하지 않는(발광 디바이스(LD)의 애노드-캐소드 사이에 전류가 흐르지 않는) 전압으로 한다. 그러므로 V_{N1}은 V_{CT}와 같은 전위 또는 V_{CT}보다 낮은 전위로 하는 것이 바람직하다.

[0335] [기간 T21보다 전]

[0336] 기간 T21보다 전에서 배선(GL1), 배선(GL6), 배선(GL7), 배선(SWL11), 배선(SWL12), 및 배선(SWL13) 각각에는 저레벨 전위가 공급되어 있다. 그러므로 스위치(SW1), 스위치(SW6), 스위치(SW7), 스위치(SW8), 스위치(SW11), 스위치(SW12), 및 스위치(SW13) 각각의 제어 단자에는 저레벨 전위가 공급되기 때문에 이들 스위치 각각은 오프 상태이다.

[0337] 또한 기간 T21보다 전에는 배선(GL4)에 고레벨 전위가 공급되어 있다. 그러므로 스위치(SW4)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW4)는 온 상태가 된다.

[0338] 또한 기간 T21보다 전에서 노드(N3)의 전위는 불안정하다. 그러므로 도 18의 (A)의 타이밍 차트의 기간 T21보다 전의 노드(N3)의 전위를 해칭으로 도시하였다.

[0339] 또한 스위치(SW4)가 온 상태이기 때문에, 트랜지스터(M2)의 게이트-소스 간 전압이 트랜지스터(M2)의 문턱 전압보다 높은 경우에 트랜지스터(M2)와, 스위치(SW4)와, 발광 디바이스(LD)를 통하여 배선(VE2)과 배선(VE0) 사이에 전류가 흐른다. 따라서 기간 T21보다 전에는 발광 디바이스(LD)는 발광하는 경우가 있다.

[0340] [기간 T21]

[0341] 기간 T21에서는 배선(GL6), 배선(GL7), 및 배선(SWL11)에 고레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW6), 스위치(SW7), 스위치(SW8), 및 스위치(SW11) 각각의 제어 단자에는 고레벨 전위가 공급되기 때문에 이들 스위치 각각은 온 상태가 된다.

[0342] 스위치(SW6) 및 스위치(SW8) 각각이 온 상태이기 때문에 트랜지스터(M2)의 게이트, 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 용량 소자(C3)의 제 1 단자 각각과 배선(VE1) 사이는 도통 상태가 된다. 따라서 트랜지스터(M2)의 게이트 및 용량 소자(C1)의 제 1 단자(노드(N1)), 그리고 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 용량 소자(C3)의 제 1 단자(노드(N2))에는 배선(VE1)으로부터 전위(V_{N1})가 공급된다(도 18의 (B) 및 (C) 참조).

[0343] 또한 스위치(SW7)가 온 상태이기 때문에 트랜지스터(M2)의 백 게이트 및 용량 소자(C3)의 제 2 단자 각각과 배선(VE5) 사이는 도통 상태가 된다. 따라서 트랜지스터(M2)의 백 게이트 및 용량 소자(C3)의 제 2 단자(노드(NB))에는 배선(VE5)으로부터 전위(V_{N5})가 공급된다(도 18의 (C) 참조).

[0344] 또한 이때 스위치(SW4)가 온 상태이기 때문에 발광 디바이스의 애노드에는 배선(VE1)으로부터 전위(V_{N1})가 공급된다. 그러므로 발광 디바이스(LD)의 애노드-캐소드 간 전압은 $V_{N1}-V_{CT}$가 된다. 상술한 바와 같이 발광 디바이스(LD)의 애노드-캐소드 간 전압이 $V_{N1}-V_{CT}$일 때 발광 디바이스(LD)는 발광하지 않는다(발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르지 않는다). 또한 트랜지스터(M2)가 온 상태일 때 배선(VE2)으로부터 트랜지스터(M2) 및 스위치(SW6)를 통하여 배선(VE1)에 전류가 흐른다.

[0345] 또한 스위치(SW11)가 온 상태이기 때문에 용량 소자(C2)의 제 2 단자 및 스위치(SW12)의 제 1 단자 각각과 배선

(VE3) 사이는 도통 상태가 된다. 따라서 용량 소자(C2)의 제 2 단자 및 스위치(SW12)의 제 1 단자(노드(N3))에는 배선(VE3)으로부터 전위(V_{ref})가 공급된다(도 18의 (A) 참조).

[0346] 또한 도 18의 (A)의 타이밍 차트의 기간 T21에서는 같은 타이밍으로 배선(GL6), 배선(GL7), 및 배선(SWL11) 각각에 고레벨 전위가 입력되어 있지만, 기간 T21 중이면 배선(GL6), 배선(GL7), 및 배선(SWL11) 각각에 고레벨 전위가 입력되는 타이밍은 상이하여도 좋다.

[0347] [기간 T22]

[0348] 기간 T22에서는 배선(GL4)에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW4)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW4)는 오프 상태가 된다. 따라서 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 용량 소자(C3)의 제 1 단자 각각과 발광 디바이스(LD)의 애노드 사이는 비도통 상태가 된다.

[0349] [기간 T23]

[0350] 기간 T23에서는 배선(GL6)에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW6)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW6)는 오프 상태가 된다.

[0351] 트랜지스터(M2)의 게이트 및 트랜지스터(M2)의 제 1 단자 각각의 전위는 V_{N1}이기 때문에 트랜지스터(M2)의 게이트-소스 간 전압은 0V가 된다. 트랜지스터(M2)의 문턱 전압이 0V 이하일 때 트랜지스터(M2)는 온 상태가 된다.

[0352] 또한 스위치(SW6)가 오프 상태가 되기 직전에는 트랜지스터(M2)의 백 게이트-소스 간 전압은 $V_{N5}-V_{N1}$이다. 스위치(SW6)가 오프 상태가 되면 배선(VE1)으로부터 트랜지스터(M2)의 제 1 단자 및 트랜지스터(M2)의 게이트에 대한 전위(V_{N1})의 인가가 없어지기 때문에, 노드(N1) 및 노드(N2)에는 트랜지스터(M2)의 제 1 단자-제 2 단자 사이 및 스위치(SW8)를 통하여 배선(VE2)으로부터 양 전하가 충전된다. 이에 의하여 노드(N1) 및 노드(N2)의 전위가 상승한다.

[0353] 노드(N1) 및 노드(N2)의 전위가 상승함으로써 트랜지스터(M2)의 백 게이트-소스 간 전압이 낮아진다. 트랜지스터(M2)의 백 게이트-소스 간 전압의 저하에 의하여 트랜지스터(M2)의 문턱 전압(V_{th})이 트랜지스터(M2)의 게이트-소스 간 전압인 0V에 도달하였을 때 트랜지스터(M2)는 오프 상태가 되어, 배선(VE2)으로부터의 양 전하의 충전이 정지된다. 이때의 백 게이트-소스 간 전압을 ΔV_B로 한다. 또한 스위치(SW7)는 온 상태이고 노드(NB)의 전위는 V_{N5}이기 때문에, 이때의 노드(N1) 및 노드(N2)의 전위는 $V_{N5}-\Delta V_B$가 된다. 또한 트랜지스터(M2)가 오프 상태가 될 때 배선(VE2)으로부터의 양 전하의 충전이 정지되기 때문에, 노드(N1) 및 노드(N2)의 전위는 $V_{N5}-\Delta V_B$에서 변화되지 않는다(도 18의 (B) 및 (C) 참조). 또한 트랜지스터(M2)가 오프 상태가 되면 노드(N1) 및 노드(N2)는 플로팅 상태가 된다.

[0354] [기간 T24]

[0355] 기간 T24에서는 배선(GL7)에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW7) 및 스위치(SW8) 각각의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW7) 및 스위치(SW8) 각각은 오프 상태가 된다.

[0356] 스위치(SW7)가 오프 상태이기 때문에 용량 소자(C3)의 제 2 단자 및 트랜지스터(M2)의 백 게이트 각각과 배선(VE5) 사이는 비도통 상태가 된다. 이때 노드(NB)는 플로팅 상태가 된다. 또한 이에 의하여 용량 소자(C3)의 제 1 단자-제 2 단자 간 전압(ΔV_B)을 유지할 수 있다.

[0357] 또한 스위치(SW8)가 오프 상태이기 때문에 용량 소자(C1)의 제 1 단자 및 트랜지스터(M2)의 게이트 각각과 용량 소자(C1)의 제 2 단자, 트랜지스터(M2)의 제 1 단자, 및 용량 소자(C3)의 제 1 단자 각각 사이는 비도통 상태가 된다. 이때 노드(N1) 및 노드(N2)는 플로팅 상태가 된다.

[0358] [기간 T25]

[0359] 기간 T25에서는 배선(GL1), 배선(GL6), 및 배선(SWL13) 각각에 고레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW1), 스위치(SW6), 및 스위치(SW13) 각각의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW1), 스위치(SW6), 및 스위치(SW12)는 온 상태가 된다.

[0360] 스위치(SW1) 및 스위치(SW13) 각각이 온 상태이기 때문에 트랜지스터(M2)의 게이트, 용량 소자(C1)의 제 1

단자, 및 배선(SL) 각각과 배선(VE4) 사이는 도통 상태가 된다. 따라서 트랜지스터(M2)의 게이트 및 용량 소자(C1)의 제 1 단자(노드(N1)) 그리고 배선(SL) 각각에는 배선(VE4)으로부터 전위(V_{init})가 공급된다(도 18의 (B) 참조).

[0361] 또한 스위치(SW6)가 온 상태이기 때문에 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 용량 소자(C3)의 제 1 단자 각각과 배선(VE1) 사이는 도통 상태가 된다. 따라서 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 용량 소자(C3)의 제 1 단자(노드(N2))에는 배선(VE1)으로부터 전위(V_{N1})가 공급된다(도 18의 (B) 및 (C) 참조).

[0362] 이때 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 용량 소자(C3)의 제 1 단자(노드(N2))의 전위가 $V_{N5}-\Delta V_B$에서 V_{N1}로 변화되기 때문에, 용량 소자(C3)의 용량 결합에 의하여 트랜지스터(M2)의 백 게이트(용량 소자(C3)의 제 2 단자 및 노드(NB))의 전위도 변화된다. 본 동작예에서는 기간 T25의 동작에 의하여 트랜지스터(M2)의 백 게이트(용량 소자(C3)의 제 2 단자 및 노드(NB))의 전위는 V_{N5}에서 $V_{N1}+\Delta V_B$로 강압된 것으로 한다(도 18의 (C) 참조). 이는 노드(NB) 주변의 용량 결합 계수가 1인 경우에 상당한다.

[0363] [기간 T26]

[0364] 기간 T26에서는 배선(SWL13)에 저레벨 전위가 공급되어 있다. 그러므로 스위치(SW13)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW13)는 오프 상태가 된다.

[0365] 스위치(SW13)가 오프 상태이기 때문에 트랜지스터(M2)의 게이트 및 용량 소자(C1)의 제 1 단자(노드(N1)) 그리고 배선(SL) 각각과 배선(VE4) 사이는 비도통 상태가 된다. 이때 트랜지스터(M2)의 게이트 및 용량 소자(C1)의 제 1 단자(노드(N1)) 그리고 배선(SL)은 플로팅 상태가 된다.

[0366] [기간 T27]

[0367] 기간 T27에서는 배선(SWL11)에 저레벨 전위가 공급되고, 또한 배선(SWL12)에 고레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW11)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW11)는 오프 상태가 된다. 또한 스위치(SW12)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW12)는 온 상태가 된다.

[0368] 특히 스위치(SW12)가 온 상태가 되었을 때 구동 회로(SD)는 스위치(SW12)를 통하여 용량 소자(C2)의 제 2 단자(노드(N3))에 대하여, 화소(PX)에 표시하는 화상에 따른 화상 데이터 신호를 송신하는 것으로 한다. 또한 상기 화상 데이터 신호는 전위(V_{data})로 한다.

[0369] 따라서 노드(N3)의 전위는 V_{ref}에서 V_{data}로 변화된다. 또한 배선(SL) 및 노드(N1)는 플로팅 상태이기 때문에 용량 소자(C2)에서의 용량 결합에 의하여 노드(N3)의 전위 변화에 따라 배선(SL) 및 노드(N1)의 전위도 변화된다. 배선(SL) 및 노드(N1)의 전위 변화량은 예를 들어 용량 소자(C1)의 정전 용량, 용량 소자(C2)의 정전 용량, 트랜지스터(M2)의 게이트 용량, 스위치(SW1)에 따른 기생 용량, 스위치(SW8)에 따른 기생 용량, 및 배선(SL)에 따른 기생 용량에 의하여 정해진다. 본 동작예에서는 간단하게 설명하기 위하여, 배선(SL) 및 노드(N1)의 전위 변화량은 용량 소자(C1)의 정전 용량 및 용량 소자(C2)의 정전 용량에 의하여 정해지는 것으로 하여 설명한다.

[0370] 용량 소자(C1)의 정전 용량을 C_1, 용량 소자(C2)의 정전 용량을 C_2로 하고, 노드(N3)의 전위가 V_{ref}에서 V_{data}로 변화되었을 때 배선(SL) 및 노드(N1)의 전위에는 변화량으로서 $\Delta V_{data}=(V_{data}-V_{ref})\times C_2/(C_1+C_2)$가 공급된다. 그러므로 배선(SL) 및 노드(N1)의 전위는 $V_{init}+\Delta V_{data}$가 된다(도 18의 (B) 참조).

[0371] 한편, 용량 소자(C1)의 제 2 단자(노드(N2))에는 기간 T27 전부터 배선(VE1)으로부터의 전위(V_{N1})가 공급되어 있기 때문에, 노드(N3)의 전위가 V_{ref}에서 V_{data}로 변화되는 기간이어도, 용량 소자(C1)의 제 2 단자(노드(N2))의 전위는 V_{N1} 그대로 변화되지 않는다.

[0372] 상술한 바와 같이, 기간 T27에서의 트랜지스터(M2)의 게이트-소스 간 전압을 V_{drv}로 하면, V_{drv}=(노드(N1)의 전위)-(노드(N2)의 전위)=$V_{init}+\Delta V_{data}-V_{N1}$이 된다. 따라서 기간 T27에서는 용량 소자(C1)의 제 1 단자-제 2 단자 사이에 유지되는 전압은 $V_{drv}=V_{init}+\Delta V_{data}-V_{N1}$이다.

[0373] 또한 트랜지스터(M2)의 게이트-소스 간 전압(V_{drv})은 트랜지스터(M2)의 문턱 전압(0V)보다 크기 때문에 트랜지스

터(M2)는 온 상태이다. 다만 스위치(SW4) 및 스위치(SW8)가 오프 상태이고 스위치(SW6)가 온 상태이기 때문에, 트랜지스터(M2)와 스위치(SW6)를 통하여 배선(VE2)과 배선(VE1) 사이에 전류가 흐른다.

[0374] [기간 T28]

[0375] 기간 T28에서는 배선(GL1)에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW1)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW1)는 오프 상태가 된다.

[0376] 스위치(SW1)가 오프 상태가 됨으로써, 트랜지스터(M2)의 게이트 및 용량 소자(C1)의 제 1 단자와 배선(SL) 사이는 비도통 상태가 된다. 또한 스위치(SW8)는 기간 T24부터 오프 상태이기 때문에 용량 소자(C1)의 제 1 단자(노드(N1))에는 전위($V_{init}+\Delta V_{data}$)가 유지된다.

[0377] [기간 T29]

[0378] 기간 T29에서는 배선(GL4)에 고레벨 전위가 공급되고, 배선(GL6)에 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW4)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW4)는 온 상태가 된다. 또한 스위치(SW6)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW6)는 오프 상태가 된다.

[0379] 스위치(SW4)가 온 상태이기 때문에 트랜지스터(M2)의 제 1 단자와 발광 디바이스(LD)의 애노드 사이는 도통 상태가 된다. 또한 스위치(SW6)가 오프 상태이기 때문에 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 용량 소자(C3)의 제 1 단자 각각과 배선(VE1) 사이는 비도통 상태가 된다. 또한 스위치(SW8)는 기간 T24부터 오프 상태이기 때문에 트랜지스터(M2)의 제 1 단자(노드(N2))와 트랜지스터(M2)의 게이트(노드(N1)) 사이는 비도통 상태가 된다.

[0380] 또한 트랜지스터(M2)의 게이트-소스 간 전압은 $V_{drv}=V_{init}+\Delta V_{data}$이다. 또한 V_{drv}는 트랜지스터(M2)의 문턱 전압(0V)보다 크기 때문에 트랜지스터(M2)는 온 상태이다.

[0381] 따라서 트랜지스터(M2), 스위치(SW4), 및 발광 디바이스(LD)를 통하여 배선(VE0)과 배선(VE2) 사이에 전류가 흐른다.

[0382] 이때 배선(VE0)-배선(VE2) 간 전압($V_{AN}-V_{CT}$)은 트랜지스터(M2)와, 발광 디바이스(LD)와, 스위치(SW4)에 의하여 분압된다. 본 동작예에서는 기간 T29의 동작에 의하여 트랜지스터(M2)의 제 1 단자(용량 소자(C1)의 제 2 단자, 용량 소자(C3)의 제 1 단자, 및 노드(N2))의 전위는 V_{N1}에서 V_S로 승압되는 것으로 한다(도 18의 (B) 및 (C) 참조).

[0383] 트랜지스터(M2)의 제 1 단자(용량 소자(C1)의 제 2 단자 및 노드(N2))의 전위가 V_{N1}에서 V_S로 승압됨으로써, 용량 소자(C1)의 용량 결합에 의하여 트랜지스터(M2)의 게이트(용량 소자(C1)의 제 1 단자 및 노드(N1))의 전위도 변화된다. 본 동작예에서는 기간 T29의 동작에 의하여 트랜지스터(M2)의 게이트(용량 소자(C1)의 제 1 단자 및 노드(N1))의 전위는 $V_{init}+\Delta V_{data}$에서 V_G로 승압되는 것으로 한다(도 18의 (B) 참조).

[0384] 또한 상술한 용량 소자(C1)의 용량 결합에 의한 노드(N1)의 전위 변화량은 용량 소자(C1)의 정전 용량, 트랜지스터(M2)의 게이트 용량, 및 스위치(SW1)에 따른 기생 용량에 의하여 정해진다. 또한 본 동작예에서는 간단하게 설명하기 위하여, 노드(N1)의 전위 변화량은 노드(N2)의 전위 변화량과 같은 것으로 한다. 즉 노드(N2)의 전위 변화량을 $\Delta V_{C1}(=V_S-V_{N1})$로 하였을 때 노드(N1)의 전위 변화량도 ΔV_{C1}이 된다. 이는 노드(N1) 주변의 용량 결합 계수가 1인 경우에 상당한다.

[0385] 또한 노드(N1)에서는 $\Delta V_{C1}=V_G-(V_{init}+\Delta V_{data})$이기 때문에 이 수학식에 노드(N2)의 전위 변화량($\Delta V_{C1}=V_S-V_{N1}$)을 대입하면, $V_G-V_S=V_{init}+\Delta V_{data}-V_{N1}=V_{drv}$가 얻어진다. 즉 기간 T29에서의 트랜지스터(M2)의 게이트-소스 간 전압은 기간 T27에서 회로(CD)에 화상 데이터 신호가 입력되고 나서부터 변화되지 않았다.

[0386] 또한 트랜지스터(M2)의 제 1 단자(용량 소자(C1)의 제 2 단자 및 노드(N2))의 전위가 V_{N1}에서 V_S로 승압됨으로써, 용량 소자(C3)의 용량 결합에 의하여 트랜지스터(M2)의 백 게이트(용량 소자(C3)의 제 2 단자 및 노드(NB))의 전위도 변화된다. 본 동작예에서는 기간 T29의 동작에 의하여, 트랜지스터(M2)의 백 게이트(용량 소자(C3)의 제 2 단자 및 노드(NB))의 전위는 노드(N3) 주변의 용량 결합 계수를 1로 한 경우, $V_{N1}+\Delta V_B$에서 $V_{N1}+\Delta V_B+\Delta V_{C1}$로 승압된다(도 18의 (C) 참조. 또한 도 18의 (C)에서는 $V_{BG}=V_{N1}+\Delta V_B+\Delta V_{C1}$로 하였음). 또한 이때

트랜지스터(M2)의 백 게이트-소스 간 전압은 ΔV_B 그대로 변화되지 않기 때문에 트랜지스터(M2)의 문턱 전압은 0V 그대로이다.

[0387] 여기서 트랜지스터(M2)가 포화 영역에서 동작하는 경우에 대하여 생각한다. 트랜지스터(M2)의 제 1 단자-제 2 단자 사이에 흐르는 전류의 양은 트랜지스터(M2)의 게이트-소스 간 전압(V_{drv})에 의하여 정해진다. 구체적으로는 포화 영역에서 동작하는 트랜지스터의 소스-드레인 사이에 흐르는 전류의 양(I)은 트랜지스터의 게이트-소스 간 전압(V_{GS})과 트랜지스터의 문턱 전압(V_{th})의 차이의 2승에 비례하기 때문에 $I=k(V_{GS}-V_{th})^2$가 성립된다. 다만 k는 트랜지스터의 구조에 의존하는 비례 상수이다. 상기 식의 V_{GS}에 트랜지스터(M2)의 게이트-소스 간 전압(V_{drv})을 대입하고 또한 $V_{th}=0$을 대입함으로써 $I=k(V_{init}+\Delta V_{data})^2$가 되고, 트랜지스터(M2)에 흐르는 전류의 양(I)은 문턱 전압(V_{th})에 의존하지 않고 $V_{init}+\Delta V_{data}$에 의하여 정해진다.

[0388] 상술한 바와 같이 기간 T21 내지 기간 T30까지의 동작을 수행함으로써, 트랜지스터(M2)는 트랜지스터(M2)의 문턱 전압(V_{th})에 의존하지 않는 전류를 생성할 수 있다.

[0389] 또한 발광 디바이스(LD)의 애노드의 전위가 V_S이기 때문에 발광 디바이스(LD)의 애노드-캐소드 간 전위는 V_S-V_{CT}이다. 또한 발광 디바이스(LD)의 애노드-캐소드 사이에는 트랜지스터(M2)의 소스-드레인 사이에 흐르는 전류($I=k(V_{init}+\Delta V_{data})^2$)가 흐르기 때문에 발광 디바이스(LD)는 발광한다. 발광 디바이스(LD)가 유기 EL 소자인 경우, 발광 디바이스(LD)의 발광 휘도는 발광 디바이스(LD)의 애노드-캐소드 사이에 흐르는 전류의 양에 의하여 정해진다. V_{init}는 정전위이기 때문에 발광 디바이스(LD)의 발광 휘도는 구동 회로(SD)로부터 입력되는 화상 데이터 신호(V_{data})에 의하여 정해진다.

[0390] 또한 도 4의 (A) 내지 (C)에 나타낸 전위 변화의 설명과 마찬가지로, 화소의 계조 레벨의 최솟값을 V_{data_min}으로 하고 화소의 계조 레벨의 최댓값을 V_{data_max}로 한 경우, 구동 회로(SD)로부터 출력된 화상 데이터 신호(V_{data})가 회로(CD)를 통과함으로써, 화소(PX)에는 $V_{init}+K\times(V_{data_min}-V_{ref})$ 내지 $V_{init}+K\times(V_{data_max}-V_{ref})$ 중 어느 하나가 입력된다. 또한 $K=C_2/(C_1+C_2)$로 하였다.

[0391] V_{ref}가 V_{init}보다 낮은 경우, 구동 회로(SD)로부터 출력되는 화상 데이터 신호(V_{data_min} 내지 V_{data_max}) 각각과, 회로(CD)를 통하여 화소(PX)에 입력되는 $V_{init}+K\times(V_{data_min}-V_{ref})$ 내지 $V_{init}+K\times(V_{data_max}-V_{ref})$의 관계는 도 19의 (A)와 같다. 또한 V_{ref}가 V_{init}보다 높은 경우, 구동 회로(SD)로부터 출력되는 화상 데이터 신호(V_{data_min} 내지 V_{data_max}) 각각과, 회로(CD)를 통하여 화소(PX)에 입력되는 $V_{init}+K\times(V_{data_min}-V_{ref})$ 내지 $V_{init}+K\times(V_{data_max}-V_{ref})$의 관계는 도 19의 (B)와 같다. 또한 V_{ref}가 V_{init}와 같은 경우, 구동 회로(SD)로부터 출력되는 화상 데이터 신호(V_{data_min} 내지 V_{data_max}) 각각과, 회로(CD)를 통하여 화소(PX)에 입력되는 $V_{init}+K\times(V_{data_min}-V_{ref})$ 내지 $V_{init}+K\times(V_{data_max}-V_{ref})$의 관계는 도 19의 (C)와 같다.

[0392] 즉 도 4의 (A) 내지 (C)와 마찬가지로, 구동 회로(SD)로부터 출력되는 화상 데이터 신호가 회로(CD)를 통하여 화소(PX)에 입력되면, 화상 데이터 신호의 전위 범위가 좁아지고, 또한 화상 데이터 신호의 전위의 간격 폭도 작아진다. 이에 의하여 화소(PX)에 입력되는 화상 데이터 신호의 전위를 미세하게 변화시킬 수 있기 때문에, 트랜지스터(M2)의 소스-드레인 사이에 흐르는 전류의 양을 미세하게 변화시킬 수 있다.

[0393] 또한 도 18의 (A)의 타이밍 차트의 기간 T29에서는, 배선(GL4)에 고레벨 전위가, 그리고 배선(GL6)에는 저레벨 전위가 같은 타이밍으로 입력되어 있지만, 기간 T29 중이면 배선(GL4) 및 배선(GL6) 각각에 전위가 입력되는 타이밍은 상이하여도 좋다.

[0394] [기간 T30]

[0395] 기간 T30에서는 배선(GL4) 및 배선(SWL12) 각각에 저레벨 전위가 공급되고 배선(GL6)에 고레벨 전위가 공급된다. 그러므로 스위치(SW4) 및 스위치(SW12) 각각의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW4) 및 스위치(SW12) 각각은 오프 상태가 된다. 또한 스위치(SW6)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW6)는 온 상태가 된다.

[0396] 스위치(SW4)가 온 상태이기 때문에 트랜지스터(M2)의 제 2 단자와 발광 디바이스(LD) 사이는 비도통 상태가 된다. 또한 스위치(SW6)가 온 상태이기 때문에 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 용량 소자(C3)의 제 1 단자, 및 발광 디바이스(LD)의 애노드 각각과 배선(VE1) 사이는 도통 상태가 된다. 따라서 트랜지스터(M2)의 제 1 단자, 용량 소자(C1)의 제 2 단자, 및 발광 디바이스(LD)의 애노드(노드(N2))에는 배선(VE1)으로부터 전위(V_{N1})가 공급된다(도 18의 (B) 및 (C) 참조).

[0397] 이때 발광 디바이스(LD)의 애노드-캐소드 간 전압은 $V_{N1}-V_{CT}$가 된다. 상술한 바와 같이 발광 디바이스(LD)의 애노드-캐소드 간 전압이 $V_{N1}-V_{CT}$일 때 발광 디바이스(LD)는 발광하지 않는다(발광 디바이스(LD)의 애노드-캐소드 사이에는 전류가 흐르지 않는다).

[0398] 즉 기간 T30의 동작을 수행함으로써 발광 디바이스(LD)의 발광을 정지할 수 있다.

[0399] 상술한 기간 T21 내지 기간 T30의 동작을 수행함으로써, 실시형태 1의 표시 장치(DSP1A)와 마찬가지로 화소(PX)의 트랜지스터(M2)는 트랜지스터(M2)의 문턱 전압(V_{th})에 의존하지 않는 전류를 생성할 수 있고, 상기 전류를 발광 디바이스(LD)에 공급할 수 있다.

[0400] 또한 상술한 기간 T21 내지 기간 T30의 동작을 수행함으로써, 실시형태 1의 표시 장치(DSP1A)와 마찬가지로 표시 장치(DSP2A)의 화소(PX)의 발광 디바이스(LD)에 흐르는 전류의 양을 미세하게 제어할 수 있다.

[0401] <<표시 장치의 동작 방법예 2>>

[0402] 도 18의 (A) 내지 (C)는 표시 장치(DSP2A)의 화소 어레이(ALP)에 포함되는 하나의 화소(PX)에 관한 동작에 대하여 설명한 것이다. 여기서는 표시 장치(DSP2A)를 적용한 표시 장치(DSP0)에서의 화소 어레이(ALP)의 전체 동작에 대하여 설명한다.

[0403] 표시 장치(DSP2A)를 적용한 표시 장치(DSP0)에서의 화소 어레이(ALP) 전체의 동작은 실시형태 1에서 설명한 표시 장치(DSP1A)를 적용한 표시 장치(DSP0)에서의 화소 어레이(ALP) 전체의 동작과 마찬가지로 할 수 있다. 즉 표시 장치(DSP2A)를 적용한 표시 장치(DSP0)에서의 화소 어레이(ALP) 전체의 동작의 일례로서 도 5의 타이밍 차트를 적용할 수 있다. 이하에서 상기 동작에 대해서는 실시형태 1에서 설명한 표시 장치(DSP1A)를 적용한 표시 장치(DSP0)에서의 화소 어레이(ALP) 전체의 동작과 다른 부분에 대하여 설명하고, 그 밖의 부분에 대해서는 실시형태 1의 설명을 참조한다.

[0404] 노드(N3[1])는 표시 장치(DSP0)에서의 회로(CD[1])에 포함되는 노드(N3)에 상당한다. 마찬가지로 노드(N3[2])는 표시 장치(DSP0)에서의 회로(CD[2])(도 1에 도시하지 않았음)에 포함되는 노드(N3)에 상당하고, 노드(N3[n])는 표시 장치(DSP0)에서의 회로(CD[n])에 포함되는 노드(N3)에 상당한다.

[0405] 또한 배선(GL1[1])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 첫 번째 행에 연장되어 배치되는 도 17의 배선(GL1)에 상당한다. 마찬가지로 배선(GL1[2])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 두 번째 행에 연장되어 배치되는 도 17의 배선(GL1)에 상당하고, 배선(GL1[m])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 m번째 행에 연장되어 배치되는 도 17의 배선(GL1)에 상당한다.

[0406] 또한 배선(GL6[1])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 첫 번째 행에 연장되어 배치되는 도 17의 배선(GL6)에 상당한다. 마찬가지로 배선(GL6[2])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 두 번째 행에 연장되어 배치되는 도 17의 배선(GL6)에 상당하고, 배선(GL1[m])은 표시 장치(DSP0)의 화소 어레이(ALP)에서 m번째 행에 연장되어 배치되는 도 17의 배선(GL6)에 상당한다.

[0407] 또한 용량 소자(C1[1,1])는 표시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 화소(PX[1,1])가 가지는 도 17의 용량 소자(C1)에 상당한다. 마찬가지로 용량 소자(C1[1,2])는 표시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 화소(PX[1,2])(도 1에 도시하지 않았음)가 가지는 도 17의 용량 소자(C1)에 상당하고, 용량 소자(C1[1,n])는 표시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 화소(PX[1,n])가 가지는 도 17의 용량 소자(C1)에 상당한다. 이하에서, 용량 소자(C1[i,j])라는 표기는 표시 장치(DSP0)의 화소 어레이(ALP)에 포함되는 화소(PX[i,j])가 가지는 도 17의 용량 소자(C1)에 상당하는 것으로 한다.

[0408] 또한 도 5의 타이밍 차트의 기간 U1, 기간 U3, 및 기간 U6 각각에서는 소정 행에 위치하는 복수의 화소(PX)에 대하여, 도 18의 (A)의 타이밍 차트의 기간 T21 내지 기간 T26의 동작이 수행되는 것으로 한다. 또한 도 5의 타이밍 차트의 기간 U2, 기간 U4, 및 기간 U7 각각에서는 소정 행에 위치하는 복수의 화소(PX)에 대하여, 도 18

의 (A)의 타이밍 차트의 기간 T27 내지 기간 T30의 동작이 수행되는 것으로 한다.

[0409] 상술한 바와 같이 기간 U1 내지 기간 U7의 동작을 수행함으로써, 표시 장치(DSP2A)를 적용한 표시 장치(DSP0)는 화상을 표시할 수 있다. 또한 기간 U1 내지 기간 U7의 동작을 반복할 때마다 표시 장치(DSP0)에 표시되는 화상을 갱신할 수 있다.

[0410] <<표시 장치의 레이아웃 예>>

[0411] 도 20은 도 17의 표시 장치(DSP2A)의 일부의 회로 구성의 일례를 나타낸 레이아웃 도면(평면도)이다. 구체적으로는 도 20은 화소(PX)의 레이아웃 도면이다. 또한 표시 장치(DSP2A)의 회로(CD)의 레이아웃 도면에 대해서는 일례로서 도 6의 (A)의 레이아웃 도면을 참조한다.

[0412] 도 20의 레이아웃 도면에서는 도 17의 화소(PX)에 포함되는 스위치(SW1)에 트랜지스터(M1)를 적용하고, 도 17의 화소(PX)에 포함되는 스위치(SW4)에 트랜지스터(M4)를 적용하고, 도 17의 화소(PX)에 포함되는 스위치(SW6)에 트랜지스터(M6)를 적용하고, 도 17의 화소(PX)에 포함되는 스위치(SW7)에 트랜지스터(M7)를 적용하고, 스위치(SW8)에 트랜지스터(M8)를 적용하였다.

[0413] 또한 도 20에서 화소(PX)는 도전체(BGM)와, 도전체(GEM)와, 도전체(SDMB)와, 도전체(SDMT)와, 반도체(SMC)와, 도전체(PLG)를 가진다. 또한 도 20에는 표시 장치(DSP2A)에 포함되는 절연체를 도시하지 않았다.

[0414] 도전체(BGM)는 일례로서 반도체(SMC)의 아래쪽에 위치한다. 또한 반도체(SMC)는 일례로서 도전체(GEM)의 아래쪽에 위치한다. 또한 도전체(GEM)는 일례로서 도전체(SDMB)의 아래쪽에 위치한다. 또한 도전체(SDMB)는 일례로서 도전체(SDMT)의 아래쪽에 위치한다. 즉 도 20의 회로(CD) 및 화소(PX)에서는 도전체(BGM), 반도체(SMC), 도전체(GEM), 도전체(SDMB), 및 도전체(SDMT)가 이 순서대로 형성되어 있다.

[0415] 도전체(GEM)의 일부는 일례로서, 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M4), 트랜지스터(M6), 트랜지스터(M7), 및 트랜지스터(M8) 각각의 게이트(제 1 게이트라고 부르는 경우가 있음)로서 기능한다. 또한 도전체(BGM)의 일부는 일례로서, 트랜지스터(M2)의 백 게이트(제 2 게이트라고 부르는 경우가 있음)로서 기능한다.

[0416] 도전체(BGM), 반도체(SMC), 도전체(GEM), 도전체(SDMB), 및 도전체(SDMT) 각각은 예를 들어 포토리소그래피법을 사용하여 형성할 수 있다. 구체적으로는 예를 들어, 도전체(GEM)를 형성하는 경우에는 도전체(GEM)가 되는 도전 재료를 스퍼터링법, CVD법, PLD법, 및 ALD법 중에서 선택된 하나 이상의 방법을 사용하여 형성하고, 그 후에 포토리소그래피법에 의하여 원하는 패턴을 형성하면 좋다. 또한 도전체(BGM), 반도체(SMC), 도전체(SDMB), 및 도전체(SDMT)에 대해서도 상기와 같은 방법에 의하여 형성할 수 있다.

[0417] 또한 도전체(BGM)와 반도체(SMC) 사이, 반도체(SMC)와 도전체(GEM) 사이, 도전체(GEM)와 도전체(SDMB) 사이, 및 도전체(SDMB)와 도전체(SDMT) 사이에는 절연체가 제공되어도 좋다. 특히 반도체(SMC)와 도전체(GEM) 사이에 제공되는 절연체는 제 1 게이트 절연막(프런트 게이트 절연막이라고 부르는 경우가 있음)으로서 기능하는 경우가 있다. 또한 도전체(BGM)와 반도체(SMC) 사이에 제공되는 절연체는 제 2 게이트 절연막(백 게이트 절연막이라고 부르는 경우가 있음)으로서 기능하는 경우가 있다.

[0418] 또한 반도체(BGM)와 도전체(SDMT) 사이, 반도체(SMC)와 도전체(SDMB) 사이, 반도체(SMC)와 도전체(SDMT) 사이, 및 도전체(GEM)와 도전체(SDMT) 사이 각각에는 배선 또는 플러그로서 기능하는 도전체(PLG)가 제공되어 있다. 도전체(PLG)는 예를 들어 상기 절연체에 개구부를 형성하고, 상기 개구부에 도전체(PLG)가 되는 도전 재료를 매립함으로써 형성된다. 또한 도전체(PLG) 형성 후에는 도전체(PLG) 및 주변의 절연체 각각의 막 면의 높이를 정렬시키기 위하여, 화학 기계 연마법 등을 사용한 평탄화 처리에 의하여 평탄화시켜도 좋다.

[0419] 도 20에 도시된 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M4), 트랜지스터(M6), 트랜지스터(M7), 및 트랜지스터(M8) 각각은 일례로서 반도체(SMC)와, 도전체(GEM)와, 절연체와, 도전체(PLG) 각각의 일부를 포함한다. 또한 트랜지스터(M2)는 일례로서 도전체(BGM)의 일부를 가진다.

[0420] 또한 도 20에 도시된 용량 소자(C1) 및 용량 소자(C3)는 도전체(SDMB)와 도전체(SDMT) 각각의 일부를 포함한다. 또한 구체적으로는 용량 소자(C1) 및 용량 소자(C3) 각각은 도전체(SDMB) 및 도전체(SDMT) 각각의 일부가 서로 중첩되는 영역을 가진다. 즉 용량 소자(C1) 및 용량 소자(C3) 각각에서 도전체(SDMB)의 일부는 한 쌍의 전극 중 한쪽으로서 기능하고, 도전체(SDMT)의 일부는 한 쌍의 전극 중 다른 쪽으로서 기능한다. 또한 용량 소자(C1) 및 용량 소자(C3)에 포함되는 도전체(SDMB)와 도전체(SDMT) 사이에는 유전율이 높은 절연체가 제공되어 있는 것이 바람직하다.

[0421] 또한 도 20에 도시된 도전체(EC)는 일례로서 도전체(SDMT) 위에 형성되어 있다. 도전체(EC)는 도전체(SDMT)와, 그 위쪽에 위치하는 발광 디바이스(LD)(도 20에 도시하지 않았음)의 애노드를 전기적으로 접속하기 위한 배선 또는 플러그로서 기능한다.

[0422] <<표시 장치의 변경예 1>>

[0423] 또한 앞에서 설명한 본 발명의 일 형태의 표시 장치에 따른 화소는 도 17에 나타낸 화소(PX)에 한정되지 않는다. 본 발명의 일 형태의 표시 장치에 따른 화소는 도 17의 화소(PX)를 적절히 변경한 구성으로 하여도 좋다.

[0424] 도 17의 화소(PX)의 변경예를 도 21에 나타내었다. 도 21에 나타낸 표시 장치(DSP2AA)의 화소(PX)는 발광 디바이스(LD)의 애노드가 스위치(SW6)의 제 1 단자와, 스위치(SW8)의 제 2 단자와, 트랜지스터(M2)의 제 1 단자와, 용량 소자(C1)의 제 2 단자와, 용량 소자(C3)의 제 1 단자에 전기적으로 접속되는 점, 발광 디바이스(LD)의 캐소드가 스위치(SW4)의 제 1 단자에 전기적으로 접속되는 점, 및 스위치(SW4)의 제 2 단자가 배선(VE0)에 전기적으로 접속되는 점에서 도 17의 표시 장치(DSP2A)의 화소(PX)와 다르다. 즉 도 21에 나타낸 표시 장치(DSP2AA)의 화소(PX)는 도 17의 화소(PX)의 스위치(SW4)와 발광 디바이스(LD)의 배치를 서로 바꾼 구성을 가진다.

[0425] 도 21의 표시 장치(DSP2AA)의 동작 방법에 대해서는, 앞에서 설명한 도 17의 표시 장치(DSP2A)와 같은 동작 방법을 참조한다. 표시 장치(DSP2AA)는 도 17의 표시 장치(DSP2A)와 같은 동작 방법을 수행함으로써 표시 장치(DSP2A)와 같은 효과를 얻을 수 있다.

[0426] 또한 도 21의 화소(PX)와 다른 도 17의 화소(PX)의 변경예를 도 22에 나타내었다. 도 22에 나타낸 표시 장치(DSP2B)의 화소(PX)는 스위치(SW8)가 제공되지 않는 점에서 도 17의 표시 장치(DSP2A)의 화소(PX)와 다르다.

[0427] 따라서 도 22의 표시 장치(DSP2B)의 동작 방법은 표시 장치(DSP2A)의 동작 방법과 일부가 다르다. 이하에서 표시 장치(DSP2A)와의 동작 방법의 차이에 대하여 설명한다.

[0428] 표시 장치(DSP2B)의 스위치(SW1)는 도 18의 (A)의 기간 T21에 온 상태로 하고 기간 T23에 오프 상태로 한다. 또한 표시 장치(DSP2B)의 스위치(SW13)는 도 18의 (A)의 기간 T21에 온 상태로 하고 기간 T24에 오프 상태로 한다. 또한 표시 장치(DSP2B)의 스위치(SW13)는 기간 T25까지 온 상태로 하여도 좋다.

[0429] 또한 표시 장치(DSP2B)를 동작하는 경우, 배선(VE4)이 공급하는 전위(V_{init})는 배선(VE1)이 공급하는 전위인 V_{N1}과 같은 전위로 한다.

[0430] 기간 T25 이후는 도 18의 (A)의 표시 장치(DSP2A)의 동작과 거의 같아도 좋다.

[0431] 상술한 바와 같이 표시 장치(DSP2B)를 동작시킴으로써, 표시 장치(DSP2B)는 V_{init}와 V_{N1}이 동등한 경우의 표시 장치(DSP2A)와 같은 효과를 얻을 수 있다.

[0432] <<표시 장치의 변경예 2>>

[0433] 또한 앞에서 설명한 본 발명의 일 형태의 표시 장치에 따른 회로(CD)로서는 도 17에 나타낸 회로(CD)에 한정되지 않는다. 본 발명의 일 형태의 표시 장치에 따른 회로(CD)는 도 17의 회로(CD)를 적절히 변경한 구성으로 하여도 좋다.

[0434] 예를 들어 도 17의 표시 장치(DSP2A)에서 배선(VE3)에 공급되는 전위(V_{ref})와 배선(VE4)에 공급되는 전위(V_{init})가 같은 경우에는, 도 17의 표시 장치(DSP2A)의 회로(CD)는 도 23의 (A)에 나타낸 회로(CD)의 구성으로 변경하여도 좋다.

[0435] 도 23의 (A)에 나타낸 회로(CD)는 스위치(SW11)의 제 2 단자가 배선(VE3)이 아니라 배선(VE4)에 전기적으로 접속되는 점에서 도 17에 나타낸 표시 장치(DSP2A)와 다르다. 또한 도시하지 않았지만, 표시 장치(DSP2A)는 스위치(SW11)의 제 2 단자 및 스위치(SW13)의 제 2 단자가 배선(VE3)에 전기적으로 접속되는 구성으로 하여도 좋다.

[0436] 또한 도 23의 (A)의 회로(CD)를 적용한 표시 장치(DSP2A)는 도 18의 (A)의 타이밍 차트의 동작과 마찬가지로 동작할 수 있다.

[0437] 또한 도 23의 (A)의 회로(CD)의 구성은 도 23의 (B)의 회로(CD)의 구성으로 변경하여도 좋다. 도 23의 (B)의 회로(CD)는 스위치(SW11)의 제 2 단자가 배선(VE4)이 아니라 스위치(SW13)의 제 1 단자와, 용량 소자(C2)의 제 1 단자와, 배선(SL)에 전기적으로 접속되는 점에서 도 23의 (A)의 회로(CD)와 다르다.

[0438] 또한 도 23의 (B)의 회로(CD)의 동작으로서는 예를 들어 트랜지스터(M2)의 문턱 전압을 보정하는 기간(도 18의 (A)의 타이밍 차트의 기간 T21 내지 기간 T26)에서는 스위치(SW11) 및 스위치(SW13)를 온 상태로 하고, 노드(N3) 및 배선(SL)의 전위를 V_{init}(=V_{ref})로 하고, 그 후 구동 회로(SD)로부터 화상 데이터 신호가 회로(CD)에 입력되기 전(도 18의 (A)의 타이밍 차트의 기간 T27 이후)에 스위치(SW11) 및 스위치(SW13)를 오프 상태로 하면 좋다.

[0439] 또한 예를 들어 도 23의 (A)에 나타낸 회로(CD)에는 새로운 용량 소자를 추가하여도 좋다. 구체적으로는 도 23의 (C)의 회로(CD)에 나타낸 바와 같이 회로(CD)에는 용량 소자(C4)가 제공되고, 용량 소자(C4)의 제 1 단자는 스위치(SW13)의 제 1 단자와, 용량 소자(C2)의 제 1 단자와, 배선(SL)에 전기적으로 접속되는 구성으로 하여도 좋다. 또한 용량 소자(C4)의 제 2 단자는 배선(VE6)에 전기적으로 접속되어 있다.

[0440] 배선(VE6)은 일례로서, 정전위를 공급하는 배선으로서 기능한다. 또한 배선(VE6)이 공급하는 정전위는 배선(VE0) 내지 배선(VE5) 중 어느 것이 공급하는 정전위와 같아도 좋고 달라도 좋다.

[0441] 도 23의 (C)와 같이 회로(CD)에 용량 소자(C4)를 추가함으로써, 도 18의 (A)의 타이밍 차트의 기간 T27에서의 노드(N3)의 전위 변화로 인한 배선(SL) 및 노드의 전위 변화량을 더 작게 할 수 있다. 구체적으로는 용량 소자(C4)의 정전 용량을 C_4로 하였을 때, 노드(N3)의 전위 변화로 인한 배선(SL) 및 노드의 전위 변화량은 노드(N3)의 전위 변화에 $C_2/(C_1+C_2+C_4)$를 곱한 값이 된다.

[0442] 또한 도 23의 (C)에서는 용량 소자(C4)를 회로(CD)의 내부에 제공하였지만, 용량 소자(C4)는 회로(CD)의 외부에 제공하여도 좋다. 구체적으로는 예를 들어 도 24에 나타낸 표시 장치(DSP2C)와 같이, 배선(SL)과 용량 소자(C4)의 제 1 단자가 전기적으로 접속되고, 배선(VE6)과 용량 소자(C4)의 제 2 단자가 전기적으로 접속되어도 좋다.

[0443] 또한 도시하지 않았지만, 도 24에 나타낸 용량 소자(C4) 및 배선(VE6)과 마찬가지로, 본 명세서 및 도면 등에서 설명하는 모든 회로(CD)에서, 회로(CD)에 포함되는 용량 소자 및 복수의 스위치의 일부는 회로(CD)의 외부에 제공되어도 좋다. 즉 본 발명의 일 형태는 본 명세서, 도면 등에 나타낸 회로(CD)의 구성에 한정되지 않고, 예를 들어 본 명세서, 도면 등에 나타낸 회로(CD)에 포함되는 회로 소자의 일부는 회로(CD)의 외부에 제공할 수 있다.

[0444] 또한 예를 들어 도 17의 표시 장치(DSP2A)의 회로(CD)의 구성을 도 23의 (D)의 회로(CD)의 구성으로 변경하여도 좋다. 도 23의 (D)의 회로(CD)는 인버터 회로(INV)를 가지는 점, 및 스위치(SW12)의 제어 단자가 배선(SWL12)이 아니라 배선(SWL11)에 전기적으로 접속되는 점에서 도 23의 (A)의 회로(CD)와 다르다.

[0445] 도 23의 (D)에 나타낸 회로(CD)를 도 17의 표시 장치(DSP2A)에 적용하면 배선(SWL12)을 제공할 필요가 없기 때문에 표시 장치(DSP2A)의 회로 면적을 저감할 수 있다.

[0446] 또한 도시하지 않았지만, 스위치(SW12)로서, 제어 단자에 고레벨 전위가 입력될 때 오프 상태가 되고 제어 단자에 저레벨 전위가 입력될 때 온 상태가 되는 스위치를 적용하는 경우, 스위치(SW12)의 제어 단자는 인버터 회로(INV)를 통하지 않고 배선(SWL11)에 전기적으로 접속되어도 좋다.

[0447] <<표시 장치의 변경예 3>>

[0448] 다음으로 표시 장치(DSP2A) 내지 표시 장치(DSP2C)와 다른 도 1의 표시 장치(DSP0)의 일례를 도 25에 나타내었다. 도 25에 나타낸 표시 장치(DSP2D)는 도 17의 표시 장치(DSP2A)의 변경예이고, 화소(PX)에 용량 소자(C2I) 및 스위치(SW13I)가 제공되는 점, 및 회로(CD)에 용량 소자(C2) 및 스위치(SW13)가 제공되지 않는 점에서 표시 장치(DSP2A)와 다르다.

[0449] 따라서 표시 장치(DSP2D)의 설명에서 표시 장치(DSP2A)의 내용과 공통되는 부분에 대해서는 표시 장치(DSP2A)의 설명을 참조한다.

[0450] 스위치(SW13I)에는 예를 들어 스위치(SW13)에 적용할 수 있는 스위치를 사용할 수 있다. 또한 스위치(SW13I)는 제어 단자에 고레벨 전위가 공급될 때 온 상태가 되고, 제어 단자에 저레벨 전위가 공급될 때 오프 상태가 되는 것으로 한다.

[0451] 표시 장치(DSP2D)에서 용량 소자(C2I)의 제 1 단자는 스위치(SW1)의 제 2 단자에 전기적으로 접속되어 있다. 또한 용량 소자(C2I)의 제 2 단자는 배선(SL)에 전기적으로 접속되어 있다. 또한 스위치(SW13I)의 제 1 단자는

스위치(SW1)의 제 1 단자와, 스위치(SW8)의 제 1 단자와, 용량 소자(C1)의 제 1 단자와, 트랜지스터(M2)의 게이트에 전기적으로 접속되어 있다. 또한 스위치(SW13I)의 제 2 단자는 배선(VE4)에 전기적으로 접속되고, 스위치(SW13I)의 제어 단자는 배선(GL13)에 전기적으로 접속되어 있다.

[0452] 또한 스위치(SW11)의 제 1 단자는 배선(SL)과 스위치(SW12)의 제 1 단자에 전기적으로 접속되어 있다.

[0453] 또한 표시 장치(DSP2D)에서는 스위치(SW11)의 제 1 단자와, 스위치(SW12)의 제 1 단자와, 용량 소자(C2I)의 전기적인 접속점을 노드(N3)라고 부른다. 또한 본 구성예의 표시 장치(DSP2D)의 경우, 노드(N3)를 배선(SL)으로 치환하여 설명할 수 있는 경우가 있다.

[0454] 배선(GL13)은 배선(GL1), 배선(GL4), 배선(GL6), 및 배선(GL7)과 함께 도 1의 배선(GL[1]) 내지 배선(GL[m]) 중 하나에 상당한다. 즉 도 25에 나타낸 화소(PX)의 회로 구성의 경우, 화소 어레이(ALP)의 1행에 연장되어 배치되는 배선(GL)의 개수는 5개이다.

[0455] 표시 장치(DSP2D)에서 용량 소자(C2I)는 표시 장치(DSP2A)의 용량 소자(C2)에 상당한다. 또한 표시 장치(DSP2D)에서 스위치(SW13I)는 표시 장치(DSP2A)의 스위치(SW13)에 상당한다. 또한 표시 장치(DSP2D)에서 배선(GL13)은 표시 장치(DSP2A)의 배선(SWL13)에 상당한다. 즉 표시 장치(DSP2D)는 표시 장치(DSP2A)의 회로(CD)에 포함되는 스위치(SW13) 및 용량 소자(C2) 각각을 스위치(SW13I) 및 용량 소자(C2I)로서 화소(PX)에 제공한 구성을 가진다. 따라서 표시 장치(DSP2D)의 동작 방법은 표시 장치(DSP2A)의 동작 방법에서 용량 소자(C2)를 용량 소자(C2I)로 치환하고, 스위치(SW13)를 스위치(SW13I)로 치환하고, 배선(SWL13)을 배선(GL13)으로 치환하여 설명할 수 있는 경우가 있다.

[0456] 표시 장치(DSP2D)는 표시 장치(DSP1A)와 같은 동작 방법을 수행함으로써, 화소(PX)의 트랜지스터(M2)의 문턱 전압을 보정하여 화소(PX)에 화상을 표시할 수 있다.

[0457] 또한 본 발명의 일 형태의 표시 장치는 표시 장치(DSP2D)의 구성에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 표시 장치(DSP2D)를 적절히 변경한 구성으로 하여도 좋다.

[0458] 도 25의 표시 장치(DSP2D)의 변경예를 도 26에 나타내었다. 도 26에 나타낸 표시 장치(DSP2DA)는 스위치(SW13I)의 제 1 단자가 스위치(SW1)의 제 1 단자, 스위치(SW8)의 제 1 단자, 용량 소자(C1)의 제 1 단자, 및 트랜지스터(M2)의 게이트가 아니라 스위치(SW1)의 제 2 단자와 용량 소자(C2I)의 제 1 단자에 전기적으로 접속되는 점에서 도 25의 표시 장치(DSP2D)와 다르다.

[0459] 도 26의 표시 장치(DSP2DA)와 같이 표시 장치(DSP2D)의 구성을 변경한 경우에도, 표시 장치(DSP2DA)는 표시 장치(DSP1A)와 같은 동작 방법을 수행함으로써, 화소(PX)의 트랜지스터(M2)의 문턱 전압을 보정하여 화소(PX)에 화상을 표시할 수 있다.

[0460] 또한 도 26의 표시 장치(DSP2DA)와 다른 도 25의 표시 장치(DSP2D)의 변경예를 도 27에 나타내었다. 도 27에 나타낸 표시 장치(DSP2E)는 스위치(SW1)의 제 2 단자가 용량 소자(C2I)의 제 1 단자가 아니라 배선(SL)에 전기적으로 접속되는 점, 스위치(SW1)의 제 1 단자가 트랜지스터(M2)의 게이트와 스위치(SW13I)의 제 1 단자와 스위치(SW8)의 제 1 단자와 용량 소자(C1)의 제 1 단자가 아니라 용량 소자(C2I)의 제 2 단자에 전기적으로 접속되는 점, 및 용량 소자(C2I)의 제 1 단자가 트랜지스터(M2)의 게이트와 스위치(SW13I)의 제 1 단자와 스위치(SW8)의 제 1 단자와 용량 소자(C1)의 제 1 단자에 전기적으로 접속되는 점에서 도 25의 표시 장치(DSP2D)와 다르다.

[0461] 즉 표시 장치(DSP2D)는 배선(SL)에서 배선(VE0)까지 사이의 전기적인 경로에는 용량 소자(C2I), 스위치(SW1), 용량 소자(C1)(또는 스위치(SW8)), 스위치(SW4), 및 발광 디바이스(LD)가 순차적으로 제공되어 있는 구성을 가지고, 표시 장치(DSP2E)는 배선(SL)에서 배선(VE0)까지 사이의 전기적인 경로에는 스위치(SW1), 용량 소자(C2I), 용량 소자(C1)(또는 스위치(SW8)), 스위치(SW4), 및 발광 디바이스(LD)가 순차적으로 제공되어 있는 구성을 가진다.

[0462] 또한 본 명세서 등에서는 스위치(SW1)의 제 1 단자와 용량 소자(C2I)의 제 2 단자 사이의 전기적인 접속점을 노드(N4)라고 부른다.

[0463] 또한 표시 장치(DSP2E)에서 용량 소자(C2I)는 표시 장치(DSP2A)의 용량 소자(C2)에 상당한다. 또한 표시 장치(DSP2E)에서 스위치(SW13I)는 표시 장치(DSP2A)의 스위치(SW13)에 상당한다. 또한 표시 장치(DSP2E)에서 배선(GL13)은 배선(SWL13)에 상당한다. 표시 장치(DSP2E)에서 노드(N4)는 표시 장치(DSP2A)의 노드(N3)에 상당한다. 즉 표시 장치(DSP2E)는 표시 장치(DSP2A)의 회로(CD)에 포함되는 스위치(SW13) 및 용량 소자(C2) 각각을

스위치(SW13I) 및 용량 소자(C2I)로서 화소(PX)에 제공한 구성을 가진다. 따라서 표시 장치(DSP2E)의 동작 방법은 표시 장치(DSP2A)의 동작 방법에서 용량 소자(C2)를 용량 소자(C2I)로 치환하고, 스위치(SW13)를 스위치(SW13I)로 치환하고, 배선(SWL13)을 배선(GL13)으로 치환하고, 노드(N3)를 노드(N4)로 치환하여 설명할 수 있는 경우가 있다.

[0464] 표시 장치(DSP2E)도 표시 장치(DSP1A)와 같은 동작 방법을 수행함으로써, 화소(PX)의 트랜지스터(M2)의 문턱 전압을 보정하여 화소(PX)에 화상을 표시할 수 있다.

[0465] 또한 도 26의 표시 장치(DSP2DA) 및 도 27의 표시 장치(DSP2E)와 다른 표시 장치(DSP2D)의 변경예를 도 28에 나타내었다. 도 28에 나타낸 표시 장치(DSP2F)는 도 27의 표시 장치(DSP2E)의 변경예이고, 화소(PX)에 스위치(SW11I)가 제공되는 점 및 회로(CD)에 스위치(SW11)가 제공되지 않는 점에서 표시 장치(DSP2E)와 다르다. 즉 도 28에 나타낸 표시 장치(DSP2F)는 화소(PX)에 스위치(SW11I), 스위치(SW13I), 및 용량 소자(C2I)가 제공되는 점 및 회로(CD)에 스위치(SW11), 스위치(SW13), 및 용량 소자(C2)가 제공되지 않는 점에서 표시 장치(DSP2A)와 다르다.

[0466] 표시 장치(DSP2F)에서 스위치(SW11I)의 제 1 단자는 스위치(SW1)의 제 1 단자와 용량 소자(C2I)의 제 2 단자에 전기적으로 접속되어 있다. 또한 스위치(SW11I)의 제 2 단자는 배선(VE3)에 전기적으로 접속되어 있다. 또한 스위치(SW11I)의 제어 단자는 배선(GL11)에 전기적으로 접속되어 있다.

[0467] 또한 용량 소자(C2I)의 제 1 단자는 스위치(SW8)의 제 1 단자와, 스위치(SW13I)의 제 1 단자와, 용량 소자(C1)의 제 1 단자와, 트랜지스터(M2)의 게이트에 전기적으로 접속되어 있다. 또한 스위치(SW1)의 제 2 단자는 배선(SL)에 전기적으로 접속되어 있다.

[0468] 또한 스위치(SW12)의 제 1 단자는 배선(SL)에 전기적으로 접속되어 있다.

[0469] 배선(GL11)은 배선(GL1), 배선(GL4), 배선(GL6), 배선(GL7), 및 배선(GL13)과 함께 도 1의 배선(GL[1]) 내지 배선(GL[m]) 중 하나에 상당한다. 즉 도 28에 나타낸 화소(PX)의 회로 구성의 경우, 화소 어레이(ALP)의 1행에 연장되어 배치되는 배선(GL)의 개수는 6개이다.

[0470] 표시 장치(DSP2F)에서 용량 소자(C2I)는 표시 장치(DSP2A)의 용량 소자(C2)에 상당한다. 또한 스위치(SW11I)는 표시 장치(DSP2A)의 스위치(SW11)에 상당한다. 또한 배선(GL11)은 표시 장치(DSP2A)의 배선(SWL11)에 상당한다. 또한 스위치(SW13I)는 표시 장치(DSP2A)의 스위치(SW13)에 상당한다. 또한 배선(GL13)은 표시 장치(DSP2A)의 배선(SWL13)에 상당한다. 또한 노드(N4)는 표시 장치(DSP2A)의 노드(N3)에 상당한다. 즉 표시 장치(DSP2F)는, 표시 장치(DSP2A)에서 회로(CD)에 포함되는 스위치(SW11), 스위치(SW13), 및 용량 소자(C2) 각각을 스위치(SW11I), 스위치(SW13I), 및 용량 소자(C2I)로서 화소(PX)에 제공한 구성을 가진다. 따라서 표시 장치(DSP2F)의 동작 방법은, 표시 장치(DSP2A)의 동작 방법에서 스위치(SW11)를 스위치(SW11I)로 치환하고, 스위치(SW13)를 스위치(SW13I)로 치환하고, 용량 소자(C2)를 용량 소자(C2I)로 치환하고, 노드(N3)를 노드(N4)로 치환하고, 배선(SWL11)을 배선(GL11)으로 치환하고, 배선(SWL13)을 배선(GL13)으로 치환하여 설명할 수 있는 경우가 있다.

[0471] 표시 장치(DSP2F)는 표시 장치(DSP2A)와 같은 동작 방법을 수행함으로써, 화소(PX)의 트랜지스터(M2)의 문턱 전압을 보정하여 화소(PX)에 화상을 표시할 수 있다.

[0472] 또한 표시 장치(DSP2A)의 동작 방법에서 설명한 바와 같이, 배선(VE1) 내지 배선(VE5) 중에서 선택된 2개 이상의 배선이 공급하는 전위는 서로 동등하게 할 수 있다. 이 경우, 선택된 배선은 하나의 배선으로 합쳐도 좋다.

[0473] 또한 도 22의 표시 장치(DSP2B), 도 24의 표시 장치(DSP2C), 도 25의 표시 장치(DSP2D), 도 26의 표시 장치(DSP2DA), 도 27의 표시 장치(DSP2E), 및 도 28의 표시 장치(DSP2F)와 다른 표시 장치(DSP2A)의 변경예를 도 29에 나타내었다. 도 29에 나타낸 표시 장치(DSP2G)는 도 28의 표시 장치(DSP2F)의 변경예이고, 회로(CD)에 스위치(SW12)가 제공되지 않는 점에서 표시 장치(DSP2F)와 다르다. 즉 도 29에 나타낸 표시 장치(DSP2G)는 화소(PX)에 스위치(SW11I), 스위치(SW12I), 스위치(SW13I), 및 용량 소자(C2I)가 제공되는 점 및 회로(CD)가 제공되지 않는 점에서 표시 장치(DSP2A)와 다르다.

[0474] 또한 편의상, 표시 장치(DSP2G)에서는 표시 장치(DSP1F)의 스위치(SW1)를 스위치(SW12I)라고 표기하고, 또한 표시 장치(DSP1F)의 배선(GL1)을 배선(GL12)이라고 표기하였다.

[0475] 표시 장치(DSP2G)에서 구동 회로(SD)는 배선(SL)에 전기적으로 접속되고, 배선(SL)은 스위치(SW12I)의 제 2 단

자에 전기적으로 접속되어 있다.

[0476] 표시 장치(DSP2G)에 제공되어 있는 스위치(SW12I)는 표시 장치(DSP2D)의 화소(PX)에 제공되는 스위치(SW1)와 겸용할 수 있다. 따라서 표시 장치(DSP2D)는 도 29의 표시 장치(DSP2G)와 같이 회로(CD) 내에 스위치(SW12)를 제공하지 않는 구성으로 변경할 수 있다.

[0477] 표시 장치(DSP2G)의 동작 방법은, 표시 장치(DSP2A)의 동작 방법에서 스위치(SW11)를 스위치(SW11I)로 치환하고, 스위치(SW13)를 스위치(SW13I)로 치환하고, 용량 소자(C2)를 용량 소자(C2I)로 치환하고, 노드(N3)를 노드(N4)로 치환하고, 배선(SWL11)을 배선(GL11)으로 치환하고, 배선(SWL12)을 배선(GL12)으로 치환하고, 배선(SWL13)을 배선(GL13)으로 치환하여 설명할 수 있는 경우가 있다. 또한 표시 장치(DSP2A)의 배선(GL1)이 공급하는 신호에 대해서는 표시 장치(DSP2G)에서는 생각하지 않아도 된다.

[0478] <<표시 장치의 변경예 4>>

[0479] 다음으로 표시 장치(DSP2A) 내지 표시 장치(DSP2G)와 다른 도 1의 표시 장치(DSP0)의 일례를 도 30에 나타내었다. 도 30에 나타낸 표시 장치(DSP2H)는 도 17의 표시 장치(DSP2A)의 변경예이고, 발광 디바이스(LD)에 병렬로 전기적으로 접속되도록 스위치(SW9)가 제공되는 점에서 표시 장치(DSP2A)와 다르다.

[0480] 스위치(SW9)에는 예를 들어 스위치(SW1), 스위치(SW4), 스위치(SW6), 스위치(SW7), 및 스위치(SW8)에 적용할 수 있는 스위치를 사용할 수 있다. 또한 스위치(SW9)는 제어 단자에 고레벨 전위가 공급될 때 온 상태가 되고, 제어 단자에 저레벨 전위가 공급될 때 오프 상태가 되는 것으로 한다.

[0481] 스위치(SW9)의 제 1 단자는 스위치(SW4)의 제 2 단자와 발광 디바이스(LD)의 애노드에 전기적으로 접속되어 있다. 스위치(SW9)의 제 2 단자는 발광 디바이스(LD)의 캐소드와 배선(VE0)에 전기적으로 접속되어 있다. 또한 스위치(SW9)의 제어 단자는 배선(GL9)에 전기적으로 접속되어 있다.

[0482] 도 30의 표시 장치(DSP2H)에서 배선(GL9)은 배선(GL1), 배선(GL4), 배선(GL6), 및 배선(GL7)과 함께 도 1의 배선(GL[1]) 내지 배선(GL[m]) 중 하나에 상당한다. 즉 도 30에 나타낸 화소(PX)의 회로 구성의 경우, 화소 어레이(ALP)의 1행에 연장되어 배치되는 배선(GL)의 개수는 5개이다.

[0483] 다음으로 도 30의 표시 장치(DSP2H)의 동작 방법의 일례에 대하여 설명한다.

[0484] 도 31은 표시 장치(DSP2H)의 동작 방법의 일례를 나타낸 타이밍 차트이다. 구체적으로는 도 31의 타이밍 차트는 도 18의 (A)의 타이밍 차트의 변경예이고, 도 18의 (A)의 타이밍 차트에 배선(GL9)의 전위 변화도 추가하여 나타낸 것이다. 또한 도 31의 타이밍 차트의 배선(GL4)의 전위 변화는 도 18의 (A)의 타이밍 차트의 배선(GL4)의 전위 변화와 다르다. 그러므로 표시 장치(DSP2H)의 배선(GL4) 및 배선(GL9)의 전위 변화 이외의 동작에 대해서는 도 18의 (A)의 타이밍 차트의 설명을 참조한다.

[0485] 기간 T29에서 배선(GL4)에는 고레벨 전위가 공급되고, 배선(GL9)에는 저레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW4)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW4)는 온 상태가 된다. 또한 스위치(SW9)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW9)는 오프 상태가 된다.

[0486] 즉 기간 T29에서는 배선(VE0) 및 발광 디바이스(LD)의 캐소드 각각과 발광 디바이스(LD)의 애노드 사이가 비도통 상태가 되기 때문에, 발광 디바이스(LD)의 애노드에는 스위치(SW9)를 통하여 배선(VE0)으로부터의 전위(V_{CT})가 공급되지 않는다. 한편, 기간 T29에서는 스위치(SW4)가 온 상태이기 때문에 발광 디바이스(LD)의 애노드에는 배선(VE2)으로부터의 전류가 흐른다. 그러므로 발광 디바이스(LD)는 발광한다.

[0487] 기간 T21 내지 기간 T28 및 기간 T30에서 배선(GL4)에는 저레벨 전위가 공급되고, 배선(GL9)에는 고레벨 전위가 공급되어 있다. 이에 의하여 스위치(SW4)의 제어 단자에는 저레벨 전위가 공급되기 때문에 스위치(SW4)는 오프 상태가 된다. 또한 스위치(SW9)의 제어 단자에는 고레벨 전위가 공급되기 때문에 스위치(SW9)는 온 상태가 된다.

[0488] 즉 기간 T21 내지 기간 T28 및 기간 T30에서는 배선(VE0) 및 발광 디바이스(LD)의 캐소드 각각과 발광 디바이스(LD)의 애노드 사이가 도통 상태가 되기 때문에 발광 디바이스(LD)의 애노드-캐소드 간 전압이 0V가 된다. 또한 스위치(SW4)가 오프 상태이기 때문에 스위치(SW4)를 통하여 노드(N2)와 발광 디바이스(LD)의 애노드 사이에 전류는 흐르지 않는다.

[0489] 특히 기간 T21 내지 기간 T28 및 기간 T30은 원래 발광 디바이스(LD)가 발광하지 않는 기간이지만 이들 기간에서 스위치(SW9)를 온 상태로 함으로써, 발광 디바이스(LD)의 애노드에 축적되어 있는 전하를 스위치(SW9)를 통

하여 배선(VE0)에 배출할 수 있다. 즉 발광 디바이스(LD)가 발광하지 않는 기간에서, 표시 장치(DSP1F)는 발광 디바이스(LD)의 애노드에 축적되어 있는 전하를 스위치(SW9)가 제공되지 않는 표시 장치(예를 들어 표시 장치(DSP2A) 내지 표시 장치(DSP2G))보다 빠르게 방전할 수 있다. 이에 의하여 발광 디바이스(LD)의 발광 상태를 보다 빠르게 소광 상태로 이행시킬 수 있다.

[0490] 또한 도 18의 (A)의 타이밍 차트의 기간 T21에서 배선(GL4)에는 고레벨 전위가 공급되지만, 도 31의 타이밍 차트의 기간 T21에서 배선(GL4)에는 저레벨 전위가 공급되어 있다. 이들은 도 18의 (A)의 타이밍 차트의 기간 T21에서는 발광 디바이스(LD)의 애노드에 배선(VE1)으로부터 전위를 공급하여 발광 디바이스(LD)를 비발광으로 하고, 도 31의 타이밍 차트의 기간 T21에서는 발광 디바이스(LD)의 애노드에 배선(VE0)으로부터 전위를 공급하여 발광 디바이스(LD)를 비발광으로 한다는 동작의 차이가 있다.

[0491] 상술한 바와 같이 도 17의 표시 장치(DSP2A) 및 도 22의 표시 장치(DSP2B)는 화소(PX) 내의 용량 소자(C1)와 화소(PX) 외의 용량 소자(C2)에 의하여 화상 데이터 신호의 전위 변환을 수행한다. 또한 예를 들어 용량 소자(C1)에 트랜지스터(M2)의 문턱 전압의 보정을 하기 위한 전압이 기록되어 있는 경우, 노드(N2)의 전위 변화에 의하여, 노드(N1)의 전위는 노드(N2)의 전위 변화에 $C_1/(C_1+C_2)$를 곱한 전위가 인가되기 때문에, 용량 소자(C1)에 기록되어 있는 트랜지스터(M2)의 문턱 전압을 보정하기 위한 전압이 변화되는 경우가 있다(노드(N2)의 전위 변화가 노드(N1)의 전위 변화와 같은 경우, 용량 소자(C1)에 기록되어 있는 트랜지스터(M2)의 문턱 전압을 보정하기 위한 전압은 변화되지 않는다). 한편, 도 17의 표시 장치(DSP2A) 및 도 22의 표시 장치(DSP2B)에 나타낸 바와 같이 용량 소자(C3)에 트랜지스터(M2)의 문턱 전압을 보정하기 위한 전압을 기록하는 구성으로 함으로써, 노드(N2)의 전위 변화로 인한 노드(N1)의 전위 변화량을 노드(N2)의 전위 변화량과 거의 동등하게 할 수 있기 때문에, 용량 소자(C3)에 기록되어 있는 트랜지스터(M2)의 문턱 전압을 보정하기 위한 전압의 변화를 억제할 수 있다.

[0492] 본 실시형태에서는 실시형태 1에서 설명한 화소(PX) 및 회로(CD)와 구성이 다른 표시 장치(DSP2A)의 구성예에 대하여 설명하였다. 상술한 바와 같이 본 발명의 일 형태의 표시 장치에서 화소(PX) 및 회로(CD)의 구성은 적절히 변경되어도 좋다.

[0493] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다.

[0494] (실시형태 3)

[0495] 본 실시형태에서는 앞의 실시형태에서 설명한 표시 장치의 구성의 일례에 대하여 설명한다. 도 32의 (A)는 앞의 실시형태에서 설명한 표시 장치의 일례를 나타낸 단면 모식도이다. 표시 장치(DSP)는 일례로서 화소층(PXAL)과, 배선층(LINL)과, 회로층(SICL)을 가진다.

[0496] 배선층(LINL)은 회로층(SICL) 위에 제공되고, 화소층(PXAL)은 배선층(LINL) 위에 제공되어 있다. 또한 화소층(PXAL)은 후술하는 구동 회로 영역(DRV)을 포함하는 영역과 중첩되어 있다.

[0497] 회로층(SICL)은 기판(BS)과 구동 회로 영역(DRV)을 가진다.

[0498] 기판(BS)으로서는 예를 들어 단결정 기판(예를 들어 실리콘 또는 저마늄을 재료로 한 반도체 기판)을 사용할 수 있다. 또한 기판(BS)에는, 단결정 기판 외에 예를 들어 SOI(Silicon On Insulator) 기판, 유리 기판, 석영 기판, 플라스틱 기판, 사파이어 유리 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·포일을 포함한 기판, 텅스텐 기판, 텅스텐·포일을 포함한 기판, 가요성 기판, 접합 필름, 섬유상 재료를 포함한 종이, 또는 기재 필름을 사용할 수 있다. 유리 기판의 일례로서는 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리, 및 소다 석회 유리 등을 들 수 있다. 가요성 기판, 접합 필름, 및 기재 필름의 일례로서는 이하의 것을 들 수 있다. 예를 들어 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에터설폰(PES), 및 폴리테트라플루오로에틸렌(PTFE)으로 대표되는 플라스틱이 있다. 또는 일례로서 아크릴 수지 등의 합성 수지를 들 수 있다. 또는 일례로서 폴리프로필렌, 폴리에스터, 폴리플루오린화 바이닐, 또는 폴리염화 바이닐을 들 수 있다. 또는 일례로서 폴리아마이드, 폴리이미드, 아라미드, 에폭시 수지, 무기 증착 필름, 및 종이류를 들 수 있다. 또한 표시 장치(DSP)의 제작 공정에 열처리가 포함되는 경우에는, 기판(BS)으로서 열에 대한 내성이 높은 기판을 선택하는 것이 바람직하다.

[0499] 본 실시형태에서는 기판(BS)이 실리콘을 재료로서 포함한 반도체 기판인 것으로 가정하여 설명한다. 그러므로 구동 회로 영역(DRV)에 포함되는 트랜지스터는 채널 형성 영역에 실리콘을 포함한 트랜지스터(이하, Si 트랜지스터라고 함)로 할 수 있다.

[0500] 구동 회로 영역(DRV)은 기판(BS) 위에 제공되어 있다.

[0501] 구동 회로 영역(DRV)은 일례로서 후술하는 화소층(PXAL)에 포함되는 화소를 구동시키기 위한 구동 회로를 가진다. 또한 구동 회로 영역(DRV)의 구체적인 구성예에 대해서는 후술한다.

[0502] 배선층(LINL)은 회로층(SICL) 위에 제공되어 있다.

[0503] 배선층(LINL)에는 일례로서 배선이 제공되어 있다. 또한 배선층(LINL)에 포함되는 배선은 예를 들어 아래쪽에 제공되는 구동 회로 영역(DRV)에 포함되는 구동 회로와, 위쪽에 제공되는 화소층(PXAL)에 포함되는 회로를 전기적으로 접속하는 배선으로서 기능한다.

[0504] 화소층(PXAL)은 일례로서 복수의 화소(예를 들어 도 1의 화소(PX[1,1]) 내지 화소(PX[m,n]))를 가진다.

[0505] 도 33의 (A)는 표시 장치(DSP)의 평면도의 일례이고, 표시부(DIS)만을 나타낸 것이다. 또한 표시부(DIS)는 화소층(PXAL)의 평면도라고 할 수 있다.

[0506] 또한 도 33의 (A)의 표시 장치(DSP)에 있어서, 표시부(DIS)는 일례로서 p행 q열(p는 1 이상의 정수이고, q는 1 이상의 정수임)의 영역으로 분할되어 있다. 그러므로 표시부(DIS)는 표시 영역(ARA[1,1]) 내지 표시 영역(ARA[p,q])을 가진다. 또한 도 33의 (A)에서는 일례로서 표시 영역(ARA[1,1]), 표시 영역(ARA[2,1]), 표시 영역(ARA[p-1,1]), 표시 영역(ARA[p,1]), 표시 영역(ARA[1,2]), 표시 영역(ARA[2,2]), 표시 영역(ARA[p-1,2]), 표시 영역(ARA[p,2]), 표시 영역(ARA[1,q-1]), 표시 영역(ARA[2,q-1]), 표시 영역(ARA[p-1,q-1]), 표시 영역(ARA[p,q-1]), 표시 영역(ARA[1,q]), 표시 영역(ARA[2,q]), 표시 영역(ARA[p-1,q]), 및 표시 영역(ARA[p,q]) 각각을 발췌하여 나타내었다.

[0507] 예를 들어, 표시부(DIS)를 32개의 영역으로 분할하고자 하는 경우, p=4, q=8로 하여, 도 33의 (A)에 적용하면 된다. 또한 표시 장치(DSP)의 해상도가 8K4K인 경우, 표시 화소의 수는 7680×4320픽셀이 된다. 또한 표시부(DIS)의 부화소가 적색(R), 녹색(G), 및 청색(B)의 3색인 경우, 부화소의 총수는 7680×4320×3개가 된다. 여기서, 해상도가 8K4K인 표시부(DIS)의 화소 어레이를 32개의 영역으로 분할한 경우, 하나의 영역당 표시 화소의 수는 960×1080픽셀이 되고, 또한 그 표시 장치(DSP)의 부화소가 적색(R), 녹색(G), 및 청색(B)의 3색인 경우, 하나의 영역당 부화소의 개수는 960×1080×3개가 된다.

[0508] 여기서, 도 33의 (A)의 표시 장치(DSP)에 있어서, 표시부(DIS)가 p행 q열의 영역으로 분할되어 있는 경우에서의 회로층(SICL)에 포함되는 구동 회로 영역(DRV)에 대하여 생각한다.

[0509] 도 33의 (B)는 표시 장치(DSP)의 평면도의 일례이고, 회로층(SICL)에 포함되는 구동 회로 영역(DRV)만을 나타낸 것이다.

[0510] 도 33의 (A)의 표시 장치(DSP)에서는 표시부(DIS)가 p행 q열의 영역으로 분할되어 있기 때문에, 분할된 표시 영역(ARA[1,1]) 내지 표시 영역(ARA[p,q]) 각각에는 대응하는 구동 회로가 필요하다. 구체적으로는 구동 회로 영역(DRV)도 p행 q열의 영역으로 분할하고, 분할된 각 영역에 구동 회로를 제공하면 좋다.

[0511] 도 33의 (B)에는 표시 장치(DSP)에서 구동 회로 영역(DRV)이 p행 q열의 영역으로 분할된 구성을 나타내었다. 그러므로 구동 회로 영역(DRV)은 회로 영역(ARD[1,1]) 내지 회로 영역(ARD[p,q])을 가진다. 또한 도 33의 (B)에서는 일례로서 회로 영역(ARD[1,1]), 회로 영역(ARD[2,1]), 회로 영역(ARD[p-1,1]), 회로 영역(ARD[p,1]), 회로 영역(ARD[1,2]), 회로 영역(ARD[2,2]), 회로 영역(ARD[p-1,2]), 회로 영역(ARD[p,2]), 회로 영역(ARD[1,q-1]), 회로 영역(ARD[2,q-1]), 회로 영역(ARD[p-1,q-1]), 회로 영역(ARD[p,q-1]), 회로 영역(ARD[1,q]), 회로 영역(ARD[2,q]), 회로 영역(ARD[p-1,q]), 및 회로 영역(ARD[p,q]) 각각을 발췌하여 나타내었다.

[0512] 회로 영역(ARD[1,1]) 내지 회로 영역(ARD[p,q]) 각각은 열 드라이버 회로(CLM)와 행 드라이버 회로(RWD)를 가진다. 예를 들어, h행 k열(h는 1 이상 p 이하의 정수로 하고, k는 1 이상 q 이하의 정수로 함)에 위치하는 회로 영역(ARD[h,k])(도 33의 (B)에 도시하지 않았음)에 포함되는 열 드라이버 회로(CLM)와 행 드라이버 회로(RWD)는 표시부(DIS)의 h행 k열에 위치하는 표시 영역(ARA[h,k])(도 33의 (A)에 도시하지 않았음)에 포함되는 복수의 화소를 구동시킬 수 있다.

[0513] 열 드라이버 회로(CLM)는 예를 들어 대응하는 표시 영역(ARA)에 포함되는 복수의 화소에 화상 신호를 송신하는 소스 드라이버 회로가 포함된다. 따라서 도 32의 (A) 또는 도 33의 (A)의 표시 장치(DSP)는 도 1의 표시 장치(DSP0)와 마찬가지로, 열 드라이버 회로(CLM)가 배선(SL[1]) 내지 배선(SL[n])에 전기적으로 접속되는 구성으로

하는 것이 바람직하다. 또한 열 드라이버 회로(CLM)는 디지털 데이터의 화상 신호를 아날로그 데이터로 변환하는 디지털 아날로그 변환 회로를 가져도 좋다.

[0514] 행 드라이버 회로(RWD)는 예를 들어 대응하는 표시 영역(ARA)에서 화상 신호의 송신 대상이 되는 복수의 표시 화소를 선택하기 위한 게이트 드라이버 회로를 가진다. 따라서 도 32의 (A) 또는 도 33의 (A)의 표시 장치(DSP)는 도 1의 표시 장치(DSP0)와 마찬가지로, 행 드라이버 회로(RWD)가 배선(GL[1]) 내지 배선(GL[m])에 전기적으로 접속되는 구성으로 하는 것이 바람직하다.

[0515] 또한 도 32의 (A), 도 33의 (A) 및 (B)에 나타낸 표시 장치(DSP)는 표시부(DIS)의 표시 영역(ARA[h, k])과 회로 영역(ARD[h, k])이 서로 중첩되는 구성을 가지지만, 본 발명의 일 형태의 표시 장치는 이에 한정되지 않는다. 본 발명의 일 형태의 표시 장치의 구성에서는 반드시 표시 영역(ARA[h, k])과 회로 영역(ARD[h, k])이 서로 중첩되지 않아도 된다.

[0516] 예를 들어, 도 32의 (B)에 나타낸 바와 같이, 표시 장치(DSP)에 있어서 기판(BS) 위에는 구동 회로 영역(DRV)뿐만 아니라 영역(LIA)도 제공되어도 좋다.

[0517] 영역(LIA)에는 일례로서 배선이 제공되어 있다. 또한 영역(LIA)에 포함되어 있는 배선은 배선층(LINL)에 포함되는 배선에 전기적으로 접속되어 있어도 좋다. 또한 이때 표시 장치(DSP)는 영역(LIA)에 포함되는 배선과 배선층(LINL)에 포함되는 배선에 의하여 구동 회로 영역(DRV)에 포함되는 회로와 화소층(PXAL)에 포함되는 회로가 전기적으로 접속되는 구성으로 하여도 좋다. 또한 표시 장치(DSP)는 구동 회로 영역(DRV)에 포함되는 회로와, 영역(LIA)에 포함되는 배선 또는 회로 사이가 배선층(LINL)에 포함되는 배선을 통하여 전기적으로 접속되는 구성으로 하여도 좋다.

[0518] 또한 영역(LIA)에는 일례로서 GPU(Graphics Processing Unit)가 포함되어도 좋다. 또한 표시 장치(DSP)에 터치 패널이 포함되는 경우에는 영역(LIA)에는 상기 터치 패널에 포함되는 터치 센서를 제어하는 센서 컨트롤러가 포함되어도 좋다. 또한 표시 장치(DSP)의 표시 소자로서 액정 소자가 적용되는 경우, 감마 보정 회로가 포함되어도 좋다. 또한 영역(LIA)에는 표시 장치(DSP)의 외부로부터의 입력 신호를 처리하는 기능을 가지는 컨트롤러가 포함되어도 좋다. 또한 영역(LIA)에는 상술한 회로 및 회로 영역(ARD)에 포함되는 구동 회로에 공급하는 전압을 생성하기 위한 전압 생성 회로가 포함되어도 좋다.

[0519] 또한 표시 장치(DSP)의 표시 소자로서 유기 EL 재료가 사용된 발광 디바이스가 적용되어 있는 경우, 영역(LIA)에는 EL 보정 회로가 포함되어도 좋다. EL 보정 회로는 예를 들어 유기 EL 재료가 포함되는 발광 디바이스에 입력되는 전류의 양을 적절히 조정하는 기능을 가진다. 유기 EL 재료가 포함되는 발광 디바이스의 발광 시의 휘도는 전류량에 비례하기 때문에, 상기 발광 디바이스에 전기적으로 접속되는 구동 트랜지스터의 특성이 좋지 않은 경우에는 상기 발광 디바이스에서 방출되는 광의 휘도는 원하는 휘도보다 낮아지는 경우가 있다. EL 보정 회로는 예를 들어 상기 발광 디바이스를 흐르는 전류의 양을 모니터링하여 상기 전류량이 원하는 전류량보다 작을 때 상기 발광 디바이스를 흐르는 전류의 양을 크게 함으로써, 상기 발광 디바이스에서 발광하는 휘도를 높일 수 있다. 또한 이와 반대로 상기 전류량이 원하는 전류량보다 클 때 상기 발광 디바이스를 흐르는 전류의 양을 작게 조정하여도 좋다.

[0520] 도 34의 (A)는 도 32의 (B)에 나타낸 표시 장치(DSP)의 평면도의 일례이고, 실선으로 나타낸 구동 회로 영역(DRV)과 점선으로 나타낸 표시부(DIS)를 나타낸 것이다. 또한 도 34의 (A)의 표시 장치(DSP)에서는 일례로서, 구동 회로 영역(DRV)이 영역(LIA)으로 둘러싸이는 구성을 나타내었다(회로층(SICL)만을 나타낸 표시 장치(DSP)의 평면도의 일례를 도 34의 (B)에 나타내었다). 그러므로 도 34의 (A)에 나타낸 바와 같이, 구동 회로 영역(DRV)은 평면에서 보았을 때 표시부(DIS)의 내측과 중첩되도록 배치되어 있다.

[0521] 또한 도 34의 (A)에 나타낸 표시 장치(DSP)에서는 도 33의 (A)와 마찬가지로 표시부(DIS)가 표시 영역(ARA[1,1]) 내지 표시 영역(ARA[p,q])으로 분할되어 있는 것으로 하고, 구동 회로 영역(DRV)도 회로 영역(ARD[1,1]) 내지 회로 영역(ARD[p,q])으로 분할되어 있는 것으로 한다.

[0522] 도 34의 (A)에서는, 일례로서 표시 영역(ARA)과, 그 표시 영역(ARA)에 포함되는 화소를 구동시키는 구동 회로를 포함하는 회로 영역(ARD)의 대응 관계를 굵은 화살표로 나타내었다. 구체적으로는, 회로 영역(ARD[1,1])에 포함되는 구동 회로는 표시 영역(ARA[1,1])에 포함되는 화소를 구동시키고, 회로 영역(ARD[2,1])에 포함되는 구동 회로는 표시 영역(ARA[2,1])에 포함되는 화소를 구동시킨다. 또한 회로 영역(ARD[p-1,1])에 포함되는 구동 회로는 표시 영역(ARA[p-1,1])에 포함되는 화소를 구동시키고, 회로 영역(ARD[p,1])에 포함되는 구동 회로는 표시 영역(ARA[p,1])에 포함되는 화소를 구동시킨다. 또한 회로 영역(ARD[1,q])에 포함되는 구동 회로는 표시 영역

(ARA[1,q])에 포함되는 화소를 구동시키고, 회로 영역(ARD[2,q])에 포함되는 구동 회로는 표시 영역(ARA[2,q])에 포함되는 화소를 구동시킨다. 또한 회로 영역(ARD[p-1,q])에 포함되는 구동 회로는 표시 영역(ARA[p-1,q])에 포함되는 화소를 구동시키고, 회로 영역(ARD[p,q])에 포함되는 구동 회로는 표시 영역(ARA[p,q])에 포함되는 화소를 구동시킨다. 즉, 도 34의 (A)에는 도시하지 않았지만, h행 k열에 위치하는 회로 영역(ARD[h, k])에 포함되는 구동 회로는 표시 영역(ARA[h, k])에 포함되는 화소를 구동시킨다.

[0523] 도 32의 (B)에 있어서, 회로층(SICL) 내의 회로 영역(ARD)에 포함되는 구동 회로와, 화소층(PXAL) 내의 표시 영역(ARA)에 포함되는 화소를 배선층(LINL)에 포함되는 배선을 통하여 전기적으로 접속함으로써, 표시 장치(DSP)는 표시 영역(ARA[h,k])과 회로 영역(ARD[h,k])이 반드시 서로 중첩될 필요는 없는 구성을 가질 수 있다. 그러므로 구동 회로 영역(DRV)과 표시부(DIS)의 위치 관계는 도 34의 (A)에 나타낸 표시 장치(DSP)의 평면도에 한정되지 않고, 구동 회로 영역(DRV)의 배치를 자유로이 정할 수 있다.

[0524] 또한 도 32의 (A) 및 (B)에 나타낸 표시 장치(DSP)는 배선층(LINL)이 제공되는 구성을 가지지만, 본 발명의 일 형태는 이에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 예를 들어 도 32의 (C)에 나타낸 회로층(SICL) 위에 화소층(PXAL)이 배치되는 구성을 가져도 좋다.

[0525] 또한 도 33의 (B) 및 도 34의 (A)에 나타낸 회로 영역(ARD[1,1]) 내지 회로 영역(ARD[p,q]) 각각에서 열 드라이버 회로(CLM) 및 행 드라이버 회로(RWD)의 배치는 본 발명의 일 형태의 표시 장치의 구성에 한정되지 않는다. 도 33의 (B) 및 도 34의 (A)에서 열 드라이버 회로(CLM) 및 행 드라이버 회로(RWD)는 서로 교차되도록(십자가 되도록) 배치되었지만, 하나의 회로 영역(ARD) 내에서 열 드라이버 회로(CLM) 및 행 드라이버 회로(RWD)는 다양한 형상으로 배치되어도 좋다.

[0526] 도 33의 (A) 내지 도 34의 (B)에 나타낸 바와 같이, 표시부(DIS)를 복수의 표시 영역(ARA)으로 분할하고, 또한 각 표시 영역(ARA)에 대응하는 구동 회로를 제공함으로써, 복수의 표시 영역(ARA)에 포함되는 회로를 독립적으로 구동시킬 수 있다. 예를 들어 화상 데이터를 많이 재기록하는 표시 영역(ARA)에서는 대응하는 회로 영역(ARD)에 포함되는 열 드라이버 회로(CLM) 및 행 드라이버 회로(RWD)를 높은 프레임 주파수로 구동시키고, 화상 데이터를 빈번하게 재기록하지 않는 표시 영역(ARA)에서는 대응하는 회로 영역(ARD)에 포함되는 열 드라이버 회로(CLM) 및 행 드라이버 회로(RWD)를 낮은 프레임 주파수로 구동시킬 수 있다. 구체적으로는 동영상 등 화상 데이터를 많이 재기록하는 표시 영역(ARA)에 대응하는 열 드라이버 회로(CLM) 및 행 드라이버 회로(RWD)는 60Hz 이상, 120Hz 이상, 165Hz 이상, 또는 240Hz 이상의 높은 프레임 주파수로 동작시키면 좋다. 또한 정지 화상 등 화상 데이터를 빈번하게 재기록하지 않는 표시 영역(ARA)에 대응하는 열 드라이버 회로(CLM) 및 행 드라이버 회로(RWD)는 5Hz 이하, 1Hz 이하, 0.5Hz 이하, 또는 0.1Hz 이하의 낮은 프레임 주파수로 동작시키면 좋다. 이와 같이 표시 장치(DSP)의 표시부(DIS)를 표시 영역(ARA[1,1]) 내지 표시 영역(ARA[p,q])으로 분할함으로써, 표시 영역(ARA)에 표시하는 화상에 따라 재기록 빈도(프레임 주파수)를 변화시킬 수 있다. 즉 표시 장치(DSP)는 표시부(DIS)에서 표시 영역(ARA[1,1]) 내지 표시 영역(ARA[p,q]) 중 적어도 2개에 서로 다른 프레임 주파수로 화상을 표시할 수 있다.

[0527] 다음으로 표시 장치(DSP)에 포함되는 각 구성 요소의 예에 대하여 설명한다. 도 35의 (A)는 도 32의 (A) 또는 (B)의 표시 장치(DSP)의 일례를 나타낸 블록도이다. 도 35의 (A)에 나타낸 표시 장치(DSP)는 표시부(DIS)와 주변 회로(PRPH)를 가진다.

[0528] 주변 회로(PRPH)는 복수의 행 드라이버 회로(RWD)를 포함하는 회로(GDS)와, 복수의 열 드라이버 회로(CLM)를 포함하는 회로(SDS)와, 분배 회로(DMG)와, 분배 회로(DMS)와, 제어부(CTR)와, 기억 장치(MD)와, 전압 생성 회로(PG)와, 타이밍 컨트롤러(TMC)와, 클록 신호 생성 회로(CKS)와, 화상 처리부(GPS)와, 인터페이스(INT)를 가진다. 또한 주변 회로(PRPH)는 일례로서, 도 32의 (A) 및 (B)의 회로층(SICL)에 포함되는 회로로 할 수 있다.

[0529] 또한 표시 장치(DSP)에서 복수의 행 드라이버 회로(RWD) 각각을 포함하는 구동 회로 영역(DRV)은 도 32의 (A) 내지 도 34의 (A)에 나타낸 바와 같이 복수의 표시 영역(ARA)을 포함하는 화소층(PXAL)과 중첩되지만, 도 35의 (A)에서는 편의상 표시부(DIS)의 외측에 복수의 행 드라이버 회로(RWD)가 1열로 배열되도록 도시하였다. 마찬가지로 복수의 열 드라이버 회로(CLM) 각각을 포함하는 구동 회로 영역(DRV)은 복수의 표시 영역(ARA)을 포함하는 화소층(PXAL)과 중첩되지만, 도 35의 (A)에서는 편의상 표시부(DIS)의 외측에 복수의 열 드라이버 회로(CLM)가 1행으로 배열되도록 도시하였다.

[0530] 주변 회로(PRPH)는 예를 들어 도 32의 (A) 및 (B)에 나타낸 회로층(SICL)에 포함된다. 또한 주변 회로(PRPH)에

포함되는 회로(GDS) 및 회로(SDS)는 예를 들어 도 32의 (A) 및 (B)에 나타낸 구동 회로 영역(DRV)에 포함된다.

[0531] 또한 도 32의 (B)의 표시 장치(DSP)의 경우, 분배 회로(DMG), 분배 회로(DMS), 제어부(CTR), 기억 장치(MD), 전압 생성 회로(PG), 타이밍 컨트롤러(TMC), 클록 신호 생성 회로(CKS), 화상 처리부(GPS), 및 인터페이스(INT) 중에서 선택된 하나 이상은 영역(LIA)에 포함되어도 좋다. 또한 상술한 회로 중 영역(LIA)에 포함되지 않는 회로는 외부 회로로서 영역(LIA)에 포함되는 회로 및 구동 회로 영역(DRV)에 포함되는 회로 중 한쪽 또는 양쪽에 전기적으로 접속되어도 좋다.

[0532] 분배 회로(DMG)와, 분배 회로(DMS)와, 제어부(CTR)와, 기억 장치(MD)와, 전압 생성 회로(PG)와, 타이밍 컨트롤러(TMC)와, 클록 신호 생성 회로(CKS)와, 화상 처리부(GPS)와, 인터페이스(INT)는 각각 버스 배선(BW)을 통하여 상호로 각종 신호를 송수신한다.

[0533] 인터페이스(INT)는, 예를 들어 외부 장치로부터 출력되고, 표시 장치(DSP)에 화상을 표시하기 위한 화상 정보를 주변 회로(PRPH) 내의 회로에 가져오기 위한 회로로서의 기능을 가진다. 또한 여기서의 외부 장치로서는, 예를 들어 기록 매체의 재생기, HDD(Hard Disk Drive), 및 SSD(Solid State Drive) 등의 비휘발성 기억 장치가 있다. 또한 인터페이스(INT)는 주변 회로(PRPH) 내의 회로로부터 표시 장치(DSP)의 외측의 장치에 신호를 출력하는 회로로 하여도 좋다.

[0534] 또한 무선 통신에 의하여, 외부 장치로부터 인터페이스(INT)에 화상 정보가 입력되는 경우, 인터페이스(INT)는 일례로서 화상 정보를 수신하는 안테나, 혼합기, 증폭 회로, 및 아날로그 디지털 변환 회로 중에서 선택된 하나 이상을 가지는 구성으로 할 수 있다.

[0535] 제어부(CTR)는 인터페이스(INT)를 통하여 외부 장치로부터 송신되는 각종 제어 신호를 처리하고, 주변 회로(PRPH)에 포함되는 각종 회로를 제어하는 기능을 가진다.

[0536] 기억 장치(MD)는 정보 및 화상 신호를 일시적으로 유지하는 기능을 가진다. 이 경우, 기억 장치(MD)는 예를 들어 프레임 메모리(프레임 버퍼라고 불리는 경우가 있음)로서 기능한다. 또한 기억 장치(MD)는 인터페이스(INT)를 통하여 외부 장치로부터 송신된 정보 및 제어부(CTR)에서 처리한 정보 중 한쪽 또는 양쪽을 일시적으로 유지하는 기능을 가져도 좋다. 또한 기억 장치(MD)로서는 예를 들어 SRAM(Static Random Access Memory) 및 DRAM(Dynamic Random Access Memory) 중 한쪽 또는 양쪽을 적용할 수 있다.

[0537] 전압 생성 회로(PG)는 표시부(DIS)에 포함되는 화소 회로 및 주변 회로(PRPH)에 포함되는 회로 각각에 공급하기 위한 전원 전압을 생성하는 기능을 가진다. 또한 전압 생성 회로(PG)는 전압을 공급하는 회로를 선택하는 기능을 가져도 좋다. 예를 들어, 전압 생성 회로(PG)는 표시부(DIS)에 정지 화상을 표시하는 기간에 회로(GDS), 회로(SDS), 화상 처리부(GPS), 타이밍 컨트롤러(TMC), 및 클록 신호 생성 회로(CKS) 중에서 선택된 하나 이상에 대한 전압 공급을 정지함으로써 표시 장치(DSP) 전체의 소비 전력을 저감할 수 있다.

[0538] 타이밍 컨트롤러(TMC)는 회로(GDS)에 포함되는 복수의 행 드라이버 회로(RWD), 회로(SDS)에 포함되는 복수의 열 드라이버 회로(CLM)에서 사용되는 타이밍 신호를 생성하는 기능을 가진다. 또한 타이밍 신호의 생성에 클록 신호 생성 회로(CKS)에서 생성된 클록 신호를 사용할 수 있다.

[0539] 화상 처리부(GPS)는 표시부(DIS)에 화상을 묘화하기 위한 처리를 수행하는 기능을 가진다. 예를 들어 화상 처리부(GPS)는 GPU를 가져도 좋다. 특히 화상 처리부(GPS)는 병렬로 파이프라인 처리를 수행하는 구성으로 함으로써 표시부(DIS)에 표시하기 위한 화상 데이터를 고속으로 처리할 수 있다. 또한 화상 처리부(GPS)는 인코딩된 화상을 디코딩하기 위한 디코더로서의 기능도 가질 수 있다.

[0540] 또한 화상 처리부(GPS)는 표시부(DIS)에 표시하는 화상의 색조를 보정하는 기능을 가져도 좋다. 이 경우, 화상 처리부(GPS)에는 조광 회로 및 조색 회로 중 한쪽 또는 양쪽이 제공되는 것이 바람직하다. 또한 표시부(DIS)에 포함되는 표시 화소 회로에 유기 EL 소자가 포함되는 경우, 화상 처리부(GPS)에는 EL 보정 회로가 제공되어도 좋다.

[0541] 또한 앞에서 설명한 화상 보정에 인공 지능을 사용하여도 좋다. 예를 들어 화소에 포함되는 표시 디바이스를 흐르는 전류(또는 표시 디바이스에 인가되는 전압)를 모니터링하여 취득하고, 표시부(DIS)에 표시된 화상을 이미지 센서에 의하여 취득하고, 전류(또는 전압)와 화상을 인공 지능의 연산(예를 들어 인공 뉴럴 네트워크 등)의 입력 데이터로서 취급하고, 그 출력 결과에 기초하여 상기 화상의 보정 여부가 판단되어도 좋다.

[0542] 또한 인공 지능의 연산은 화상 보정뿐만 아니라 화상 데이터의 업컨버트 처리에도 응용할 수 있다. 이에 의하여, 해상도가 낮은 화상 데이터를 표시부(DIS)의 해상도에 맞추어 업컨버트를 수행함으로써, 표시 품질이 높은

화상을 표시부(DIS)에 표시할 수 있다.

[0543] 또한 상술한 인공 지능의 연산은 예를 들어 화상 처리부(GPS)에 포함되는 GPU를 사용하여 수행할 수 있다. 즉 GPU를 사용하여 각종 보정을 위한 연산(예를 들어 색 불균일 보정 또는 업컨버트)을 수행할 수 있다.

[0544] 또한 본 명세서 등에서, 인공 지능의 연산을 수행하는 GPU를 AI 액셀러레이터라고 부른다. 즉 본 명세서 등에서는, GPU를 AI 액셀러레이터로 바꾸어 설명하는 경우가 있다.

[0545] 클록 신호 생성 회로(CKS)는 클록 신호를 생성하는 기능을 가진다. 또한 예를 들어 클록 신호 생성 회로(CKS)는 표시부(DIS)에 표시하는 화상에 따라 클록 신호의 프레임 주파수를 변화시킬 수 있는 구성으로 하여도 좋다.

[0546] 분배 회로(DMG)는 버스 배선(BW)으로부터 수신한 신호를 상기 신호의 내용에 따라 복수의 표시 영역(ARA) 중 하나에 포함되는 화소를 구동시키는 행 드라이버 회로(RWD)에 송신하는 기능을 가진다.

[0547] 분배 회로(DMS)는 버스 배선(BW)으로부터 수신한 신호를 상기 신호의 내용에 따라 복수의 표시 영역(ARA) 중 하나에 포함되는 화소를 구동시키는 열 드라이버 회로(CLM)에 송신하는 기능을 가진다.

[0548] 또한 도 35의 (A)에 나타낸 표시 장치(DSP)에서 디지털 신호의 송신 기술로서는 LVDS(Low Voltage Differential Signaling)가 사용되어도 좋다. 또는 eDP(embedded DisplayPort) 또는 iDP(internal DisplayPort)가 사용되어도 좋다.

[0549] 또한 도 35의 (A)에는 나타내지 않았지만, 주변 회로(PRPH)에는 레벨 시프터가 포함되어도 좋다. 레벨 시프터는 일례로서 각 회로에 입력되는 신호를 적절한 레벨로 변환하는 기능을 가진다.

[0550] 또한 도 35의 (A)에 나타낸 표시 장치(DSP)의 주변 회로(PRPH)의 구성은 일례이고, 상황에 따라 주변 회로(PRPH)에 포함되는 회로 구성을 변경하여도 좋다. 예를 들어, 표시 장치(DSP)가 각 회로의 구동 전압을 외부로부터 공급받는 구성을 가지는 경우, 표시 장치(DSP) 내에서 상기 구동 전압을 생성할 필요는 없기 때문에, 이 경우 표시 장치(DSP)는 전압 생성 회로(PG)가 포함되지 않는 구성으로 하여도 좋다.

[0551] 또한 예를 들어, 도 35의 (A)에 나타낸 표시 장치(DSP)에서 분배 회로(DMG)와, 분배 회로(DMS)와, 제어부(CTR)와, 기억 장치(MD)와, 전압 생성 회로(PG)와, 타이밍 컨트롤러(TMC)와, 클록 신호 생성 회로(CKS)와, 화상 처리부(GPS)와, 인터페이스(INT) 각각이 표시 장치(DSP)에 포함되지 않는 구성으로 하여도 좋다. 구체적으로는 도 35의 (B)에 나타낸 바와 같이 주변 회로(PRPH)가 분배 회로(DMG)와, 분배 회로(DMS)와, 제어부(CTR)와, 기억 장치(MD)와, 전압 생성 회로(PG)와, 타이밍 컨트롤러(TMC)와, 클록 신호 생성 회로(CKS)와, 화상 처리부(GPS)와, 인터페이스(INT)를 포함하는 구성으로 표시 장치(DSP)의 외부에 제공되어도 좋다. 또한 도 35의 (B)에서는 회로(GDS)와 분배 회로(DMG) 사이, 및 회로(SDS)와 분배 회로(DMS) 사이에서 신호의 송수신을 수행하는 상태를 나타내었지만, 회로(GDS)와 분배 회로(DMG), 및 회로(SDS)와 분배 회로(DMS) 사이의 신호의 송수신은 인터페이스(INT)를 통하여 수행하여도 좋다. 또한 도 35의 (B)에 나타낸 표시 장치(DSP)의 구성은 예를 들어 도 32의 (C)의 표시 장치(DSP)에 적용할 수 있다. 또한 도 35의 (B)에서는 분배 회로(DMG)와, 분배 회로(DMS)와, 제어부(CTR)와, 기억 장치(MD)와, 전압 생성 회로(PG)와, 타이밍 컨트롤러(TMC)와, 클록 신호 생성 회로(CKS)와, 화상 처리부(GPS)와, 인터페이스(INT)를 포함하는 구성으로 표시 장치(DSP)의 외부에 제공되는 예를 나타내었지만, 분배 회로(DMG), 분배 회로(DMS), 제어부(CTR), 기억 장치(MD), 전압 생성 회로(PG), 타이밍 컨트롤러(TMC), 클록 신호 생성 회로(CKS), 화상 처리부(GPS), 및 인터페이스(INT) 중에서 선택된 하나 이상이 외부 회로로서 구동 회로 영역(DRV)에 포함되는 나머지 회로에 전기적으로 접속되어도 좋다.

[0552] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다.

[0553] (실시형태 4)

[0554] 본 실시형태에서는 본 발명의 일 형태의 표시 장치의 구성예에 대하여 설명한다.

[0555] <표시 장치의 구성예 1>

[0556] 도 36은 본 발명의 일 형태의 표시 장치의 일례를 나타낸 단면도이다. 도 36에 나타낸 표시 장치(1000)는 일례로서 기판(310) 위에 화소 회로, 구동 회로 등이 제공된 구성을 가진다. 또한 앞에서 설명한 실시형태의 도 1의 표시 장치(DSP0) 등의 구성은 도 36의 표시 장치(1000)의 구성으로 할 수 있다. 또한 본 실시형태에서 설명하는 화소 회로는 앞의 실시형태에서 설명한 표시 화소 회로로 할 수 있다.

[0557] 또한 예를 들어 도 32의 (A) 및 (B)의 표시 장치(DSP)에 나타낸 회로층(SICL)과, 배선층(LINL)과, 화소층

(PXAL) 각각을 도 36의 표시 장치(1000)와 같이 구성할 수 있다. 회로층(SICL)은 일례로서 기판(310)을 가지고, 기판(310) 위에는 트랜지스터(300)가 형성되어 있다. 또한 트랜지스터(300) 위쪽에는 배선층(LINL)이 제공되어 있고, 배선층(LINL)에는 트랜지스터(300), 후술하는 트랜지스터(500), 후술하는 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 등을 전기적으로 접속하는 배선이 제공되어 있다. 또한 배선층(LINL) 위쪽에는 화소층(PXAL)이 제공되어 있고, 화소층(PXAL)은 일례로서 트랜지스터(500)와 발광 디바이스(130)(도 36에서는 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)) 등을 가진다.

[0558] 따라서 트랜지스터(500)는 실시형태 1 및 실시형태 2에서 설명한 화소(PX)에 포함되는 트랜지스터로 할 수 있다. 구체적으로는 예를 들어 트랜지스터(500)는 도 2 또는 도 17에 나타낸 화소(PX)에 포함되는 트랜지스터(M2)로 할 수 있다. 또한 예를 들어 트랜지스터(500)는 도 2의 표시 장치(DSP1A)가 가지는 스위치에 포함되는 트랜지스터 또는 도 17의 표시 장치(DSP1B)가 가지는 스위치에 포함되는 트랜지스터로 할 수 있다.

[0559] 또한 발광 디바이스(130)는 실시형태 1 및 실시형태 2에서 설명한 화소(PX)에 포함되는 발광 디바이스(LD)로 할 수 있다.

[0560] 또한 도 2 또는 도 17에 나타낸 회로(CD)는 예를 들어 화소층(PXAL)에 포함되어도 좋다. 즉 회로(CD)에 포함되는 트랜지스터는 트랜지스터(500)의 구조로 하여도 좋다. 또한 도 2 또는 도 17에 나타낸 회로(CD)는 예를 들어 회로층(SICL)에 포함되어도 좋다. 즉 회로(CD)에 포함되는 트랜지스터는 트랜지스터(300)의 구조로 하여도 좋다.

[0561] 기판(310)에는 예를 들어 실시형태 3에서 설명한 기판(BS)에 적용할 수 있는 기판을 사용할 수 있다. 표시 장치(1000)의 제작 공정에서 열처리가 포함되는 경우, 기판(310)에는 열에 대하여 내성이 높은 기판을 선택하는 것이 바람직하다.

[0562] 표시 장치의 대각 크기는 예를 들어 기판(310)의 종류와 크기에 따라 결정할 수 있다. 예를 들어 텔레비전 장치용 또는 디지털 사이니지로서 사용하는 전자 기기용으로 30인치 이상, 50인치 이상, 70인치 이상, 또는 100인치 이상의 대각 크기의 표시 장치를 제작하는 경우, 기판(310)으로서는 유리 기판을 사용하면 좋다. 또한 예를 들어 XR 기기용 또는 웨어러블형 정보 단말기용으로 10인치 이하, 5인치 이하, 1.5인치 이하, 또는 1인치 이하의 대각 크기의 표시 장치를 제작하는 경우, 기판(310)으로서는 반도체 기판을 사용하면 좋다.

[0563] 또한 표시 장치(1000)의 화면 비율(종횡비)에 대해서는 특별히 한정은 없다. 예를 들어 표시 장치(1000)는 1:1(정사각형), 4:3, 16:9, 16:10, 21:9 또는 32:9 등 다양한 화면 비율에 대응할 수 있다.

[0564] 본 실시형태에서는, 기판(310)이 실리콘을 재료로서 포함한 반도체 기판인 것으로 가정하여 설명한다.

[0565] 트랜지스터(300)는 기판(310) 위에 제공되고, 소자 분리층(312), 도전체(316), 절연체(315), 절연체(317), 기판(310)의 일부로 이루어지는 반도체 영역(313), 그리고 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 그러므로 트랜지스터(300)는 Si 트랜지스터이다. 또한 도 36에는, 트랜지스터(300)의 소스 및 드레인 중 한쪽이 후술하는 도전체(328)를 통하여 후술하는 도전체(330) 및 도전체(356)에 전기적으로 접속되어 있는 구성을 나타내었지만, 본 발명의 일 형태의 표시 장치의 전기적인 접속 구성은 이에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 예를 들어 트랜지스터(300)의 게이트가 도전체(328)를 통하여 도전체(330) 및 도전체(356)에 전기적으로 접속되어 있는 구성을 가져도 좋다.

[0566] 트랜지스터(300)는 예를 들어 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 게이트 절연막으로서 기능하는 절연체(315)를 통하여 도전체(316)를 덮는 구성으로 함으로써 Fin형으로 할 수 있다. 트랜지스터(300)를 Fin형으로 함으로써, 실효적인 채널 폭을 증대시킬 수 있어 트랜지스터(300)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에 트랜지스터(300)의 오프 특성을 향상시킬 수 있다.

[0567] 또한 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다. 또는 트랜지스터(300)를 복수로 제공하고, p채널형 및 n채널형의 양쪽을 사용하여도 좋다.

[0568] 반도체 영역(313)에서 채널이 형성되는 영역과, 그 근방의 영역과, 소스 영역 또는 드레인 영역이 되는 저저항 영역(314a)과 저저항 영역(314b)은 실리콘계 반도체를 포함하는 것이 바람직하고, 구체적으로는 단결정 실리콘을 포함하는 것이 바람직하다. 또는 상술한 각 영역은 예를 들어 저마늄, 실리콘 저마늄, 비소화 갈륨, 비소화 알루미늄 갈륨, 또는 질화 갈륨을 사용하여 형성되어도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 트랜지스터(300)를 예를 들어 비소화 갈륨과 비소화 알루미늄 갈륨을 사용한 HEMT(High Electron Mobility Transistor)로 하여도 좋다.

[0569] 게이트 전극으로서 기능하는 도전체(316)에는 비소 또는 인과 같은 n형 도전성을 부여하는 원소, 또는 붕소 또는 알루미늄과 같은 p형 도전성을 부여하는 원소를 포함한 실리콘 등의 반도체 재료를 사용할 수 있다. 또는 도전체(316)에는 예를 들어 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.

[0570] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써 트랜지스터의 문턱 전압을 조정할 수 있다. 구체적으로는 도전체에 질화 타이타늄 및 질화 탄탈럼 중 한쪽 또는 양쪽의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여, 도전체에 텅스텐 및 알루미늄 중 한쪽 또는 양쪽의 금속 재료를 적층하여 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.

[0571] 소자 분리층(312)은 기판(310) 위에 형성되어 있는 복수의 트랜지스터들을 분리하기 위하여 제공되어 있다. 소자 분리층은 예를 들어 LOCOS(Local Oxidation of Silicon)법, STI(Shallow Trench Isolation)법, 또는 메사 분리법을 사용하여 형성할 수 있다.

[0572] 또한 도 36에 나타낸 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성, 구동 방법 등에 따라 적절한 트랜지스터를 사용하면 좋다. 예를 들어 트랜지스터(300)는 Fin형이 아니라 플레이너형 구조로 하여도 좋다.

[0573] 도 36에 나타낸 트랜지스터(300)에서는 절연체(320), 절연체(322), 절연체(324), 절연체(326)가 기판(310) 측으로부터 순차적으로 적층되어 제공되어 있다.

[0574] 절연체(320), 절연체(322), 및 절연체(326)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 및 질화 알루미늄 중에서 선택된 하나 이상을 사용하면 좋다.

[0575] 또한 본 명세서 등에 있어서 산화질화물이란, 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화물이란, 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어, 산화질화 실리콘이라고 기재한 경우에는 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이라고 기재한 경우에는 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0576] 절연체(322)는 절연체(320) 및 절연체(322)로 덮여 있는 트랜지스터(300) 등으로 인하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP: Chemical Mechanical Polishing)법을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.

[0577] 또한 절연체(324)에는, 기판(310) 또는 트랜지스터(300)로부터 절연체(324)보다 위쪽의 영역(예를 들어 트랜지스터(500), 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 등이 제공되어 있는 영역)으로 물 및 수소 등의 불순물이 확산되지 않도록 하는 배리어성을 가지는 절연막(배리어성 절연막이라고 부름)을 사용하는 것이 바람직하다. 따라서 절연체(324)에는 수소 원자, 수소 분자, 및 물 분자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또한 상황에 따라서는 절연체(324)에는 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N_2O, NO, 및 NO_2), 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 것이 바람직하다.

[0578] 수소에 대한 배리어성을 가지는 막으로서 예를 들어, CVD법으로 형성한 질화 실리콘을 사용할 수 있다.

[0579] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS: Thermal Desorption Spectroscopy)을 사용하여 분석할 수 있다. 예를 들어 절연체(324)의 수소의 이탈량은, TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여 10×10^{15} atoms/cm^2 이하, 바람직하게는 5×10^{15} atoms/cm^2 이하이면 좋다.

[0580] 또한 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0581] 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 절연체(326)보다 위쪽에 제공되어 있는 발광

디바이스 등에 접속되는 도전체(328), 도전체(330) 등이 매립되어 있다. 또한 도전체(328), 도전체(330) 등은 플러그 또는 배선으로서의 기능을 가진다. 또한 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0582] 각 플러그 및 배선(예를 들어 도전체(328) 및 도전체(330))의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 및 금속 산화물 재료 중에서 선택된 하나 이상의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐 또는 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄 또는 구리와 같은 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 감소시킬 수 있다.

[0583] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 36에서는 절연체(350), 절연체(352), 및 절연체(354)가 절연체(326) 및 도전체(330) 위쪽에 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 트랜지스터(300)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0584] 또한 예를 들어 절연체(350)로서는 절연체(324)와 마찬가지로 수소, 산소, 및 물 중에서 선택된 하나 이상에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 절연체(352) 및 절연체(354)로서는 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 절연체(352) 및 절연체(354)는 층간 절연막 및 평탄화막으로서의 기능을 가진다. 또한 도전체(356)는 수소, 산소, 및 물 중에서 선택된 하나 이상에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다.

[0585] 또한 수소에 대한 배리어성을 가지는 도전체에는 예를 들어 질화 탄탈럼을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구조가 바람직하다.

[0586] 또한 절연체(354) 및 도전체(356)의 위쪽에는 절연체(512)가 제공되어 있다.

[0587] 도 36에서 트랜지스터(500)는 절연체(512) 위에 제공되어 있다. 절연체(512)에는 산소 및 수소 중에서 선택된 하나 이상에 대하여 배리어성이 있는 물질을 사용하는 것이 바람직하다. 구체적으로는 예를 들어 절연체(512)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 및 질화 알루미늄 중에서 선택된 하나 이상을 사용하면 좋다.

[0588] 수소에 대한 배리어성을 가지는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등 산화물 반도체를 포함한 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.

[0589] 또한 예를 들어 절연체(512)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(512)에는 산화 실리콘막 또는 산화질화 실리콘막을 사용할 수 있다.

[0590] 또한 절연체(512) 위에는 절연체(514)가 제공되고, 절연체(514) 위에는 트랜지스터(500)가 제공되어 있다. 또한 트랜지스터(500) 위에는 절연체(574)가 형성되어 있고, 절연체(574) 위에는 절연체(581)가 형성되어 있다.

[0591] 절연체(574) 및 절연체(581)에 대해서는 실시형태 5에서 자세히 설명한다.

[0592] 절연체(514)에는, 기판(310) 또는 절연체(512) 아래쪽의 회로 소자가 제공되는 영역 등으로부터 트랜지스터(500)가 제공되는 영역으로 물 및 수소 등의 불순물이 확산되는 것을 억제하는 막(배리어성을 가지는 막)을 사용하는 것이 바람직하다. 따라서 절연체(514)에는 예를 들어 CVD법으로 형성한 질화 실리콘을 사용할 수 있다.

[0593] 도 36에 나타낸 트랜지스터(500)는 상술한 바와 같이 금속 산화물을 채널 형성 영역에 포함한 OS 트랜지스터이다. 또한 OS 트랜지스터에 대해서는 실시형태 5에서 자세히 설명한다.

[0594] 절연체(581) 위에는 절연체(592) 및 절연체(594)가 이 순서대로 형성되어 있다. 또한 절연체(592) 및 절연체(594)에는 도전체(596)가 매립되어 있다. 도전체(596)는 트랜지스터(300)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(596)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0595] 또한 예를 들어 절연체(592)에는 절연체(324)와 마찬가지로 수소, 산소, 및 물 중에서 선택된 하나 이상에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 절연체(594)로서는 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 절연체(594)는 층간 절연막 및 평탄화막으로서의 기능을 가진다. 또한 도전체(596)는 수소, 산소, 및 물 중에서 선택된 하나 이상에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다.

[0596] 절연체(594) 및 도전체(596) 위에는 절연체(598) 및 절연체(599)가 형성되어 있다.

[0597] 절연체(598)에는 일례로서 절연체(324)와 마찬가지로 수소, 산소, 및 물 중에서 선택된 하나 이상에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 절연체(599)로서는 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 절연체(599)는 층간 절연막 및 평탄화막으로서의 기능을 가진다.

[0598] 절연체(599) 위에는 발광 디바이스(130R), 발광 디바이스(130G), 발광 디바이스(130B), 및 접속부(140)가 형성되어 있다.

[0599] 접속부(140)는 캐소드 콘택트부라고 하는 경우가 있으며, 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 각각의 캐소드 전극에 전기적으로 접속되어 있다. 도 36에서는 접속부(140)는 후술하는 도전체(112a) 내지 도전체(112c) 중에서 선택된 하나 이상의 도전체, 후술하는 도전체(126a) 내지 도전체(126c) 중 적어도 하나의 도전체, 후술하는 도전체(129a) 내지 도전체(129c) 중에서 선택된 하나 이상의 도전체, 후술하는 공통층(114), 및 후술하는 공통 전극(115)을 가진다.

[0600] 또한 접속부(140)는 표시부의 4변을 둘러싸도록 제공되어도 좋고, 표시부 내(예를 들어 인접된 발광 디바이스(130)들 사이)에 제공되어도 좋다.

[0601] 발광 디바이스(130R)는 도전체(112a), 도전체(112a) 위의 도전체(126a), 및 도전체(126a) 위의 도전체(129a)를 가진다. 도전체(112a), 도전체(126a), 도전체(129a)를 모두 화소 전극이라고 할 수 있고, 일부를 화소 전극이라고 할 수도 있다.

[0602] 발광 디바이스(130G)는 도전체(112b), 도전체(112b) 위의 도전체(126b), 및 도전체(126b) 위의 도전체(129b)를 가진다. 발광 디바이스(130R)와 마찬가지로 도전체(112b), 도전체(126b), 및 도전체(129b)를 모두 화소 전극이라고 할 수 있고, 일부를 화소 전극이라고 할 수도 있다.

[0603] 발광 디바이스(130B)는 도전체(112c), 도전체(112c) 위의 도전체(126c), 및 도전체(126c) 위의 도전체(129c)를 가진다. 발광 디바이스(130R) 및 발광 디바이스(130G)와 마찬가지로 도전체(112c), 도전체(126c), 및 도전체(129c)를 모두 화소 전극이라고 할 수 있고, 일부를 화소 전극이라고 할 수도 있다.

[0604] 도전체(112a) 내지 도전체(112c) 및 도전체(126a) 내지 도전체(126c)에는 예를 들어 반사 전극으로서 기능하는 도전층을 사용할 수 있다. 반사 전극으로서 기능하는 도전층에는 가시광에 대하여 반사율이 높은 도전체로서 예를 들어 은, 알루미늄, 은(Ag)과 팔라듐(Pd)과 구리(Cu)의 합금막(Ag-Pd-Cu(APC)막)을 적용할 수 있다. 또한 도전체(112a) 내지 도전체(112c) 및 도전체(126a) 내지 도전체(126c)에는 한 쌍의 타이타늄에 끼워진 알루미늄의 적층막(Ti, Al, Ti의 순서대로 적층된 적층막) 또는 한 쌍의 인듐 주석 산화물에 끼워진 은의 적층막(ITO, Ag, ITO의 순서대로 적층된 적층막)을 사용할 수 있다.

[0605] 또한 예를 들어 도전체(112a) 내지 도전체(112c)에 반사 전극으로서 기능하는 도전층을 사용하여 도전체(126a) 내지 도전체(126c)에 투광성이 높은 도전체를 사용하여도 좋다. 투광성이 높은 도전체로서는 예를 들어 은과 마그네슘의 합금 및 인듐 주석 산화물(ITO라고 하는 경우가 있음)이 있다.

[0606] 도전체(129a) 내지 도전체(129c)에는 예를 들어 투명 전극으로서 기능하는 도전층을 사용할 수 있다. 투명 전극으로서 기능하는 도전층으로서는 예를 들어 상술한 투광성이 높은 도전체로 할 수 있다.

[0607] 또한 나중에 자세히 설명하는 발광 디바이스(130)에 마이크로캐비티 구조(미소 공진기 구조)를 제공하여도 좋다. 마이크로캐비티 구조란 발광층의 하면과 하부 전극의 상면의 거리를 상기 발광층이 발광하는 광의 색의 파장에 대응하는 두께로 하는 구조를 가리킨다. 이 경우, 상부 전극(공통 전극)인 도전체(129a) 내지 도전체

(129c)에 투광성 및 광 반사성을 가지는 도전성 재료를 사용하고, 하부 전극(화소 전극)인 도전체(112a) 내지 도전체(112c) 및 도전체(126a) 내지 도전체(126c)에 광 반사성을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0608] 마이크로캐비티 구조란 하부 전극과 발광층의 광학적 거리가 (2n-1)λ/4(다만 n은 1 이상의 자연수, λ는 증폭하려고 하는 발광의 파장)로 조절된 구조를 가리킨다. 이로써 하부 전극에서 반사되어 돌아온 광(반사광)은 발광층으로부터 상부 전극으로 직접 입사하는 광(입사광)과 큰 간섭을 일으킨다. 그러므로 파장 λ 각각의 반사광과 입사광의 위상을 맞추어 발광층으로부터의 발광을 더 증폭시킬 수 있다. 한편 반사광과 입사광이 파장 λ 이외인 경우, 위상이 맞추어지지 않기 때문에 공진되지 않아 감쇠한다.

[0609] 도전체(112a)는 절연체(599)에 제공된 개구를 통하여 절연체(594)에 매립된 도전체(596)와 접속되어 있다. 또한 도전체(112a)의 단부보다 외측에 도전체(126a)의 단부가 위치한다. 도전체(126a)의 단부와 도전체(129a)의 단부는 정렬되어 있거나 실질적으로 정렬되어 있다.

[0610] 발광 디바이스(130G)에서의 도전체(112b), 도전체(126b), 도전체(129b), 그리고 발광 디바이스(130B)에서의 도전체(112c), 도전체(126c), 도전체(129c)에 대해서는 발광 디바이스(130R)에서의 도전체(112a), 도전체(126a), 및 도전체(129a)와 같기 때문에 자세한 설명은 생략한다.

[0611] 도전체(112a), 도전체(112b), 및 도전체(112c)에는 절연체(599)에 제공된 개구를 덮도록 오목부가 형성된다. 또한 상기 오목부에는 층(128)이 매립되어 있다.

[0612] 층(128)은 도전체(112a), 도전체(112b), 및 도전체(112c)의 오목부를 평탄화하는 기능을 가진다. 도전체(112a), 도전체(112b), 도전체(112c), 및 층(128) 위에는 도전체(112a), 도전체(112b), 도전체(112c)에 전기적으로 접속되는 도전체(126a), 도전체(126b), 도전체(126c)가 제공되어 있다. 따라서 도전체(112a), 도전체(112b), 도전체(112c)의 오목부와 중첩되는 영역도 발광 영역으로서 사용할 수 있으므로 화소의 개구율을 높일 수 있다.

[0613] 층(128)은 절연층이어도 좋고, 도전층이어도 좋다. 층(128)에는 각종 무기 절연 재료, 유기 절연 재료, 및 도전성 재료를 적절히 사용할 수 있다. 특히 층(128)은 절연 재료를 사용하여 형성되는 것이 바람직하다.

[0614] 층(128)에는 유기 재료를 포함한 절연층을 적합하게 사용할 수 있다. 예를 들어 층(128)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 또는 이들 수지의 전구체를 적용할 수 있다. 또한 층(128)으로서 감광성 수지를 사용할 수 있다. 감광성 수지로서는 포지티브형 재료 또는 네거티브형 재료를 들 수 있다.

[0615] 감광성 수지를 사용함으로써 노광 및 현상의 공정만으로 층(128)을 제작할 수 있어, 건식 식각 또는 습식 식각으로 인한 도전체(112a), 도전체(112b), 도전체(112c)의 표면에 대한 영향을 저감할 수 있다. 또한 네거티브형 감광성 수지를 사용하여 층(128)을 형성함으로써, 절연체(599)의 개구의 형성에 사용하는 포토 마스크(노광 마스크)와 동일한 포토 마스크를 사용하여 층(128)을 형성할 수 있는 경우가 있다.

[0616] 또한 도 36에서는 층(128)의 상면이 평탄부를 가지는 예를 나타내었지만, 층(128)의 형상은 특별히 한정되지 않는다. 도 37의 (A) 내지 (C)에 층(128)의 변경예를 나타내었다.

[0617] 도 37의 (A) 및 (C)에 나타낸 바와 같이, 층(128)의 상면은 단면에서 보았을 때 중앙 및 그 근방이 오목한 형상, 즉 오목 곡면을 가지는 형상을 가지는 구성으로 할 수 있다.

[0618] 또한 도 37의 (B)에 나타낸 바와 같이, 층(128)의 상면은 단면에서 보았을 때 중앙 및 그 근방이 볼록한 형상, 즉 볼록 곡면을 가지는 형상을 가지는 구성으로 할 수 있다.

[0619] 또한 층(128)의 상면은 볼록 곡면 및 오목 곡면 중 한쪽 또는 양쪽을 가져도 좋다. 또한 층(128)의 상면이 가지는 볼록 곡면 및 오목 곡면의 수는 각각 한정되지 않고, 하나 또는 복수로 할 수 있다.

[0620] 또한 층(128)의 상면의 높이와 도전체(112a)의 상면의 높이는 일치하거나 실질적으로 일치하여도 좋고, 서로 달라도 좋다. 예를 들어 층(128)의 상면의 높이는 도전체(112a)의 상면의 높이보다 낮아도 좋고 높아도 좋다.

[0621] 또한 도 37의 (A)는 도전체(112a)에 형성된 오목부 내부에 층(128)이 들어간 예라고도 할 수 있다. 한편 도 37의 (C)에 나타낸 바와 같이, 도전체(112a)에 형성된 오목부의 외측에 층(128)이 존재하여도 좋고, 즉 상기 오목부보다 층(128)의 상면의 폭이 넓게 형성되어 있어도 좋다.

[0622] 발광 디바이스(130R)는 제 1 층(113a), 제 1 층(113a) 위의 공통층(114), 및 공통층(114) 위의 공통 전극(115)을 가진다. 또한 발광 디바이스(130G)는 제 2 층(113b), 제 2 층(113b) 위의 공통층(114), 및 공통층(114) 위의 공통 전극(115)을 가진다. 또한 발광 디바이스(130B)는 제 3 층(113c), 제 3 층(113c) 위의 공통층(114), 및 공통층(114) 위의 공통 전극(115)을 가진다.

[0623] 또한 제 1 층(113a)은 도전체(126a)의 상면 및 측면 그리고 도전체(129a)의 상면 및 측면을 덮도록 형성되어 있다. 마찬가지로 제 2 층(113b)은 도전체(126b)의 상면 및 측면 그리고 도전체(129b)의 상면 및 측면을 덮도록 형성되어 있다. 또한 마찬가지로 제 3 층(113c)은 도전체(126c)의 상면 및 측면 그리고 도전체(129c)의 상면 및 측면을 덮도록 형성되어 있다. 따라서 도전체(126a), 도전체(126b), 및 도전체(126c)가 제공되어 있는 영역 전체를 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)의 발광 영역으로서 사용할 수 있기 때문에 화소의 개구율을 높일 수 있다.

[0624] 발광 디바이스(130R)에서 제 1 층(113a) 및 공통층(114)을 통틀어 EL층이라고 할 수 있다. 또한 마찬가지로 발광 디바이스(130G)에서 제 2 층(113b) 및 공통층(114)을 통틀어 EL층이라고 할 수도 있다. 또한 마찬가지로 발광 디바이스(130B)에서 제 3 층(113c) 및 공통층(114)을 통틀어 EL층이라고 할 수 있다.

[0625] 본 실시형태의 발광 디바이스의 구성은 특별히 한정되지 않고, 싱글 구조이어도 탠덤 구조이어도 좋다.

[0626] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 포토리소그래피법으로 섬 형상으로 가공되어 있다. 그러므로 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 각각 그 단부에서 상면과 측면이 이루는 각이 90° 에 가까운 형상이 된다. 한편 예를 들어 FMM(Fine Metal Mask)을 사용하여 형성된 유기막은 그 두께가 단부에 가까울수록 서서히 얇아지는 경향이 있고 예를 들어 1μm 이상 10μm 이하의 범위에 걸쳐 상면이 슬로프상으로 형성되기 때문에, 상면과 측면의 구별이 어려운 형상이 된다.

[0627] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 상면과 측면을 명료하게 구별할 수 있다. 이에 의하여 인접된 제 1 층(113a)과 제 2 층(113b)에서 제 1 층(113a)의 측면 중 하나와 제 2 층(113b)의 측면 중 하나는 서로 대향하여 배치된다. 이는 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c) 중 어느 조합에서도 마찬가지이다.

[0628] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 적어도 발광층을 가진다. 예를 들어 제 1 층(113a)이 적색광을 방출하는 발광층을 가지고, 제 2 층(113b)이 녹색광을 방출하는 발광층을 가지고, 제 3 층(113c)이 청색광을 방출하는 발광층을 가지는 구성인 것이 바람직하다. 또한 각 발광층에는 상기 이외의 색으로서 시안, 마젠타, 황색, 또는 백색을 적용할 수 있다.

[0629] 또한 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 각각 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 하나 이상을 포함하여도 좋다.

[0630] 예를 들어 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 정공 주입층, 정공 수송층, 발광층, 및 전자 수송층을 가져도 좋다. 또한 정공 수송층과 발광층 사이에 전자 차단층을 가져도 좋다. 또한 전자 수송층 위에 전자 주입층을 가져도 좋다.

[0631] 또한 예를 들어 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)에서는 전자 주입층, 전자 수송층, 발광층, 및 정공 수송층이 이 순서대로 적층되어도 좋다. 또한 전자 수송층과 발광층 사이에 정공 차단층을 가져도 좋다. 또한 정공 수송층 위에 정공 주입층을 가져도 좋다.

[0632] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 발광층 및 발광층 위의 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다. 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)의 표면은 표시 장치의 제작 공정 중에 노출되는 경우가 있기 때문에, 캐리어 수송층을 발광층 위에 제공함으로써 발광층이 최표면으로 노출되는 것이 억제되어, 발광층이 받는 대미지를 저감할 수 있다. 이에 의하여 발광 디바이스의 신뢰성을 높일 수 있다. 이에 의하여 발광 디바이스 및 수광 디바이스의 신뢰성을 높일 수 있다.

[0633] 또한 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)은 예를 들어 제 1 발광 유닛, 전하 발생층, 및 제 2 발광 유닛을 가지는 구성으로 하여도 좋다. 예를 들어 제 1 층(113a)이 적색광을 방출하는 발광 유닛을 2개 이상 가지는 구성이고, 제 2 층(113b)이 녹색광을 방출하는 발광 유닛을 2개 이상 가지는 구성이고, 제 3 층(113c)이 청색광을 방출하는 발광 유닛을 2개 이상 가지는 구성인 것이 바람직하다.

[0634] 제 2 발광 유닛은 발광층과, 발광층 위의 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다. 제 2 발광 유닛의 표면은 표시 장치의 제작 공정 중에 노출되기 때문에, 캐리어 수송층을 발광층 위에

제공함으로써 발광층이 최표면으로 노출되는 것이 억제되어, 발광층이 받는 대미지를 저감할 수 있다. 이에 의하여 발광 디바이스의 신뢰성을 높일 수 있다.

[0635] 공통층(114)은 예를 들어 전자 주입층 또는 정공 주입층을 포함한다. 또는 공통층(114)은 전자 수송층과 전자 주입층의 적층이어도 좋고, 정공 수송층과 정공 주입층의 적층이어도 좋다. 공통층(114)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유되어 있다.

[0636] 또한 공통 전극(115)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유되어 있다. 또한 도 36에 나타낸 바와 같이 복수의 발광 디바이스가 공유하는 공통 전극(115)은 접속부(140)에 포함되어 있는 도전체에 전기적으로 접속된다.

[0637] 제 1 층(113a), 제 2 층(113b), 및 제 3 층(113c)의 측면은 각각 절연체(125) 및 절연체(127)로 덮여 있다. 제 1 층(113a)과 절연체(125) 사이에는 마스크층(118a)이 위치한다. 또한 제 2 층(113b)과 절연체(125) 사이에는 마스크층(118a)이 위치하고, 제 3 층(113c)과 절연체(125) 사이에는 마스크층(118a)이 위치한다. 제 1 층(113a), 제 2 층(113b), 제 3 층(113c), 절연체(125), 및 절연체(127) 위에 공통층(114)이 제공되고, 공통층(114) 위에 공통 전극(115)이 제공되어 있다. 공통층(114) 및 공통 전극(115)은 각각 복수의 발광 디바이스에 공통적으로 제공되는 연속된 막이다.

[0638] 절연체(125)는 무기 재료를 포함한 절연층으로 할 수 있다. 절연체(125)로서는 예를 들어 산화 절연막, 질화 절연막, 산화질화 절연막, 및 질화산화 절연막 중에서 선택된 하나 이상의 무기 절연막을 사용할 수 있다. 절연체(125)는 단층 구조이어도 좋고, 적층 구조이어도 좋다. 산화 절연막으로서는 예를 들어 산화 실리콘막, 산화 알루미늄막, 산화 마그네슘막, 인듐 갈륨 아연 산화물막, 산화 갈륨막, 산화 저마늄막, 산화 이트륨막, 산화 지르코늄막, 산화 란타넘막, 산화 네오디뮴막, 산화 하프늄막, 및 산화 탄탈럼막이 있다. 질화 절연막으로서는 예를 들어 질화 실리콘막 및 질화 알루미늄막이 있다. 산화질화 절연막으로서는 예를 들어 산화질화 실리콘막 및 산화질화 알루미늄막이 있다. 질화산화 절연막으로서는 예를 들어 질화산화 실리콘막 및 질화산화 알루미늄막이 있다. 특히 산화 알루미늄막은 에칭 공정에서 EL층과의 선택비가 높아, 후술하는 절연체(127)의 형성에서 EL층을 보호하는 기능을 가지기 때문에 바람직하다. 특히 ALD법에 의하여 형성한 산화 알루미늄막, 산화 하프늄막, 또는 산화 실리콘막과 같은 무기 절연막을 절연체(125)에 적용함으로써, 핀홀이 적고 EL층을 보호하는 기능이 우수한 절연체(125)를 형성할 수 있다. 또한 절연체(125)는 ALD법에 의하여 형성된 막과 스퍼터링법에 의하여 형성된 막의 적층 구조를 가져도 좋다. 절연체(125)는 예를 들어 ALD법에 의하여 형성된 산화 알루미늄막과 스퍼터링법에 의하여 형성된 질화 실리콘막의 적층 구조를 가져도 좋다.

[0639] 절연체(125)는 물 및 산소 중 한쪽 또는 양쪽에 대한 배리어 절연층으로서의 기능을 가지는 것이 바람직하다. 또한 절연체(125)는 물 및 산소 중 한쪽 또는 양쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연체(125)는 물 및 산소 중 한쪽 또는 양쪽을 포획 또는 고착하는(게터링이라고도 함) 기능을 가지는 것이 바람직하다.

[0640] 절연체(125)가 배리어 절연층으로서의 기능 또는 게터링 기능을 가짐으로써, 외부로부터 각 발광 디바이스로 확산될 수 있는 불순물(대표적으로는 물 및 산소 중 한쪽 또는 양쪽)의 침입을 억제할 수 있는 구성이 된다. 상기 구성으로 함으로써 신뢰성이 높은 발광 디바이스 및 신뢰성이 높은 표시 패널을 제공할 수 있다.

[0641] 또한 절연체(125)는 불순물 농도가 낮은 것이 바람직하다. 이로써 절연체(125)로부터 EL층으로 불순물이 혼입되어 EL층이 열화하는 것을 억제할 수 있다. 또한 절연체(125)에서 불순물 농도를 낮춤으로써 물 및 산소 중 한쪽 또는 양쪽에 대한 배리어성을 높일 수 있다. 예를 들어 절연체(125)는 수소 농도 및 탄소 농도 중 한쪽, 바람직하게는 양쪽이 충분히 낮은 것이 바람직하다.

[0642] 절연체(127)로서는 유기 재료를 포함한 절연층을 적합하게 사용할 수 있다. 유기 재료로서는 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함하는 감광성 수지 조성물을 사용하면 좋다. 또한 절연체(127)의 재료의 점도는 1cP 이상 1500cP 이하로 하면 좋고, 1cP 이상 12cP 이하로 하는 것이 바람직하다. 절연체(127)의 재료의 점도를 상기 범위로 함으로써 후술하는 테이퍼 형상을 가지는 절연체(127)를 비교적 용이하게 형성할 수 있다. 또한 본 명세서 등에서 아크릴 수지란 폴리메타크릴산 에스터 또는 메타크릴 수지만을 가리키는 것이 아니라 넓은 의미로의 아크릴계 폴리머 전체를 가리키는 경우가 있다.

[0643] 또한 절연체(127)는 후술하는 바와 같이 측면에 테이퍼 형상을 가지면 좋고, 절연체(127)에 사용할 수 있는 유기 재료는 상술한 것에 한정되는 것이 아니다. 예를 들어 절연체(127)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘(silicone) 수지, 실록세인

수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 또는 이들 수지의 전구체를 적용할 수 있는 경우가 있다. 또한 절연체(127)로서 폴리바이닐 알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 적용할 수 있는 경우가 있다. 또한 절연체(127)에는 예를 들어 감광성 수지로서 포토레지스트를 사용할 수 있는 경우가 있다. 또한 감광성 수지로서는 포지티브형 재료 또는 네거티브형 재료를 들 수 있다.

[0644] 절연체(127)에는 가시광을 흡수하는 재료를 사용하여도 좋다. 절연체(127)가 발광 디바이스로부터의 발광을 흡수함으로써, 발광 디바이스로부터 절연체(127)를 통하여 인접된 발광 디바이스로 광이 누설되는 것(미광)을 억제할 수 있다. 이로써 표시 패널의 표시 품질을 높일 수 있다. 또한 표시 패널에 편광판을 사용하지 않아도, 표시 품질을 높일 수 있기 때문에, 표시 패널의 경량화 및 박형화를 도모할 수 있다.

[0645] 가시광을 흡수하는 재료로서는 흑색 등의 안료를 포함하는 재료, 염료를 포함하는 재료, 광 흡수성을 가지는 수지 재료(예를 들어 폴리이미드), 및 컬러 필터에 사용할 수 있는 수지 재료(컬러 필터 재료)를 들 수 있다. 특히 2색 또는 3색 이상의 컬러 필터 재료를 적층 또는 혼합한 수지 재료를 사용하면 가시광의 차폐 효과를 높일 수 있기 때문에 바람직하다. 특히 3색 이상의 컬러 필터 재료를 혼합함으로써, 흑색 또는 흑색에 가까운 수지층으로 할 수 있다.

[0646] 절연체(127)는 예를 들어 스핀 코팅, 딥 코팅, 스프레이 도포, 잉크젯, 디스펜싱, 스크린 인쇄, 오프셋 인쇄, 닥터 나이프법, 슬릿 코팅, 롤 코팅, 커튼 코팅, 또는 나이프 코팅의 습식 성막 방법을 사용하여 형성할 수 있다. 특히 스핀 코팅으로 절연체(127)가 되는 유기 절연막을 형성하는 것이 바람직하다.

[0647] 절연체(127)는 EL층의 내열 온도보다 낮은 온도에서 형성한다. 절연체(127)를 형성할 때의 기판 온도로서 대표적으로는 200℃ 이하, 바람직하게는 180℃ 이하, 더 바람직하게는 160℃ 이하, 더 바람직하게는 150℃ 이하, 더 바람직하게는 140℃ 이하이다.

[0648] 이하에서 절연체(127) 등의 구조에 대해서는 발광 디바이스(130R)와 발광 디바이스(130G) 사이의 절연체(127)의 구조를 예로 들어 설명한다. 또한 발광 디바이스(130G)와 발광 디바이스(130B) 사이의 절연체(127) 및 발광 디바이스(130B)와 발광 디바이스(130R) 사이의 절연체(127) 등에 대해서도 마찬가지로 설명할 수 있다. 또한 이하에서는 제 2 층(113b) 위의 절연체(127)의 단부를 예로 들어 설명하는 경우가 있지만, 제 1 층(113a) 위의 절연체(127)의 단부 및 제 3 층(113c) 위의 절연체(127)의 단부에 대해서도 마찬가지로 설명할 수 있다.

[0649] 절연체(127)는 표시 장치를 단면에서 보았을 때 측면에 테이퍼각 θ1의 테이퍼 형상을 가지는 것이 바람직하다. 테이퍼각 θ1은 절연체(127)의 측면과 기판 면이 이루는 각이다. 다만 기판 면에 한정되지 않고 절연체(125)의 평탄부의 상면 또는 제 2 층(113b)의 평탄부의 상면과 절연체(127)의 측면이 이루는 각으로 하여도 좋다. 또한 절연체(127)의 측면을 테이퍼 형상으로 함으로써, 절연체(125)의 측면 및 마스크층(118a)의 측면도 테이퍼 형상이 되는 경우가 있다.

[0650] 절연체(127)의 테이퍼각 θ1은 90° 미만이고, 60° 이하가 바람직하고, 45° 이하가 더 바람직하다. 절연체(127)의 측면 단부를 이와 같이 순 테이퍼 형상으로 함으로써, 절연체(127)의 측면 단부 위에 제공되는 공통층(114) 및 공통 전극(115)에 단절 또는 국소적인 박막화 등을 발생시키지 않고 좋은 피복성으로 성막할 수 있다. 이로써 공통층(114) 및 공통 전극(115)의 면 내 균일성을 향상시킬 수 있기 때문에, 표시 장치의 표시 품질을 향상시킬 수 있다.

[0651] 또한 표시 장치를 단면에서 보았을 때 절연체(127)의 상면은 볼록 곡면 형상을 가지는 것이 바람직하다. 절연체(127)의 상면의 볼록 곡면 형상은 중심을 향하여 완만하게 볼록한 형상인 것이 바람직하다. 또한 절연체(127) 상면의 중심부의 볼록된 곡면부가 측면 단부의 테이퍼부에 원활하게 접속되는 형상인 것이 바람직하다. 절연체(127)를 이와 같은 형상으로 함으로써, 절연체(127) 위 전체에서 공통층(114) 및 공통 전극(115)을 좋은 피복성으로 성막할 수 있다.

[0652] 또한 절연체(127)는 2개의 EL층 사이의 영역(예를 들어 제 1 층(113a)과 제 2 층(113b) 사이의 영역)에 형성된다. 이때 절연체(127)의 일부가 한쪽 EL층(예를 들어 제 1 층(113a))의 측면 단부와 다른 쪽 EL층(예를 들어 제 2 층(113b))의 측면 단부에 끼워지는 위치에 배치된다.

[0653] 또한 절연체(127)의 한쪽 단부가 화소 전극으로서 기능하는 도전체(126a)와 중첩되고, 절연체(127)의 다른 쪽 단부가 화소 전극으로서 기능하는 도전체(126b)와 중첩되는 것이 바람직하다. 이와 같은 구조로 함으로써, 절연체(127)의 단부를 제 1 층(113a)(제 2 층(113b))의 실질적으로 평탄한 영역 위에 형성할 수 있다. 따라서 상

술한 바와 같이 절연체(127)를 테이퍼 형상으로 가공하는 것이 비교적 용이하게 된다.

[0654] 상술한 바와 같이 절연체(127) 등을 제공함으로써, 제 1 층(113a)의 실질적으로 평탄한 영역으로부터 제 2 층(113b)의 실질적으로 평탄한 영역까지 공통층(114) 및 공통 전극(115)에 단절 부분 및 국소적으로 막 두께가 얇은 부분이 형성되는 것을 방지할 수 있다. 따라서 각 발광 디바이스 간에서 공통층(114) 및 공통 전극(115)에 단절 부분에 기인하는 접속 불량 및 국소적으로 막 두께가 얇은 부분에 기인하는 전기 저항의 상승이 발생하는 것을 억제할 수 있다.

[0655] 본 실시형태의 표시 장치는 발광 디바이스 간 거리를 좁힐 수 있다. 구체적으로는 발광 디바이스 간 거리, EL층 간 거리, 또는 화소 전극 간 거리를 10μm 미만, 8μm 이하, 5μm 이하, 3μm 이하, 2μm 이하, 1μm 이하, 500nm 이하, 200nm 이하, 100nm 이하, 90nm 이하, 70nm 이하, 50nm 이하, 30nm 이하, 20nm 이하, 15nm 이하, 또는 10nm 이하로 할 수 있다. 환언하면 본 실시형태의 표시 장치는 인접된 2개의 섬 형상의 EL층의 간격이 1μm 이하인 영역을 가지고, 바람직하게는 0.5μm(500nm) 이하의 영역을 가지고, 더 바람직하게는 100nm 이하의 영역을 가진다. 이와 같이 각 발광 디바이스 간의 거리를 좁힘으로써, 높은 정세도와 큰 개구율을 가지는 표시 장치를 제공할 수 있다.

[0656] 발광 디바이스(130R) 위, 발광 디바이스(130G) 위, 및 발광 디바이스(130B) 위에는 각각 보호층(131)이 제공되어 있다. 보호층(131)은 발광 디바이스(130)를 보호하는 패시베이션막으로서 기능하는 막이다. 발광 디바이스를 덮는 보호층(131)을 제공함으로써, 발광 디바이스에 물 및 산소 등의 불순물이 들어가는 것이 억제되어 발광 디바이스(130)의 신뢰성을 높일 수 있다.

[0657] 보호층(131)에는 예를 들어 산화 알루미늄, 질화 실리콘, 또는 질화산화 실리콘을 사용할 수 있다.

[0658] 보호층(131) 및 기판(110)은 접착층(107)을 개재하여 접착되어 있다. 발광 디바이스의 밀봉에는 고체 밀봉 구조 또는 중공 밀봉 구조 등이 적용할 수 있다. 도 36에서는 기판(310)과 기판(110) 사이의 공간이 접착층(107)으로 충전되어 있고, 고체 밀봉 구조가 적용되어 있다. 또는 상기 공간이 불활성 가스(질소 또는 아르곤 등)로 충전되고, 중공 밀봉 구조가 적용되어도 좋다. 이때 접착층(107)은 발광 디바이스와 중첩되지 않도록 제공되어도 좋다. 또한 상기 공간을 테두리 형상으로 제공된 접착층(107)과는 다른 수지로 충전하여도 좋다.

[0659] 접착층(107)에는 자외선 경화형인 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 예를 들어 에폭시 수지, 아크릴 수지, 실리콘 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, EVA(에틸렌바이닐 아세테이트) 수지가 있다. 특히 에폭시 수지의 투습성이 낮은 재료가 바람직하다. 또한 2액 혼합형 수지를 사용하여도 좋다. 또한 접착 시트를 사용하여도 좋다.

[0660] 표시 장치(1000)는 톱 이미션형이다. 발광 디바이스가 방출하는 광은 기판(110) 측으로 사출된다. 그러므로 기판(110)에는 가시광에 대한 투과성이 높은 재료를 사용하는 것이 바람직하다. 예를 들어 기판(110)에는 기판(310) 및 기판(BS)에 적용할 수 있는 기판 중 가시광에 대한 투과성이 높은 기판을 선택하면 좋다. 화소 전극은 가시광을 반사하는 재료를 포함하고, 대향 전극(공통 전극(115))은 가시광을 투과시키는 재료를 포함한다.

[0661] 상기 구성예를 표시 장치에 적용함으로써, 높은 해상도 및 높은 정세도를 가지는 표시 장치를 실현할 수 있다. 구체적으로는 예를 들어 HD(화소 수 1280×720), FHD(화소 수 1920×1080), WQHD(화소 수 2560×1440), WQXGA(화소 수 2560×1600), 4K(화소 수 3840×2160), 8K(화소 수 7680×4320)의 해상도의 표시 장치를 실현할 수 있는 경우가 있다. 또한 구체적으로는 예를 들어 100ppi 이상, 300ppi 이상, 500ppi 이상, 1000ppi 이상, 2000ppi 이상, 3000ppi 이상, 또는 5000ppi 이상의 정세도의 표시 장치를 실현할 수 있는 경우가 있다.

[0662] 또한 본 발명의 일 형태의 표시 장치는 도 36에 나타낸 표시 장치(1000)의 구성에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 도 36의 표시 장치(1000)를 적절히 변경한 구성으로 하여도 좋다. 이하에서 본 발명의 일 형태의 표시 장치인 도 36의 표시 장치의 변경예에 대하여 설명한다.

[0663] <표시 장치의 구성예 2>

[0664] 예를 들어 도 36에 나타낸 표시 장치(1000)의 화소층(PXAL)은 트랜지스터(500)가 2층 이상 적층되는 구성을 가져도 좋다. 도 38에 나타낸 표시 장치(1000A)는 도 36의 표시 장치(1000)의 화소층(PXAL)에 포함되는 트랜지스터(500)가 2층 적층된 구성예이다. 또한 도 38에 나타낸 표시 장치(1000A)는 화소층(PXAL)만을 도시한 것이고, 회로층(SICL) 및 배선층(LINL)에 대해서는 도 36의 표시 장치(1000)의 구성을 참조한다.

[0665] 표시 장치(1000)에서 화소에 포함되는 트랜지스터의 개수를 늘리고자 하는 경우, 도 38의 표시 장치(1000A)에

나타낸 구성을 적용하면 좋다.

[0666] <표시 장치의 구성예 3>

[0667] 또한 예를 들어 도 36에 나타낸 표시 장치(1000)의 회로층(SICL)에서는 트랜지스터(300)의 위쪽에 OS 트랜지스터가 적층되어 있어도 좋다. 도 39에 나타낸 표시 장치(1000B1)는 도 36의 표시 장치(1000)의 회로층(SICL)에서 트랜지스터(300)의 위쪽에 OS 트랜지스터인 트랜지스터(3000S)가 적층되는 구성예이다. 또한 도 39에 나타낸 표시 장치(1000B1)는 회로층(SICL), 배선층(LINL), 및 화소층(PXAL)의 트랜지스터(500)가 포함되는 층만을 도시한 것이고, 화소층(PXAL)의 발광 디바이스가 포함되는 층에 대해서는 도 36의 표시 장치(1000)의 구성을 참조한다.

[0668] 금속 산화물을 사용하여 p형 반도체를 제작하는 것은 이동도 및 신뢰성의 관점에서 어렵기 때문에, OS 트랜지스터로 구성되는 회로는 n채널형 단극성 회로가 되는 경우가 많다. 그러므로 도 39의 표시 장치(1000B1)에서 트랜지스터(3000S)를 n형 트랜지스터로 하고 트랜지스터(300)를 p형 트랜지스터로 하여 도 39의 회로층(SICL)에 포함되는 회로를 CMOS 회로로 구성할 수 있다. 특히 OS 트랜지스터를 n형 트랜지스터로 하고 Si 트랜지스터를 p형 트랜지스터로 하여 구성된 회로는 LTPO라고 불리는 경우가 있다.

[0669] 또한 예를 들어 도 36에 나타낸 표시 장치(1000)의 회로층(SICL)에서는 트랜지스터(300) 대신에 OS 트랜지스터가 형성되어 있어도 좋다. 도 40에 나타낸 표시 장치(1000B2)는 도 36의 표시 장치(1000)의 회로층(SICL)이 트랜지스터(300) 대신에 OS 트랜지스터인 트랜지스터(3000S)가 형성되는 구성예이다.

[0670] 또한 도 40에 나타낸 표시 장치(1000B2)에서 기판(310)에는 반도체 기판 이외의 기판을 사용할 수 있다. 예를 들어 기판(310)에는 유리 기판, 석영 기판, 플라스틱 기판, 사파이어 유리 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·포일을 포함한 기판, 텅스텐 기판, 텅스텐·포일을 포함한 기판, 가요성 기판, 접합 필름, 섬유상 재료를 포함한 종이, 또는 기재 필름을 사용할 수 있다. 또한 표시 장치의 제작 공정에 열처리가 포함되는 경우에는, 기판(310)에는 열에 대한 내성이 높은 재료를 선택하는 것이 바람직하다.

[0671] 또한 예를 들어 도 36에 나타낸 표시 장치(1000)의 회로층(SICL)에서는 트랜지스터(300) 대신에, 채널 형성 영역에 저온 폴리실리콘을 포함한 트랜지스터(이하, LTPS 트랜지스터라고 부름)가 형성되어 있어도 좋다. 도 41에 나타낸 표시 장치(1000B3)는 도 36의 표시 장치(1000)의 회로층(SICL)이 트랜지스터(300) 대신에 LTPS 트랜지스터인 트랜지스터(300LT)가 형성되는 구성예이다.

[0672] 트랜지스터(300LT)는 기판(310) 위에 제공되어 있다. 트랜지스터(300LT)는 절연체(361)와, 절연체(362)와, 절연체(363)와, 절연체(364)와, 도전체(366)와, 도전체(367)와, 저저항 영역(368p)과, 반도체 영역(368i)과, 도전체(369)를 가진다. 여기서는 동일한 도전막을 가공하여 얻어지는 복수의 층을 같은 해치 패턴으로 표시하였다. 또한 본 명세서 등에서 저저항 영역(368p)과 반도체 영역(368i)을 통틀어 반도체층(368)이라고 부른다. 특히 반도체층(368)에 포함되는 반도체 재료에 예를 들어 저온 폴리실리콘을 적용함으로써, 트랜지스터(300LT)를 LTPS 트랜지스터로 할 수 있다. LTPS 트랜지스터는 전계 효과 이동도가 높고 주파수 특성이 양호하다.

[0673] 또한 도 41에서 도전체(367)는 트랜지스터(300LT)의 제 1 게이트(게이트 및 백 게이트 중 한쪽이라고 부르는 경우가 있음)로서 기능한다. 또한 도전체(366)는 트랜지스터(300LT)의 제 2 게이트(게이트 및 백 게이트 중 다른 쪽이라고 부르는 경우가 있음)로서 기능한다. 또한 반도체층(368)의 한 쌍의 저저항 영역(368p) 중 한쪽은 트랜지스터(300LT)의 소스 및 드레인 중 한쪽으로서 기능하고, 반도체층(368)의 한 쌍의 저저항 영역(368p) 중 다른 쪽은 트랜지스터(300LT)의 소스 및 드레인 중 다른 쪽으로서 기능한다. 또한 절연체(363)는 트랜지스터(300LT)의 제 1 게이트 절연막으로서 기능하고, 절연체(362)는 트랜지스터(300LT)의 제 2 게이트 절연막으로서 기능한다.

[0674] 도 41에서 기판(310) 위에는 절연체(361)가 형성되어 있다. 또한 절연체(361) 위의 일부 영역에는 도전체(366)가 형성되어 있다. 또한 절연체(361)와 도전체(366)를 덮도록 절연체(362)가 형성되어 있다. 또한 도전체(366) 및 절연체(362)와 중첩되고, 또한 절연체(362) 위의 일부 영역에 반도체층(368)이 형성되어 있다. 또한 절연체(362)와 반도체층(368)을 덮도록 절연체(363)가 형성되어 있다. 또한 도전체(366), 절연체(362), 반도체층(368), 및 절연체(363)와 중첩되고, 또한 절연체(363) 위의 일부 영역에 도전체(367)가 형성되어 있다. 또한 절연체(363)와 도전체(367)를 덮도록 절연체(364)가 형성되어 있다. 또한 저저항 영역(368p)과 중첩되는 절연체(363) 및 절연체(364)의 영역에 개구부가 제공되고, 상기 개구부를 매립하도록 절연체(364) 위에 도전체(369)가 형성되어 있다.

[0675] 절연체(361), 절연체(362), 절연체(363), 및 절연체(364)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산

화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 및 질화 알루미늄 중에서 선택된 하나 이상을 사용하면 좋다.

[0676] 특히 절연체(361)에는 절연체(361)의 아래쪽 영역(예를 들어 기판(310))으로부터 불순물(예를 들어 금속 이온, 금속 원자, 산소 원자, 산소 분자, 수소 원자, 수소 분자, 및 물 분자)이 확산되지 않는 배리어 절연막을 사용하는 것이 바람직하다.

[0677] 저저항 영역(368p)은 불순물 원소를 포함한 영역이다. 예를 들어 트랜지스터(300LT)를 n채널형으로 하는 경우에는, 저저항 영역(368p)에는 인 또는 비소를 첨가하면 좋다. 한편 트랜지스터(300LT)를 p채널형으로 하는 경우에는, 저저항 영역(368p)에는 붕소 또는 알루미늄을 첨가하면 좋다. 또한 트랜지스터(300LT)의 문턱 전압을 제어하기 위하여, 상술한 불순물이 반도체 영역(368i)에 첨가되어도 좋다.

[0678] 또한 트랜지스터(300LT)는 p채널형 및 n채널형 중 어느 것이어도 좋다. 또는 회로층(SICL)에 트랜지스터(300LT)를 복수로 제공하고, p채널형 및 n채널형의 양쪽을 사용하여도 좋다.

[0679] 도전체(366) 및 도전체(367)에는 예를 들어 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 또는 텅스텐 등의 금속을 사용할 수 있다. 또는 도전체(366) 및 도전체(367)에는 상술한 금속 중에서 선택된 2개 이상을 주성분으로 하는 합금을 사용할 수 있다. 또는 도전체(366) 및 도전체(367)에는 산화 인듐, 인듐 주석 산화물(ITO), 텅스텐을 포함한 인듐 산화물, 텅스텐을 포함한 인듐 아연 산화물, 타이타늄을 포함한 인듐 산화물, 타이타늄을 포함한 ITO, 인듐 아연 산화물, 산화 아연(ZnO), 갈륨을 포함한 ZnO, 또는 실리콘을 포함한 인듐 주석 산화물 등 투광성을 가지는 도전성 재료를 사용할 수 있다. 또는 도전체(366) 및 도전체(367)에는 예를 들어 불순물 원소를 함유시켜 저저항화시킨 반도체(예를 들어 다결정 실리콘 또는 산화물 반도체) 또는 실리사이드(예를 들어 니켈실리사이드)를 사용하여도 좋다. 또는 도전체(366) 및 도전체(367)에는 그래핀을 포함한 막을 사용할 수도 있다. 그래핀을 포함한 막은 예를 들어 산화 그래핀을 포함한 막을 환원하여 형성할 수 있다. 또는 도전성 페이스트(예를 들어 은, 카본, 또는 구리를 포함한 도전성 페이스트) 혹은 도전성 폴리머(예를 들어 폴리싸이오펜)를 사용하여 형성하여도 좋다. 도전성 페이스트는 저렴하여 바람직하다. 도전성 폴리머는 도포하기 쉬워 바람직하다. 또한 도전체(366) 및 도전체(367) 중 한쪽 또는 양쪽은 단층 구조 또는 적층 구조로 할 수 있다.

[0680] 도전체(369)는 트랜지스터(300LT)의 저저항 영역(368p)에 전기적으로 접속되는 배선으로서 기능한다. 즉 도전체(369)는 트랜지스터(300LT)의 소스 또는 드레인으로서 기능한다. 또한 도전체(369)에는 도전체(366) 및 도전체(367)에 적용할 수 있는 재료를 사용할 수 있다.

[0681] 또한 예를 들어 도 36에 나타낸 표시 장치(1000)의 회로층(SICL)은 복수의 기판이 접합된 구성으로 하여도 좋다. 도 42에 나타낸 표시 장치(1000B4)의 회로층(SICL)은 기판(310)과 기판(310A)을 가지고, 기판(310)의 위쪽 측의 면과 기판(310A)의 아래쪽 측의 면이 접합된 구성을 가진다. 또한 도 42에서는 회로층(SICL) 및 화소층(PXAL)의 트랜지스터(500)가 포함되는 층만을 도시하였고, 배선층(LINL)과 화소층(PXAL)의 발광 디바이스가 포함되는 층에 대해서는 도 36의 표시 장치(1000)의 구성을 참조한다.

[0682] 도 42의 표시 장치(1000B4)에서 기판(310)에서 절연체(326) 및 도전체(330)까지의 구성에 대해서는 도 36의 표시 장치(1000)의 설명을 참조한다.

[0683] 절연체(326) 및 도전체(330) 위에는 도 36의 표시 장치(1000)와 마찬가지로 절연체(350) 및 절연체(352)가 이 순서대로 형성되어 있다.

[0684] 또한 절연체(350) 및 절연체(352) 각각에서, 일부의 도전체(330)와 중첩되는 영역에 개구부가 형성되고, 상기 개구부를 매립하도록 도전체(358)가 제공되어 있다. 또한 도전체(358)는 절연체(352) 위에도 형성되어 있다. 그 후, 에칭 공정 등에 의하여 도전체(358)를 배선, 단자, 또는 패드 등의 형상으로 패터닝한다.

[0685] 도전체(358)로서는 예를 들어 구리, 알루미늄, 주석, 아연, 텅스텐, 은, 백금, 또는 금을 사용할 수 있다. 또한 도전체(358)는 후술하는 도전체(319A)에 사용되는 재료와 동일한 성분으로 구성되어 있는 것이 바람직하다.

[0686] 다음으로, 절연체(352) 및 도전체(358)를 덮도록 절연체(380)를 성막하고, 그 후에 도전체(358)가 노출될 때까지 예를 들어 화학 기계 연마(CMP)법을 사용한 평탄화 처리를 수행한다. 이에 의하여 도전체(358)를 배선, 단자, 또는 패드로서 기판(310)에 형성할 수 있다.

[0687] 절연체(380)로서는 물 및 수소 등의 불순물의 확산을 억제하는 막(배리어성을 가지는 막)을 사용하는 것이 바람직하다. 즉 절연체(380)에는 절연체(324)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또는 절연체

(380)로서는, 예를 들어 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하여도 좋다. 즉 절연체(380)에는 절연체(326)에 적용할 수 있는 재료를 사용하여도 좋다. 또한 절연체(380)는 후술하는 절연체(382)에 사용되는 재료와 동일한 성분으로 구성되는 것이 바람직하다.

[0688] 다음으로 기판(310A)에 대하여 설명한다. 기판(310A)에는 예를 들어 기판(310)에 적용할 수 있는 반도체 기판을 사용할 수 있다.

[0689] 또한 기판(310A) 위에는 기판(310)과 마찬가지로 트랜지스터, 절연체, 및 도전체가 형성되어 있다. 구체적으로는 기판(310A) 위에는 트랜지스터(300A)가 형성되고, 트랜지스터(300A)를 덮도록 절연체(320A)가 형성되고, 절연체(320A) 위에 절연체(322A), 절연체(324A), 절연체(326A), 및 절연체(350A)가 이 순서대로 형성되어 있다. 또한 절연체(320A)에는 절연체(320)에 적용할 수 있는 재료를 사용할 수 있다. 마찬가지로 절연체(322A)에는 절연체(322)에 적용할 수 있는 재료를 사용할 수 있고, 절연체(324A)에는 절연체(324)에 적용할 수 있는 재료를 사용할 수 있고, 절연체(326A)에는 절연체(326)에 적용할 수 있는 재료를 사용할 수 있고, 절연체(350A)에는 절연체(350)에 적용할 수 있는 재료를 사용할 수 있다.

[0690] 또한 절연체(320A) 및 절연체(322A)에는 도전체(328)와 마찬가지로 플러그 또는 배선으로서 기능하는 도전체(328A)가 매립되어 있다. 또한 절연체(324A) 및 절연체(326A)에는 도전체(330)와 마찬가지로 플러그 또는 배선으로서 기능하는 도전체(330A)가 매립되어 있다. 또한 도전체(328A)에는 도전체(328)에 적용할 수 있는 재료를 사용할 수 있고, 도전체(330A)에는 도전체(330)에 적용할 수 있는 재료를 사용할 수 있다.

[0691] 표시 장치(1000B4)의 절연체(350A)보다 위쪽의 구성에 대해서는 표시 장치(1000)의 설명을 참조한다.

[0692] 또한 기판(310A)의 트랜지스터(300A)가 형성된 면과는 반대 측의 면에는 절연체(382)가 형성되어 있다. 절연체(382)에는 상술한 바와 같이 절연체(380)에 적용할 수 있는 재료를 사용할 수 있다.

[0693] 또한 절연체(320A) 및 절연체(322A)에는 도전체(328A)가 형성된 개구부 이외에도, 도전체(358)와 중첩되는 영역에 개구부가 제공되어 있다. 또한 도전체(358)와 중첩되는 영역에 형성된 개구부의 측면에는 절연체(318A)가 형성되고, 나머지 개구부에는 도전체(319A)가 형성된다. 특히 도전체(319A)는 TSV(Through Silicon Via)라고 불리는 경우가 있다.

[0694] 도전체(319A)에는 상술한 바와 같이 도전체(358)에 적용할 수 있는 재료를 사용할 수 있다. 또한 절연체(318A)는 예를 들어 기판(310A)과 도전체(319A)를 절연하는 기능을 가진다. 또한 절연체(318A)로서는 예를 들어 절연체(320) 또는 절연체(324)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0695] 절연체(380) 및 도전체(358)는 기판(310) 측의 접합층으로서 기능하고, 절연체(382) 및 도전체(319A)는 기판(310A) 측의 접합층으로서 기능한다. 즉 기판(310)에 형성된 절연체(380) 및 도전체(358)와, 기판(310A)에 형성된 절연체(382) 및 도전체(319A)는 일례로서 접합 공정에 의하여 접합할 수 있다.

[0696] 접합 공정을 수행하는 전공정에서는, 예를 들어 기판(310) 측에서 절연체(380)의 표면의 높이와 도전체(358)의 표면의 높이를 일치시키기 위한 평탄화 처리가 수행된다. 또한 이와 마찬가지로, 기판(310A) 측에서 절연체(382)의 높이와 도전체(319A)의 높이를 일치시키기 위한 평탄화 처리가 수행된다.

[0697] 접합 공정에서, 절연체(380)와 절연체(382)의 접합, 즉 절연층끼리의 접합을 수행할 때, 연마(예를 들어 화학 기계 연마(CMP)법)에 의하여 평탄성을 높인 후, 산소 플라스마 등으로 친수성 처리를 수행한 표면들을 접촉시켜 일시적으로 접합하고, 열처리에 의한 탈수로 최종적인 접합을 하는 친수성 접합법 등을 사용할 수 있다. 친수성 접합법에서도 원자 레벨로 결합되기 때문에, 기계적으로 우수한 접합을 얻을 수 있다.

[0698] 또한 도전체(358)와 도전체(319A)의 접합, 즉 도전체끼리의 접합을 수행할 때, 표면의 산화막 및 불순물의 흡착층을 스퍼터링 처리 등으로 제거하고, 청정화 및 활성화된 표면들을 접촉시켜 접합하는 표면 활성화 접합법을 사용할 수 있다. 또는 온도와 압력을 병용하여 표면들을 접합하는 확산 접합법을 사용할 수 있다. 어느 방법에서도 원자 레벨로 결합되기 때문에, 전기적뿐만 아니라 기계적으로도 우수한 접합을 얻을 수 있다.

[0699] 상술한 접합 공정을 수행함으로써, 기판(310) 측의 도전체(358)를 기판(310A) 측의 도전체(319A)에 전기적으로 접속할 수 있다. 또한 기판(310) 측의 절연체(380)와 기판(310A) 측의 절연체(382)의 기계적인 강도를 가지는 접속을 얻을 수 있다.

[0700] 기판(310)과 기판(310A)을 접합하는 경우, 각 접합면에는 절연층과 금속층이 혼재되기 때문에, 예를 들어 표면

활성화 접합법 및 친수성 접합법을 조합하여 수행하면 좋다. 예를 들어 연마 후에 표면을 청정화하고, 금속층의 표면에 산화 방지 처리를 실시한 다음, 친수성 처리를 실시하여 접합을 하는 방법 등을 사용할 수 있다. 또한 금속층의 표면을 금 등의 난(難)산화성 금속으로 하고 친수성 처리를 수행하여도 좋다.

[0701] 또한 기판(310)과 기판(310A)의 접합에는, 상술한 방법 이외의 접합 방법을 사용하여도 좋다. 예를 들어 기판(310)과 기판(310A)의 접합 방법으로서 플립 칩 본딩 방법을 사용하여도 좋다. 또한 플립 칩 본딩 방법을 사용하는 경우, 기판(310) 측의 도전체(358) 위쪽에 또는 기판(310A) 측의 도전체(319A) 아래쪽에 예를 들어 범프 등의 접속 단자를 제공하여도 좋다. 플립 칩 본딩으로서는, 예를 들어 이방성 도전 입자를 포함한 수지를 절연체(380)와 절연체(382) 사이 및 도전체(358)와 도전체(319A) 사이에 주입하여 접합하는 방법, 또는 은 주석 땜납을 사용하여 접합하는 방법을 들 수 있다. 또는 범프 및 범프에 접속되는 도전체 각각이 금인 경우, 초음파 접합법을 사용할 수 있다. 또한 충격 등의 물리적 응력을 경감하거나, 열적 응력 등을 경감하기 위하여, 상기 플립 칩 본딩 방법에 더하여, 언더필을 절연체(380)와 절연체(382) 사이 및 도전체(358)와 도전체(319A) 사이에 주입하여도 좋다. 또한 예를 들어 기판(310)과 기판(310A)의 접합에는 다이 본딩 필름을 사용하여도 좋다.

[0702] <표시 장치의 구성예 4>

[0703] 또한 예를 들어 도 36에 나타낸 표시 장치(1000)의 화소층(PXAL)에 포함되는 트랜지스터(500)는 다른 구성의 트랜지스터로 하여도 좋다. 도 43의 (A)에 나타낸 표시 장치(1000C)는 도 36의 표시 장치(1000)에서 트랜지스터(500) 대신에 BGTC(Bottom-Gate Top-Contact)형 트랜지스터로서 트랜지스터(200)가 사용된 구성예이다. 또한 도 43의 (A)에 나타낸 표시 장치(1000C)는 화소층(PXAL)만을 도시한 것이고, 회로층(SICL) 및 배선층(LINL)에 대해서는 도 36의 표시 장치(1000)의 구성을 참조한다.

[0704] 도 43의 (A)의 표시 장치(1000C)에서 배선층(LINL)의 위쪽에는 절연체(322)가 제공되어 있다.

[0705] 절연체(322)에는 절연체(320)에 적용할 수 있는 재료를 사용할 수 있다.

[0706] 절연체(322) 위에는 복수의 트랜지스터(200)가 형성되어 있다. 복수의 트랜지스터(200)는 예를 들어 동일한 재료 및 동일한 공정에 의하여 제작할 수 있다.

[0707] 절연체(322) 위에는 절연체(211), 절연체(213), 절연체(215), 및 절연체(214)가 이 순서대로 제공되어 있다. 절연체(211)는 그 일부가 각 트랜지스터의 게이트 절연층으로서 기능한다. 절연체(213)는 그 일부가 각 트랜지스터의 게이트 절연층으로서 기능한다. 절연체(215)는 트랜지스터를 덮어 제공된다. 절연체(214)는 트랜지스터를 덮어 제공되고, 평탄화층으로서의 기능을 가진다. 또한 게이트 절연층의 수 및 트랜지스터를 덮는 절연층의 수는 한정되지 않고, 각각 단층이어도 좋고 2층 이상의 적층이어도 좋다.

[0708] 트랜지스터를 덮는 절연층 중 적어도 하나에 물 및 수소 등의 불순물이 확산되기 어려운 재료를 사용하는 것이 바람직하다. 이에 의하여 절연층을 배리어층으로서 기능시킬 수 있다. 이러한 구성으로 함으로써, 외부로부터 트랜지스터로 불순물이 확산되는 것을 효과적으로 억제할 수 있어 표시 장치의 신뢰성을 높일 수 있다.

[0709] 절연체(211), 절연체(213), 및 절연체(215)에는 각각 무기 절연막을 사용하는 것이 바람직하다. 무기 절연막으로서 예를 들어 질화 실리콘막, 산화질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막 등이 있다. 또한 절연체(211), 절연체(213), 및 절연체(215)에는 예를 들어 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈럼막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막, 및 산화 네오디뮴막 등을 사용하여도 좋다. 또한 절연체(211), 절연체(213), 및 절연체(215)는 단층 구조로 하여도 좋고, 상술한 절연막이 2개 이상 중첩된 구조(적층 구조)로 하여도 좋다.

[0710] 평탄화층으로서 기능하는 절연체(214)에는 유기 절연층이 적합하다. 유기 절연층에 사용할 수 있는 재료로서는 예를 들어 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체가 있다. 또한 절연체(214)는 유기 절연층과 무기 절연층의 적층 구조를 가져도 좋다. 절연체(214)의 최표층은 식각 보호층으로서의 기능을 가지는 것이 바람직하다. 이에 의하여, 후술하는 도전체(112a), 도전체(126a), 또는 도전체(129a)의 가공 시에 절연체(214)에 오목부가 형성되는 것을 억제할 수 있다. 또는 절연체(214)에는 도전체(112a), 도전체(126a), 또는 도전체(129a)의 가공 시에 오목부가 제공되어도 좋다.

[0711] 또한 절연체(214)는 도 36의 표시 장치(1000)의 절연체(599)에 상당한다. 그러므로 도 43의 표시 장치(1000C)의 절연체(214) 위에 위치하는 절연체 또는 도전체의 형성 방법은 도 36의 표시 장치(1000)의 절연체(599) 위에 위치하는 절연체 또는 도전체의 형성 방법에서 절연체(599)를 절연체(214)로 치환한 것으로 하여 설명할 수 있

다.

[0712] 복수의 트랜지스터(200)는 게이트로서 기능하는 도전체(221), 게이트 절연층으로서 기능하는 절연체(211), 소스 및 드레인으로서 기능하는 도전체(222a) 및 도전체(222b), 반도체층(231), 게이트 절연층으로서 기능하는 절연체(213), 그리고 게이트로서 기능하는 도전체(223)를 가진다. 여기서는 트랜지스터(300)와 마찬가지로 동일한 도전막을 가공하여 얻어지는 복수의 층을 같은 해치 패턴으로 표시하였다. 절연체(211)는 도전체(221)와 반도체층(231) 사이에 위치한다. 절연체(213)는 도전체(223)와 반도체층(231) 사이에 위치한다.

[0713] 본 실시형태의 표시 장치가 가지는 트랜지스터의 구조는 특별히 한정되지 않는다. 예를 들어 플레이너형 트랜지스터, 스태거형 트랜지스터, 역스태거형 트랜지스터 등을 사용할 수 있다. 또한 톱 게이트형 트랜지스터로 하여도 좋고, 보텀 게이트형 트랜지스터로 하여도 좋다. 또는 채널이 형성되는 반도체층의 상하에 게이트가 제공되어도 좋다.

[0714] 복수의 트랜지스터(200) 각각에는 채널이 형성되는 반도체층을 2개의 게이트로 끼우는 구성이 적용되어 있다. 2개의 게이트를 접속하고, 이들에 동일한 신호를 공급함으로써 트랜지스터를 구동하여도 좋다. 또는 2개의 게이트 중 한쪽에 문턱 전압을 제어하기 위한 전위를 공급하고, 다른 쪽에 구동을 위한 전위를 공급함으로써, 트랜지스터의 문턱 전압을 제어하여도 좋다.

[0715] 또한 트랜지스터(200)의 구조는 도 43의 (A)에 나타낸 구조에 한정되지 않는다. 도 43의 (A)의 표시 장치(1000C)의 트랜지스터(200)에는 예를 들어 도 43의 (B) 및 (C)에 나타낸 TGSA(Top Gate Self Align)형 트랜지스터의 구조를 적용하여도 좋다.

[0716] 트랜지스터(200A) 및 트랜지스터(200B)는 게이트로서 기능하는 도전체(221), 게이트 절연층으로서 기능하는 절연체(211), 채널 형성 영역(231i) 및 한 쌍의 저저항 영역(231n)을 가지는 반도체층(231), 한 쌍의 저저항 영역(231n) 중 한쪽에 접속되는 도전체(222a), 한 쌍의 저저항 영역(231n) 중 다른 쪽에 접속되는 도전체(222b), 게이트 절연층으로서 기능하는 절연체(225), 게이트로서 기능하는 도전체(223), 그리고 도전체(223)를 덮는 절연체(215)를 가진다. 절연체(211)는 도전체(221)와 채널 형성 영역(231i) 사이에 위치한다. 절연체(225)는 적어도 도전체(223)와 채널 형성 영역(231i) 사이에 위치한다. 또한 트랜지스터를 덮는 절연체(218)를 제공하여도 좋다.

[0717] 도 43의 (B)에는 트랜지스터(200A)에서 절연체(225)가 반도체층(231)의 상면 및 측면을 덮는 예를 나타내었다. 도전체(222a) 및 도전체(222b)는 각각 절연체(225) 및 절연체(215)에 제공된 개구를 통하여 저저항 영역(231n)에 접속된다. 도전체(222a) 및 도전체(222b) 중 한쪽은 소스로서 기능하고, 다른 쪽은 드레인으로서 기능한다.

[0718] 한편, 도 43의 (C)에 나타낸 트랜지스터(200B)에서는 절연체(225)는 반도체층(231)의 채널 형성 영역(231i)과 중첩되고, 저저항 영역(231n)과는 중첩되지 않는다. 예를 들어 도전체(223)를 마스크로서 사용하여 절연체(225)를 가공함으로써, 도 43의 (C)에 나타낸 구조를 제작할 수 있다. 도 43의 (C)에서는 절연체(225) 및 도전체(223)를 덮어 절연체(215)가 제공되고, 절연체(215)의 개구를 통하여 도전체(222a) 및 도전체(222b)가 각각 저저항 영역(231n)에 접속되어 있다.

[0719] <표시 장치의 구성예 5>

[0720] 또한 예를 들어 도 36에 나타낸 표시 장치(1000)에는 터치 센서 기능을 가지는 패널(터치 패널이라고 불리는 경우가 있음)을 제공하여도 좋다. 도 44에 나타낸 표시 장치(1000D)에서는 일례로서 보호층(131) 위에 수지층(147), 절연체(103), 도전체(104), 절연체(105), 및 도전체(106)가 이 순서대로 형성되어 있다.

[0721] 수지층(147)은 유기 절연 재료를 포함하는 것이 바람직하다. 유기 절연 재료로서는 예를 들어 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 들 수 있다.

[0722] 절연체(103)는 무기 절연 재료를 포함하는 것이 바람직하다. 무기 절연 재료로서는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 및 산화 하프늄 등의 산화물 또는 질화물이 있다.

[0723] 도전체(104)와 도전체(106)는 터치 센서의 전극으로서 기능한다. 터치 센서의 방식으로서 상호 용량 방식을 사용하는 경우에서는 예를 들어 도전체(104) 및 도전체(106) 중 한쪽에 펄스 전위가 공급되고, 다른 쪽에 아날로그-디지털(A-D) 변환 회로 또는 감지 증폭기 등의 검지 회로가 전기적으로 접속되는 구성으로 하여도 좋다. 이 경우 도전체(104)와 도전체(106) 사이에 용량이 형성된다. 손가락 등이 가까워지면 용량의 크기가 변화된다(구

체적으로는 용량이 작아진다). 이 용량의 변화는 도전체(104) 및 도전체(106) 중 한쪽에 펄스 전위를 공급하였을 때, 다른 쪽에 발생되는 신호의 진폭 크기의 변화로서 나타난다. 이로써, 손가락 등의 접촉 및 근접을 검지할 수 있다.

[0724] 절연체(105)에는 예를 들어 무기 절연막 또는 유기 절연막을 사용할 수 있다. 구체적으로는 절연체(105)에는 예를 들어 아크릴 수지 또는 에폭시 수지 등의 수지를 사용할 수 있다. 또는 절연체(105)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 또는 산화 알루미늄 등의 무기 절연 재료를 사용할 수 있다. 또한 절연체(105)는 단층 구조로 하여도 좋고 적층 구조로 하여도 좋다.

[0725] <표시 장치의 구성예 6>

[0726] 또한 예를 들어 도 36에 나타낸 표시 장치(1000)의 보호층(131)은 단층이 아니라 2층 이상의 적층 구조로 하여도 좋다. 보호층(131)으로서는 예를 들어 첫 번째 층으로서 무기 재료의 절연체를 적용하고, 두 번째 층으로서 유기 재료의 절연체를 적용하고, 세 번째 층으로서 무기 재료의 절연체를 적용한 3층의 적층 구조로 하여도 좋다. 도 45에는 보호층(131a)을 무기 재료의 절연체로 하고, 보호층(131b)을 유기 재료의 절연체로 하고, 보호층(131c)을 무기 재료의 절연체로 하고, 보호층(131a), 보호층(131b), 및 보호층(131c)을 포함한 보호층(131)을 다층 구조로 한 표시 장치(1000E)의 일부의 단면도를 도시하였다. 또한 도 45에 나타낸 바와 같이 보호층(131b)에 유기 재료의 절연체를 적용함으로써 보호층(131b)을 평탄화막으로서 제공할 수 있다.

[0727] <표시 장치의 구성예 7>

[0728] 또한 예를 들어 도 36의 표시 장치(1000)에는 착색층(컬러 필터) 등이 포함되어도 좋다. 도 46에 나타낸 표시 장치(1000F)에서는 일례로서 접착층(107)과 기판(110) 사이에 착색층(166R), 착색층(166G), 및 착색층(166B)이 포함되어 있다. 또한 착색층(166R), 착색층(166G), 및 착색층(166B)은 예를 들어 기판(110)에 형성할 수 있다. 또한 발광 디바이스(130R)가 적색(R)의 발광을 나타내는 발광층을 가지고, 발광 디바이스(130G)가 녹색(G)의 발광을 나타내는 발광층을 가지고, 발광 디바이스(130B)가 청색(B)의 발광을 나타내는 발광층을 가지는 경우, 착색층(166R)을 적색으로 하고, 착색층(166G)을 녹색으로 하고, 착색층(166B)을 청색으로 한다.

[0729] <표시 장치의 구성예 8>

[0730] 또한 예를 들어 도 36의 표시 장치(1000)는 유기 EL 소자를 포함한 발광 디바이스가 아니라, LED(마이크로 LED를 포함함)가 포함되는 발광 디바이스의 구성으로 하여도 좋다. 도 47의 (A)의 표시 장치(1000G)에서 일례로서 도전체(126a) 위에 접속층(152a)이 제공되고, 접속층(152a) 위에 LED 칩(150a)이 제공되고, LED 칩(150a) 위에 공통 전극(115)이 제공되어 있다. 마찬가지로 도전체(126b) 위에 접속층(152b)이 제공되고, 접속층(152b) 위에 LED 칩(150b)이 제공되고, LED 칩(150b) 위에 공통 전극(115)이 제공되어 있다. 또한 마찬가지로 도전체(126c) 위에 접속층(152c)이 제공되고, 접속층(152c) 위에 LED 칩(150c)이 제공되고, LED 칩(150c) 위에 공통 전극(115)이 제공되어 있다.

[0731] 또한 도 47의 (A)의 표시 장치(1000G)에서는 일례로서 접속층(152a)과, LED 칩(150a)의 측면에 절연체(125)가 형성되어 있다. 이때 절연체(125)를 ALD법으로 형성함으로써 LED 칩(150a)과 도전체(126a) 사이에도 절연체(125)를 형성할 수 있다. 또한 이는 LED 칩(150b)과 도전체(126b) 사이의 절연체(125)에 대해서도 마찬가지이다.

[0732] LED 칩이란, 기판 위에 캐소드로서 기능하는 전극과, 애노드로서 기능하는 전극과, p형 반도체와, n형 반도체와, 발광층이 제공된 발광 다이오드이다. 또한 본 명세서 등에서 LED 칩이라는 용어는 발광 다이오드라는 용어로 치환하여 설명할 수 있는 경우가 있다.

[0733] 특히, 본 명세서 등에서 LED 칩의 면적이 10000 μm^2 이하인 발광 다이오드를 마이크로 발광 다이오드, LED 칩의 면적이 10000 μm^2보다 크고 1 mm^2 이하인 발광 다이오드를 미니 발광 다이오드, LED 칩의 면적이 1 mm^2보다 큰 발광 다이오드를 마이크로 발광 다이오드라고 기재하는 경우가 있다. 또한 여기서 LED 칩의 면적은, 예를 들어 후술하는 도 49의 (A), (C), 및 (D)에서의 기판(181)의 상면 또는 하면의 면적으로 할 수 있다. 또는 LED 칩의 면적은, 예를 들어 후술하는 도 49의 (B)에서의 전극(183A)의 상면 또는 하면의 면적으로 할 수 있다.

[0734] 예를 들어 LED 칩의 면적이 100 μm^2 이하인 발광 다이오드는 마이크로 발광 다이오드(마이크로 LED 칩)라고 할 수 있다. 또한 예를 들어 면적이 1 mm^2인 LED 패키지에 적용 가능한 발광 다이오드로서, 마이크로 LED 칩 또는

미니 LED 칩을 사용할 수 있는 경우가 있다.

[0735] 본 발명의 일 형태의 표시 장치에서 LED 패키지에는 마이크로 발광 다이오드, 미니 발광 다이오드, 및 매크로 발광 다이오드 중 어느 것을 사용하여도 좋다. 특히 본 발명의 일 형태의 표시 장치는 마이크로 발광 다이오드 또는 미니 발광 다이오드를 가지는 것이 바람직하고, 마이크로 발광 다이오드를 가지는 것이 더 바람직하다.

[0736] 특히 발광 다이오드의 LED 칩의 면적은 $1mm^2$ 이하가 바람직하고, $10000\mu m^2$ 이하가 더 바람직하고, $3000\mu m^2$ 이하가 더 바람직하고, $700\mu m^2$ 이하가 더 바람직하다.

[0737] 또한 발광 다이오드의 광을 사출하는 영역의 면적은 $1mm^2$ 이하가 바람직하고, $10000\mu m^2$ 이하가 더 바람직하고, $3000\mu m^2$ 이하가 더 바람직하고, $700\mu m^2$ 이하가 더 바람직하다. 또한 여기서 발광 다이오드의 광을 사출하는 영역의 면적은, 예를 들어 후술하는 도 49의 (A) 내지 (D)에서의 발광층(184)의 상면 또는 하면의 면적으로 할 수 있다.

[0738] 본 실시형태에서는 특히 발광 다이오드로서 마이크로 발광 다이오드를 사용하는 경우의 예에 대하여 설명한다. 또한 본 실시형태에서는 더블 헤테로 접합을 가지는 마이크로 발광 다이오드에 대하여 설명한다. 다만 발광 다이오드에 특별한 한정은 없고, 예를 들어 양자 우물 접합을 가지는 마이크로 발광 다이오드, 나노 칼럼을 사용한 발광 다이오드 등을 사용하여도 좋다.

[0739] LED 칩(150a)의 구체적인 구성예를 도 47의 (B)에 나타내었다. LED 칩(150a)은 일례로서 접속층(152a) 위에 위치하는 기판(153a)과, 기판(153a) 위에 위치하는 접속층(154a)과, 접속층(154a) 위에 위치하는 도전체(155a)와, 도전체(155a) 위에 위치하는 반도체층(156a)과, 반도체층(156a) 위에 위치하는 발광층(157a)과, 발광층(157a) 위에 위치하는 반도체층(158a)을 가진다. 또한 LED 칩(150b) 및 LED 칩(150c)도 LED 칩(150a)과 같은 구성으로 하여도 좋다. 또한 LED 칩(150a) 내지 LED 칩(150c)은 발광층(발광색)만이 상이하고, 나머지는 동일한 구성으로 하여도 좋다. 또한 반도체층(158a) 위에는 공통 전극(115)이 위치한다. 또한 도 47의 (B)에는 LED 칩(150a) 외에 도전체(126a), 접속층(152a), 공통 전극(115), 및 보호층(131)도 도시하였다.

[0740] 접속층(152a)에는 도전성 재료를 사용할 수 있다. 접속층(152a)에는 예를 들어 금, 은, 및 주석 등의 금속, 이들 금속을 포함한 합금, 도전성 필름, 또는 도전성 페이스트를 사용할 수 있다. 접속층(152a)에는 예를 들어 금을 적합하게 사용할 수 있다. 접속층(152a)의 형성에는 인쇄법, 전사법, 또는 토출법을 사용할 수 있다.

[0741] 기판(153a) 및 접속층(154a) 각각에는 예를 들어 도전성 실리콘 기판, 탄소화 실리콘(SiC) 기판, 비소화 갈륨(GaAs) 기판, 금속 기판, 또는 합금 기판을 사용할 수 있다. 금속 기판으로서는 텅스텐, 구리, 금, 니켈, 및 타이타늄 중 하나 이상을 포함하는 기판을 들 수 있다. 합금 기판의 일례로서 Si-Al 합금 기판을 들 수 있다.

[0742] 도전체(155a)는 접속층(154a)을 통하여 기판(153a)에 전기적으로 접속된다. 도전체(155a)에는 예를 들어 반사 전극으로서 기능하는 도전층을 사용할 수 있다. 즉 도전체(155a)에는 도전체(112a) 내지 도전체(112c) 그리고 도전체(126a) 내지 도전체(126c)에 적용할 수 있는 재료를 사용할 수 있다.

[0743] 기판(153a)은 접속층(152a)을 통하여 도전체(126a)에 전기적으로 접속된다. 표시 장치(1000G)의 경우, 접속층(152a), 기판(153a), 접속층(154a), 및 도전체(155a) 각각은 통틀어 화소 전극으로서 기능한다.

[0744] 발광층(157a)은 반도체층(156a)과 반도체층(158a) 사이에 끼워진다. 발광층(157a)은 전자와 정공이 결합됨으로써 광을 방출하는 기능을 가진다. 반도체층(156a) 및 반도체층(158a) 중 한쪽으로서는 n형 반도체층을 사용할 수 있고, 다른 쪽으로서는 p형 반도체층을 사용할 수 있다. 발광층(157a)으로서는 n형, i형, 또는 p형 반도체층을 사용할 수 있다. 즉 반도체층(156a), 발광층(157a), 및 반도체층(158a)으로서는 각각 반도체층을 사용할 수 있다. 또한 반도체층(156a), 발광층(157a), 및 반도체층(158a)을 통틀어 LED층이라고 부르는 경우가 있다.

[0745] LED층은 적색광, 황색광, 녹색광, 청색광, 또는 자외광 등의 광을 나타내도록 형성된다. LED층의 구성은 특별히 한정되지 않고, pn 접합 또는 pin 접합을 가지는 호모 구조, 헤테로 구조, 또는 더블 헤테로 구조를 적용하여도 좋고, MIS(Metal Insulator Semiconductor) 접합을 적용하여도 좋다. LED층은 초격자 구조, 단일 양자 우물 구조, 또는 다중 양자 우물(MQW: Multi Quantum Well) 구조를 가져도 좋다. 또한 LED층에는 나노 기둥을 사용하여도 좋다.

[0746] LED층에는 예를 들어 13족 원소 및 15족 원소를 포함한 화합물을 사용할 수 있다. 13족 원소로서는 알루미늄, 갈륨, 및 인듐을 들 수 있다. 15족 원소로서는 질소, 인, 비소, 및 안티모니를 들 수 있다. LED층에는 예를

들어 갈륨·인 화합물, 갈륨·비소 화합물, 갈륨·알루미늄·비소 화합물, 알루미늄·갈륨·인듐·인 화합물, 질화 갈륨(GaN), 인듐·질화 갈륨 화합물, 또는 셀레늄·아연 화합물을 사용할 수 있다.

[0747] 예를 들어 자외 내지 청색의 파장 영역의 광을 방출하는 LED층에는 질화 갈륨을 사용할 수 있다. 자외 내지 녹색의 파장 영역의 광을 방출하는 LED층에는 인듐·질화 갈륨 화합물을 사용할 수 있다. 녹색 내지 적색의 파장 영역의 광을 방출하는 LED층에는 알루미늄·갈륨·인듐·인 화합물 또는 갈륨·비소 화합물을 사용할 수 있다. 적외 파장 영역의 광을 방출하는 LED층에는 갈륨·비소 화합물을 사용할 수 있다.

[0748] 또한 표시 장치(1000G)는 복수의 LED 칩을 제공한 구성을 가지지만, 단일 LED 칩으로 표시부 전체를 구성하여도 좋다.

[0749] 또한 표시 장치(1000G)는 단일 LED 칩이 하나의 색의 광을 사출하는 구성을 가지지만, 단일 LED 칩이 2개 이상의 색을 사출하는 구성으로 하여도 좋다. 즉 표시 장치(1000G)가 가지는 LED 칩은 색마다 n형 및 p형 중 한쪽의 반도체층과, 발광층과, n형 및 p형 중 다른 쪽의 반도체층의 적층 구조를 가지는 구성으로 하여도 좋다.

[0750] 또한 표시 장치(1000G)와 다른 LED(마이크로 LED를 포함함)가 포함되는 발광 디바이스를 가지는 표시 장치의 구성을 도 48에 나타내었다. 도 48에 나타낸 표시 장치(1000H)는 패키지된 LED 칩이 표시 장치에 실장되는 점에서 표시 장치(1000G)와 다르다. 구체적으로는 표시 장치(1000H)는 화소층(PXAL)에 발광 디바이스로서 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)가 제공되는 구성을 가진다.

[0751] 도 48의 표시 장치(1000H)에서 일례로서 절연체(599) 위에 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c)가 제공되어 있다. 또한 도전체(111a) 위 내지 도전체(111c) 위, 도전체(112a) 위 내지 도전체(112c) 위, 그리고 절연체(599) 위에 보호층(116)이 제공되어 있다. 또한 보호층(116)은 도전체(596)를 바닥면으로 하는 절연체(599)의 개구부를 매립하도록 형성되어 있다. 특히 보호층(116)은 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c) 각각의 단부를 덮도록 제공되어 있는 것이 바람직하다.

[0752] 보호층(116)에는 예를 들어 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 또는 실리콘 수지 등의 수지가 적합하게 사용된다. 보호층(116)을 제공함으로써, 후술하는 도전체(117a) 및 도전체(117b)가 서로 접하여 단락되는 것을 억제할 수 있다. 또한 보호층(116)은 상황에 따라서는 절연체(599) 위, 도전체(111a) 위 내지 도전체(111c) 위, 그리고 도전체(112a) 위 내지 도전체(112c) 위에 제공되지 않아도 된다.

[0753] 도전체(111a) 내지 도전체(111c) 각각의 일부와 중첩되는 보호층(116)의 영역, 및 도전체(112a) 내지 도전체(112c) 각각의 일부와 중첩되는 보호층(116)의 영역에는 개구부가 제공되어 있다. 또한 보호층(116) 위에는 도전체(117a) 및 도전체(117b)가 제공되어 있다. 특히 도전체(117a)는 도전체(112a) 내지 도전체(112c) 각각의 일부와 중첩되는 보호층(116)의 영역에 제공되는 개구부를 매립하도록 제공되고, 도전체(117b)는 도전체(111a) 내지 도전체(111c) 각각의 일부와 중첩되는 보호층(116)의 영역에 제공되는 개구부를 매립하도록 제공된다.

[0754] 도전체(117a) 및 도전체(117b)에는 예를 들어 은, 카본, 또는 구리 등의 재료를 포함한 도전성 페이스트, 금, 또는 땜납 등의 재료를 포함한 범프를 적합하게 사용할 수 있다. 또한 도전체(117a)(도전체(117b))에 전기적으로 접속되는 도전체(112a) 내지 도전체(112c)(도전체(111a) 내지 도전체(111c)) 및 후술하는 전극(172)(전극(173)) 각각에는 도전체(117a)(도전체(117b))와의 접촉 저항이 낮은 도전 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(117a)(도전체(117b))에 은 페이스트를 사용하는 경우, 도전체(112a) 내지 도전체(112c)(도전체(111a) 내지 도전체(111c)) 및 후술하는 전극(172)(전극(173)) 각각에 적용할 수 있는 도전 재료를 알루미늄, 타이타늄, 구리, 또는 은과 팔라듐과 구리의 합금(Ag-Pd-Cu(APC))으로 함으로써 도전체(117a)(도전체(117b))와의 접촉 저항을 낮게 할 수 있다.

[0755] 도전체(117a) 및 도전체(117b) 위에는 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)가 실장되어 있다. 또한 도 48의 표시 장치(1000H)에 포함되는 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)의 구체적인 구성예를 도 49의 (A)에 나타내었다.

[0756] 도 49의 (A)의 LED 패키지(170)는 기판(171), 전극(172), 전극(173), 히트 싱크(174), 접착층(175), 케이스(176), 와이어(177), 와이어(179), 밀봉층(178), 볼(189), 및 LED 칩(180)을 가진다.

[0757] 또한 LED 칩(180)은 기판(181)과, 반도체층(182)과, 전극(183)과, 발광층(184)과, 반도체층(185)과, 전극(186)과, 전극(187)을 가진다.

[0758] 기판(171)에는 예를 들어 유리 에폭시 수지 기판, 폴리이미드 기판, 세라믹 기판, 알루미나 기판, 또는 질화 알

루미늄 기판을 사용할 수 있다.

[0759] 전극(172) 및 전극(173)은 기판(171)의 상면, 측면, 및 하면에 형성되어 있다. 특히 기판(171)의 상면, 측면, 및 하면 각각에 형성된 전극(172)은 하나의 배선으로서 기능하고, 마찬가지로 기판(171)의 상면, 측면, 및 하면 각각에 형성된 전극(173)은 다른 하나의 배선으로서 기능한다. 또한 전극(172)과 전극(173) 사이는 비도통 상태가 된다.

[0760] 또한 기판(171)에는 히트 싱크(174)가 제공되어 있다. 히트 싱크(174)는 일례로서 LED 칩(180)에서 발생한 열을 방열하는 기능을 가진다.

[0761] 또한 전극(172), 전극(173), 및 히트 싱크(174)에는 동일한 재료를 사용할 수 있다. 예를 들어 전극(172), 전극(173), 및 히트 싱크(174)에는 예를 들어 니켈, 구리, 은, 백금, 및 금 중에서 선택된 하나의 원소, 또는 상기 원소를 50% 이상 포함한 합금 재료를 사용할 수 있다.

[0762] 또한 전극(172), 전극(173), 및 히트 싱크(174)는 동일한 공정으로 형성할 수 있다.

[0763] LED 칩(180)은 접착층(175)에 의하여 기판(171) 위에 접합되어 있다. 구체적으로는 LED 칩(180)의 기판(181)은 접착층(175)을 개재하여, 기판(171)에 제공되어 있는 히트 싱크(174)와 중첩되도록 제공되어 있다. 접착층(175)의 재료는 특별히 한정되지 않는다. 예를 들어 접착층(175)의 재료로서 도전성을 가지는 접착제를 사용함으로써 LED 칩(180)의 방열성을 높일 수 있다.

[0764] 기판(181)에는 예를 들어 사파이어 기판, 탄소화 실리콘 기판, 실리콘 기판, 또는 질화 갈륨 기판 등의 단결정 기판을 사용할 수 있다.

[0765] LED 칩(180)에서 기판(181) 위에는 반도체층(182)이 형성되어 있다. 또한 반도체층(182) 위의 일부에는 전극(183)이 형성되고, 반도체층(182) 위의 다른 일부에는 발광층(184)이 형성되어 있다. 또한 발광층(184) 위에는 반도체층(185)이 형성되고, 반도체층(185) 위에는 전극(186)이 형성되고, 전극(186) 위의 일부에는 전극(187)이 형성되어 있다.

[0766] LED 칩(180)에서 발광층(184)은 반도체층(182)과 반도체층(185) 사이에 끼워져 있다. 발광층(184)에서는 전자와 정공이 결합하여 광을 방출한다. 또한 반도체층(182) 및 반도체층(185) 중 한쪽은 n형 반도체층이고, 반도체층(182) 및 반도체층(185) 중 다른 쪽은 p형 반도체층이다.

[0767] 또한 도 48의 표시 장치(1000H)에 실장되는 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각의 LED 칩에 포함되는 발광 다이오드에 있어서, 한 쌍의 반도체층 및 상기 한 쌍의 반도체층 사이의 발광층을 가지는 적층 구조는 적색, 녹색, 또는 청색 등의 광을 나타내도록 형성되어 있다. 따라서 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각의 LED 칩마다 발광 다이오드가 방출하는 광의 색을 자유로이 정할 수 있다. 상기 적층 구조에는 예를 들어 갈륨·인 화합물, 갈륨·비소 화합물, 갈륨·알루미늄·비소 화합물, 알루미늄·갈륨·인듐·인 화합물, 갈륨 질화물, 인듐·질화 갈륨 화합물, 또는 셀레늄·아연 화합물을 사용할 수 있다.

[0768] 또한 LED 패키지(170)의 LED 칩(180)에 포함되는 발광 다이오드가 방출하는 광의 색은 적색, 녹색, 및 청색 이외에는 시안, 마젠타, 황색, 또는 백색으로 할 수 있다.

[0769] 전극(183)은 와이어(177)를 통하여 전극(172)에 전기적으로 접속되어 있다. 즉 전극(183)은 발광 다이오드의 화소 전극으로서 기능한다. 또한 전극(187)은 와이어(179)를 통하여 전극(173)에 전기적으로 접속되어 있다. 즉 전극(187)은 발광 다이오드의 공통 전극으로서 기능한다.

[0770] 전극(183)과 와이어(177)의 접합 방법, 전극(172)과 와이어(177)의 접합 방법, 전극(187)과 와이어(179)의 접합 방법, 및 전극(173)과 와이어(179)의 접합 방법으로서는 예를 들어 와이어 본딩법이 있다. 또한 와이어 본딩법의 종류로서 열 압착법 및 초음파 본딩법을 들 수 있다. 또한 와이어 본딩법을 사용한 와이어(177) 및 와이어(179)의 접합 공정에 의하여 전극(172) 위, 전극(173) 위, 전극(183) 위, 및 전극(187) 위에는 와이어(179)와 같은 재료의 볼(189)이 형성된다.

[0771] 전극(183), 전극(186), 및 전극(187)에는 예를 들어 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 특히 LED 칩(180)의 발광층(184)은 LED 패키지(170)의 위쪽에 광을 사출하기 때문에, 전극(186)에는 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c)에 적용할 수 있는 재료 중 투광성을 가지는 도전 재료를 사용하는 것이 바람직하다.

같은 이유로 전극(187)도 마찬가지로, 도전체(111a) 내지 도전체(111c) 그리고 도전체(112a) 내지 도전체(112c)에 적용할 수 있는 재료 중 투광성을 가지는 도전 재료를 사용하는 것이 바람직하다.

[0772] 와이어(177) 및 와이어(179)에는 예를 들어 금, 금을 포함한 합금, 구리, 또는 구리를 포함한 합금 등의 금속의 세선을 사용할 수 있다.

[0773] 케이스(176)의 재료에는 수지를 사용할 수 있다. 또한 케이스(176)는 밀봉층(178)의 측면을 덮으면 좋고, LED 칩(180)의 상면을 덮지 않아도 된다. 즉 예를 들어 LED 칩(180)의 상면 측에는 밀봉층(178)이 노출되어도 좋다. 또한 케이스(176)의 내측의 측면, 구체적으로는 LED 칩(180)의 주위(기판(181), 반도체층(182), 전극(183), 발광층(184), 반도체층(185), 전극(186), 및 전극(187) 각각의 주위)에 세라믹 등으로 이루어진 리플렉터를 제공하는 것이 바람직하다. LED 칩(180)의 발광층(184)으로부터 방출된 광의 일부가 리플렉터로 반사됨으로써, 더 많은 광을 LED 패키지(170)로부터 추출할 수 있다.

[0774] 케이스(176)의 내부는 밀봉층(178)으로 충전되어 있다. 밀봉층(178)에는 예를 들어 가시광에 대한 투과성을 가지는 수지를 적용하는 것이 바람직하다. 구체적으로는 밀봉층(178)에는 예를 들어 에폭시 수지, 실리콘 수지 등의 자외선 경화성 수지 또는 가시광 경화성 수지를 사용할 수 있다.

[0775] 또한 예를 들어 표시 장치(1000H)의 수지층(148) 위, LED 패키지(170R) 위, LED 패키지(170G) 위, 및 LED 패키지(170B) 위 각각의 면에는 각종 광학 부재를 배치할 수 있다. 광학 부재로서는 편광판, 위상차판, 광 확산층(확산 필름 등), 반사 방지층, 및 집광 필름 등을 들 수 있다. 또한 표시 장치(1000H)의 수지층(148) 위, LED 패키지(170R) 위, LED 패키지(170G) 위, 및 LED 패키지(170B) 위 각각의 면에는 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수막, 사용에 따른 손상의 발생을 억제하는 하드 코트막, 충격 흡수층 등의 표면 보호층을 배치하여도 좋다. 예를 들어, 표면 보호층으로서 유리층 또는 실리카층(SiO_x층)을 제공함으로써, 표면의 오염 및 손상의 발생을 억제할 수 있어 바람직하다. 또한 표면 보호층에는 DLC(diamond like carbon), 산화 알루미늄(AlO_x), 폴리에스터계 재료, 또는 폴리카보네이트계 재료 등을 사용하여도 좋다. 또한 표면 보호층에는 가시광에 대한 투과율이 높은 재료를 사용하는 것이 바람직하다. 또한 표면 보호층에는 경도가 높은 재료를 사용하는 것이 바람직하다.

[0776] 다음으로 표시 장치(1000H)의 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)에 적용할 수 있는 도 49의 (A)의 LED 패키지(170)와 다른 LED 패키지의 구성예에 대하여 설명한다.

[0777] 도 49의 (B)에 나타낸 LED 패키지(170A1)는 기판(171) 위에는 LED 칩(180A)이 제공되는 점에서 도 49의 (A)의 LED 패키지(170)와 다르다. 또한 LED 칩(180A)의 화소 전극은 와이어(177)가 아니라 접착층(175)에 의하여 접착되어 있다.

[0778] 도 49의 (B)의 LED 패키지(170A1)는 기판(171), 전극(172), 전극(173), 접착층(175), 케이스(176), 와이어(179), 밀봉층(178), 볼(189), 및 LED 칩(180A)을 가진다.

[0779] 또한 도 49의 (B)의 LED 패키지(170A1)에서 LED 칩(180A)은 전극(183A)과, 전극(183A) 위에 제공된 발광 다이오드를 가지는 구성을 가진다. 상기 발광 다이오드는 반도체층(182)과, 발광층(184)과, 반도체층(185)과, 전극(186)과, 전극(187)을 가진다.

[0780] 전극(183A)에는 예를 들어 도전성 기판을 사용할 수 있다. 도전성 기판의 종류로서는 예를 들어 금속 기판이 있다.

[0781] 또한 전극(183A) 위에는 반도체층(182), 발광층(184), 반도체층(185), 전극(186), 및 전극(187)이 순차적으로 형성되어 있다.

[0782] 또한 반도체층(182), 발광층(184), 반도체층(185), 전극(186), 및 전극(187) 각각에 대해서는 도 49의 (A)의 LED 패키지(170)의 설명을 참조한다.

[0783] 도 49의 (B)의 LED 패키지(170A1)에서 전극(172) 및 전극(173)은 기판(171)의 상면, 측면, 및 하면에 형성되어 있다. 특히 전극(172)은 기판(171)에서 LED 칩(180A)이 제공되는 영역에도 형성되어 있다. 또한 기판(171)의 상면, 측면, 및 하면 각각에 형성된 전극(172)은 하나의 배선으로서 기능하고, 마찬가지로 기판(171)의 상면, 측면, 및 하면 각각에 형성된 전극(173)은 다른 하나의 배선으로서 기능한다. 또한 전극(172)과 전극(173) 사이는 비도통 상태이다.

[0784] 또한 LED 칩(180A)은 접착층(175)에 의하여 기판(171) 위에 접합되어 있다. 구체적으로는 LED 칩(180A)의 전극

(183A)은 접착층(175)을 개재하여, 기판(171)에 제공되어 있는 전극(172)의 일부의 영역과 중첩되도록 제공되어 있다. 또한 접착층(175)은 도전성을 가지는 접착제로 한다.

[0785] 상술한 바와 같이, 발광 다이오드를 도전성 기판 위에 형성한 LED 칩(180A)을 사용하는 경우, LED 칩(180A)의 화소 전극과 기판(171)의 전극(172)을 와이어(177)가 아니라 접착층(175)을 사용하여 접합함으로써 LED 패키지(170A2)를 구성할 수 있다.

[0786] 다음으로 표시 장치(1000H)의 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)에 적용할 수 있는 도 49의 (A)의 LED 패키지(170) 및 도 49의 (B)의 LED 패키지(170A1)와 다른 LED 패키지의 구성예에 대하여 설명한다.

[0787] 도 49의 (C)에 나타낸 LED 패키지(170A2)는 케이스(176)의 내측에 색 변환층(190)이 제공되는 점에서 도 49의 (A)의 LED 패키지와 다르다.

[0788] 또한 도 49의 (C)에서는 색 변환층(190)이 밀봉층(178)의 위쪽에 제공되는 구성을 도시하였지만 색 변환층(190)의 배치는 이에 한정되지 않는다. 예를 들어 색 변환층(190)은 밀봉층(178)의 내부에 분산되어 있어도 좋다.

[0789] 색 변환층(190)으로서는 형광체, 퀀텀닷(QD: Quantum dot)을 사용하는 것이 바람직하다. 특히 퀀텀닷은 발광 스펙트럼의 피크 폭이 좁고, 색 순도가 양호한 발광을 얻을 수 있다. 색 변환층(190)에 퀀텀닷을 사용함으로써 표시 장치(1000H)의 표시 품질을 높일 수 있다.

[0790] 색 변환층(190)은 LED 패키지(170A2)의 LED 칩(180)에 포함되는 발광층(184)으로부터 방출된 광을 다른 색의 광으로 변환하는 기능을 가진다.

[0791] 색 변환층(190)에는 예를 들어 청색광을 녹색광으로 변환하는 색 변환층 또는 청색광을 적색광으로 변환하는 변환층을 사용할 수 있다. 예를 들어 적색의 부화소에서 청색의 발광 다이오드가 제공될 때, 청색의 발광 다이오드로부터 방출된 청색광은 색 변환층(190)을 통하여 적색광으로 변환되어 케이스(176)의 위쪽, 즉 표시 장치(1000H)의 외부에 사출된다. 또한 예를 들어 녹색의 부화소에서 청색의 발광 다이오드가 제공될 때, 청색의 발광 다이오드로부터 방출된 청색광은 색 변환층(190)을 통하여 녹색광으로 변환되어 케이스(176)의 위쪽, 즉 표시 장치(1000H)의 외부에 사출된다.

[0792] 색 변환층(190)은 액적 토출법(예를 들어 잉크젯법), 도포법, 임프린트법, 각종 인쇄법(스크린 인쇄, 오프셋 인쇄) 등을 사용하여 형성할 수 있다. 또한 색 변환층(190)은 퀀텀닷 필름 등의 색 변환 필름을 사용할 수 있다.

[0793] 형광체로서는, 형광체가 표면에 인쇄 또는 도장된 유기 수지층, 혹은 형광체가 혼합된 유기 수지층을 사용할 수 있다.

[0794] 퀀텀닷을 구성하는 재료로서는, 특별한 한정은 없고, 예를 들어 14족 원소, 15족 원소, 16족 원소, 복수의 14족 원소로 이루어지는 화합물, 4족 내지 14족에 속하는 원소와 16족 원소의 화합물, 2족 원소와 16족 원소의 화합물, 13족 원소와 15족 원소의 화합물, 13족 원소와 17족 원소의 화합물, 14족 원소와 15족 원소의 화합물, 11족 원소와 17족 원소의 화합물, 산화 철류, 산화 타이타늄류, 칼코제나이드스피넬류, 반도체 클러스터 등을 들 수 있다.

[0795] 구체적으로는, 셀레늄화 카드뮴, 황화 카드뮴, 텔루륨화 카드뮴, 셀레늄화 아연, 산화 아연, 황화 아연, 텔루륨화 아연, 황화 수은, 셀레늄화 수은, 텔루륨화 수은, 비소화 인듐, 인화 인듐, 비소화 갈륨, 인화 갈륨, 질화 인듐, 질화 갈륨, 안티모니화 인듐, 안티모니화 갈륨, 인화 알루미늄, 비소화 알루미늄, 안티모니화 알루미늄, 셀레늄화 납, 텔루륨화 납, 황화 납, 셀레늄화 인듐, 텔루륨화 인듐, 황화 인듐, 셀레늄화 갈륨, 황화 비소, 셀레늄화 비소, 텔루륨화 비소, 황화 안티모니, 셀레늄화 안티모니, 텔루륨화 안티모니, 황화 비스무트, 셀레늄화 비스무트, 텔루륨화 비스무트, 실리콘, 탄소화 실리콘, 저마늄, 주석, 셀레늄, 텔루륨, 붕소, 탄소, 인, 질화 붕소, 인화 붕소, 비소화 붕소, 질화 알루미늄, 황화 알루미늄, 황화 바륨, 셀레늄화 바륨, 텔루륨화 바륨, 황화 칼슘, 셀레늄화 칼슘, 텔루륨화 칼슘, 황화 베릴륨, 셀레늄화 베릴륨, 텔루륨화 베릴륨, 황화 마그네슘, 셀레늄화 마그네슘, 황화 저마늄, 셀레늄화 저마늄, 텔루륨화 저마늄, 황화 주석, 셀레늄화 주석, 텔루륨화 주석, 산화 납, 플루오린화 구리, 염화 구리, 브로민화 구리, 아이오딘화 구리, 산화 구리, 셀레늄화 구리, 산화 니켈, 산화 코발트, 황화 코발트, 산화 철, 황화 철, 산화 망가니즈, 황화 몰리브데넘, 산화 바나듐, 산화 텅스텐, 산화 탄탈럼, 산화 타이타늄, 산화 지르코늄, 질화 실리콘, 질화 저마늄, 산화 알루미늄, 타이타늄산 바륨, 셀레늄과 아연과 카드뮴의 화합물, 인듐과 비소와 인의 화합물, 카드뮴과 셀레늄과 황의 화합물, 카드뮴과 셀레늄과 텔루륨의 화합물, 인듐과 갈륨과 비소의 화합물, 인듐과 갈륨과 셀레늄의 화합물, 인듐과 셀레늄과 황의

화합물, 구리와 인듐과 황의 화합물, 및 이들의 조합 등을 들 수 있다. 또한 조성이 임의의 비율로 나타내어지는, 소위 합금형 퀀텀닷을 사용하여도 좋다.

[0796] 퀀텀닷의 구조로서는 코어형, 코어-셸형, 코어-멀티 셸형 등을 들 수 있다. 또한 퀀텀닷은 표면 원자의 비율이 높으므로 반응성이 높고, 응집이 일어나기 쉽다. 그러므로, 퀀텀닷의 표면에는 보호제가 부착되어 있거나 보호기가 제공되어 있는 것이 바람직하다. 상기 보호제가 부착되어 있거나 보호기가 제공되어 있으면 응집을 방지할 수 있고, 용매에 대한 용해성을 높일 수 있다. 또한 반응성을 저감하고 전기적 안정성을 향상시킬 수도 있다.

[0797] 퀀텀닷은 크기(지름)가 작아질수록 밴드 갭이 커지기 때문에, 원하는 파장의 광이 얻어지도록 그 크기를 적절히 조정한다. 결정의 크기가 작아질수록, 퀀텀닷의 발광은 청색 쪽으로, 즉 고에너지 쪽으로 시프트되기 때문에, 퀀텀닷의 크기를 변경시킴으로써 자외 영역, 가시 영역, 적외 영역의 스펙트럼의 파장 영역에 걸쳐 그 발광 파장을 조정할 수 있다. 퀀텀닷의 크기(직경)는 예를 들어 0.5nm 이상 20nm 이하, 바람직하게는 1nm 이상 10nm 이하이다. 또한 퀀텀닷은 그 크기 분포가 좁을수록 발광 스펙트럼이 더 협선화(狹線化)되어, 색 순도가 양호한 발광을 얻을 수 있다. 또한 퀀텀닷의 형상은 특별히 한정되지 않고, 구상, 막대기상, 원반상, 그 외의 형상이어도 좋다. 막대기상의 퀀텀닷인 퀀텀 로드는 지향성을 가지는 광을 나타내는 기능을 가진다.

[0798] 또는, LED 패키지(170A2)는 그 내부 또는 위쪽에 색 변환층(190)과 착색층의 적층 구조를 가져도 좋다. 이로써, 색 변환층(190)에 의하여 변환된 광이 착색층을 통과함으로써 광의 색 순도를 높일 수 있다. 또한 LED 칩(180)(기판(181), 반도체층(182), 전극(183), 발광층(184), 반도체층(185), 전극(186), 및 전극(187))과 중첩되는 위치에 발광층(184)이 방출하는 광의 색과 같은 색의 착색층을 제공하여도 좋다. 같은 색의 착색층을 제공하면 발광층(184)이 방출하는 광의 색 순도를 높일 수 있다. 또한 LED 패키지(170A2)에 착색층을 제공하지 않는 경우에는 제작 공정을 간략화할 수 있다.

[0799] 또한 착색층은 특정의 파장 영역의 광을 투과시키는 유색층이다. 예를 들어 적색, 녹색, 청색, 또는 황색의 파장 영역의 광을 투과시키는 컬러 필터 등을 사용할 수 있다. 착색층에 사용할 수 있는 재료로서는 금속 재료, 수지 재료, 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다.

[0800] 상술한 바와 같이, LED 칩(180)의 위쪽에 색 변환층을 제공함으로써, 색 순도가 양호한 광을 LED 패키지(170A2)로부터 사출할 수 있다.

[0801] 다음으로 표시 장치(1000H)의 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)에 적용할 수 있는 도 49의 (A)의 LED 패키지(170), 도 49의 (B)의 LED 패키지(170A1), 도 49의 (C)의 LED 패키지(170A2)와 다른 LED 패키지의 구성예에 대하여 설명한다.

[0802] 도 49의 (D)에 나타낸 LED 패키지(170A3)는 기판(171) 위에 제공되는 LED 칩(180)의 기판(181)이 위쪽에 위치하고, 전극(183) 및 전극(187)이 아래쪽에 위치하는 점에서 도 49의 (A)의 LED 패키지(170)와 다르다.

[0803] 이 구성의 경우, 발광층(184)으로부터의 광이 LED 패키지(170A3)의 위쪽에 사출되기 때문에, 기판(181)은 투광성을 가지는 것이 바람직하다.

[0804] 또한 도 49의 (D)의 LED 패키지(170A3)에서 LED 칩(180)의 전극(183)의 상면 및 전극(187)의 상면은 기판(171) 측을 향하기 때문에, 전극(183)과 전극(172)의 접합 그리고 전극(187)과 전극(173)의 접합은 와이어가 아니라, 범프로서 기능하는 도전체에 의하여 수행된다. 구체적으로는 전극(183)과 전극(172)은 도전체(191)에 의하여 접합되고, 또한 전극(187)과 전극(173)은 도전체(192)에 의하여 접합되어 있다.

[0805] 또한 도전체(191) 및 도전체(192)에는 도전체(117a) 또는 도전체(117b)에 적용할 수 있는 재료를 사용할 수 있다.

[0806] 다음으로 LED 패키지(170)에 제공할 수 있는 LED 칩(180)의 개수에 대하여 설명한다. 도 50의 (A)는 도 49의 (A)의 LED 패키지(170)의 평면도의 일례를 나타낸 것이다. 또한 도 50의 (A)에서는 LED 칩(180)의 구성 요소인 기판(181)을 나타내었다. 앞에서는 도 50의 (A)에 나타낸 바와 같이 LED 패키지(170)가 기판(171) 위에 하나의 LED 칩(180)을 가지는 구성을 예로서 설명하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 LED 패키지(170)는 기판(171) 위에 하나가 아니라 복수의 LED 칩이 제공된 구성으로 하여도 좋다.

[0807] 도 50의 (B)에는 일례로서 기판(171) 위에 LED 칩(180R), LED 칩(180G), 및 LED 칩(180B)의 3개를 제공한 LED 패키지(170S)의 구성을 나타내었다. 또한 도 50의 (B)에서는 LED 칩(180R)의 구성 요소인 기판(181R), LED 칩(180G)의 구성 요소인 기판(181G), 및 LED 칩(180B)의 구성 요소인 기판(181B)을 나타내었다. LED 패키지

(170S)에 제공되는 LED 칩(180R), LED 칩(180G), 및 LED 칩(180B)에 포함되는 발광 다이오드들은 서로 다른 색을 발광하는 발광층을 가져도 좋다. 예를 들어 기판(181R)에 적색광을 방출하는 발광 다이오드를 제공하고, 기판(181G)에 녹색광을 방출하는 발광 다이오드를 제공하고, 기판(181B)에 청색광을 방출하는 발광 다이오드를 제공함으로써, LED 패키지(170S)는 적색, 녹색, 및 청색의 3색의 광을 사출할 수 있다.

[0808] 앞에서 설명한 LED 패키지(170), LED 패키지(170A1), LED 패키지(170A2), LED 패키지(170A3), LED 패키지(170S)에서 발광 다이오드(LED 칩(180R), LED 칩(180G), 및 LED 칩(180B))은 같은 구성의 트랜지스터에 의하여 구동되어도 좋고, 각각 다른 구성의 트랜지스터에 의하여 구동되어도 좋다. 예를 들어 도 48의 표시 장치(1000H)에서, LED 패키지(170R)에 포함되는 LED 칩(180R)을 구동하는 트랜지스터와, LED 패키지(170G)에 포함되는 LED 칩(180G)을 구동하는 트랜지스터와, LED 패키지(170B)에 포함되는 LED 칩(180B)을 구동하는 트랜지스터는 트랜지스터의 크기, 채널 길이, 채널 폭, 및 구조 등 중에서 선택된 하나 이상이 서로 달라도 좋다. 구체적으로는 원하는 휘도로 발광시키기 위하여 필요한 전류량에 따라 트랜지스터의 채널 길이 및 채널 폭 중 한쪽 또는 양쪽을 색마다 바꿔도 좋다.

[0809] 도 48의 표시 장치(1000H)에서 보호층(116)의 상면, 도전체(117a)의 상면 및 측면, 도전체(117b)의 상면 및 측면, 그리고 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각의 측면은 수지층(148)으로 덮여도 좋다. 수지층(148)에 흑색 수지를 사용하면, 표시 장치(1000H)의 표시 콘트라스트를 높일 수 있다. 또한 수지층(148)의 상면, 그리고 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각의 상면 중에서 선택된 하나 이상에는 표면 보호층 및 충격 흡수층 중 한쪽 또는 다른 쪽을 제공하여도 좋다. 또한 LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B) 각각은 위쪽에 광을 사출하기 때문에, LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)의 상면에 제공되는 층은 가시광에 대한 투과성을 가지는 것이 바람직하다.

[0810] LED 패키지(170R), LED 패키지(170G), 및 LED 패키지(170B)에서 도전체(112a) 내지 도전체(112c), 도전체(117a), 전극(172) 모두는 화소 전극이라고 불리는 경우가 있다. 또한 도전체(112a) 내지 도전체(112c), 도전체(117a), 전극(172)의 일부가 화소 전극이라고 불리는 경우가 있다.

[0811] 또한 본 발명의 일 형태의 표시 장치는 도 47에 나타낸 표시 장치(1000G) 또는 도 48에 나타낸 표시 장치(1000H)의 구성에 한정되지 않는다. 본 발명의 일 형태의 표시 장치는 도 47에 나타낸 표시 장치(1000G) 또는 도 48의 표시 장치(1000H)가 적절히 변경된 구성을 가져도 좋다.

[0812] 예를 들어 본 발명의 일 형태의 표시 장치는 기판(310)의 위쪽에 복수의 LED 패키지(170)가 실장된 구성이 아니라, 기판(310)의 위쪽에 복수의 발광 다이오드가 형성된 기판이 접합된 구성을 가져도 좋다.

[0813] 도 51의 (A)는 일례로서, 도 48의 표시 장치(1000H)의 보호층(116)까지 형성된 구성(이후, 이 구성을 적층체(SST)라고 부름)에 복수의 발광 다이오드가 형성된 기판(410)이 접합된 표시 장치(1000I)를 나타내었다. 또한 도 51의 (B)에는 복수의 발광 다이오드와, 복수의 발광 다이오드가 형성된 기판(410)을 나타내었다.

[0814] 또한 도 51의 (A) 및 (B)에는 복수의 발광 다이오드로서 발광 다이오드(420R), 발광 다이오드(420G), 및 발광 다이오드(420B)를 도시하였다. 또한 발광 다이오드(420R), 발광 다이오드(420G), 및 발광 다이오드(420B)를 통틀어 발광 다이오드(420)라고 부르는 경우가 있다.

[0815] 발광 다이오드(420R)는 일례로서 전극(183a), 반도체층(182a), 발광층(184a), 반도체층(185a), 및 전극(186a)을 가진다. 또한 발광 다이오드(420G)는 일례로서 전극(183b), 반도체층(182b), 발광층(184b), 반도체층(185b), 및 전극(186b)을 가진다. 또한 발광 다이오드(420B)는 일례로서 전극(183c), 반도체층(182c), 발광층(184c), 반도체층(185c), 및 전극(186c)을 가진다.

[0816] 도 51의 (B)의 기판(410)에서 기판(410) 위에는 반도체층(185a) 내지 반도체층(185c)이 형성되어 있다. 또한 반도체층(185a) 위 내지 반도체층(185c) 위 각각의 일부 영역에는 발광층(184a) 내지 발광층(184c)이 형성되어 있다. 또한 발광층(184a) 위에는 반도체층(182a)이 형성되고, 발광층(184b) 위에는 반도체층(182b)이 형성되고, 발광층(184c) 위에는 반도체층(182c)이 형성되어 있다. 또한 기판(410)의 상면, 반도체층(185a) 내지 반도체층(185c)의 상면 및 측면, 발광층(184a) 내지 발광층(184c)의 측면, 그리고 반도체층(182a) 내지 반도체층(182)의 상면 및 측면을 덮도록 보호층(411)이 형성되어 있다.

[0817] 또한 보호층(411)에서는 반도체층(182a)의 일부와 중첩되는 영역에 개구부가 제공되고, 보호층(411) 위의 일부와, 상기 개구부의 바닥면인 반도체층(182a)의 상면을 덮도록 전극(183a)이 형성되어 있다. 마찬가지로 보호층(411)에는 반도체층(182b)의 일부와 중첩되는 영역에 개구부가 제공되고, 보호층(411) 위의 일부와, 상기 개구부의 바닥면인 반도체층(182b)의 상면을 덮도록 전극(183b)이 형성되어 있다. 마찬가지로 보호층(411)에는 반

도체층(182c)의 일부와 중첩되는 영역에 개구부가 제공되고, 보호층(411) 위의 일부와, 상기 개구부의 바닥면인 반도체층(182c)의 상면을 덮도록 전극(183c)이 형성되어 있다.

[0818] 또한 보호층(411)에는 반도체층(182a) 및 발광층(184a)과 중첩되지 않고 또한 반도체층(185a)의 일부와 중첩되는 영역에 개구부가 제공되고, 보호층(411) 위의 일부와, 상기 개구부의 바닥면인 반도체층(185a)의 상면을 덮도록 전극(186a)이 형성되어 있다. 마찬가지로 보호층(411)에는 반도체층(182b) 및 발광층(184b)과 중첩되지 않고 또한 반도체층(185b)의 일부와 중첩되는 영역에 개구부가 제공되고, 보호층(411) 위의 일부와, 상기 개구부의 바닥면인 반도체층(185b)의 상면을 덮도록 전극(186b)이 형성되어 있다. 마찬가지로 보호층(411)에는 반도체층(182c) 및 발광층(184c)과 중첩되지 않고 또한 반도체층(185c)의 일부와 중첩되는 영역에 개구부가 제공되고, 보호층(411) 위의 일부와, 상기 개구부의 바닥면인 반도체층(185c)의 상면을 덮도록 전극(186c)이 형성되어 있다.

[0819] 표시 장치(1000I)는 톱 이미션형이다. 발광 다이오드(420R), 발광 다이오드(420G), 및 발광 다이오드(420B)가 방출하는 광은 기판(410) 측에 사출된다. 그러므로 기판(410)에는 가시광에 대한 투과성이 높은 재료를 사용하는 것이 바람직하다. 예를 들어 기판(410)에는 기판(BS)에 적용할 수 있는 기판 중 가시광에 대한 투과성이 높은 기판을 선택하면 좋다.

[0820] 도 51의 (A) 및 (B)에 나타낸 바와 같이 발광층(184a)은 반도체층(182a)과 반도체층(185a) 사이에 끼워져 있다. 발광층(184a)에서는 전자와 정공이 결합하여 광을 방출한다. 또한 반도체층(182a) 및 반도체층(185a) 중 한쪽은 n형 반도체층이고, 반도체층(182a) 및 반도체층(185a) 중 다른 쪽은 p형 반도체층이다. 마찬가지로 발광층(184b)은 반도체층(182b)과 반도체층(185b) 사이에 끼워져 있다. 발광층(184b)에서는 전자와 정공이 결합하여 광을 방출한다. 또한 반도체층(182b) 및 반도체층(185b) 중 한쪽은 n형 반도체층이고, 반도체층(182b) 및 반도체층(185b) 중 다른 쪽은 p형 반도체층이다. 마찬가지로 발광층(184c)은 반도체층(182c)과 반도체층(185c) 사이에 끼워져 있다. 발광층(184c)에서는 전자와 정공이 결합하여 광을 방출한다. 또한 반도체층(182c) 및 반도체층(185c) 중 한쪽은 n형 반도체층이고, 반도체층(182c) 및 반도체층(185c) 중 다른 쪽은 p형 반도체층이다.

[0821] 또한 도 51의 (A)의 표시 장치(1000I)에 실장되는 발광 다이오드(420R), 발광 다이오드(420G), 및 발광 다이오드(420B) 각각에서 한 쌍의 반도체층 및 상기 한 쌍의 반도체층 사이의 발광층을 가지는 적층 구조는 적색, 녹색, 또는 청색 등의 광을 나타내도록 형성되어 있다. 따라서 발광 다이오드(420R), 발광 다이오드(420G), 및 발광 다이오드(420B) 각각이 방출하는 광의 색을 자유로이 정할 수 있다. 예를 들어 발광 다이오드(420R)를 적색광을 방출하는 발광 다이오드로 하고, 발광 다이오드(420G)를 녹색광을 방출하는 발광 다이오드로 하고, 발광 다이오드(420B)를 청색광을 방출하는 발광 다이오드로 할 수 있다. 또한 상기 적층 구조에는 도 48의 LED 패키지(170)에 포함되는 발광 다이오드에 적용할 수 있는 적층 구조를 사용할 수 있다.

[0822] 또한 발광 다이오드(420)가 방출하는 광의 색은 적색, 녹색, 및 청색 이외에는 시안, 마젠타, 황색, 또는 백색으로 할 수 있다.

[0823] 보호층(411)에는 예를 들어 절연체(105)에 적용할 수 있는 무기 절연막 및 유기 절연막을 사용할 수 있다. 또한 보호층(411)에는 예를 들어 도 49의 (A)의 LED 패키지(170)의 밀봉층(178)에 적용할 수 있는 재료를 사용할 수 있다.

[0824] 적층체(SST)에는 각각 범프로서 기능하는 도전체(193a) 내지 도전체(193c) 그리고 도전체(194a) 내지 도전체(194c)를 사용하여 기판(410)이 접합되어 있다. 구체적으로는 적층체(SST)에 포함되는 도전체(112a)와 발광 다이오드(420R)의 전극(183a)이 도전체(194a)를 개재하여 접합되고, 적층체(SST)에 포함되는 도전체(111a)와 발광 다이오드(420R)의 전극(186a)이 도전체(193a)를 개재하여 접합되고, 적층체(SST)에 포함되는 도전체(112b)와 발광 다이오드(420G)의 전극(183b)이 도전체(194b)를 개재하여 접합되고, 적층체(SST)에 포함되는 도전체(111b)와 발광 다이오드(420G)의 전극(186b)이 도전체(193b)를 개재하여 접합되고, 적층체(SST)에 포함되는 도전체(112c)와 발광 다이오드(420B)의 전극(183c)이 도전체(194c)를 개재하여 접합되고, 적층체(SST)에 포함되는 도전체(111c)와 발광 다이오드(420B)의 전극(186c)이 도전체(193c)를 개재하여 접합되어 있다.

[0825] 또한 도전체(193a) 내지 도전체(193c) 그리고 도전체(194a) 내지 도전체(194c)에는 도전체(117a) 또는 도전체(117b)에 적용할 수 있는 재료를 사용할 수 있다.

[0826] 또한 표시 장치(1000I)에는 도 49의 (C)의 LED 패키지(170A2)에 사용된 색 변환층(190)을 사용하여도 좋다. 구체적으로는 발광 다이오드(420R), 발광 다이오드(420G), 및 발광 다이오드(420B)가 사출하는 광의 경로 위, 또한 반도체층(185a) 내지 반도체층(185c) 중에서 선택된 하나 이상과 기판(410) 사이에 색 변환층(190)을 제공함

으로써, 발광층으로부터 사출된 광의 색을 색 변환층(190)에 의하여 다른 색으로 변환할 수 있다.

[0827] 또한 상술한 복수의 표시 장치의 구성예는 서로 적절히 조합할 수 있다.

[0828] <발광 디바이스의 구성예>

[0829] 다음으로 상술한 표시 장치에 적용할 수 있는 발광 디바이스의 구성예에 대하여 설명한다.

[0830] 도 52의 (A)에 나타낸 바와 같이, 발광 디바이스는 한 쌍의 전극(하부 전극(761) 및 상부 전극(762)) 사이에 EL층(763)을 가진다. EL층(763)은 층(780), 발광층(771), 및 층(790)의 복수의 층으로 구성될 수 있다.

[0831] 발광층(771)은 적어도 발광 물질(발광 재료라고도 함)을 가진다.

[0832] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780)은 정공 주입성이 높은 물질을 포함한 층(정공 주입층), 정공 수송성이 높은 물질을 포함한 층(정공 수송층), 및 전자 차단성이 높은 물질을 포함한 층(전자 차단층) 중 하나 또는 복수를 가진다. 또한 층(790)은 전자 주입성이 높은 물질을 포함한 층(전자 주입층), 전자 수송성이 높은 물질을 포함한 층(전자 수송층), 및 정공 차단성이 높은 물질을 포함한 층(정공 차단층) 중 하나 또는 복수를 가진다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(780)과 층(790)은 상기와 반대의 구성이 된다.

[0833] 한 쌍의 전극 사이에 제공된 층(780), 발광층(771), 및 층(790)을 가지는 구성은 하나의 발광 유닛으로서 기능할 수 있고, 본 명세서에서는 도 52의 (A)의 구성을 싱글 구조라고 부른다.

[0834] 또한 도 52의 (B)는 도 52의 (A)에 나타낸 발광 디바이스가 가지는 EL층(763)의 변경예이다. 구체적으로는 도 52의 (B)에 나타낸 발광 디바이스는 하부 전극(761) 위의 층(781)과, 층(781) 위의 층(782)과, 층(782) 위의 발광층(771)과, 발광층(771) 위의 층(791)과, 층(791) 위의 층(792)과, 층(792) 위의 상부 전극(762)을 가진다.

[0835] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(781)을 정공 주입층으로, 층(782)을 정공 수송층으로, 층(791)을 전자 수송층으로, 층(792)을 전자 주입층으로 할 수 있다. 또한 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(781)을 전자 주입층으로, 층(782)을 전자 수송층으로, 층(791)을 정공 수송층으로, 층(792)을 정공 주입층으로 할 수 있다. 이러한 층 구조로 함으로써, 발광층(771)에 캐리어가 효율적으로 주입되어 발광층(771)에서의 캐리어 재결합의 효율을 높일 수 있다.

[0836] 또한 도 52의 (C) 및 (D)에 나타낸 바와 같이, 층(780)과 층(790) 사이에 복수의 발광층(발광층(771), 발광층(772), 및 발광층(773))이 제공되는 구성도 싱글 구조의 베리에이션이다. 또한 도 52의 (C) 및 (D)에서는 발광층을 3층 가지는 예를 나타내었지만, 싱글 구조의 발광 디바이스에서의 발광층은 2층이어도 좋고, 4층 이상이어도 좋다. 또한 싱글 구조의 발광 디바이스는 2개의 발광층 사이에 버퍼층을 가져도 좋다.

[0837] 또한 도 52의 (E) 및 (F)에 나타낸 바와 같이, 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)(중간층이라고도 함)을 개재하여 직렬로 접속된 구성을 본 명세서에서는 탠덤 구조라고 부른다. 또한 탠덤 구조를 스택 구조라고 불러도 좋다. 탠덤 구조로 함으로써, 고휘도 발광이 가능한 발광 디바이스로 할 수 있다. 또한 탠덤 구조는 싱글 구조를 적용하는 경우에 비하여 같은 휘도를 얻는 데 필요한 전류를 감소시킬 수 있기 때문에 신뢰성을 높일 수 있다.

[0838] 또한 도 52의 (D) 및 (F)는 표시 장치가 발광 디바이스와 중첩되는 층(764)을 가지는 예이다. 도 52의 (D)는 층(764)이 도 52의 (C)에 나타낸 발광 디바이스와 중첩되는 예이고, 도 52의 (F)는 층(764)이 도 52의 (E)에 나타낸 발광 디바이스와 중첩되는 예이다.

[0839] 층(764)으로서는 색 변환층 및 컬러 필터(착색층) 중 한쪽 또는 양쪽을 사용할 수 있다.

[0840] 도 52의 (C) 및 (D)에서 발광층(771), 발광층(772), 및 발광층(773)에 같은 색의 광을 방출하는 발광 물질, 나아가서는 같은 발광 물질을 사용하여도 좋다. 예를 들어 발광층(771), 발광층(772), 및 발광층(773)에 청색광을 방출하는 발광 물질을 사용하여도 좋다. 청색광을 나타내는 부화소는 발광 디바이스가 방출하는 청색광을 추출할 수 있다. 또한 적색광을 나타내는 부화소 및 녹색광을 나타내는 부화소는 도 52의 (D)에 나타낸 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스가 방출하는 청색광을 파장이 더 긴 광으로 변환하고, 적색광 또는 녹색광을 추출할 수 있다.

[0841] 또한 발광층(771), 발광층(772), 및 발광층(773)에 각각 다른 색의 광을 방출하는 발광 물질을 사용하여도

좋다. 발광층(771), 발광층(772), 및 발광층(773)이 각각 방출하는 광의 조합에 의하여 백색 발광이 얻어지는 구성으로 하는 것이 바람직하다. 예를 들어 싱글 구조의 발광 디바이스는 청색광을 방출하는 발광 물질을 포함한 발광층, 및 청색광보다 파장이 긴 가시광을 방출하는 발광 물질을 포함한 발광층을 가지는 것이 바람직하다.

[0842] 예를 들어 싱글 구조의 발광 디바이스가 3층의 발광층을 가지는 경우, 적색(R)의 광을 방출하는 발광 물질을 포함한 발광층, 녹색(G)의 광을 방출하는 발광 물질을 포함한 발광층, 및 청색(B)의 광을 방출하는 발광 물질을 포함한 발광층을 가지는 것이 바람직하다. 발광층의 적층 순으로서는 예를 들어, 양극 측으로부터 적색(R) 발광층, 녹색(G) 발광층, 및 청색(B) 발광층, 또는 양극 측으로부터 적색(R) 발광층, 청색(B) 발광층, 및 녹색(G) 발광층으로 할 수 있다. 이때 적색(R) 발광층과 녹색(G) 발광층 또는 청색(B) 발광층 사이에 버퍼층이 제공되어도 좋다.

[0843] 또한 예를 들어 싱글 구조의 발광 디바이스가 2층의 발광층을 가지는 경우, 청색(B)의 광을 방출하는 발광 물질을 포함한 발광층 및 황색(Y)의 광을 방출하는 발광 물질을 포함한 발광층을 가지는 구성이 바람직하다. 상기 구성을 BY 싱글 구조라고 부르는 경우가 있다.

[0844] 도 52의 (D)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색광이 컬러 필터를 투과함으로써, 원하는 색의 광을 얻을 수 있다.

[0845] 백색광을 방출하는 발광 디바이스는 2종류 이상의 발광 물질을 포함하는 것이 바람직하다. 백색 발광을 얻기 위해서는, 2개의 발광 물질의 각 발광이 보색 관계가 되는 발광 물질을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 발광 디바이스 전체로서 백색광을 방출하는 발광 디바이스를 얻을 수 있다. 또한 3개 이상의 발광층을 사용하여 백색 발광을 얻는 경우, 3개 이상의 발광층 각각의 발광색이 합쳐져 발광 디바이스 전체로서 백색 발광할 수 있는 구성으로 하면 좋다.

[0846] 또한 도 52의 (E) 및 (F)에서 발광층(771)과 발광층(772)에 같은 색의 광을 방출하는 발광 물질, 나아가서는 같은 발광 물질을 사용하여도 좋다.

[0847] 예를 들어, 각 색의 광을 나타내는 부화소에 포함되는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 청색광을 방출하는 발광 물질을 사용하여도 좋다. 청색광을 나타내는 부화소에서는 발광 디바이스가 방출하는 청색광을 추출할 수 있다. 또한 적색광을 나타내는 부화소 및 녹색광을 나타내는 부화소에서는 도 52의 (F)에 나타낸 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스가 방출하는 청색광을 더 장파장의 광으로 변환하여 적색광 또는 녹색광을 추출할 수 있다.

[0848] 또한 각 색의 광을 나타내는 부화소에 도 52의 (E) 또는 (F)에 나타낸 구성의 발광 디바이스를 사용하는 경우, 부화소에 따라 상이한 발광 물질을 사용하여도 좋다. 구체적으로는 적색광을 나타내는 부화소에 포함되는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 적색광을 방출하는 발광 물질을 사용하여도 좋다. 마찬가지로 녹색광을 나타내는 부화소에 포함되는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 녹색광을 방출하는 발광 물질을 사용하여도 좋다. 청색광을 나타내는 부화소에 포함되는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 청색광을 방출하는 발광 물질을 사용하여도 좋다. 이러한 구성을 가지는 표시 장치는 탠덤 구조의 발광 디바이스가 적용되며 SBS 구조라고 할 수 있다. 그러므로 탠덤 구조의 장점과 SBS 구조의 장점을 모두 가질 수 있다. 이로써 고휘도 발광이 가능하고 신뢰성이 높은 표시 장치를 실현할 수 있다.

[0849] 또한 도 52의 (E) 및 (F)에서, 발광층(771)과 발광층(772)에 상이한 색의 광을 방출하는 발광 물질을 사용하여도 좋다. 발광층(771)이 방출하는 광과 발광층(772)이 방출하는 광이 보색 관계인 경우 백색 발광이 얻어진다. 도 52의 (F)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색광이 컬러 필터를 투과함으로써 원하는 색의 광을 얻을 수 있다.

[0850] 또한 도 52의 (E) 및 (F)에는 발광 유닛(763a)이 1층의 발광층(771)을 가지고 발광 유닛(763b)이 1층의 발광층(772)을 가지는 예를 나타내었지만 이에 한정되지 않는다. 발광 유닛(763a) 및 발광 유닛(763b)은 각각 2층 이상의 발광층을 가져도 좋다.

[0851] 또한 도 52의 (E) 및 (F)에는 발광 유닛을 2개 가지는 발광 디바이스를 예시하였지만 이에 한정되지 않는다. 발광 디바이스는 3개 이상의 발광 유닛을 가져도 좋다.

[0852] 구체적으로는 도 53의 (A) 및 (C)에 나타낸 발광 디바이스의 구성을 들 수 있다.

[0853] 도 53의 (A)는 발광 유닛을 3개 가지는 구성을 나타낸 것이다. 또한 발광 유닛을 2개 가지는 구성을 2단 탠덤

구조라고 부르고, 발광 유닛을 3개 가지는 구성을 3단 탠덤 구조라고 불러도 좋다.

[0854] 또한 도 53의 (A)에 나타낸 바와 같이, 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))은 전하 발생층(전하 발생층(785a-b) 및 전하 발생층(785b-c))을 개재하여 각각 직렬로 접속되어 있다. 구체적으로는 도 53의 (A)에 나타낸 발광 디바이스는 발광 유닛(763a), 전하 발생층(785a-b), 발광 유닛(763b), 전하 발생층(785b-c), 및 발광 유닛(763c)이 이 순서대로 적층된 구성을 가진다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 가지고, 발광 유닛(763b)은 층(780b)과, 발광층(772)과, 층(790b)을 가지고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 가진다.

[0855] 또한 전하 발생층(785a-b) 및 전하 발생층(785b-c)에 대해서는 상술한 전하 발생층(785)의 설명을 참조한다.

[0856] 도 53의 (A)에 나타낸 구성에서는 발광층(771), 발광층(772), 및 발광층(773)은 각각 같은 색의 광을 방출하는 발광 물질을 포함하는 것이 바람직하다. 구체적으로는 발광층(771), 발광층(772), 및 발광층(773)이 각각 적색(R)의 발광 물질을 포함하는 구성(소위 R\R\R의 3단 탠덤 구조), 발광층(771), 발광층(772), 및 발광층(773)이 각각 녹색(G)의 발광 물질을 포함하는 구성(소위 G\G\G의 3단 탠덤 구조), 또는 발광층(771), 발광층(772), 및 발광층(773)이 각각 청색(B)의 발광 물질을 포함하는 구성(소위 B\B\B의 3단 탠덤 구조)으로 할 수 있다. 또한 도 53의 (A)에 나타낸 구성에서 발광층(771), 발광층(772), 및 발광층(773) 각각은 서로 다른 색을 발하는 발광 물질을 포함하여도 좋다. 또한 도 53의 (A)에 나타낸 구성은 발광층(771), 발광층(772), 및 발광층(773) 각각이 방출한 광의 색이 조합되어 백색(W)이 되는 구성으로 하여도 좋다. 또한 도 53의 (A)에 나타낸 구성에서는 도 52의 (D) 또는 (F)와 마찬가지로 컬러 필터로서 층(764)을 제공하여도 좋다.

[0857] 또한 각각 같은 색의 광을 방출하는 발광 물질은 상기 구성에 한정되지 않는다. 예를 들어 도 53의 (B)에 나타낸 바와 같이, 복수의 발광 물질을 포함한 발광 유닛을 적층한 탠덤형 발광 디바이스로 하여도 좋다. 도 53의 (B)는 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)을 개재하여 각각 직렬로 접속된 구성을 나타낸 것이다. 또한 발광 유닛(763a)은 층(780a), 발광층(771a), 발광층(771b), 발광층(771c), 및 층(790a)을 가지고, 발광 유닛(763b)은 층(780b), 발광층(772a), 발광층(772b), 발광층(772c), 및 층(790b)을 가진다.

[0858] 도 53의 (B)에 나타낸 구성은 발광층(771a), 발광층(771b), 및 발광층(771c)의 각각이 발광하는 색이 조합되어 백색 발광(W)이 가능한 구성이다. 또한 발광층(772a), 발광층(772b), 및 발광층(772c)의 각각이 발광하는 색이 조합되어 백색 발광(W)이 가능한 구성이다. 즉 도 53의 (B)에 나타낸 구성은 W\W의 2단 탠덤 구조이다. 또한 발광층(771a), 발광층(771b), 및 발광층(771c) 각각의 적층 순서에 대해서는 특별히 한정은 없다. 마찬가지로 발광층(772a), 발광층(772b), 및 발광층(772c) 각각의 적층 순서에 대해서도 특별히 한정은 없다. 실시자가 적절히 최적의 적층 순서를 선택할 수 있다. 또한 도시하지 않았지만, 도 53의 (B)에 나타낸 구성은 W\W\W의 3단 탠덤 구조 또는 4단 이상의 탠덤 구조로 하여도 좋다.

[0859] 또한 탠덤 구조의 발광 디바이스를 사용하는 경우, 황색(Y)의 광을 방출하는 발광 유닛과 청색(B)의 광을 방출하는 발광 유닛을 가지는 B\Y의 2단 탠덤 구조, 적색(R)과 녹색(G)의 광을 방출하는 발광 유닛과 청색(B)의 광을 방출하는 발광 유닛을 가지는 RG\B의 2단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 황색(Y)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 가지는 B\Y\B의 3단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 황록색(YG)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 가지는 B\YG\B의 3단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 녹색(G)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 가지는 B\G\B의 3단 탠덤 구조 등을 들 수 있다.

[0860] 또한 도 53의 (C)에 나타낸 바와 같이, 하나의 발광 물질을 포함한 발광 유닛과 복수의 발광 물질을 포함한 발광 유닛을 조합하여도 좋다.

[0861] 구체적으로는 도 53의 (C)에 나타낸 구성에서는 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 전하 발생층(전하 발생층(785a-b) 및 전하 발생층(785b-c))을 개재하여 각각 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 가지고, 발광 유닛(763b)은 층(780b)과, 발광층(772a)과, 발광층(772b)과, 발광층(772c)과, 층(790b)을 가지고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 가진다.

[0862] 예를 들어 도 53의 (C)에 나타낸 구성에서 발광 유닛(763a)이 청색(B)의 광을 방출하는 발광 유닛이고, 발광 유닛(763b)이 적색(R), 녹색(G), 및 황록색(YG)의 광을 방출하는 발광 유닛이고, 발광 유닛(763c)이 청색(B)의 광

을 방출하는 발광 유닛인 B\R·G·YG\B의 3단 탠덤 구조 등을 적용할 수 있다.

[0863] 예를 들어 발광 유닛의 적층 수와 색 순서로서는 양극 측으로부터, B와 Y의 2단 구조, B와 발광 유닛 X의 2단 구조, B와 Y와 B의 3단 구조, B와 발광 유닛 X와 B의 3단 구조가 있고, 발광 유닛 X의 발광층의 적층 수와 색 순서로서는 양극 측으로부터, R와 Y의 2단 구조, R와 G의 2단 구조, G와 R의 2단 구조, G와 R와 G의 3단 구조, 또는 R와 G와 R의 3단 구조 등으로 할 수 있다. 또한 2개의 발광층 사이에 다른 층이 제공되어도 좋다.

[0864] 또한 도 52의 (C), (D)에서도, 도 53의 (B)에 나타낸 바와 같이 층(780)과 층(790)을 각각 독립적으로 2층 이상의 층으로 이루어지는 적층 구조로 하여도 좋다.

[0865] 또한 도 52의 (E) 및 (F)에서 발광 유닛(763a)은 층(780a), 발광층(771), 및 층(790a)을 가지고, 발광 유닛(763b)은 층(780b), 발광층(772), 및 층(790b)을 가진다.

[0866] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780a) 및 층(780b)은 각각 정공 주입층, 정공 수송층, 및 전자 차단층 중 하나 또는 복수를 가진다. 또한 층(790a) 및 층(790b)은 각각 전자 주입층, 전자 수송층, 및 정공 차단층 중 하나 또는 복수를 가진다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(780a)과 층(790a)은 상기와 반대의 구성이 되고, 층(780b)과 층(790b)도 상기와 반대의 구성이 된다.

[0867] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(780a)은 정공 주입층과, 정공 주입층 위의 정공 수송층을 가지고, 정공 수송층 위의 전자 차단층을 더 가져도 좋다. 또한 층(790a)은 전자 수송층을 가지고, 발광층(771)과 전자 수송층 사이의 정공 차단층을 더 가져도 좋다. 또한 층(780b)은 정공 수송층을 가지고, 정공 수송층 위의 전자 차단층을 더 포함하여도 좋다. 또한 층(790b)은 전자 수송층과, 전자 수송층 위의 전자 주입층을 가지고, 발광층(772)과 전자 수송층 사이의 정공 차단층을 더 가져도 좋다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 예를 들어 층(780a)은 전자 주입층과, 전자 주입층 위의 전자 수송층을 가지고, 전자 수송층 위의 정공 차단층을 더 가져도 좋다. 또한 층(790a)은 정공 수송층을 가지고, 발광층(771)과 정공 수송층 사이의 전자 차단층을 더 가져도 좋다. 또한 층(780b)은 전자 수송층을 가지고, 전자 수송층 위의 정공 차단층을 더 가져도 좋다. 또한 층(790b)은 정공 수송층과, 정공 수송층 위의 정공 주입층을 가지고, 발광층(772)과 정공 수송층 사이의 전자 차단층을 더 가져도 좋다.

[0868] 또한 탠덤 구조를 가지는 발광 디바이스를 제작하는 경우, 2개의 발광 유닛은 전하 발생층(785)을 개재하여 적층된다. 전하 발생층(785)은 적어도 전하 발생 영역을 가진다. 전하 발생층(785)은 한 쌍의 전극 사이에 전압을 인가한 경우에 2개의 발광 유닛 중 한쪽에 전자를 주입하고, 다른 쪽에 정공을 주입하는 기능을 가진다.

[0869] 다음으로 발광 디바이스에 사용할 수 있는 재료에 대하여 설명한다.

[0870] 하부 전극(761) 및 상부 전극(762) 중 광을 추출하는 측의 전극에는 가시광을 투과시키는 도전막을 사용한다. 또한 광을 추출하지 않는 측의 전극에는 가시광을 반사하는 도전막을 사용하는 것이 바람직하다. 또한 표시 장치가 적외광을 방출하는 발광 디바이스를 가지는 경우에는, 광을 추출하는 측의 전극에는 가시광 및 적외광을 투과시키는 도전막을 사용하고, 광을 추출하지 않는 측의 전극에는 가시광 및 적외광을 반사하는 도전막을 사용하는 것이 바람직하다.

[0871] 또한 광을 추출하지 않는 측의 전극에도 가시광을 투과시키는 도전막을 사용하여도 좋다. 이 경우, 반사층과 EL층(763) 사이에 상기 전극을 배치하는 것이 바람직하다. 즉, EL층(763)의 발광은 상기 반사층에 의하여 반사되어 표시 장치로부터 추출되어도 좋다.

[0872] 발광 디바이스의 한 쌍의 전극을 형성하는 재료로서는 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 적절히 사용할 수 있다. 상기 재료로서 구체적으로는 알루미늄, 타이타늄, 크로뮴, 망가니즈, 철, 코발트, 니켈, 구리, 갈륨, 아연, 인듐, 주석, 몰리브데넘, 탄탈럼, 텅스텐, 팔라듐, 금, 백금, 은, 이트륨, 및 네오디뮴 등의 금속, 그리고 이들을 적절히 조합하여 포함한 합금을 들 수 있다. 또한 상기 재료로서는 예를 들어 인듐 주석 산화물(In-Sn 산화물, ITO라고도 함), In-Si-Sn 산화물(ITSO라고도 함), 인듐 아연 산화물(In-Zn 산화물), 및 In-W-Zn 산화물이 있다. 또한 상기 재료로서는 알루미늄을 포함한 합금(알루미늄 합금)을 들 수 있다. 알루미늄을 포함한 합금으로서는 예를 들어 알루미늄(Al)과 니켈(Ni)과 란타넘(La)의 합금(Al-Ni-La)이 있다. 또한 상기 재료로서는 은과 팔라듐과 구리의 합금(Ag-Pd-Cu, APC라고도 기재함)을 들 수 있다. 이들 외에, 상기 재료로서는 위에서 예시하지 않은 원소 주기율표의 1족 또는 2족에 속하는 원소(예를 들어 리튬, 세슘, 칼슘, 스트론튬), 유로퓸, 이터븀 등의 희토류 금속, 및 이들을 적절히 조합하여 포함한 합금, 및 그래핀을 들 수 있다.

[0873] 발광 디바이스에는 미소 광공진기(마이크로캐비티) 구조가 적용되는 것이 바람직하다. 따라서 발광 디바이스가 가지는 한 쌍의 전극 중 한쪽은 가시광에 대한 투과성 및 반사성을 가지는 전극(반투과·반반사 전극)을 가지는 것이 바람직하고, 다른 쪽은 가시광에 대한 반사성을 가지는 전극(반사 전극)을 가지는 것이 바람직하다. 발광 디바이스가 마이크로캐비티 구조를 가짐으로써, 발광층으로부터 얻어지는 발광을 양쪽 전극 사이에서 공진시켜, 발광 디바이스로부터 사출되는 광의 강도를 높일 수 있다.

[0874] 또한 반투과·반반사 전극에는 예를 들어 가시광에 대한 투과성 및 반사성을 가지는 도전체를 사용하는 것이 바람직하다. 또한 예를 들어 반투과·반반사 전극은 반사 전극으로서 사용할 수 있는 도전층과, 가시광 투과성을 가지는 전극(투명 전극이라고도 함)으로서 사용할 수 있는 도전층의 적층 구조를 가져도 좋다.

[0875] 투명 전극의 광 투과율은 40% 이상으로 한다. 예를 들어 발광 디바이스의 투명 전극으로서는 가시광(파장 400nm 이상 750nm 미만의 광) 투과율이 40% 이상인 전극을 사용하는 것이 바람직하다. 반투과·반반사 전극의 가시광의 반사율은 10% 이상 95% 이하, 바람직하게는 30% 이상 80% 이하로 한다. 반사 전극의 가시광의 반사율은 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 한다. 또한 이들 전극의 저항률은 $1\times10^{-2}\Omega$cm 이하가 바람직하다.

[0876] 발광 디바이스는 적어도 발광층을 가진다. 또한 발광 디바이스는 발광층 이외의 층으로서, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 차단 재료, 전자 수송성이 높은 물질, 전자 차단 재료, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질)을 포함하는 층을 더 가져도 좋다. 예를 들어 발광 디바이스는 발광층 외에 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 1층 이상을 가지는 구성으로 할 수 있다.

[0877] 발광 디바이스에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 발광 디바이스를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 또는 도포법 등의 방법으로 형성할 수 있다.

[0878] 발광층은 1종류 또는 복수 종류의 발광 물질을 포함한다. 발광 물질로서는 예를 들어 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 또는 적색 등의 발광색을 나타내는 물질을 적절히 사용한다. 또한 발광 물질로서 근적외광을 방출하는 물질을 사용할 수도 있다.

[0879] 발광 물질로서는 형광 재료, 인광 재료, TADF 재료, 및 퀀텀닷(quantum dot) 재료를 들 수 있다.

[0880] 형광 재료로서는 예를 들어 피렌 유도체, 안트라센 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 카바졸 유도체, 다이벤조싸이오펜 유도체, 다이벤조퓨란 유도체, 다이벤조퀴녹살린 유도체, 퀴녹살린 유도체, 피리딘 유도체, 피리미딘 유도체, 페난트렌 유도체, 및 나프탈렌 유도체가 있다.

[0881] 인광 재료로서는 예를 들어 4H-트라이아졸 골격, 1H-트라이아졸 골격, 이미다졸 골격, 피리미딘 골격, 피라진 골격, 또는 피리딘 골격을 가지는 유기 금속 착체(특히 이리듐 착체), 전자 흡인기를 가지는 페닐피리딘 유도체를 리간드로 하는 유기 금속 착체(특히 이리듐 착체), 백금 착체, 및 희토류 금속 착체가 있다.

[0882] 발광층은 발광 물질(게스트 재료)에 더하여 1종류 또는 복수 종류의 유기 화합물(예를 들어 호스트 재료 및 어시스트 재료 등)을 포함하여도 좋다. 1종류 또는 복수 종류의 유기 화합물로서는 정공 수송성이 높은 물질(정공 수송성 재료) 및 전자 수송성이 높은 물질(전자 수송성 재료) 중 한쪽 또는 양쪽을 사용할 수 있다. 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다. 전자 수송성 재료로서는 후술하는 전자 수송층에 사용할 수 있는 전자 수송성이 높은 재료를 사용할 수 있다. 또한 1종류 또는 복수 종류의 유기 화합물로서 양극성 재료 또는 TADF 재료를 사용하여도 좋다.

[0883] 발광층은 예를 들어 인광 재료, 및 들뜬 복합체를 형성하기 쉬운 정공 수송성 재료와 전자 수송성 재료의 조합을 가지는 것이 바람직하다. 이러한 구성으로 함으로써, 들뜬 복합체로부터 발광 물질(인광 재료)로의 에너지 이동인 ExTET(Exciplex-Triplet Energy Transfer)를 사용한 발광을 효율적으로 얻을 수 있다. 발광 물질의 가장 낮은 에너지 측의 흡수대의 파장과 중첩되는 발광을 나타내는 들뜬 복합체를 형성하는 조합을 선택함으로써, 에너지 이동이 원활해져 발광을 효율적으로 얻을 수 있다. 이 구성에 의하여 발광 디바이스의 고효율, 저전압 구동, 및 장수명을 동시에 실현할 수 있다.

[0884] 정공 주입층은 양극으로부터 정공 수송층에 정공을 주입하는 층이고, 정공 주입성이 높은 재료를 포함한 층이다. 정공 주입성이 높은 재료로서는 방향족 아민 화합물, 및 정공 수송성 재료와 억셉터성 재료(전자 수용

성 재료)를 포함한 복합 재료 등을 들 수 있다.

[0885] 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다.

[0886] 억셉터성 재료로서 예를 들어 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물을 사용할 수 있다. 구체적으로는 상기 금속의 산화물로서는 산화 몰리브데넘, 산화 바나듐, 산화 나이오븀, 산화 탄탈럼, 산화 크로뮴, 산화 텅스텐, 산화 망가니즈, 및 산화 레늄을 들 수 있다. 그 중에서도, 산화 몰리브데넘은 대기 중에서도 안정적이고 흡습성이 낮으며 취급하기 쉽기 때문에 특히 바람직하다. 또한 플루오린을 포함한 유기 억셉터성 재료를 사용할 수도 있다. 또한 퀴노다이메테인 유도체, 클로라닐 유도체, 및 헥사아자트라이페닐렌 유도체 등의 유기 억셉터성 재료를 사용할 수도 있다.

[0887] 예를 들어 정공 주입성이 높은 재료로서, 정공 수송성 재료와 상술한 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물(대표적으로는 산화 몰리브데넘)을 포함한 재료를 사용하여도 좋다.

[0888] 정공 수송층은 정공 주입층에 의하여 양극으로부터 주입된 정공을 발광층으로 수송하는 층이다. 정공 수송층은 정공 수송성 재료를 포함한 층이다. 정공 수송성 재료로서는 정공 이동도가 $1\times10^{-6}cm^2/Vs$ 이상인 물질이 바람직하다. 또한 전자보다 정공의 수송성이 높은 물질이면, 이들 외의 물질을 사용할 수도 있다. 정공 수송성 재료로서는 π전자 과잉형 헤테로 방향족 화합물(예를 들어 카바졸 유도체, 싸이오펜 유도체, 및 퓨란 유도체), 방향족 아민(방향족 아민 골격을 가지는 화합물) 등의 정공 수송성이 높은 재료가 바람직하다.

[0889] 전자 차단층은 발광층에 접하여 제공된다. 전자 차단층은 정공 수송성을 가지며 전자를 차단할 수 있는 재료를 포함한 층이다. 전자 차단층에는 상기 정공 수송성 재료 중 전자 차단성을 가지는 재료를 사용할 수 있다.

[0890] 전자 차단층은 정공 수송성을 가지므로 정공 수송층이라고 할 수도 있다. 또한 정공 수송층 중 전자 차단성을 가지는 층을 전자 차단층이라고 할 수도 있다.

[0891] 전자 수송층은 전자 주입층에 의하여 음극으로부터 주입된 전자를 발광층으로 수송하는 층이다. 전자 수송층은 전자 수송성 재료를 포함한 층이다. 전자 수송성 재료로서는 전자 이동도가 $1\times10^{-6}cm^2/Vs$ 이상인 물질이 바람직하다. 또한 정공보다 전자의 수송성이 높은 물질이면, 이들 외의 물질을 사용할 수도 있다. 전자 수송성 재료에는, 예를 들어 퀴놀린 골격을 가지는 금속 착체, 벤조퀴놀린 골격을 가지는 금속 착체, 옥사졸 골격을 가지는 금속 착체, 싸이아졸 골격을 가지는 금속 착체 등 외에, 옥사다이아졸 유도체, 트라이아졸 유도체, 이미다졸 유도체, 옥사졸 유도체, 싸이아졸 유도체, 페난트롤린 유도체, 퀴놀린 리간드를 가지는 퀴놀린 유도체, 벤조퀴놀린 유도체, 퀴녹살린 유도체, 다이벤조퀴녹살린 유도체, 피리딘 유도체, 바이피리딘 유도체, 피리미딘 유도체, 및 질소 함유 헤테로 방향족 화합물을 포함한 π전자 부족형 헤테로 방향족 화합물 등의 전자 수송성이 높은 재료를 사용할 수 있다.

[0892] 정공 차단층은 발광층에 접하여 제공된다. 정공 차단층은 전자 수송성을 가지며 정공을 차단할 수 있는 재료를 포함한 층이다. 정공 차단층에는 상기 전자 수송성 재료 중 정공 차단성을 가지는 재료를 사용할 수 있다.

[0893] 정공 차단층은 전자 수송성을 가지므로 전자 수송층이라고 할 수도 있다. 또한 전자 수송층 중 정공 차단성을 가지는 층을 정공 차단층이라고 할 수도 있다.

[0894] 전자 주입층은 음극으로부터 전자 수송층에 전자를 주입하는 층이고, 전자 주입성이 높은 재료를 포함한 층이다. 전자 주입성이 높은 재료로서는 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 전자 주입성이 높은 재료로서는 전자 수송성 재료와 도너성 재료(전자 공여성 재료)를 포함한 복합 재료를 사용할 수도 있다.

[0895] 또한 전자 주입성이 높은 재료의 최저 비점유 분자 궤도(LUMO: Lowest Unoccupied Molecular Orbital) 준위는 음극에 사용하는 재료의 일함수의 값과의 차이가 작은(구체적으로는 0.5eV 이하) 것이 바람직하다.

[0896] 전자 주입층에는 예를 들어 리튬, 세슘, 이터븀, 플루오린화 리튬(LiF), 플루오린화 세슘(CsF), 플루오린화 칼슘(CaF_x, x는 임의의 수), 8-(퀴놀리놀레이토)리튬(약칭: Liq), 2-(2-피리딜)페놀레이토리튬(약칭: LiPP), 2-(2-피리딜)-3-피리디놀레이토리튬(약칭: LiPPy), 4-페닐-2-(2-피리딜)페놀레이토리튬(약칭: LiPPP), 리튬 산화물(LiO_x), 탄산 세슘 등과 같은 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 또한 전자 주입층은 2층 이상의 적층 구조로 하여도 좋다. 상기 적층 구조로서는, 예를 들어 첫 번째 층에 플루오린화 리튬을 사용하고, 두 번째 층에 이터븀을 사용하는 구성이 있다.

[0897] 전자 주입층은 전자 수송성 재료를 포함하여도 좋다. 예를 들어 비공유 전자쌍을 가지고, 전자 부족형 헤테로 방향족 고리를 가지는 화합물을 전자 수송성 재료에 사용할 수 있다. 구체적으로는 피리딘 고리, 다이아진 고리(예를 들어 피리미딘 고리, 피라진 고리, 및 피리다진 고리), 및 트라이아진 고리 중에서 선택된 하나 이상을 가지는 화합물을 사용할 수 있다.

[0898] 또한 비공유 전자쌍을 가지는 유기 화합물의 LUMO 준위는 -3.6eV 이상 -2.3eV 이하인 것이 바람직하다. 또한 일반적으로 CV(사이클릭 볼타메트리), 광전자 분광법, 광 흡수 분광법, 역광전자 분광법 등에 의하여 유기 화합물의 최고 점유 분자 궤도(HOMO: Highest Occupied Molecular Orbital) 준위 및 LUMO 준위를 추산할 수 있다.

[0899] 예를 들어 4,7-다이페닐-1,10-페난트롤린(약칭: BPhen), 2,9-다이(나프탈렌-2-일)-4,7-다이페닐-1,10-페난트롤린(약칭: NBPhen), 다이퀴녹살리노[2,3-a:2',3'-c]페나진(약칭: HATNA), 또는 2,4,6-트리스[3'-(피리딘-3-일)바이페닐-3-일]-1,3,5-트라이아진(약칭: TmPPPyTz)을, 비공유 전자쌍을 가지는 유기 화합물에 사용할 수 있다. 또한 NBPhen은 BPhen에 비하여 높은 유리 전이 온도(Tg)를 가지므로 내열성이 우수하다.

[0900] 전하 발생층은 상술한 바와 같이 적어도 전하 발생 영역을 포함한다. 전하 발생 영역은 억셉터성 재료를 포함하는 것이 바람직하고, 예를 들어 상술한 정공 주입층에 적용할 수 있는 정공 수송성 재료와 억셉터성 재료를 포함하는 것이 바람직하다.

[0901] 또한 전하 발생층은 전자 주입성이 높은 재료를 포함한 층을 가지는 것이 바람직하다. 상기 층은 전자 주입 버퍼층이라고 부를 수도 있다. 전자 주입 버퍼층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 주입 버퍼층을 제공함으로써, 전하 발생 영역과 전자 수송층 사이의 주입 장벽을 완화할 수 있기 때문에, 전하 발생 영역에서 발생한 전자를 전자 수송층에 용이하게 주입할 수 있다.

[0902] 전자 주입 버퍼층은 알칼리 금속 또는 알칼리 토금속을 포함하는 것이 바람직하고, 예를 들어 알칼리 금속의 화합물 또는 알칼리 토금속의 화합물을 포함할 수 있다. 구체적으로는, 전자 주입 버퍼층은 알칼리 금속과 산소를 포함한 무기 화합물 또는 알칼리 토금속과 산소를 포함한 무기 화합물을 포함하는 것이 바람직하고, 리튬과 산소를 포함한 무기 화합물(예를 들어 산화 리튬(Li_2O))을 포함하는 것이 더 바람직하다. 이 외에, 전자 주입 버퍼층에는 상술한 전자 주입층에 적용할 수 있는 재료를 적합하게 사용할 수 있다.

[0903] 전하 발생층은 전자 수송성이 높은 재료를 포함한 층을 가지는 것이 바람직하다. 상기 층은 전자 릴레이층이라고 부를 수도 있다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층 사이에 제공되는 것이 바람직하다. 전하 발생층이 전자 주입 버퍼층을 가지지 않는 경우, 전자 릴레이층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층(또는 전자 수송층)의 상호 작용을 방지하고, 전자를 원활하게 수송하는 기능을 가진다.

[0904] 전자 릴레이층으로서는 구리(II) 프탈로사이아닌(약칭: CuPc) 등의 프탈로사이아닌계 재료, 또는 금속-산소 결합과 방향족 리간드를 포함한 금속 착체를 사용하는 것이 바람직하다.

[0905] 또한 상술한 전하 발생 영역, 전자 주입 버퍼층, 및 전자 릴레이층은 단면 형상 또는 특성 등에 따라 명확하게 구별할 수 없는 경우가 있다.

[0906] 또한 전하 발생층은 억셉터성 재료 대신에 도너성 재료를 포함하여도 좋다. 예를 들어 전하 발생층은 상술한 전자 주입층에 적용할 수 있는, 전자 수송성 재료와 도너성 재료를 포함한 층을 가져도 좋다.

[0907] 발광 유닛을 적층할 때, 2개의 발광 유닛 사이에 전하 발생층을 제공함으로써 구동 전압의 상승을 억제할 수 있다.

[0908] <화소 회로의 구성예>

[0909] 여기서, 화소층(PXAL)에 포함될 수 있는 화소 회로의 구성예에 대하여 설명한다.

[0910] 도 54의 (A) 및 (B)는 화소층(PXAL)에 포함될 수 있는 화소 회로의 구성예 및 화소 회로에 접속되는 발광 디바이스(130)를 나타낸 것이다. 또한 도 54의 (A)는 화소층(PXAL)에 포함되는 화소 회로(400)의 각 회로 소자의 접속을 나타낸 도면이고, 도 54의 (B)는 구동 회로(30)를 포함하는 회로층(SICL), 화소 회로가 가지는 복수의 트랜지스터를 포함하는 층(OSL), 발광 디바이스(130)를 포함하는 층(EML)의 상하의 위치 관계를 모식적으로 나타낸 도면이다. 또한 도 54의 (B)에 나타낸 표시 장치(1000)의 화소층(PXAL)은 일례로서 층(OSL) 및 층(EML)을 가진다. 또한 도 54의 (B)에 나타낸 층(OSL)에 포함되는 트랜지스터(500A), 트랜지스터(500B), 및 트랜지스터(500C)는 일례로서 도 36에서의 트랜지스터(500), 도 43에서의 트랜지스터(200)에 상당한다. 또한 도 54의

(B)에 나타낸 층(EML)에 포함되는 발광 디바이스(130)는 도 36에서의 발광 디바이스(130R), 발광 디바이스(130G), 또는 발광 디바이스(130B)에 상당한다.

[0911] 도 54의 (A) 및 (B)에 일례로서 나타낸 화소 회로(400)는 트랜지스터(500A), 트랜지스터(500B), 트랜지스터(500C), 및 용량 소자(600)를 가진다. 트랜지스터(500A), 트랜지스터(500B), 및 트랜지스터(500C)는 일례로서 상술한 트랜지스터(500) 또는 트랜지스터(200)에 적용할 수 있는 트랜지스터로 할 수 있다. 즉 트랜지스터(500A), 트랜지스터(500B), 및 트랜지스터(500C)는 OS 트랜지스터로 할 수 있다. 또는 트랜지스터(500A), 트랜지스터(500B), 및 트랜지스터(500C)는 일례로서 Si 트랜지스터로 할 수 있다. 특히 트랜지스터(500A), 트랜지스터(500B), 및 트랜지스터(500C)를 OS 트랜지스터로 한 경우, 트랜지스터(500A), 트랜지스터(500B), 및 트랜지스터(500C) 각각은 백 게이트를 가지는 것이 바람직하고, 이 경우 백 게이트에 게이트와 같은 신호를 공급하는 구성, 백 게이트에 게이트와는 다른 신호를 공급하는 구성으로 할 수 있다. 또한 도 54의 (A) 및 (B)에서는 트랜지스터(500A), 트랜지스터(500B), 및 트랜지스터(500C)는 백 게이트를 가지지만, 트랜지스터(500A), 트랜지스터(500B), 및 트랜지스터(500C)는 백 게이트를 가지지 않아도 된다.

[0912] 트랜지스터(500B)는 트랜지스터(500A)에 전기적으로 접속되는 게이트와, 발광 디바이스(130)에 전기적으로 접속되는 제 1 전극과, 배선(ANO)에 전기적으로 접속되는 제 2 전극을 가진다. 배선(ANO)은 발광 디바이스(130)에 전류를 공급하기 위한 전위를 인가하는 배선이다.

[0913] 트랜지스터(500A)는 트랜지스터(500B)의 게이트에 전기적으로 접속되는 제 1 전극과, 소스선으로서 기능하는 배선(SL)에 전기적으로 접속되는 제 2 전극과, 게이트선으로서 기능하는 배선(G1)의 전위에 따라 온 상태와 오프 상태의 전환을 제어하는 기능을 가지는 게이트를 가진다.

[0914] 트랜지스터(500C)는 배선(V0)에 전기적으로 접속되는 제 1 전극과, 발광 디바이스(130)에 전기적으로 접속되는 제 2 전극과, 게이트선으로서 기능하는 배선(G2)의 전위에 따라 온 상태와 오프 상태의 전환을 제어하는 기능을 가지는 게이트 전극을 가진다. 배선(V0)은 기준 전위를 인가하는 배선 및 화소 회로(400)에 흐르는 전류를 구동 회로(30)에 출력하기 위한 배선이다.

[0915] 용량 소자(600)는 트랜지스터(500B)의 게이트 전극에 전기적으로 접속되는 도전막과, 트랜지스터(500C)의 제 2 전극에 전기적으로 접속되는 도전막을 가진다.

[0916] 발광 디바이스(130)는 트랜지스터(500B)의 제 1 전극에 전기적으로 접속되는 제 1 전극과, 배선(VCOM)에 전기적으로 접속되는 제 2 전극을 가진다. 배선(VCOM)은 발광 디바이스(130)에 전류를 공급하기 위한 전위를 인가하는 배선이다.

[0917] 이에 의하여, 트랜지스터(500B)의 게이트 전극에 공급되는 화상 신호에 따라 발광 디바이스(130)로부터 사출되는 광의 강도를 제어할 수 있다. 또한 트랜지스터(500C)를 통하여 공급되는 배선(V0)의 기준 전위에 의하여 트랜지스터(500B)의 게이트-소스 간 전압의 편차를 억제할 수 있다.

[0918] 또한 화소 파라미터의 설정에 사용할 수 있는 전류값을 배선(V0)으로부터 출력할 수 있다. 더 구체적으로는, 배선(V0)은 트랜지스터(500B)에 흐르는 전류 또는 발광 디바이스(130)에 흐르는 전류를 외부에 출력하기 위한 모니터선으로서 기능할 수 있다. 배선(V0)에 출력된 전류는 예를 들어 소스 폴로어 회로에 의하여 전압으로 변환되고 외부에 출력된다. 또는 예를 들어 A-D 컨버터 등에 의하여 디지털 신호로 변환되고, 앞의 실시형태에서 설명한 주변 회로(PRPH)에 포함되는 AI 액셀러레이터에 출력될 수 있다.

[0919] 또한 도 54의 (B)에 일례로서 나타낸 구성에서는, 화소 회로(400)와 구동 회로(30)를 전기적으로 접속하는 배선을 짧게 할 수 있기 때문에 상기 배선의 배선 저항을 감소시킬 수 있다. 따라서 데이터의 기록을 고속으로 수행할 수 있어 표시 장치(1000)를 고속으로 구동시킬 수 있다. 이에 의하여, 표시 장치(1000)가 가지는 화소 회로(400)의 개수가 많아도 충분한 프레임 기간을 확보할 수 있기 때문에 표시 장치(1000)의 화소 밀도를 높일 수 있다. 또한 표시 장치(1000)의 화소 밀도를 높임으로써, 표시 장치(1000)에 의하여 표시되는 화상의 정세도를 높일 수 있다. 예를 들어 표시 장치(1000)의 화소 밀도를 500ppi 이상, 바람직하게는 1000ppi 이상, 더 바람직하게는 3000ppi 이상, 더 바람직하게는 5000ppi 이상, 더 바람직하게는 6000ppi 이상으로 할 수 있다. 따라서 표시 장치(1000)는 예를 들어 AR용 또는 VR용 표시 장치로 할 수 있고, 헤드 마운트 디스플레이(HMD) 등 표시부와 사용자 간의 거리가 가까운 전자 기기에 적합하게 적용할 수 있다.

[0920] <화소의 레이아웃>

[0921] 여기서는 화소 레이아웃에 대하여 설명한다. 부화소의 배열은 특별히 한정되지 않고, 다양한 방법을 적용할 수

있다. 부화소의 배열로서는 예를 들어 스트라이프 배열, S 스트라이프 배열, 매트릭스 배열, 델타 배열, 베이어 배열, 및 펜타일 배열이 있다.

[0922] 또한 부화소의 상면 형상으로서는 예를 들어 삼각형, 사각형(장방형, 정사각형을 포함함), 오각형 등의 다각형, 이들 다각형의 모서리가 둥근 형상, 타원형, 및 원형이 있다. 여기서 부화소의 상면 형상은 발광 디바이스의 발광 영역의 상면 형상에 상당한다.

[0923] 도 55의 (A)에 나타낸 화소(80)에는 스트라이프 배열이 적용되어 있다. 도 55의 (A)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 및 부화소(80c)의 3개의 부화소로 구성된다. 예를 들어 도 56의 (A)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0924] 도 55의 (B)에 나타낸 화소(80)에는 S 스트라이프 배열이 적용되어 있다. 도 55의 (B)에 나타낸 화소(80)는 부화소(80a), 및 부화소(80b), 부화소(80c)의 3개의 부화소로 구성된다. 예를 들어 도 56의 (B)에 나타낸 바와 같이, 부화소(80a)를 청색의 부화소(B)로 하고, 부화소(80b)를 적색의 부화소(R)로 하고, 부화소(80c)를 녹색의 부화소(G)로 하여도 좋다.

[0925] 도 55의 (C)는 각 색의 부화소가 지그재그로 배치되는 예를 나타낸 것이다. 구체적으로는, 평면에서 보았을 때, 열 방향으로 배열되는 2개의 부화소(예를 들어 부화소(80a)와 부화소(80b), 또는 부화소(80b)와 부화소(80c))의 상변의 위치가 어긋난다. 예를 들어 도 56의 (C)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0926] 도 55의 (D)에 나타낸 화소(80)는 모서리가 둥근 대략 사다리꼴형의 상면 형상을 가지는 부화소(80a)와, 모서리가 둥근 대략 삼각형의 상면 형상을 가지는 부화소(80b)와, 모서리가 둥근 대략 사각형 또는 대략 육각형의 상면 형상을 가지는 부화소(80c)를 포함한다. 또한 부화소(80a)는 부화소(80b)보다 발광 면적이 넓다. 이와 같이, 각 부화소의 형상 및 크기는 각각 독립적으로 결정할 수 있다. 예를 들어 신뢰성이 높은 발광 디바이스를 가지는 부화소일수록 크기를 작게 할 수 있다. 예를 들어 도 56의 (D)에 나타낸 바와 같이, 부화소(80a)를 녹색의 부화소(G)로 하고, 부화소(80b)를 적색의 부화소(R)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0927] 도 55의 (E)에 나타낸 화소(70A) 및 화소(70B)에는 펜타일 배열이 적용되어 있다. 도 55의 (E)에서는 부화소(80a) 및 부화소(80b)를 가지는 화소(70A)와, 부화소(80b) 및 부화소(80c)를 가지는 화소(70B)가 번갈아 배치되는 예를 나타내었다. 예를 들어 도 56의 (E)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0928] 도 55의 (F) 및 (G)에 나타낸 화소(70A) 및 화소(70B)에는 델타 배열이 적용되어 있다. 화소(70A)는 위쪽 행(첫 번째 행)에 2개의 부화소(부화소(80a) 및 부화소(80b))를 가지고, 아래쪽 행(두 번째 행)에 하나의 부화소(부화소(80c))를 가진다. 화소(70B)는 위쪽 행(첫 번째 행)에 하나의 부화소(부화소(80c))를 가지고, 아래쪽 행(두 번째 행)에 2개의 부화소(부화소(80a) 및 부화소(80b))를 가진다. 예를 들어 도 56의 (F)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하여도 좋다.

[0929] 도 55의 (F)에는 각 부화소가 모서리가 둥근 대략 사각형의 상면 형상을 가지는 예를 나타내었고, 도 55의 (G)에는 각 부화소가 원형의 상면 형상을 가지는 예를 나타내었다.

[0930] 포토리소그래피법에서는 가공하는 패턴이 미세화될수록 광 회절의 영향을 무시할 수 없게 되기 때문에, 노광에 의하여 포토마스크의 패턴을 전사할 때 충실(忠實)성이 낮아져 레지스트 마스크를 원하는 형상으로 가공하기 어려워진다. 그러므로 포토마스크의 패턴이 직사각형이어도 모서리가 둥근 패턴이 형성되기 쉽다. 따라서 부화소의 상면 형상이 다각형의 모서리가 둥근 형상, 타원형, 또는 원형 등이 되는 경우가 있다.

[0931] 또한 본 발명의 일 형태의 표시 장치의 제작 방법에서는, 레지스트 마스크를 사용하여 EL층을 섬 형상으로 가공한다. EL층 위에 형성한 레지스트막은 EL층의 내열 온도보다 낮은 온도에서 경화시킬 필요가 있다. 그러므로 EL층의 재료의 내열 온도 및 레지스트 재료의 경화 온도에 따라서는 레지스트막의 경화가 불충분해질 경우가 있다. 경화가 불충분한 레지스트막은 가공 시에 원하는 형상과 다른 형상이 될 경우가 있다. 그 결과, EL층의 상면 형상이 모서리가 둥근 다각형, 타원형, 또는 원형이 될 경우가 있다. 예를 들어 상면 형상이 정사각형인 레지스트 마스크를 형성하는 경우에, 상면 형상이 원형인 레지스트 마스크가 형성되어 EL층의 상면 형상이 원형

이 될 경우가 있다.

[0932] 또한 EL층의 상면 형상을 원하는 형상으로 하기 위하여 설계 패턴과 전사 패턴이 일치하도록 마스크 패턴을 미리 보정하는 기술(OPC(Optical Proximity Correction: 광 근접 효과 보정) 기술)을 사용하여도 좋다. 구체적으로, OPC 기술에서는 마스크 패턴상의 도형의 모서리 부분 등에 보정용 패턴을 추가한다.

[0933] 도 57의 (A) 내지 (C)에 나타낸 화소(80)에는 스트라이프 배열이 적용되어 있다.

[0934] 도 57의 (A)는 각 부화소의 상면 형상이 직사각형인 예를 나타낸 것이고, 도 57의 (B)는 각 부화소가 2개의 반원형과 직사각형을 연결한 것인 예를 나타낸 것이고, 도 57의 (C)는 각 부화소의 상면 형상이 타원형인 예를 나타낸 것이다.

[0935] 도 57의 (D) 내지 (F)에 나타낸 화소(80)에는 매트릭스 배열이 적용되어 있다.

[0936] 도 57의 (D)는 각 부화소의 상면 형상이 정사각형인 예를 나타낸 것이고, 도 57의 (E)는 각 부화소의 상면 형상이 모서리가 둥근 대략 정사각형인 예를 나타낸 것이고, 도 57의 (F)는 각 부화소의 상면 형상이 원형인 예를 나타낸 것이다.

[0937] 도 57의 (A) 내지 (F)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)의 4개의 부화소로 구성된다. 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 다른 색의 광을 방출한다. 예를 들어 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 적색, 녹색, 청색, 및 백색의 부화소로 할 수 있다. 예를 들어 도 58의 (A) 및 (B)에 나타낸 바와 같이, 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 적색, 녹색, 청색, 및 백색의 부화소로 할 수 있다. 또는 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 적색, 녹색, 청색, 및 적외 발광의 부화소로 할 수 있다.

[0938] 부화소(80d)는 발광 디바이스를 가진다. 상기 발광 디바이스는 예를 들어 화소 전극과, EL층과, 공통 전극을 가진다. 또한 상기 화소 전극에는 도전체(112a) 내지 도전체(112c), 또는 도전체(126a) 내지 도전체(126c)와 같은 재료를 사용하면 좋다. 또한 상기 EL층에는 예를 들어 제 1 층(113a), 제 2 층(113b), 또는 제 3 층(113c)과 같은 재료를 사용하면 좋다.

[0939] 도 57의 (G)에는 하나의 화소(80)가 2행 3열로 구성되는 예를 나타내었다. 화소(80)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(80a), 부화소(80b), 및 부화소(80c))를 가지고, 아래쪽 행(두 번째 행)에 3개의 부화소(80d)를 가진다. 바꿔 말하면 화소(80)는 왼쪽 열(첫 번째 열)에 부화소(80a) 및 부화소(80d)를 가지고, 중앙의 열(두 번째 열)에 부화소(80b) 및 부화소(80d)를 가지고, 오른쪽 열(세 번째 열)에 부화소(80c) 및 부화소(80d)를 가진다. 도 57의 (G)에 나타낸 바와 같이 위쪽 행과 아래쪽 행의 부화소의 배치를 일치시키는 구성으로 함으로써, 제조 공정에서 발생할 수 있는 먼지 등을 효율적으로 제거할 수 있다. 따라서 표시 품질이 높은 표시 장치를 제공할 수 있다.

[0940] 도 57의 (H)에서는 하나의 화소(80)가 2행 3열로 구성되는 예를 나타내었다. 화소(80)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(80a, 부화소(80b), 및 부화소(80c))를 가지고, 아래쪽 행(두 번째 행)에 하나의 부화소(부화소(80d))를 가진다. 바꿔 말하면, 화소(80)는 왼쪽 열(첫 번째 열)에 부화소(80a)를 가지고, 중앙의 열(두 번째 열)에 부화소(80b)를 가지고, 오른쪽 열(세 번째 열)에 부화소(80c)를 가지고, 또한 이 3열에 걸쳐 부화소(80d)를 가진다.

[0941] 또한 도 57의 (G) 및 (H)에 나타낸 화소(80)에서는, 예를 들어 도 58의 (C) 및 (D)에 나타낸 바와 같이, 부화소(80a)를 적색의 부화소(R)로 하고, 부화소(80b)를 녹색의 부화소(G)로 하고, 부화소(80c)를 청색의 부화소(B)로 하고, 부화소(80d)를 백색의 부화소(W)로 할 수 있다.

[0942] 다음으로 도 48의 표시 장치(1000H) 및 도 47의 표시 장치(1000G)에 적용할 수 있는 화소 레이아웃의 일례에 대하여 설명한다. 즉 표시 장치(1000H) 및 표시 장치(1000G)의 화소 레이아웃은 도 47의 표시 장치(1000G)의 LED 칩(150a) 내지 LED 칩(150c), 또는 도 48의 표시 장치(1000H)의 LED 칩(180R), LED 칩(180G), 및 LED 칩(180B)을 평면에서 본 것으로 간주할 수 있다.

[0943] 도 59의 (A)에 나타낸 화소(80)는 각 부화소가 장방형의 상면 형상을 가지고, 또한 각 부화소의 긴 변이 인접하도록 배치되는 예를 나타낸 것이다. 또한 각 부화소는 서로 접하도록 배치되어도 좋고, 서로 접하지 않도록 배치되어도 좋다.

[0944] 도 59의 (A)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 및 부화소(80c)의 3개의 부화소로 구성된다. 일

례로서 부화소(80a), 부화소(80b), 및 부화소(80c) 각각은 상이한 색의 광을 방출한다. 예를 들어 여기서 상이한 색을 적색(R), 녹색(G), 및 청색(B)으로 할 수 있다. 따라서 도 59의 (B)에 나타낸 바와 같이 부화소(80a), 부화소(80b), 및 부화소(80c)는 각각 적색(R), 녹색(G), 및 청색(B)의 부화소로 할 수 있다.

[0945] 또한 도 59의 (B)에서 부화소(80a), 부화소(80b), 및 부화소(80c) 각각이 방출하는 광의 색은 적색(R), 녹색(G), 및 청색(B) 이외에는 시안(C), 마젠타(M), 황색(Y), 및 백색(W)으로 할 수 있다.

[0946] 또한 도 59의 (A)에 나타낸 화소(80)의 부화소의 개수는 3개로 하였지만, 도 59의 (A)에 나타낸 화소(80)의 부화소의 개수는 하나로 하여도 좋고, 2개로 하여도 좋고, 4개 이상으로 하여도 좋다. 예를 들어 도 59의 (C)에 나타낸 바와 같이 화소(80)는 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)의 4개의 부화소로 구성된다. 도 59의 (C)의 화소(80)는 도 59의 (A)의 화소(80)와 마찬가지로 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d) 각각이 상이한 색의 광을 방출하는 구성으로 할 수 있다. 예를 들어 여기서 상이한 색을 적색(R), 녹색(G), 청색(B), 및 백색(W)으로 할 수 있다. 따라서 도 59의 (D)에 나타낸 바와 같이 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d)는 각각 적색(R), 녹색(G), 청색(B), 및 백색(W)의 부화소로 할 수 있다.

[0947] 또한 도 59의 (D)에서 부화소(80a), 부화소(80b), 부화소(80c), 및 부화소(80d) 각각이 방출하는 광의 색은 적색(R), 녹색(G), 청색(B), 및 백색(W) 이외에는 시안(C), 마젠타(M), 및 황색(Y)으로 할 수 있다.

[0948] 또한 도 59의 (A) 및 (C)의 화소(80)에서는 각 부화소의 긴 변이 인접하도록 배치되는 예를 나타내었지만, 화소(80)는 각 부화소의 짧은 변이 인접하도록 배치되어도 좋다.

[0949] 도 59의 (E)는 각 부화소가 정사각형의 상면 형상을 가지고, 또한 전극이 형성되는 예를 나타낸 것이다.

[0950] 도 59의 (E)에 나타낸 화소(80)는 부화소(80a), 부화소(80b), 및 부화소(80c)의 3개의 부화소와, 전극으로서 기능하는 도전체(81)로 구성된다.

[0951] 일례로서 부화소(80a), 부화소(80b), 및 부화소(80c) 각각은 상이한 색의 광을 방출한다. 예를 들어 여기서 상이한 색을 적색(R), 녹색(G), 및 청색(B)으로 할 수 있다. 따라서 도 59의 (F)에 나타낸 바와 같이 부화소(80a), 부화소(80b), 및 부화소(80c)는 각각 적색(R), 녹색(G), 및 청색(B)의 부화소로 할 수 있다.

[0952] 또한 도 59의 (F)에서 부화소(80a), 부화소(80b), 및 부화소(80c) 각각이 방출하는 광의 색은 적색(R), 녹색(G), 및 청색(B) 이외에는 시안(C), 마젠타(M), 황색(Y), 및 백색(W)으로 할 수 있다.

[0953] 또한 도전체(81)는 예를 들어 부화소(80a), 부화소(80b), 및 부화소(80c)에 포함되는 발광 다이오드의 공통 전극으로서의 기능을 가진다. 특히, 상기 공통 전극은 부화소(80a), 부화소(80b), 및 부화소(80c) 각각에 포함되는 발광 다이오드의 캐소드 전극으로서 기능하는 것이 바람직하다.

[0954] 도전체(81)는 예를 들어 도 49의 (A)의 LED 패키지(170)의 전극(172) 또는 전극(173)에 상당한다. 그러므로, 도전체(81)에 적용할 수 있는 재료로서는 예를 들어 전극(172) 또는 전극(173)에 적용할 수 있는 재료를 사용할 수 있다.

[0955] 또한 도전체(81)는 도 59의 (G)에 나타낸 바와 같이 부화소(80a), 부화소(80b), 및 부화소(80c) 각각이 도전체(81)의 위쪽에 위치하도록 제공되어도 좋다. 즉 도전체(81) 위에 부화소(80a), 부화소(80b), 및 부화소(80c)가 제공되어 있다. 도 59의 (G)의 화소(80)의 도전체(81)는 도 49의 (B)의 LED 패키지(170A1)의 전극(172)에 상당한다.

[0956] 또한 도 59의 (G)의 화소(80)에는 도 49의 (B)의 LED 패키지(170A1)의 전극(173)에 상당하는 도전체를 도시하지 않았지만, 도 59의 (G)의 화소(80)는 전극(173)에 상당하는 도전체를 가져도 좋다.

[0957] 또한 도 59의 (E)에 나타낸 화소(80)의 전극은 하나로 하였지만, 도 59의 (E)에 나타낸 화소(80)의 전극의 개수는 2개 이상으로 하여도 좋다. 예를 들어 화소(80)에서는 부화소의 개수에 따라 전극의 개수를 정하여도 좋다. 일례로서, 도 59의 (E)의 화소(80)에서 3개의 부화소 각각에 애노드 전극 및 캐소드 전극을 제공하는 경우, 화소(80)에 제공되는 전극의 개수는 6개로 할 수 있다. 또한 일례로서, 도 59의 (E)의 화소(80)에서 3개의 부화소 각각에 애노드 전극과 캐소드 전극이 되는 공통 전극을 제공하는 경우, 화소(80)에 제공되는 전극의 개수는 4개로 할 수 있다.

[0958] 또한 도 59의 (E)의 화소(80)는 도전체(81)가 정사각형의 상면 형상을 가지지만, 도전체(81)의 상면 형상은 모서리가 둥근 대략 사다리꼴형, 모서리가 둥근 대략 정사각형, 모서리가 둥근 대략 육각형, 반원과 장방형을 연

결한 형상, 원형, 또는 타원형 등 다양한 형상으로 하여도 좋다.

[0959] 또한 도 55의 (A) 내지 (G), 도 57의 (A) 내지 (H), 도 59의 (A) 및 (C) 각각에 나타낸 화소(80)에 포함되는 복수의 부화소 중 하나는 도전체(81)로 치환한 구성으로 하여도 좋다.

[0960] 또한 본 명세서 등에 개시된 절연체, 도전체, 및 반도체는 PVD(Physical Vapor Deposition)법 또는 CVD법으로 형성할 수 있다. PVD법으로서는 예를 들어 스퍼터링법, 저항 가열 증착법, 전자 빔 증착법, MBE(Molecular Beam Epitaxy)법, 및 PLD법이 있다. 또한 CVD법으로서는 플라스마 CVD법 및 열 CVD법을 들 수 있다. 특히 열 CVD법으로서는 예를 들어 유기 금속 화학 기상 성장(MOCVD: Metal Organic Chemical Vapor Deposition)법 및 ALD법이 있다.

[0961] 열 CVD법은 플라스마를 사용하지 않는 성막 방법이기 때문에 플라스마 대미지로 인하여 결함이 생성되는 일이 없다는 이점을 가진다.

[0962] 열 CVD법은 원료 가스와 산화제를 동시에 체임버 내에 공급하고, 체임버 내를 대기압 또는 감압하로 하고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 성막을 수행하여도 좋다.

[0963] 또한 ALD법에서는 체임버 내를 대기압 또는 감압하로 하고, 반응을 위한 원료 가스를 체임버에 순차적으로 도입하고, 그 가스 도입의 절차를 반복함으로써 성막을 수행하여도 좋다. 예를 들어 각 스위칭 밸브(고속 밸브라고도 부름)를 전환하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급하고, 복수 종류의 원료 가스가 섞이지 않도록, 제 1 원료 가스를 도입함과 동시에 또는 제 1 원료 가스를 도입한 후에 불활성 가스(예를 들어 아르곤 또는 질소) 등을 도입하고, 제 2 원료 가스를 도입한다. 또한 불활성 가스를 동시에 도입하는 경우에는, 불활성 가스는 캐리어 가스가 되고, 제 2 원료 가스를 도입할 때에도 불활성 가스를 동시에 도입하여도 좋다. 또한 불활성 가스를 도입하는 대신에, 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판의 표면에 흡착됨으로써 제 1 얇은 층이 성막되고, 나중에 도입되는 제 2 원료 가스와 제 1 얇은 층이 반응함으로써 제 1 얇은 층 위에 제 2 얇은 층이 적층되어 박막이 형성된다. 이 가스 도입의 절차를 제어하면서 원하는 두께가 될 때까지 여러 번 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입의 절차를 반복하는 횟수에 의하여 조절할 수 있기 때문에, 막 두께를 정밀하게 조절할 수 있어, 미세한 FET를 제작하는 경우에 적합하다.

[0964] MOCVD법 및 ALD법 등의 열 CVD법은 앞에서 기재한 실시형태에 개시된 금속막, 반도체막, 및 무기 절연막 등의 다양한 막을 형성할 수 있으며, 예를 들어 In-Ga-Zn-O막을 성막하는 경우에는 트라이메틸인듐($In(CH_3)_3$), 트라이메틸갈륨($Ga(CH_3)_3$), 및 다이메틸아연($Zn(CH_3)_2$)을 사용한다. 또한 이들 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨($Ga(C_2H_5)_3$)을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연($Zn(C_2H_5)_2$)을 사용할 수도 있다.

[0965] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 포함하는 액체(예를 들어 하프늄알콕사이드, 테트라키스다이메틸아마이드하프늄(TDMAH, $Hf[N(CH_3)_2]_4$) 등의 하프늄아마이드)를 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2종류의 가스를 사용한다. 또한 다른 재료로서는 테트라키스(에틸메틸아마이드)하프늄을 들 수 있다.

[0966] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 포함하는 액체(예를 들어 트라이메틸알루미늄(TMA, $Al(CH_3)_3$) 등)를 기화시킨 원료 가스와, 산화제로서 H_2O의 2종류의 가스를 사용한다. 또한 다른 재료로서는 트리스(다이메틸아마이드)알루미늄, 트라이아이소뷰틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트)가 있다.

[0967] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 피성막면에 흡착시키고 산화성 가스(예를 들어 O_2 또는 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.

[0968] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 텅스텐막을 성막하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차적으로 반복하여 도입함으로써 초기 텅스텐막을 형성한 다음, WF_6 가스와 H_2 가스를 순차적으로 반복하여 도입함으로써 텅스텐막을 형성한다. 또한 B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0969] 예를 들어 ALD법을 이용하는 성막 장치에 의하여 산화물 반도체막으로서 In-Ga-Zn-O막을 성막하는 경우에는 전구체(일반적으로는 예를 들어 금속 전구체라고 불리는 경우가 있음)와 산화제(일반적으로는, 예를 들어 반응제 또는 비금속 전구체라고 불리는 경우가 있음)의 도입을 순차적으로 반복함으로써 형성한다. 구체적으로는, 예를 들어 전구체인 $In(CH_3)_3$ 가스와 산화제인 O_3 가스를 도입하여 In-O층을 형성하고, 그 후 전구체인 $Ga(CH_3)_3$ 가스와 산화제인 O_3 가스를 도입하여 GaO층을 형성하고, 그 후 전구체인 $Zn(CH_3)_2$ 가스와 산화제인 O_3 가스를 도입하여 ZnO층을 형성한다. 또한 이들 층의 순서는 이 예에 한정되지 않는다. 또한 이들 가스를 사용하여 In-Ga-O층, In-Zn-O층, 또는 Ga-Zn-O층의 혼합 산화물층을 형성하여도 좋다. 또한 O_3 가스 대신에 불활성 가스(예를 들어 Ar)로 물을 버블링하여 얻어진 H_2O 가스를 사용하여도 좋지만 H를 포함하지 않는 O_3 가스를 사용하는 것이 더 바람직하다. 또한 $In(CH_3)_3$ 가스 대신에 $In(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한 $Ga(CH_3)_3$ 가스 대신에 $Ga(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한 $Zn(CH_3)_2$ 가스 대신에 $Zn(C_2H_5)_2$ 가스를 사용하여도 좋다.

[0970] 또한 본 발명의 일 형태의 전자 기기에 포함되는 표시부의 화면 비율(종횡비)은 특별히 한정되지 않는다. 예를 들어 표시부는 1:1(정사각형), 4:3, 16:9, 16:10, 21:9, 또는 32:9와 같은 다양한 화면 비율에 대응할 수 있다.

[0971] 또한 본 발명의 일 형태의 전자 기기에 포함되는 표시부의 형상은 특별히 한정되지 않는다. 예를 들어 표시부로서는 직사각형, 다각형(예를 들어 팔각형), 원형, 또는 타원형 등의 다양한 형상에 대응할 수 있다.

[0972] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다.

[0973] (실시형태 5)

[0974] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치에 사용할 수 있는 트랜지스터, 구체적으로는 실시형태 4에서 설명한 트랜지스터(500)에 대하여 설명한다.

[0975] <트랜지스터의 구성예>

[0976] 도 60의 (A), (B), 및 (C)는 본 발명의 일 형태에 따른 반도체 장치에 사용할 수 있는 트랜지스터(500)의 평면도 및 단면도이다. 본 발명의 일 형태에 따른 반도체 장치에 트랜지스터(500)를 적용할 수 있다.

[0977] 도 60의 (A)는 트랜지스터(500)의 평면도이다. 또한 도 60의 (B) 및 (C)는 트랜지스터(500)의 단면도이다. 여기서 도 60의 (B)는 도 60의 (A)에 A1-A2의 일점쇄선으로 나타낸 부분의 단면도이고, 트랜지스터(500)의 채널 길이 방향의 단면도이기도 하다. 또한 도 60의 (C)는 도 60의 (A)에 A3-A4의 일점쇄선으로 나타낸 부분의 단면도이고, 트랜지스터(500)의 채널 폭 방향의 단면도이기도 하다. 또한 도 60의 (A)의 평면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.

[0978] 도 60의 (A) 내지 (C)에 나타낸 바와 같이 트랜지스터(500)는 금속 산화물(531a)과, 금속 산화물(531b)과, 도전체(542a)와, 도전체(542b)와, 절연체(580)와, 도전체(560)와, 절연체(550)를 가진다.

[0979] 금속 산화물(531a)은 일례로서 기판(도시하지 않았음) 위에 배치되어 있다. 또한 금속 산화물(531b)은 금속 산화물(531a) 위에 배치되어 있다. 또한 도전체(542a) 및 도전체(542b)는 금속 산화물(531b) 위에 서로 이격되어 배치되어 있다. 또한 절연체(580)는 도전체(542a) 및 도전체(542b) 위에 배치되어 있다. 특히 절연체(580)에는 도전체(542a)와 도전체(542b) 사이의 영역에 개구부가 형성되어 있다. 또한 도전체(560)는 상기 개구부 내에 배치되어 있다. 또한 절연체(550)는 금속 산화물(531b), 도전체(542a), 도전체(542b), 및 절연체(580)와 도전체(560) 사이에 배치되어 있다. 여기서 도 60의 (B) 및 (C)에 나타낸 바와 같이 도전체(560)의 상면은 절연체(550) 및 절연체(580)의 상면과 대략 일치하는 것이 바람직하다. 또한 이하에서는 금속 산화물(531a) 및 금속 산화물(531b)을 통틀어 금속 산화물(531)이라고 하는 경우가 있다. 또한 도전체(542a) 및 도전체(542b)를 통틀어 도전체(542)라고 하는 경우가 있다.

[0980] 도 60의 (A) 내지 (C)에 나타낸 트랜지스터(500)에서는 도전체(542a) 및 도전체(542b)의 도전체(560) 측의 측면이 실질적으로 수직인 형상을 가진다. 또한 도 60의 (A) 내지 (C)에 나타낸 트랜지스터(500)는 이에 한정되지 않고, 도전체(542a) 및 도전체(542b)의 측면과 바닥면이 이루는 각이 10° 이상 80° 이하, 바람직하게는 30° 이상 60° 이하로 하여도 좋다. 또한 서로 대향하는 도전체(542a)의 측면 및 도전체(542b)의 측면이 복수의 면을 가져도 좋다.

[0981] 또한 트랜지스터(500)에서는 채널이 형성되는 영역(이하 채널 형성 영역이라고도 함)과 이의 근방에서 금속 산

화물(531a) 및 금속 산화물(531b)의 2층을 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 금속 산화물(531b)의 단층 구조 또는 3층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 금속 산화물(531a) 및 금속 산화물(531b) 각각이 2층 이상의 적층 구조를 가져도 좋다.

[0982] 여기서 도전체(560)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이 도전체(560)는 절연체(580)의 개구 및 도전체(542a)와 도전체(542b)에 끼워진 영역에 매립되도록 형성된다. 여기서 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(自己整合)적으로 선택된다. 즉 트랜지스터(500)에서 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치시킬 수 있다. 따라서 도전체(560)를 위치 얼라인먼트의 마진을 제공하지 않고 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적의 축소를 도모할 수 있다. 이로써 표시 장치를 고정세하게 할 수 있다. 또한 표시 장치를 슬림 베젤로 할 수 있다.

[0983] 도 60의 (B)에 나타낸 바와 같이 도전체(560)는 절연체(550)의 내측에 제공된 도전체(560a)와 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 가지는 것이 바람직하다. 또한 도 60의 (B) 및 (C)에서는 도전체(560)를 2층의 적층 구조로서 나타내었지만 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(560)가 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

[0984] 트랜지스터(500)는 기판(도시하지 않았음) 위에 배치된 절연체(514)와, 절연체(514) 위에 배치된 절연체(516)와, 절연체(516)에 매립되도록 배치된 도전체(505)와, 절연체(516) 및 도전체(505) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)를 가지는 것이 바람직하다. 절연체(524) 위에 금속 산화물(531a)이 배치되는 것이 바람직하다.

[0985] 도 60의 (B) 및 (C)에 나타낸 바와 같이 절연체(522), 절연체(524), 금속 산화물(531a), 금속 산화물(531b), 도전체(542a), 도전체(542b), 및 절연체(550)와 절연체(580) 사이에 절연체(554)가 배치되는 것이 바람직하다. 여기서 절연체(554)는 도 60의 (B) 및 (C)에 나타낸 바와 같이 절연체(550)의 측면, 도전체(542a)의 상면과 측면, 도전체(542b)의 상면과 측면, 금속 산화물(531a), 금속 산화물(531b), 및 절연체(524)의 측면, 그리고 절연체(522)의 상면에 접하는 것이 바람직하다.

[0986] 트랜지스터(500) 위에는 층간막으로서 기능하는 절연체(574) 및 절연체(581)가 배치되는 것이 바람직하다. 여기서 절연체(574)는 도전체(560), 절연체(550), 및 절연체(580)의 상면에 접하여 배치되는 것이 바람직하다.

[0987] 절연체(522), 절연체(554), 및 절연체(574)는 수소(예를 들어 수소 원자 및 수소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(522), 절연체(554), 및 절연체(574)는 절연체(524), 절연체(550), 및 절연체(580)보다 수소 투과성이 낮은 것이 바람직하다. 또한 절연체(522) 및 절연체(554)는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(522) 및 절연체(554)는 절연체(524), 절연체(550), 및 절연체(580)보다 산소 투과성이 낮은 것이 바람직하다.

[0988] 트랜지스터(500)에 전기적으로 접속되고, 플러그로서 기능하는 도전체(540)(도전체(540a) 및 도전체(540b))가 제공되는 것이 바람직하다. 또한 플러그로서 기능하는 도전체(540)의 측면과 접하여 절연체(541)(절연체(541a) 및 절연체(541b))가 제공된다. 즉 절연체(554), 절연체(580), 절연체(574), 및 절연체(581)의 개구의 내벽과 접하여 절연체(541)가 제공된다. 또한 절연체(541)의 측면과 접하여 도전체(540)의 제 1 도전체가 제공되고, 더 내측에 도전체(540)의 제 2 도전체가 제공되는 구성으로 하여도 좋다. 여기서 도전체(540)의 상면의 높이와 절연체(581)의 상면의 높이는 같은 정도로 할 수 있다. 또한 도전체(540)의 제 1 도전체와 도전체(540)의 제 2 도전체가 적층되는 트랜지스터(500)의 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(540)를 단층 또는 3층 이상의 적층 구조로서 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순서대로 서수를 붙여 구별하는 경우가 있다.

[0989] 트랜지스터(500)에서는, 채널 형성 영역을 포함하는 금속 산화물(531)(금속 산화물(531a) 및 금속 산화물(531b))에 산화물 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 예를 들어 금속 산화물(531)의 채널 형성 영역이 되는 금속 산화물로서, 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것을 사용하는 것이 바람직하다.

[0990] 상기 금속 산화물로서, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 인듐(In) 및 아연(Zn)을 포함하는 것이 바람직하다. 또한 이들에 더하여 원소 M이 포함되는 것이 바람직하다. 원소 M으로서, 알루미늄(Al), 갈륨(Ga), 이트륨(Y), 주석(Sn), 붕소(B), 타이타늄(Ti), 철(Fe), 니켈(Ni), 저마늄(Ge), 지르

코늄(Zr), 몰리브데넘(Mo), 란타넘(La), 세륨(Ce), 네오디뮴(Nd), 하프늄(Hf), 탄탈럼(Ta), 텅스텐(W), 마그네슘(Mg), 및 코발트(Co) 중에서 선택된 하나 이상을 사용할 수 있다. 특히 원소 M은 알루미늄(Al), 갈륨(Ga), 이트륨(Y), 및 주석(Sn) 중 하나 이상으로 하는 것이 바람직하다. 또한 원소 M은 Ga 및 Sn 중 한쪽 또는 양쪽을 포함하는 것이 더 바람직하다.

[0991] 또한 금속 산화물(531b)은 도전체(542)와 중첩되지 않은 영역의 막 두께가 도전체(542)와 중첩된 영역의 막 두께보다 얇아지는 경우가 있다. 이는 도전체(542a) 및 도전체(542b)를 형성할 때, 금속 산화물(531b)의 상면의 일부가 제거됨으로써 형성된다. 도전체(542)가 되는 도전막을 성막하였을 때, 금속 산화물(531b)의 상면에서 상기 도전막과의 계면 근방에 저항이 낮은 영역이 형성되는 경우가 있다. 이와 같이 금속 산화물(531b)의 상면에서 도전체(542a)와 도전체(542b) 사이에 위치하는 저항이 낮은 영역을 제거함으로써, 상기 영역에 채널이 형성되는 것을 방지할 수 있다.

[0992] 본 발명의 일 형태에 의하여 크기가 작은 트랜지스터를 가지고 정세도가 높은 표시 장치를 제공할 수 있다. 또는 온 전류가 높은 트랜지스터를 가지고 휘도가 높은 표시 장치를 제공할 수 있다. 또는 동작이 빠른 트랜지스터를 가지고 동작이 빠른 표시 장치를 제공할 수 있다. 또는 전기 특성이 안정적인 트랜지스터를 가지고 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 오프 전류가 낮은 트랜지스터를 가지고 소비 전력이 낮은 표시 장치를 제공할 수 있다.

[0993] 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터(500)의 자세한 구성에 대하여 설명한다.

[0994] 도전체(505)는 금속 산화물(531) 및 도전체(560)와 중첩되는 영역을 가지도록 배치된다. 또한 도전체(505)는 절연체(516)에 매립되어 제공되는 것이 바람직하다.

[0995] 도전체(505)는 도전체(505a) 및 도전체(505b)를 가진다. 도전체(505a)는 절연체(516)에 제공된 개구의 바닥면 및 측벽과 접하여 제공된다. 도전체(505b)는 도전체(505a)에 형성된 오목부에 매립되도록 제공된다. 여기서 도전체(505b)의 상면의 높이는 도전체(505a)의 상면의 높이 및 절연체(516)의 상면의 높이와 실질적으로 일치한다.

[0996] 도전체(505a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N_2O, NO, 및 NO_2), 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0997] 도전체(505a)에 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(505b)에 포함되는 수소 등의 불순물이 절연체(524)를 통하여 금속 산화물(531)로 확산되는 것을 억제할 수 있다. 또한 도전체(505a)에 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(505b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 및 산화 루테늄이 있다. 따라서 도전체(505a)는 상기 도전성 재료의 단층 또는 적층으로 하면 좋다. 예를 들어 도전체(505a)에는 질화 타이타늄을 사용하면 좋다.

[0998] 또한 도전체(505b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(505b)에는 텅스텐을 사용하면 좋다.

[0999] 여기서 도전체(560)는 제 1 게이트(톱 게이트라고 부르는 경우가 있음) 전극으로서 기능하는 경우가 있다. 또한 도전체(505)는 제 2 게이트(보텀 게이트라고 부르는 경우가 있음) 전극으로서 기능하는 경우가 있다. 그 경우, 도전체(505)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고, 독립적으로 변화시킴으로써, 트랜지스터(500)의 V_{th}를 제어할 수 있다. 특히 도전체(505)에 음의 전위를 인가함으로써, 트랜지스터(500)의 V_{th}를 더 크게 하고, 오프 전류를 낮게 할 수 있게 된다. 따라서 도전체(505)에 음의 전위를 인가하는 것이, 인가하지 않은 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 더 낮게 할 수 있다.

[1000] 도전체(505)는 금속 산화물(531)에서의 채널 형성 영역보다 크게 제공하는 것이 좋다. 특히 도 60의 (C)에 나타낸 바와 같이, 도전체(505)는 금속 산화물(531)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서도 연장되어 있는 것이 바람직하다. 즉 금속 산화물(531)의 채널 폭 방향에서의 측면의 외측에서 도전체(505)와 도전체(560)가 절연체를 개재하여 중첩되어 있는 것이 바람직하다.

[1001] 상기 구성을 가짐으로써, 제 1 게이트 전극으로서의 기능을 가지는 도전체(560)의 전계와 제 2 게이트 전극으로

서의 기능을 가지는 도전체(505)의 전계에 의하여 금속 산화물(531)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다.

[1002] 도 60의 (C)에 나타낸 바와 같이, 도전체(505)는 연장되어 배선으로서도 기능한다. 다만, 이에 한정되지 않고, 도전체(505) 아래에 배선으로서 기능하는 도전체를 제공하는 구성으로 하여도 좋다.

[1003] 절연체(514)는 물 및 수소 등의 불순물이 기판 측으로부터 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(514)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N_2O, NO, 또는 NO_2), 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[1004] 예를 들어 절연체(514)에는 산화 알루미늄 또는 질화 실리콘을 사용하는 것이 바람직하다. 이로써 물 및 수소 등의 불순물이 절연체(514)보다 기판 측으로부터 트랜지스터(500) 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(524) 등에 포함되는 산소가 절연체(514)보다 기판 측으로 확산되는 것을 억제할 수 있다.

[1005] 층간막으로서 기능하는 절연체(516), 절연체(580), 및 절연체(581)는 절연체(514)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(516), 절연체(580), 및 절연체(581)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 또는 질화 실리콘을 사용할 수 있다. 또한 절연체(516), 절연체(580), 및 절연체(581)에는 예를 들어 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소와 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘을 사용할 수 있다. 또한 절연체(516), 절연체(580), 및 절연체(581)에 적용할 수 있는 재료는 상술한 재료를 적절히 조합한 것으로 하여도 좋다.

[1006] 절연체(522) 및 절연체(524)는 게이트 절연체로서의 기능을 가진다.

[1007] 여기서 금속 산화물(531)과 접하는 절연체(524)에서는 가열에 의하여 산소가 이탈되어 있는 것이 바람직하다. 본 명세서 등에서는 가열에 의하여 이탈되는 산소를 과잉 산소라고 부르는 경우가 있다. 예를 들어 절연체(524)에는 산화 실리콘 또는 산화질화 실리콘을 적절히 사용하면 좋다. 산소를 포함하는 절연체를 금속 산화물(531)과 접하여 제공함으로써, 금속 산화물(531) 내의 산소 결손을 저감하여 트랜지스터(500)의 신뢰성을 향상시킬 수 있다.

[1008] 절연체(524)로서 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS 분석에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18}atoms/cm^3 이상, 바람직하게는 1.0×10^{19}atoms/cm^3 이상, 더 바람직하게는 2.0×10^{19}atoms/cm^3 이상 또는 3.0×10^{20}atoms/cm^3 이상인 산화물막이다. 또한 상기 TDS 분석 시의 막의 표면 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[1009] 절연체(522)는 절연체(514)와 마찬가지로 물 및 수소 등의 불순물이 기판 측으로부터 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어 절연체(522)는 절연체(524)보다 수소 투과성이 낮은 것이 바람직하다. 절연체(522), 절연체(554), 및 절연체(574)에 의하여 절연체(524), 금속 산화물(531), 및 절연체(550)를 둘러쌈으로써, 외부로부터 물 및 수소 등의 불순물이 트랜지스터(500)로 침입하는 것을 억제할 수 있다.

[1010] 또한 절연체(522)는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(522)는 절연체(524)보다 산소 투과성이 낮은 것이 바람직하다. 절연체(522)가 산소와 물 및 수소 등의 불순물의 확산을 억제하는 기능을 가짐으로써, 금속 산화물(531)에 포함되는 산소가 기판 측으로 확산되는 것을 저감할 수 있어 바람직하다. 또한 도전체(505)가 절연체(524) 및 금속 산화물(531)에 포함되는 산소와 반응하는 것을 억제할 수 있다.

[1011] 절연체(522)에는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체로서, 예를 들어 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트)이 있다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 금속 산화물(531)로부터의 산소의 방출, 그리고 트랜지스터

(500)의 주변부로부터 금속 산화물(531)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[1012] 또는 이들 절연체에 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 또한 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시켜 사용하여도 좋다.

[1013] 절연체(522)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 (Ba,Sr)TiO_3(BST) 등의 소위 high-k 재료를 포함한 절연체를 단층으로 또는 적층하여 사용하여도 좋다. 트랜지스터의 미세화 또는 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위의 저감이 가능하다.

[1014] 또한 절연체(522) 및 절연체(524)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다. 예를 들어 절연체(522) 아래에 절연체(524)와 같은 절연체를 제공하는 구성으로 하여도 좋다.

[1015] 금속 산화물(531)은 금속 산화물(531a)과, 금속 산화물(531a) 위의 금속 산화물(531b)을 가진다. 금속 산화물(531b) 아래에 금속 산화물(531a)을 가짐으로써, 금속 산화물(531a)보다 아래쪽에 형성된 구조물로부터 금속 산화물(531b)에 대한 불순물의 확산을 억제할 수 있다.

[1016] 또한 금속 산화물(531)은 각 금속 원자의 원자수비가 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 예를 들어 금속 산화물(531)이 적어도 인듐(In)과 원소 M을 포함하는 경우, 금속 산화물(531a)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(531a)에 포함되는 원소 M의 원자수의 비율은 금속 산화물(531b)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(531b)에 포함되는 원소 M의 원자수의 비율보다 높은 것이 바람직하다. 또한 금속 산화물(531a)에 포함되는 원소 M의 In에 대한 원자수비는 금속 산화물(531b)에 포함되는 원소 M의 In에 대한 원자수비보다 큰 것이 바람직하다.

[1017] 금속 산화물(531a)의 전도대 하단의 에너지가 금속 산화물(531b)의 전도대 하단의 에너지보다 높아지는 것이 바람직하다. 또한 바꿔 말하면, 금속 산화물(531a)의 전자 친화력이 금속 산화물(531b)의 전자 친화력보다 작은 것이 바람직하다.

[1018] 여기서 금속 산화물(531a) 및 금속 산화물(531b)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 바꿔 말하면, 금속 산화물(531a) 및 금속 산화물(531b)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 금속 산화물(531a)과 금속 산화물(531b)의 계면에서 형성되는 혼합층의 결함 준위 밀도를 낮추면 좋다.

[1019] 구체적으로는 금속 산화물(531a)과 금속 산화물(531b)이 산소 이외에 공통되는 원소를 가짐으로써(주성분으로 함으로써), 결함 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 금속 산화물(531b)이 In-Ga-Zn 산화물인 경우, 금속 산화물(531a)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 또는 산화 갈륨 등을 사용할 수 있다.

[1020] 구체적으로는 금속 산화물(531a)로서 In:Ga:Zn=1:3:4[원자수비] 또는 1:1:0.5[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(531b)로서 In:Ga:Zn=1:1:1[원자수비], 4:2:3[원자수비], 또는 3:1:2[원자수비]의 금속 산화물을 사용하면 좋다.

[1021] 이때 캐리어의 주된 경로는 금속 산화물(531b)이다. 금속 산화물(531a)을 상술한 구성으로 함으로써, 금속 산화물(531a)과 금속 산화물(531b)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(500)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[1022] 금속 산화물(531b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542)(도전체(542a) 및 도전체(542b))가 제공된다. 도전체(542)에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 중에서 선택된 금속 원소, 상술한 금속 원소 중에서 선택된 2개 이상을 성분으로 하는 합금, 또는 상술한 금속 원소 중에서 선택된 2개 이상을 조합한 합금을 사용하는 것이 바람직하다. 예를 들어 도전체(542)에는 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄

탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 및 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[1023] 금속 산화물(531)과 접하도록 상기 도전체(542)를 제공함으로써, 금속 산화물(531)의 도전체(542) 근방에서 산소 농도가 저감되는 경우가 있다. 또한 금속 산화물(531)의 도전체(542) 근방에서 도전체(542)에 포함되는 금속과 금속 산화물(531)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이러한 경우, 금속 산화물(531)의 도전체(542) 근방의 영역에서 캐리어 밀도가 증가되어 상기 영역은 저저항 영역이 된다.

[1024] 여기서 도전체(542a)와 도전체(542b) 사이의 영역은 절연체(580)의 개구에 중첩되어 형성된다. 이로써 도전체(542a)와 도전체(542b) 사이에 도전체(560)를 자기 정합적으로 배치할 수 있다.

[1025] 절연체(550)는 게이트 절연체로서 기능한다. 절연체(550)는 금속 산화물(531b)의 상면과 접하여 배치하는 것이 바람직하다. 절연체(550)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.

[1026] 절연체(550)는 절연체(524)와 마찬가지로 절연체(550) 내의 물 및 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(550)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.

[1027] 절연체(580), 절연체(554), 도전체(542), 및 금속 산화물(531b)과 절연체(550) 사이에 절연체를 제공하여도 좋다. 상기 절연체에는 예를 들어 산화 알루미늄 또는 산화 하프늄을 사용하는 것이 바람직하다. 상기 절연체를 제공함으로써, 금속 산화물(531b)로부터의 산소의 이탈, 금속 산화물(531b)로의 산소의 과잉 공급, 및 도전체(542)의 산화 중 하나 이상을 억제할 수 있다.

[1028] 절연체(550)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(550)로부터 도전체(560)에 대한 산소 확산을 억제하는 것이 바람직하다. 이로써 절연체(550)의 산소로 인한 도전체(560)의 산화를 억제할 수 있다.

[1029] 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서 절연체(550)에 산화 실리콘 또는 산화질화 실리콘을 사용하는 경우, 상기 금속 산화물에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(550)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이고, 또한 비유전율이 높은 적층 구조로 할 수 있다. 따라서 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)를 저감할 수 있다.

[1030] 구체적으로는 상기 금속 산화물에는 예를 들어 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히 상기 금속 산화물에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체인 산화 알루미늄, 산화 하프늄, 또는 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트)을 사용하는 것이 바람직하다.

[1031] 도전체(560)는 도 60의 (B) 및 (C)에서는 2층 구조로 도시하였지만, 단층 구조로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋다.

[1032] 도전체(560a)는 상술한 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N_2O, NO, 및 NO_2), 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전체를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[1033] 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(550)에 포함되는 산소로 인하여 도전체(560b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서, 예를 들어 탄탈럼, 질화 탄탈럼, 루테늄, 또는 산화 루테늄을 들 수 있다.

[1034] 도전체(560b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(560)는 배선으로서도 기능하기 때문에 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(560b)는 적

층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.

[1035] 도 60의 (A) 및 (C)에 나타낸 바와 같이, 금속 산화물(531b)에서 도전체(542)와 중첩되지 않은 영역, 바꿔 말하면 금속 산화물(531)의 채널 형성 영역에서, 금속 산화물(531)의 측면이 도전체(560)로 덮이도록 배치되어 있다. 이로써 제 1 게이트 전극으로서 기능하는 도전체(560)의 전계를 금속 산화물(531)의 측면에 작용시키기 쉬워진다. 따라서 트랜지스터(500)의 온 전류를 증대시켜 주파수 특성을 향상시킬 수 있다.

[1036] 절연체(554)는 절연체(514)와 마찬가지로 물 및 수소 등의 불순물이 절연체(580) 측으로부터 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어 절연체(554)는 절연체(524)보다 수소 투과성이 낮은 것이 바람직하다. 또한 도 60의 (B) 및 (C)에 나타낸 바와 같이, 절연체(554)는 절연체(550)의 측면, 도전체(542a)의 상면과 측면, 도전체(542b)의 상면과 측면, 금속 산화물(531a), 금속 산화물(531b), 및 절연체(524)의 측면과 접하는 것이 바람직하다. 이러한 구성으로 함으로써, 절연체(580)에 포함되는 수소가 도전체(542a), 도전체(542b), 금속 산화물(531a), 금속 산화물(531b), 및 절연체(524)의 상면 또는 측면으로부터 금속 산화물(531)로 침입하는 것을 억제할 수 있다.

[1037] 또한 절연체(554)는 산소(예를 들어 산소 원자 및 산소 분자 중 한쪽 또는 양쪽)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(554)는 절연체(580) 또는 절연체(524)보다 산소 투과성이 낮은 것이 바람직하다.

[1038] 절연체(554)는 스퍼터링법을 사용하여 성막되는 것이 바람직하다. 절연체(554)를 산소를 포함하는 분위기에서 스퍼터링법을 사용하여 성막함으로써, 절연체(524)에서 절연체(554)와 접하는 영역 근방에 산소를 첨가할 수 있다. 이로써 상기 영역으로부터 절연체(524)를 통하여 금속 산화물(531) 내에 산소를 공급할 수 있다. 여기서 절연체(554)가 위쪽으로의 산소 확산을 억제하는 기능을 가짐으로써, 산소가 금속 산화물(531)로부터 절연체(580)로 확산되는 것을 방지할 수 있다. 또한 절연체(522)가 아래쪽으로의 산소 확산을 억제하는 기능을 가짐으로써, 산소가 금속 산화물(531)로부터 기판 측으로 확산되는 것을 방지할 수 있다. 이와 같이 하여 금속 산화물(531)의 채널 형성 영역에 산소가 공급된다. 이로써 금속 산화물(531)의 산소 결손을 저감하여 트랜지스터가 노멀리 온이 되는 것을 억제할 수 있다.

[1039] 절연체(554)로서, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트)을 사용하는 것이 바람직하다.

[1040] 절연체(580)는 절연체(554)를 개재하여 절연체(524), 금속 산화물(531), 및 도전체(542) 위에 제공된다. 예를 들어 절연체(580)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘이 사용되는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 및 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다.

[1041] 절연체(580) 내의 물 및 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 또한 절연체(580)의 상면은 평탄화되어도 좋다.

[1042] 절연체(574)는 절연체(514)와 마찬가지로 물 및 수소 등의 불순물이 위쪽으로부터 절연체(580)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(574)에는 예를 들어 절연체(514), 절연체(554) 등에 사용할 수 있는 절연체를 사용하면 좋다.

[1043] 절연체(574) 위에 층간막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(581)는 절연체(524)와 마찬가지로 막 내의 물 및 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[1044] 절연체(581), 절연체(574), 절연체(580), 및 절연체(554)에 형성된 개구부에 도전체(540a) 및 도전체(540b)를 배치한다. 도전체(540a) 및 도전체(540b)는 도전체(560)를 개재하여 대향하여 제공된다. 또한 도전체(540a) 및 도전체(540b)의 상면의 높이는 절연체(581)의 상면과 동일 평면상으로 하여도 좋다.

[1045] 또한 절연체(581), 절연체(574), 절연체(580), 및 절연체(554)의 개구부의 내벽과 접하여 절연체(541a)가 제공되고, 그 측면과 접하여 도전체(540a)의 제 1 도전체가 형성되어 있다. 상기 개구부의 바닥부의 적어도 일부에는 도전체(542a)가 위치하고, 도전체(540a)가 도전체(542a)와 접한다. 마찬가지로 절연체(581), 절연체(574),

절연체(580), 및 절연체(554)의 개구부의 내벽과 접하여 절연체(541b)가 제공되고, 그 측면과 접하여 도전체(540b)의 제 1 도전체가 형성되어 있다. 상기 개구부의 바닥부의 적어도 일부에는 도전체(542b)가 위치하고, 도전체(540b)가 도전체(542b)와 접한다.

[1046] 도전체(540a) 및 도전체(540b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(540a) 및 도전체(540b)는 적층 구조로 하여도 좋다.

[1047] 도전체(540)를 적층 구조로 하는 경우, 도전체(542), 절연체(554), 절연체(580), 절연체(574), 및 절연체(581)와 접하는 도전체에는 상술한 물 및 수소 등의 불순물의 확산을 억제하는 기능을 가지는 도전체를 사용하는 것이 바람직하다. 예를 들어 상기 도전체에는 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 또는 산화 루테늄을 사용하는 것이 바람직하다. 또한 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료는 단층으로 또는 적층하여 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(580)에 첨가된 산소가 도전체(540a) 및 도전체(540b)에 흡수되는 것을 억제할 수 있다. 또한 절연체(581)보다 위층으로부터 물 또는 수소 등의 불순물이 도전체(540a) 및 도전체(540b)를 통하여 금속 산화물(531)에 혼입되는 것을 억제할 수 있다.

[1048] 절연체(541a) 및 절연체(541b)에는 예를 들어 절연체(554)에 사용할 수 있는 절연체를 사용하면 좋다. 절연체(541a) 및 절연체(541b)는 절연체(554)와 접하여 제공되기 때문에, 절연체(580)로부터 물 및 수소 등의 불순물이 도전체(540a) 및 도전체(540b)를 통하여 금속 산화물(531)에 혼입되는 것을 억제할 수 있다. 또한 절연체(580)에 포함되는 산소가 도전체(540a) 및 도전체(540b)에 흡수되는 것을 억제할 수 있다.

[1049] 도시하지 않았지만, 도전체(540a)의 상면 및 도전체(540b)의 상면과 접하여 배선으로서 기능하는 도전체를 배치하여도 좋다. 배선으로서 기능하는 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성되어도 좋다.

[1050] <트랜지스터의 구성 재료>

[1051] 트랜지스터에 사용할 수 있는 구성 재료에 대하여 설명한다.

[1052] [기판]

[1053] 트랜지스터(500)를 형성하는 기판으로서, 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서, 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 및 수지 기판이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘 또는 저마늄이 포함된 반도체 기판이 있다. 또는 반도체 기판으로서는 예를 들어 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨이 포함된 화합물 반도체 기판이 있다. 또한 반도체 기판으로서는 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI 기판이 있다. 도전체 기판으로서는 예를 들어 흑연 기판, 금속 기판, 합금 기판, 및 도전성 수지 기판이 있다. 또는 도전체 기판으로서는 예를 들어 금속의 질화물을 포함한 기판, 금속의 산화물을 포함한 기판이 있다. 또한 도전체 기판으로서는 예를 들어 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 혹은 도전체 기판에 반도체 및 절연체 중 한쪽이 제공된 기판이 있다. 또는 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 예를 들어 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 및 기억 소자가 있다.

[1054] [절연체]

[1055] 절연체로서는 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 및 금속 질화산화물을 들 수 있다.

[1056] 예를 들어 트랜지스터의 미세화 또는 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류의 문제가 발생되는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있게 된다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[1057] 비유전율이 높은 절연체로서는 예를 들어 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함

한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 및 실리콘 및 하프늄을 포함한 질화물이 있다.

[1058] 비유전율이 낮은 절연체로서는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 및 수지가 있다.

[1059] 산화물 반도체를 사용한 트랜지스터는 물 및 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체(절연체(514), 절연체(522), 절연체(554), 및 절연체(574))로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 물 및 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 및 탄탈럼 중에서 선택된 하나 이상을 포함하는 절연체를 단층으로 또는 적층하여 사용하면 좋다. 구체적으로는 물 및 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등의 금속 산화물을 들 수 있다. 또한 물 및 수소 등의 불순물과 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 질화 알루미늄, 질화 알루미늄 타이타늄, 질화 타이타늄, 질화산화 실리콘, 및 질화 실리콘 등의 금속 질화물이 있다.

[1060] 게이트 절연체로서 기능하는 절연체는 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 산화 실리콘 또는 산화질화 실리콘을 금속 산화물(531)과 접하는 구조로 함으로써, 금속 산화물(531)에 포함되는 산소 결손을 보상할 수 있다.

[1061] [도전체]

[1062] 도전체에는 예를 들어 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 중에서 선택된 금속 원소, 또는 상술한 금속 원소 중에서 선택된 2개 이상을 성분으로 하는 합금, 또는 상술한 금속 원소 중에서 선택된 2개 이상을 조합한 합금을 사용하는 것이 바람직하다. 도전체에는 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 및 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 도전체에는 예를 들어 불순물 원소(예를 들어 인)를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 또는 실리사이드(예를 들어 니켈실리사이드)를 사용하여도 좋다.

[1063] 상기 재료로 형성되는 도전체를 복수 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[1064] 또한 트랜지스터의 채널 형성 영역에 금속 산화물을 사용하는 경우에, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우, 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[1065] 특히 게이트 전극으로서 기능하는 도전체로서 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 상기 도전체에는 상술한 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한 예를 들어 상기 도전체에는 질화 타이타늄 및 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한 예를 들어 상기 도전체에는 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 예를 들어 상기 도전체에는 질소를 포함하는 인듐 갈륨 아연 산화물을 사용하여도

좋다. 이러한 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[1066] 본 실시형태는 적어도 그 일부를 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[1067] (실시형태 6)

[1068] 본 실시형태에서는, 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하, 산화물 반도체라고도 함)에 대하여 설명한다.

[1069] OS 트랜지스터에 사용하는 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하고, 인듐 및 아연을 포함하는 것이 더 바람직하다. 예를 들어 금속 산화물은 인듐과, M(M은 갈륨, 알루미늄, 이트륨, 주석, 실리콘, 붕소, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 및 코발트 중에서 선택되는 1종류 또는 복수 종류)과, 아연을 포함하는 것이 바람직하다. 특히 M은 갈륨, 알루미늄, 이트륨, 및 주석 중에서 선택되는 1종류 또는 복수 종류인 것이 바람직하고, 갈륨이 더 바람직하다.

[1070] 금속 산화물은 스퍼터링법, MOCVD법 등의 CVD법, 또는 ALD법에 의하여 형성할 수 있다.

[1071] 이하에서는, 금속 산화물의 일례로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물에 대하여 설명한다. 또한 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물을 In-Ga-Zn 산화물이라고 부르는 경우가 있다.

[1072] <결정 구조의 분류>

[1073] 산화물 반도체의 결정 구조로서는 비정질(completely amorphous를 포함함), CAAC(c-axis-aligned crystalline), nc(nanocrystalline), CAC(cloud-aligned composite), 단결정(single crystal), 및 다결정(poly crystal) 등을 들 수 있다.

[1074] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 예를 들어 GIXD(Grazing-Incidence XRD) 측정에 의하여 얻어지는 XRD 스펙트럼을 사용하여 평가할 수 있다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 또한 이하에서는 GIXD 측정에 의하여 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 기재하는 경우가 있다.

[1075] 예를 들어 석영 유리 기판에서는 XRD 스펙트럼의 피크의 형상이 거의 좌우 대칭이다. 한편, 결정 구조를 가지는 In-Ga-Zn 산화물막에서는 XRD 스펙트럼의 피크의 형상이 좌우 비대칭이다. XRD 스펙트럼의 피크의 형상이 좌우 비대칭이라는 것은, 막 내 또는 기판 내의 결정의 존재를 명시한다. 바꿔 말하면 XRD 스펙트럼의 피크의 형상이 좌우 대칭이 아니면, 막 또는 기판은 비정질 상태라고 할 수 없다.

[1076] 또한 막 또는 기판의 결정 구조는 나노빔 전자 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(나노빔 전자 회절 패턴이라고도 함)으로 평가할 수 있다. 예를 들어 석영 유리 기판의 회절 패턴에서는 헤일로(halo)가 관찰되고, 석영 유리가 비정질 상태인 것을 확인할 수 있다. 또한 실온에서 성막한 In-Ga-Zn 산화물막의 회절 패턴에서는 헤일로가 아니라 스폿 형상의 패턴이 관찰된다. 그러므로 실온에서 성막한 In-Ga-Zn 산화물은 단결정 및 다결정도 아니고, 비정질 상태도 아닌 중간 상태이고, 비정질 상태라고 결론지을 수 없는 것으로 추정된다.

[1077] <<산화물 반도체의 구조>>

[1078] 또한 산화물 반도체는 구조에 착안한 경우, 상기와는 다르게 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와 이 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체로서는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체를 들 수 있다.

[1079] 여기서 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[1080] [CAAC-OS]

[1081] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역에서 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란 CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수

의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.

[1082] 또한 상기 복수의 결정 영역 각각은, 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 수십nm 정도가 되는 경우가 있다.

[1083] 또한 In-Ga-Zn 산화물에서, CAAC-OS는 인듐(In) 및 산소를 포함하는 층(이하 In층)과, 갈륨(Ga), 아연(Zn), 및 산소를 포함하는 층(이하 (Ga, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 갈륨은 서로 치환될 수 있다. 따라서 (Ga, Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 갈륨이 포함되는 경우가 있다. 또한 In층에는 아연이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM(Transmission Electron Microscope) 이미지에서 격자상(格子像)으로 관찰된다.

[1084] 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는 c축 배향을 나타내는 피크가 2θ=31° 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ의 값)는 CAAC-OS를 구성하는 금속 원소의 종류와 조성에 따라 변동되는 경우가 있다.

[1085] 또한 예를 들어 CAAC-OS막의 전자 회절 패턴에서 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(디렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[1086] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고 비정육각형인 경우가 있다. 또한 상기 변형에서 오각형, 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS에서는 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[1087] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획됨으로써 트랜지스터의 온 전류의 저하 및 전계 효과 이동도의 저하 중 한쪽 또는 양쪽을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물 중 하나이다. 또한 CAAC-OS를 구성하기 위해서는 Zn을 포함하는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[1088] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물 혼입 및 결함 생성 중 한쪽 또는 양쪽에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(예를 들어 산소 결손)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도를 높일 수 있다.

[1089] [nc-OS]

[1090] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면 nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 및 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는, 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로 패턴과 같

은 회절 패턴이 관측된다. 한편, 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 디렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자 회절 패턴이 취득되는 경우가 있다.

[1091] [a-like OS]

[1092] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS에 비하여 막 내의 수소 농도가 높다.

[1093] [산화물 반도체의 구성]

[1094] 다음으로 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[1095] [CAC-OS]

[1096] CAC-OS란 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는 금속 산화물에서 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 포함한 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[1097] 또한 CAC-OS란 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우드상이라고도 함)이다. 즉 CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[1098] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]가 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크며, [Ga]가 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]가 제 1 영역에서의 [Ga]보다 크며, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.

[1099] 구체적으로 상기 제 1 영역은 인듐 산화물 또는 인듐 아연 산화물이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 또는 갈륨 아연 산화물이 주성분인 영역이다. 즉 상기 제 1 영역을 In을 주성분으로 하는 영역으로 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga를 주성분으로 하는 영역으로 바꿔 말할 수 있다.

[1100] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.

[1101] 또한 In-Ga-Zn 산화물에서의 CAC-OS란 In, Ga, Zn, 및 O를 포함하는 재료 구성에서, 일부에 Ga를 주성분으로 하는 영역을 가지고, 일부에 In을 주성분으로 하는 영역을 가지고, 이들 영역이 각각 모자이크 패턴이며 랜덤으로 존재하는 구성을 말한다. 따라서 CAC-OS는 금속 원소가 불균일하게 분포된 구조를 가지는 것으로 추측된다.

[1102] CAC-OS는 예를 들어 기판을 가열하지 않는 조건에서 스퍼터링법으로 형성할 수 있다. 또한 CAC-OS를 스퍼터링법으로 형성하는 경우, 성막 가스로서 불활성 가스(예를 들어 대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하다. 예를 들어 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 한다.

[1103] 또한 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과 Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.

[1104] 여기서 제 1 영역은 제 2 영역에 비하여 도전성이 높은 영역이다. 즉 제 1 영역을 캐리어가 흐름으로써, 금속 산화물의 도전성이 발현된다. 따라서 제 1 영역이 금속 산화물 내에서 클라우드상으로 분포됨으로써 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[1105] 한편, 제 2 영역은 제 1 영역에 비하여 절연성이 높은 영역이다. 즉 제 2 영역이 금속 산화물 내에 분포됨으로써 누설 전류를 억제할 수 있다.

[1106] 따라서 CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉 CAC-OS는 재료의 일부에서는 도전성 기능을 가지고 재료의 일부에서는 절연성 기능을 가지며, 재료의 전체에서는 반도체로서의 기능을 가진다. 도전성 기능과 절연성 기능을 분리함으로써 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.

[1107] 또한 CAC-OS를 사용한 트랜지스터는 신뢰성이 높다. 따라서 CAC-OS는 표시 장치를 비롯한 다양한 반도체 장치에 최적이다.

[1108] 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, 및 CAAC-OS 중 2종류 이상을 가져도 좋다.

[1109] <산화물 반도체를 포함한 트랜지스터>

[1110] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.

[1111] 상기 산화물 반도체를 트랜지스터에 사용함으로써 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[1112] 특히, 채널이 형성되는 반도체층에는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물("IGZO"라고도 표기함)을 사용하는 것이 바람직하다. 또는 반도체층에는 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함한 산화물("IAZO"라고도 표기함)을 사용하여도 좋다. 또는 반도체층에는 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물("IAGZO"라고도 표기함)을 사용하여도 좋다.

[1113] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는 $1\times10^{17}cm^{-3}$ 이하, 바람직하게는 $1\times10^{15}cm^{-3}$ 이하, 더 바람직하게는 $1\times10^{13}cm^{-3}$ 이하, 더 바람직하게는 $1\times10^{11}cm^{-3}$ 이하, 더 바람직하게는 $1\times10^{10}cm^{-3}$ 미만이고, $1\times10^{-9}cm^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부르는 경우가 있다.

[1114] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다.

[1115] 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길어 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[1116] 따라서 트랜지스터의 전기 특성을 안정화하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 및 실리콘이 있다. 또한 산화물 반도체 중의 불순물이란 예를 들어 산화물 반도체를 구성하는 주성분 이외를 말한다. 예를 들어 농도가 0.1atomic% 미만의 원소는 불순물이라고 할 수 있다.

[1117] <불순물>

[1118] 여기서 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[1119] 산화물 반도체에 14족 원소의 하나인 실리콘 또는 탄소가 포함되면 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체 내의 실리콘 또는 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를 $2\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[1120] 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특

성을 가지기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 1×10^{18}atoms/cm^3 이하, 바람직하게는 2×10^{16}atoms/cm^3 이하로 한다.

[1121] 산화물 반도체에서 질소가 포함되면 캐리어인 전자가 생김으로써 캐리어 농도가 높아져 n형화되기 쉽다. 이 결과, 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를 5×10^{19}atoms/cm^3 미만, 바람직하게는 5×10^{18}atoms/cm^3 이하, 더 바람직하게는 1×10^{18}atoms/cm^3 이하, 더 바람직하게는 5×10^{17}atoms/cm^3 이하로 한다.

[1122] 산화물 반도체에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, SIMS에 의하여 얻어지는 산화물 반도체 내의 수소 농도를 1×10^{20}atoms/cm^3 미만, 바람직하게는 1×10^{19}atoms/cm^3 미만, 더 바람직하게는 5×10^{18}atoms/cm^3 미만, 더 바람직하게는 1×10^{18}atoms/cm^3 미만으로 한다.

[1123] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써 안정된 전기 특성을 부여할 수 있다.

[1124] 본 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[1125] (실시형태 7)

[1126] 본 실시형태에서는, 본 발명의 일 형태의 전자 기기에 적용할 수 있는 표시 모듈에 대하여 설명한다.

[1127] <표시 모듈의 구성예>

[1128] 먼저 본 발명의 일 형태의 전자 기기에 적용할 수 있는 표시 장치를 가지는 표시 모듈에 대하여 설명한다.

[1129] 도 61의 (A)에 표시 모듈(1280)의 사시도를 나타내었다. 표시 모듈(1280)은 표시 장치(1000)와 FPC(1290)를 가진다.

[1130] 표시 모듈(1280)은 기판(1291) 및 기판(1292)을 가진다. 표시 모듈(1280)은 표시부(1281)를 가진다. 표시부(1281)는 표시 모듈(1280)에서의 화상을 표시하는 영역이고, 후술하는 화소부(1284)에 제공되는 각 화소로부터의 광을 볼 수 있는 영역이다.

[1131] 도 61의 (B)에 기판(1291) 측의 구성을 모식적으로 나타낸 사시도를 나타내었다. 기판(1291) 위에는 회로부(1282)와, 회로부(1282) 위의 화소 회로부(1283)와, 화소 회로부(1283) 위의 화소부(1284)가 적층되어 있다. 또한 기판(1291) 위의 화소부(1284)와 중첩되지 않는 부분에 FPC(1290)와 접속하기 위한 단자부(1285)가 제공되어 있다. 단자부(1285)와 회로부(1282)는 복수의 배선으로 구성되는 배선부(1286)에 의하여 전기적으로 접속되어 있다.

[1132] 또한 화소부(1284) 및 화소 회로부(1283)는 예를 들어 상술한 화소층(PXAL)에 상당한다. 또한 회로부(1282)는 예를 들어 상술한 회로층(SICL)에 상당한다.

[1133] 화소부(1284)는 주기적으로 배열된 복수의 화소(1284a)를 가진다. 도 61의 (B)의 오른쪽에 하나의 화소(1284a)의 확대도를 나타내었다. 화소(1284a)는 발광색이 서로 다른 발광 디바이스(1430a), 발광 디바이스(1430b), 및 발광 디바이스(1430c)를 가진다. 또한 발광 디바이스(1430a), 발광 디바이스(1430b), 및 발광 디바이스(1430c)는 예를 들어 상술한 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에 상당한다. 상술한 복수의 발광 디바이스는 도 61의 (B)에 나타낸 바와 같이 스트라이프 배열로 배치하여도 좋다. 또한 델타 배열 및 펜타일 배열 등의 다양한 배열 방법을 적용할 수 있다.

[1134] 화소 회로부(1283)는 주기적으로 배열된 복수의 화소 회로(1283a)를 가진다.

[1135] 하나의 화소 회로(1283a)는 하나의 화소(1284a)가 가지는 3개의 발광 디바이스의 발광을 제어하는 회로이다.

하나의 화소 회로(1283a)는 하나의 발광 디바이스의 발광을 제어하는 회로가 3개 제공되는 구성으로 하여도 좋다. 예를 들어 화소 회로(1283a)는 하나의 발광 디바이스당 하나의 선택 트랜지스터, 하나의 전류 제어용 트랜지스터(구동 트랜지스터), 및 용량 소자를 적어도 가지는 구성으로 할 수 있다. 이때 선택 트랜지스터의 게이트에는 게이트 신호가 입력되고, 소스 및 드레인 중 한쪽에는 소스 신호가 입력된다. 이로써 액티브 매트릭스형 표시 장치가 실현되어 있다.

[1136] 회로부(1282)는 화소 회로부(1283)의 각 화소 회로(1283a)를 구동하는 회로를 가진다. 예를 들어, 게이트선 구동 회로 및 소스선 구동 회로 중 한쪽 또는 양쪽을 가지는 것이 바람직하다. 이 이외에, 연산 회로, 메모리 회로, 및 전원 회로 중에서 선택된 하나 이상을 가져도 좋다.

[1137] FPC(1290)는 외부로부터 회로부(1282)에 비디오 신호 또는 전원 전위를 공급하기 위한 배선으로서 기능한다. 또한 FPC(1290) 위에 IC가 실장되어 있어도 좋다.

[1138] 표시 모듈(1280)은 화소부(1284)의 아래쪽에 화소 회로부(1283) 및 회로부(1282) 중 한쪽 또는 양쪽이 적층된 구성으로 할 수 있기 때문에, 표시부(1281)의 개구율(유효 표시 면적비)을 매우 높게 할 수 있다. 예를 들어 표시부(1281)의 개구율은 40% 이상 100% 미만, 바람직하게는 50% 이상 95% 이하, 더 바람직하게는 60% 이상 95% 이하로 할 수 있다. 또한 화소(1284a)를 매우 높은 밀도로 배치할 수 있고, 표시부(1281)의 정세도를 매우 높게 할 수 있다. 예를 들어 표시부(1281)에는 2000ppi 이상, 바람직하게는 3000ppi 이상, 더 바람직하게는 5000ppi 이상, 더 바람직하게는 6000ppi 이상이고, 20000ppi 이하 또는 30000ppi 이하의 정세도로 화소(1284a)가 배치되는 것이 바람직하다.

[1139] 이러한 표시 모듈(1280)은 매우 고정세하기 때문에, 헤드 마운트 디스플레이 등의 VR용 기기, 또는 안경형 AR용 기기에 적합하게 사용할 수 있다. 예를 들어 렌즈를 통하여 표시 모듈(1280)의 표시부를 눈으로 보는 구성이어도, 표시 모듈(1280)은 매우 고정세한 표시부(1281)를 가지기 때문에, 렌즈로 표시부가 확대되어도 화소가 눈으로 보이지 않고 몰입감이 높은 표시를 수행할 수 있다. 또한 표시 모듈(1280)은 이에 한정되지 않고, 비교적 소형의 표시부를 가지는 전자 기기에 적합하게 사용할 수 있다. 예를 들어 손목시계 등 장착형 전자 기기의 표시부에 적합하게 사용할 수 있다.

[1140] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다.

[1141] (실시형태 8)

[1142] 본 실시형태에서는, 본 발명의 일 형태의 전자 기기로서 표시 장치가 적용된 전자 기기의 예에 대하여 설명한다.

[1143] 도 62의 (A) 및 (B)에는 헤드 마운트 디스플레이인 전자 기기(8300)의 외관을 나타내었다.

[1144] 전자 기기(8300)는 하우징(8301), 표시부(8302), 조작 버튼(8303), 및 밴드상 고정구(8304)를 가진다.

[1145] 조작 버튼(8303)은 전원 버튼 등으로서의 기능을 가진다. 또한 전자 기기(8300)는 조작 버튼(8303) 이외의 버튼을 가져도 좋다.

[1146] 또한 도 62의 (C)에 나타낸 바와 같이, 표시부(8302)와 사용자의 눈 위치 사이에 렌즈(8305)를 가져도 좋다. 렌즈(8305)에 의하여 사용자는 표시부(8302)를 확대하여 볼 수 있기 때문에 임장감이 더 높아진다. 이때 도 62의 (C)에 나타낸 바와 같이 시도(視度) 조절을 위하여 렌즈의 위치를 변화시키는 다이얼(8306)을 가져도 좋다.

[1147] 표시부(8302)에는 예를 들어 정세도가 매우 높은 표시 장치를 사용하는 것이 바람직하다. 표시부(8302)에 정세도가 높은 표시 장치를 사용함으로써, 도 62의 (C)와 같이 렌즈(8305)를 사용하여 확대하여도, 사용자에게 화소가 눈으로 보이지 않고, 현실감이 더 높은 영상을 표시할 수 있다.

[1148] 도 62의 (A) 내지 (C)에는 1장의 표시부(8302)를 가지는 경우의 예를 나타내었다. 이와 같은 구성으로 함으로써 부품 점수를 삭감할 수 있다.

[1149] 표시부(8302)는 좌우 2개의 영역에 각각 오른쪽 눈용 화상과 왼쪽 눈용 화상의 2개의 화상을 나란히 표시할 수 있다. 이로써, 양안 시차를 사용한 입체 영상을 표시할 수 있다.

[1150] 또한 표시부(8302)의 전역에 걸쳐, 양쪽 눈으로 볼 수 있는 하나의 화상을 표시하여도 좋다. 이로써, 시야의 양단에 걸쳐 파노라마 영상을 표시할 수 있게 되어 현실감이 높아진다.

[1151] 여기서 전자 기기(8300)에서 예를 들어 표시부(8302)는 사용자의 머리 크기 및 눈 위치 중에서 선택된 하나 이

상에 따라 표시부(8302)의 곡률을 적절한 값으로 변화시키는 기구를 가지는 것이 바람직하다. 예를 들어, 표시부(8302)의 곡률을 조정하기 위한 다이얼(8307)을 조작함으로써, 사용자가 스스로 표시부(8302)의 곡률을 조정하여도 좋다. 또는 사용자의 머리 크기 또는 눈 위치를 검출하는 센서(예를 들어 카메라, 접촉식 센서, 및 비접촉식 센서)를 하우징(8301)에 제공하고, 센서의 검출 데이터에 기초하여 표시부(8302)의 곡률을 조정하는 기구가 포함되어도 좋다.

[1152] 또한 렌즈(8305)를 사용하는 경우에는, 표시부(8302)의 곡률과 동기하여 렌즈(8305)의 위치 및 각도를 조정하는 기구가 포함되는 것이 바람직하다. 또는 다이얼(8306)이 렌즈의 각도를 조정하는 기능을 가져도 좋다.

[1153] 도 62의 (E) 및 (F)에는 표시부(8302)의 곡률을 제어하는 구동부(8308)가 포함되는 예를 나타내었다. 구동부(8308)는 표시부(8302)의 일부에 고정되어 있다. 구동부(8308)는 표시부(8302)에 고정되는 부분이 변형 또는 이동함으로써, 표시부(8302)를 변형시키는 기능을 가진다.

[1154] 도 62의 (E)는 머리가 비교적 큰 사용자(8310)가 하우징(8301)을 착용한 경우의 모식도이다. 이때 표시부(8302)의 형상은 곡률이 비교적 작게(곡률 반경이 크게) 되도록 구동부(8308)에 의하여 조정된다.

[1155] 한편 도 62의 (F)에는 사용자(8310)에 비하여 머리가 작은 사용자(8311)가 하우징(8301)을 착용한 경우를 나타내었다. 또한 사용자(8311)는 사용자(8310)에 비하여 양쪽 눈 사이의 간격이 좁다. 이때 표시부(8302)의 형상은 표시부(8302)의 곡률이 크게(곡률 반경이 작게) 되도록 구동부(8308)에 의하여 조정된다. 도 62의 (F)에 있어서는 도 62의 (E)에서의 표시부(8302)의 위치 및 형상을 파선으로 나타내었다.

[1156] 이와 같이, 전자 기기(8300)는 표시부(8302)의 곡률을 조정하는 기구를 가짐으로써 남녀노소 다양한 사용자에게 최적의 표시를 제공할 수 있다.

[1157] 또한 표시부(8302)에 표시하는 콘텐츠에 따라 표시부(8302)의 곡률을 변화시킴으로써 사용자가 높은 임장감을 느끼게 할 수도 있다. 예를 들어 표시부(8302)의 곡률을 진동시킴으로써 흔들림을 표현할 수 있다. 이와 같이, 콘텐츠 내의 장면에 맞추어 다양한 연출을 할 수 있고, 사용자에게 새로운 체험을 제공할 수 있다. 또한 이때 하우징(8301)에 제공된 진동 모듈과 연동시킴으로써, 임장감이 더 높은 표시가 가능해진다.

[1158] 또한 전자 기기(8300)는 도 62의 (D)에 나타낸 바와 같이 2개의 표시부(8302)를 가져도 좋다.

[1159] 2개의 표시부(8302)를 가짐으로써, 사용자는 한쪽 눈마다 하나의 표시부를 볼 수 있다. 이로써, 시차를 사용한 3차원 표시를 수행하는 경우에도 높은 해상도의 영상을 표시할 수 있다. 또한 표시부(8302)는 사용자 눈을 대략 중심으로 한 원호 형상으로 만곡되어 있다. 이로써, 사용자의 눈으로부터 표시부의 표시면까지의 거리가 일정하게 되므로, 사용자는 더 자연스러운 영상을 볼 수 있다. 또한 표시부로부터의 광의 휘도 및 색도가 보는 각도에 따라 변화되는 경우에도, 표시부의 표시면의 법선 방향으로 사용자의 눈이 위치하기 때문에 실질적으로 그 영향을 무시할 수 있어, 더 현실감이 있는 영상을 표시할 수 있다.

[1160] 도 63의 (A) 내지 (C)는 도 62의 (A) 내지 (D) 각각에 나타낸 전자 기기(8300)와 다른 전자 기기(8300)의 외관을 나타낸 도면이다. 구체적으로는 예를 들어 도 63의 (A) 내지 (C)는 머리에 장착하는 고정구(8304a)를 가지는 점 및 한 쌍의 렌즈(8305)를 가지는 점에서 도 62의 (A) 내지 (D)와 다르다.

[1161] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 볼 수 있다. 또한 표시부(8302)를 만곡시켜 배치하면, 사용자는 높은 임장감을 느낄 수 있어 바람직하다. 또한 표시부(8302)의 상이한 영역에 표시된 다른 화상을 렌즈(8305)를 통하여 봄으로써 시차를 사용한 3차원 표시가 가능할 수도 있다. 또한 하나의 표시부(8302)를 제공하는 구성에 한정되지 않고, 2개의 표시부(8302)를 제공하여 사용자의 한쪽 눈마다 하나의 표시부를 배치하여도 좋다.

[1162] 또한 표시부(8302)에는 예를 들어 정세도가 매우 높은 표시 장치를 사용하는 것이 바람직하다. 표시부(8302)에 정세도가 높은 표시 장치를 사용함으로써, 도 63의 (C)와 같이 렌즈(8305)를 사용하여 확대하여도, 사용자에게 화소가 보이지 않고, 현실감이 더 높은 영상을 표시할 수 있다.

[1163] 또한 본 발명의 일 형태의 전자 기기인 헤드 마운트 디스플레이는 도 63의 (D)에 나타낸 안경형 헤드 마운트 디스플레이인 전자 기기(8200)의 구성이어도 좋다.

[1164] 전자 기기(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 및 케이블(8205) 등을 가진다. 또한 장착부(8201)에는 배터리(8206)가 내장된다.

[1165] 케이블(8205)은 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기를 가지고, 수신

한 영상 정보를 표시부(8204)에 표시할 수 있다. 또한 본체(8203)는 카메라를 가지고, 사용자의 안구 또는 눈꺼풀의 움직임의 정보를 입력 수단으로서 사용할 수 있다.

[1166] 또한 장착부(8201)는 사용자와 접촉하는 위치에 사용자의 안구의 움직임에 따라 흐르는 전류를 검지할 수 있는 복수의 전극이 제공되고 시선을 인식하는 기능을 가져도 좋다. 또한 상기 전극에 흐르는 전류에 의하여 사용자의 맥박을 모니터링하는 기능을 가져도 좋다. 또한 장착부(8201)는 온도 센서, 압력 센서, 및 가속도 센서 등의 각종 센서를 가져도 좋고, 사용자의 생체 정보를 표시부(8204)에 표시하는 기능, 또는 사용자의 머리 움직임에 맞추어 표시부(8204)에 표시되는 영상을 변화시키는 기능을 가져도 좋다.

[1167] 도 64의 (A) 내지 (C)는 도 62의 (A) 내지 (D) 및 도 63의 (A) 내지 (C) 각각에 나타낸 전자 기기(8300), 도 63의 (D)에 나타낸 전자 기기(8200)와 다른 전자 기기(8750)의 외관을 나타낸 도면이다.

[1168] 도 64의 (A)는 전자 기기(8750)의 정면, 상면, 및 왼쪽 측면을 나타낸 사시도이고, 도 64의 (B) 및 (C)는 전자 기기(8750)의 배면, 바닥면, 및 오른쪽 측면을 나타낸 사시도이다.

[1169] 전자 기기(8750)는 한 쌍의 표시 장치(8751), 하우징(8752), 한 쌍의 장착부(8754), 완충 부재(8755), 한 쌍의 렌즈(8756) 등을 가진다. 한 쌍의 표시 장치(8751)는 하우징(8752)의 내부에서 렌즈(8756)를 통하여 눈으로 볼 수 있는 위치에 각각 제공되어 있다.

[1170] 여기서, 한 쌍의 표시 장치(8751) 중 한쪽은 일례로서 도 1에 나타낸 표시 장치(DSP0) 등에 대응한다. 또한 도시하지 않았지만, 도 64의 (A) 내지 (C)에 나타낸 전자 기기(8750)는 앞의 실시형태에서 설명한 처리부를 가지는 전자 부품(예를 들어 실시형태 3에서 설명한 주변 회로(PRPH) 등)을 가진다. 또한 도시하지 않았지만, 도 64의 (A) 내지 (C)에 나타낸 전자 기기(8750)는 카메라를 가진다. 상기 카메라는 사용자 눈 및 그 근방을 촬상할 수 있다. 또한 도시하지 않았지만, 도 64의 (A) 내지 (C)에 나타낸 전자 기기(8750)에서는 움직임 검출부, 오디오, 제어부, 통신부, 및 배터리를 하우징(8752) 내에 가진다.

[1171] 전자 기기(8750)는 VR용 전자 기기이다. 전자 기기(8750)를 장착한 사용자는 렌즈(8756)를 통하여 표시 장치(8751)에 표시되는 화상을 볼 수 있다. 또한 한 쌍의 표시 장치(8751)에 서로 다른 화상을 표시함으로써, 시차를 사용한 3차원 표시를 수행할 수도 있다.

[1172] 또한 하우징(8752)의 배면 측에는 입력 단자(8757)와 출력 단자(8758)가 제공되어 있다. 입력 단자(8757)에는 영상 출력 기기 등으로부터의 영상 신호, 또는 하우징(8752) 내에 제공되는 배터리를 충전하기 위한 전력을 공급하는 케이블을 접속할 수 있다. 출력 단자(8758)로서는 예를 들어 음성 출력 단자로서 기능하고, 이어폰 또는 헤드폰이 접속될 수 있다.

[1173] 또한 하우징(8752)은 렌즈(8756) 및 표시 장치(8751)가 사용자의 눈의 위치에 따라 최적의 위치에 배치되도록, 이들의 좌우의 위치를 조정할 수 있는 기구를 가지는 것이 바람직하다. 또한 렌즈(8756)와 표시 장치(8751) 사이의 거리를 변경함으로써 초점을 조정하는 기구를 가지는 것이 바람직하다.

[1174] 상기 카메라, 표시 장치(8751), 및 상기 전자 부품을 사용함으로써, 전자 기기(8750)는 전자 기기(8750)의 사용자의 상태를 추정하고, 추정한 사용자의 상태에 관한 정보를 표시 장치(8751)에 표시할 수 있다. 또는 네트워크를 통하여 전자 기기(8750)와 접속된 전자 기기의 사용자의 상태에 관한 정보를 표시 장치(8751)에 표시할 수 있다.

[1175] 완충 부재(8755)는 사용자의 얼굴(예를 들어 이마 및 뺨)에 접촉되는 부분이다. 완충 부재(8755)가 사용자의 얼굴과 밀착되면, 광 누설을 방지할 수 있기 때문에 몰입감을 더 높일 수 있다. 사용자가 전자 기기(8750)를 장착한 경우에 완충 부재(8755)가 사용자의 얼굴에 밀착되도록, 완충 부재(8755)로서는 부드러운 소재를 사용하는 것이 바람직하다. 예를 들어 고무, 실리콘 고무, 우레탄, 및 스펀지 등의 소재를 사용할 수 있다. 또한 스펀지의 표면을 천 또는 피혁(예를 들어 천연 피혁 또는 합성 피혁)으로 덮은 것을 사용하면, 사용자의 얼굴과 완충 부재(8755) 사이에 틈이 생기기 어렵기 때문에 광 누설을 적합하게 방지할 수 있다. 또한 이러한 소재를 사용하면 촉감이 좋고, 추운 계절 등에 장착한 경우에 사용자가 차갑다고 느끼지 않기 때문에 바람직하다. 완충 부재(8755) 또는 장착부(8754) 등 사용자의 피부에 접촉되는 부재를 탈착 가능한 구성으로 하면, 클리닝 또는 교환이 용이해지기 때문에 바람직하다.

[1176] 본 실시형태의 전자 기기는 이어폰(8754A)을 더 가져도 좋다. 이어폰(8754A)은 통신부(도시하지 않았음)를 가지고, 무선 통신 기능을 가진다. 이어폰(8754A)은 무선 통신 기능에 의하여 음성 데이터를 출력할 수 있다. 또한 이어폰(8754A)은 골전도 이어폰으로서 기능하는 진동 기구를 가져도 좋다.

[1177] 또한 이어폰(8754A)은 도 64의 (C)에 나타낸 이어폰(8754B)과 같이, 장착부(8754)에 직접 접속되는 구성 또는 유선으로 접속되는 구성으로 할 수 있다. 또한 이어폰(8754B) 및 장착부(8754)는 마그넷을 가져도 좋다. 이에 의하여, 이어폰(8754B)을 장착부(8754)에 자력으로 고정할 수 있고, 수납하기 용이해져 바람직하다.

[1178] 이어폰(8754A)은 센서부를 가져도 좋다. 상기 센서부를 사용하여 상기 전자 기기의 사용자의 상태를 추정할 수 있다.

[1179] 또한 본 발명의 일 형태의 전자 기기는 상술한 구성예 중 어느 하나에 더하여 안테나, 배터리, 카메라, 스피커, 마이크로폰, 터치 센서, 및 조작 버튼 중에서 선택된 하나 이상을 가져도 좋다.

[1180] 본 발명의 일 형태인 전자 기기는 이차 전지를 가져도 좋고, 비접촉 전력 전송(傳送)을 사용하여 이차 전지를 충전할 수 있는 것이 바람직하다.

[1181] 이차 전지로서는 예를 들어 리튬 이온 이차 전지(예를 들어 겔상 전해질을 사용하는 리튬 폴리머 전지(리튬 이온 폴리머 전지)), 니켈 수소 전지, 니켈 카드뮴 전지, 유기 라디칼 전지, 납 축전지, 공기 이차 전지, 니켈 아연 전지, 및 은 아연 전지가 있다.

[1182] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에 영상, 정보 등의 표시를 할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 포함하는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.

[1183] 본 발명의 일 형태의 전자 기기의 표시부에는 예를 들어 풀 하이비전, 4K2K, 8K4K, 16K8K, 또는 그 이상의 해상도를 가지는 영상을 표시할 수 있다.

[1184] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다.

[1185] (실시형태 9)

[1186] 본 실시형태에서는, 본 발명의 일 형태를 사용하여 제작된 표시 장치를 포함하는 전자 기기에 대하여 설명한다.

[1187] 이하에서 예시하는 전자 기기는 표시부에 본 발명의 일 형태의 표시 장치를 포함한다. 따라서, 높은 정세도가 실현된 전자 기기이다.

[1188] 본 발명의 일 형태는 표시 장치와, 안테나, 배터리, 하우징, 카메라, 스피커, 마이크로폰, 터치 센서, 및 조작 버튼 중에서 선택된 하나 이상을 가진다.

[1189] 본 발명의 일 형태인 전자 기기는 이차 전지를 가져도 좋고, 비접촉 전력 전송을 사용하여 이차 전지를 충전할 수 있는 것이 바람직하다.

[1190] 이차 전지에 대해서는 예를 들어 실시형태 8에서의 이차 전지의 설명을 참조할 수 있다.

[1191] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 또한 안테나에 대해서는 예를 들어 실시형태 8에서의 안테나의 설명을 참조할 수 있다.

[1192] 본 발명의 일 형태의 전자 기기의 표시부에는, 예를 들어 풀 하이비전, 4K2K, 8K4K, 16K8K, 또는 그 이상의 해상도를 가지는 영상을 표시시킬 수 있다.

[1193] 전자 기기로서는 예를 들어 텔레비전 장치, 노트북형 퍼스널 컴퓨터, 모니터 장치, 디지털 사이니지, 파칭코기, 및 게임기와 같은 비교적 큰 화면을 가지는 전자 기기가 있다. 또한 전자 기기로서는 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 및 음향 재생 장치가 있다.

[1194] 본 발명의 일 형태가 적용된 전자 기기는 가옥 또는 빌딩 등 건물의 내벽 또는 외벽이 가지는 평면 또는 곡면을 따라 제공할 수 있다. 또한 상기 전자 기기는 자동차 등의 내장 또는 외장 등이 가지는 평면 또는 곡면을 따라 제공할 수 있다.

[1195] [휴대 전화]

[1196] 도 65의 (A)에 나타낸 정보 단말기(5500)는 정보 단말기의 일종인 휴대 전화(스마트폰)이다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 제공되고, 버튼이 하우징(5510)에 제공되어 있다.

[1197] [웨어러블 단말기]

[1198] 도 65의 (B)는 웨어러블 단말기의 일례인 정보 단말기(5900)의 외관을 나타낸 도면이다. 정보 단말기(5900)는 하우징(5901), 표시부(5902), 조작 버튼(5903), 용두(5904), 및 밴드(5905)를 가진다.

[1199] [정보 단말기]

[1200] 또한 도 65의 (C)에는 노트북형 정보 단말기(5300)를 나타내었다. 도 65의 (C)에 나타낸 노트북형 정보 단말기(5300)에는 일례로서 하우징(5330a)에 표시부(5331)가 제공되고, 하우징(5330b)에 키보드부(5350)가 제공되어 있다.

[1201] 또한 앞에서는 전자 기기로서 스마트폰, 웨어러블 단말기, 및 노트북용 정보 단말기를 예로 들어 각각 도 65의 (A) 내지 (C)에 나타내었지만, 스마트폰, 웨어러블 단말기, 노트북용 정보 단말기 외의 정보 단말기를 적용할 수도 있다. 스마트폰, 웨어러블 단말기, 노트북형 정보 단말기 이외의 정보 단말기로서는, 예를 들어 PDA(Personal Digital Assistant), 데스크톱용 정보 단말기, 및 워크스테이션이 있다.

[1202] [카메라]

[1203] 도 65의 (D)는 파인더(8100)가 장착된 상태의 카메라(8000)의 외관을 나타낸 도면이다.

[1204] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 및 셔터 버튼(8004)을 가진다. 또한 카메라(8000)에는 탈착 가능한 렌즈(8006)가 장착된다.

[1205] 또한 카메라(8000)는 렌즈(8006)와 하우징이 일체화되어 있어도 좋다.

[1206] 카메라(8000)는 셔터 버튼(8004)을 누르거나 터치 패널로서 기능하는 표시부(8002)를 터치함으로써 촬상할 수 있다.

[1207] 하우징(8001)은 전극을 가지는 마운트를 가지고, 파인더(8100) 외에 스트로보 장치를 접속할 수 있다.

[1208] 파인더(8100)는 하우징(8101), 표시부(8102), 및 버튼(8103)을 가진다.

[1209] 하우징(8101)은 카메라(8000)의 마운트와 연결되는 마운트에 의하여 카메라(8000)에 장착되어 있다. 파인더(8100)는 카메라(8000)로부터 수신한 영상을 표시부(8102)에 표시할 수 있다.

[1210] 버튼(8103)은 전원 버튼으로서의 기능을 가진다.

[1211] 카메라(8000)의 표시부(8002) 및 파인더(8100)의 표시부(8102)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 또한 파인더가 내장된 카메라(8000)이어도 좋다.

[1212] [게임기]

[1213] 도 65의 (E)는 게임기의 일례인 휴대용 게임기(5200)의 외관을 나타낸 도면이다. 휴대용 게임기(5200)는 하우징(5201), 표시부(5202), 및 버튼(5203)을 가진다.

[1214] 또한 휴대용 게임기(5200)의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이, 또는 헤드 마운트 디스플레이에 포함되는 표시 장치에 의하여 출력할 수 있다.

[1215] 휴대용 게임기(5200)에 앞의 실시형태에서 설명한 표시 장치를 적용함으로써, 저소비 전력의 휴대용 게임기(5200)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[1216] 도 65의 (E)에서는 게임기의 일례로서 휴대용 게임기를 도시하였지만, 본 발명의 일 형태의 전자 기기는 이에 한정되지 않는다. 본 발명의 일 형태의 전자 기기로서는, 예를 들어 거치형 게임기, 오락 시설(예를 들어 오락실 또는 놀이공원)에 설치되는 아케이드 게임기, 및 스포츠 시설에 설치되는 배팅 연습용 투구 머신이 있다.

[1217] [텔레비전 장치]

[1218] 도 65의 (F)는 텔레비전 장치를 나타낸 사시도이다. 텔레비전 장치(9000)는 하우징(9002), 표시부(9001), 스피커(9003), 조작 키(9005)(예를 들어 전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 및 센서(9007)(예를 들어 힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능, 혹은 냄새 또는 광(예를 들어 가시광선 또는 비가시광선(예를 들어 적외선 또는 자외선)을

포함함)을 검지 또는 검출하는 기능을 포함하는 것)를 가진다. 본 발명의 일 형태의 기억 장치는 텔레비전 장치에 포함될 수 있다. 텔레비전 장치는 예를 들어 50인치 이상 또는 100인치 이상의 표시부(9001)를 포함할 수 있다.

[1219] 텔레비전 장치(9000)에 앞의 실시형태에서 설명한 표시 장치를 적용함으로써, 저소비 전력의 텔레비전 장치(9000)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[1220] [이동체]

[1221] 본 발명의 일 형태의 표시 장치는 이동체인 자동차의 운전석 주변에 적용할 수도 있다.

[1222] 도 65의 (G)는 자동차의 실내에서의 앞유리 주변을 나타낸 도면이다. 도 65의 (G)에는 대시 보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외에, 필러에 장착된 표시 패널(5704)을 도시하였다.

[1223] 표시 패널(5701) 내지 표시 패널(5703)은 내비게이션 정보, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 및 에어컨디셔너의 설정 중 하나 이상을 표시할 수 있다. 또한 표시 패널에 표시되는 표시 항목 및 레이아웃은 사용자의 취향에 따라 적절히 변경할 수 있어 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[1224] 표시 패널(5704)에는 차체에 제공된 촬상 수단으로부터의 영상을 표시함으로써 필러로 차단된 시계(사각(死角))를 보완할 수 있다. 즉 자동차 외측에 제공된 촬상 수단으로부터의 화상을 표시함으로써 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽고 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[1225] 본 발명의 일 형태의 표시 장치는 예를 들어 표시 패널(5701) 내지 표시 패널(5704)에 적용할 수 있다.

[1226] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 및 비행체(예를 들어 헬리콥터, 무인 항공기(드론), 비행기, 및 로켓)가 있으며, 이들 이동체에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[1227] [전자 간판]

[1228] 도 65의 (H)는 벽에 장착될 수 있는 전자 간판(디지털 사이니지)의 예를 나타낸 것이다. 도 65의 (H)는 전자 간판(6200)이 벽(6201)에 제공되어 있는 상태를 나타내었다. 본 발명의 일 형태의 표시 장치는 예를 들어 전자 간판(6200)의 표시부에 적용할 수 있다. 또한 전자 간판(6200)에는 터치 패널 등의 인터페이스 등이 제공되어 있어도 좋다.

[1229] 또한 앞에서는 전자 간판의 일례로서 벽에 장착될 수 있는 전자 기기의 예를 나타내었지만, 전자 간판의 종류는 이에 한정되지 않는다. 예를 들어 전자 간판으로서는 기둥에 제공하는 형식, 바닥에 놓고 사용하는 스탠드 형식, 혹은 건축물의 옥상 또는 측벽에 설치하는 형식이 있다.

[1230] 또한 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

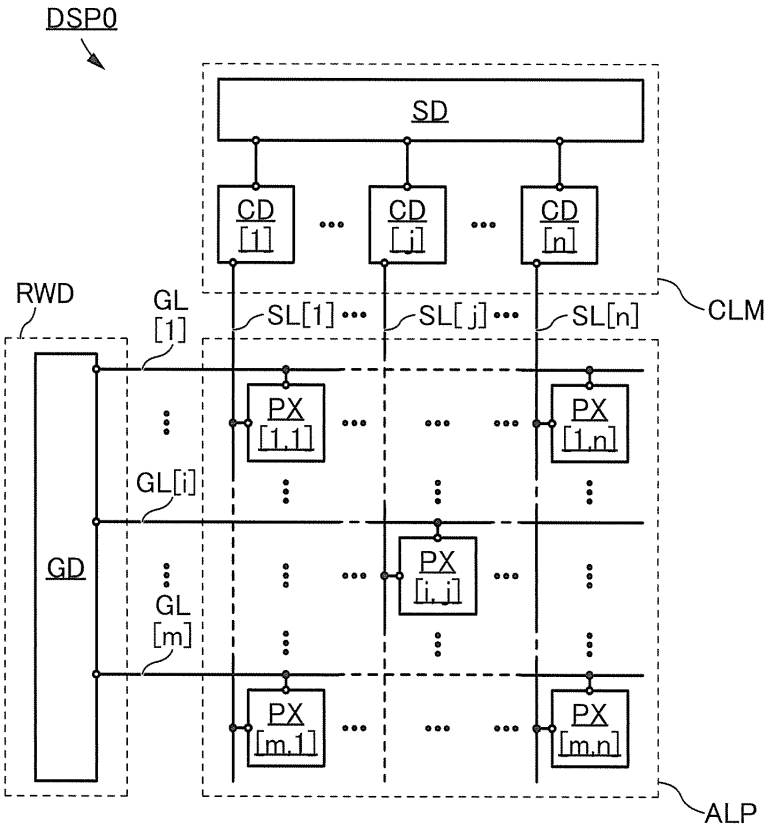
[1231] DSP: 표시 장치, DSP0: 표시 장치, DSP1A: 표시 장치, DSP1B: 표시 장치, DSP1C: 표시 장치, DSP1D: 표시 장치, DSP1DA: 표시 장치, DSP1DB: 표시 장치, DSP1E: 표시 장치, DSP1F: 표시 장치, DSP2A: 표시 장치, DSP2AA: 표시 장치, DSP2B: 표시 장치, DSP2C: 표시 장치, DSP2D: 표시 장치, DSP2DA: 표시 장치, DSP2E: 표시 장치, DSP2F: 표시 장치, DSP2G: 표시 장치, DSP2H: 표시 장치, PXAL: 화소층, EML: 층, OSL: 층, LINL: 배선층, SICL: 회로층, LIA: 영역, BS: 기판, DIS: 표시부, DRV: 구동 회로 영역, ARA[1,1]: 영역, ARA[1,2]: 영역, ARA[1,q-1]: 영역, ARA[1,q]: 영역, ARA[2,1]: 영역, ARA[2,2]: 영역, ARA[2,q-1]: 영역, ARA[2,q]: 영역, ARA[p-1,1]: 영역, ARA[p-1,2]: 영역, ARA[p-1,q-1]: 영역, ARA[p-1,q]: 영역, ARA[p,1]: 영역, ARA[p,2]: 영역, ARA[p,q-1]: 영역, ARA[p,q]: 영역, ARD[1,1]: 회로 영역, ARD[1,2]: 회로 영역, ARD[1,q-1]: 회로 영역, ARD[1,q]: 회로 영역, ARD[2,1]: 회로 영역, ARD[2,2]: 회로 영역, ARD[2,q-1]: 회로 영역, ARD[2,q]: 회로 영역, ARD[p-1,1]: 회로 영역, ARD[p-1,2]: 회로 영역, ARD[p-1,q-1]: 회로 영역, ARD[p-1,q]: 회로 영역, ARD[p,1]: 회로 영역, ARD[p,2]: 회로 영역, ARD[p,q-1]: 회로 영역, ARD[p,q]: 회로 영역, PRPH: 주변 회로, SD: 구동 회로, SDS: 회로, DMS: 분배 회로, GD: 구동 회로, GDS: 회로, DMG: 분배 회로, CTR: 제어부, MD: 기억 장치, PG: 전압 생성 회로, GPS: 화상 처리부, CKS: 클록 신호 생성 회로, TMC: 타이밍 컨트롤러, BW:

버스 배선, CLM: 열 드라이버 회로, RWD: 행 드라이버 회로, CD: 회로, CD[1]: 회로, CD[j]: 회로, CD[n]: 회로, ALP: 화소 어레이, PX: 화소, PX[1,1]: 화소, PX[m,1]: 화소, PX[1,n]: 화소, PX[m,n]: 화소, PX[i,j]: 화소, M1: 트랜지스터, M2: 트랜지스터, M3: 트랜지스터, M5: 트랜지스터, M6: 트랜지스터, M11: 트랜지스터, M12: 트랜지스터, SW1: 스위치, SW3: 스위치, SW4: 스위치, SW5: 스위치, SW6: 스위치, SW7: 스위치, SW8: 스위치, SW11: 스위치, SW11I: 스위치, SW12: 스위치, SW12I: 스위치, SW13: 스위치, SW13I: 스위치, C1: 용량 소자, C2: 용량 소자, C3: 용량 소자, C4: 용량 소자, LD: 발광 디바이스, INV: 인버터 회로, N1: 노드, N2: 노드, N3: 노드, NB: 노드, SL: 배선, SL[1]: 배선, SL[j]: 배선, SL[n]: 배선, GL: 배선, GL[1]: 배선, GL[i]: 배선, GL[m]: 배선, GL1: 배선, GL3: 배선, GL4: 배선, GL5: 배선, GL6: 배선, GL7: 배선, GL11: 배선, GL12: 배선, GL13: 배선, SWL11: 배선, SWL12: 배선, SWL13: 배선, VE0: 배선, VE1: 배선, VE2: 배선, VE3: 배선, VE4: 배선, VE5: 배선, VE6: 배선, G1: 배선, G2: 배선, ANO: 배선, VCOM: 배선, V0: 배선, GEM: 도전체, SDMB: 도전체, SDMT: 도전체, PLG: 도전체, EC: 도전체, BGM: 도전체, T11: 기간, T12: 기간, T13: 기간, T14: 기간, T15: 기간, T16: 기간, T17: 기간, T21: 기간, T22: 기간, T23: 기간, T24: 기간, T25: 기간, T26: 기간, T27: 기간, T28: 기간, T29: 기간, T30: 기간, 30: 구동 회로, 70A: 화소, 70B: 화소, 80: 화소, 80a: 부화소, 80b: 부화소, 80c: 부화소, 80d: 부화소, 81: 도전체, 103: 절연체, 104: 도전체, 105: 절연체, 106: 도전체, 107: 접착층, 110: 기판, 111a: 도전체, 111b: 도전체, 111c: 도전체, 112a: 도전체, 112b: 도전체, 112c: 도전체, 113a: 제 1 층, 113b: 제 2 층, 113c: 제 3 층, 114: 공통층, 115: 공통 전극, 116: 보호층, 117a: 도전체, 117b: 도전체, 118a: 마스크층, 125: 절연체, 126a: 도전체, 126b: 도전체, 126c: 도전체, 127: 절연체, 128: 층, 129a: 도전체, 129b: 도전체, 129c: 도전체, 130: 발광 디바이스, 130R: 발광 디바이스, 130G: 발광 디바이스, 130B: 발광 디바이스, 131: 보호층, 131a: 보호층, 131b: 보호층, 131c: 보호층, 148: 수지층, 150a: LED 칩, 150b: LED 칩, 150c: LED 칩, 152a: 접속층, 152b: 접속층, 152c: 접속층, 153a: 기판, 154a: 접속층, 155a: 도전체, 156a: 반도체층, 157a: 발광층, 158a: 반도체층, 166R: 착색층, 166G: 착색층, 166B: 착색층, 140: 접속부, 147: 수지층, 171: 기판, 175: 접착층, 180: LED 칩, 180R: LED 칩, 180G: LED 칩, 180B: LED 칩, 180A: LED 칩, 181: 기판, 181R: 기판, 181G: 기판, 181B: 기판, 182: 반도체층, 182a: 반도체층, 182b: 반도체층, 182c: 반도체층, 184: 발광층, 184a: 발광층, 184b: 발광층, 184c: 발광층, 185: 반도체층, 185a: 반도체층, 185b: 반도체층, 185c: 반도체층, 191: 도전체, 192: 도전체, 193a: 도전체, 193b: 도전체, 193c: 도전체, 194a: 도전체, 194b: 도전체, 194c: 도전체, 200: 트랜지스터, 200A: 트랜지스터, 200B: 트랜지스터, 211: 절연체, 213: 절연체, 214: 절연체, 215: 절연체, 218: 절연체, 221: 도전체, 222a: 도전체, 222b: 도전체, 223: 도전체, 225: 절연체, 231: 반도체층, 231n: 저저항 영역, 231i: 채널 형성 영역, 300: 트랜지스터, 300A: 트랜지스터, 300OS: 트랜지스터, 300LT: 트랜지스터, 310: 기판, 310A: 기판, 312: 소자 분리층, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 317: 절연체, 318A: 절연체, 319A: 도전체, 320: 절연체, 320A: 절연체, 322: 절연체, 322A: 절연체, 324: 절연체, 324A: 절연체, 326: 절연체, 326A: 절연체, 328: 도전체, 328A: 도전체, 330: 도전체, 330A: 도전체, 350: 절연체, 350A: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 358: 도전체, 361: 절연체, 362: 절연체, 363: 절연체, 364: 절연체, 366: 도전체, 367: 도전체, 368: 반도체층, 368i: 반도체 영역, 368p: 저저항 영역, 369: 도전체, 380: 절연체, 382: 절연체, 400: 화소 회로, 410: 기판, 411: 보호층, 500: 트랜지스터, 500A: 트랜지스터, 500B: 트랜지스터, 500C: 트랜지스터, 505: 도전체, 505a: 도전체, 505b: 도전체, 512: 절연체, 514: 절연체, 516: 절연체, 522: 절연체, 524: 절연체, 540: 도전체, 540a: 도전체, 540b: 도전체, 541: 절연체, 541a: 절연체, 541b: 절연체, 542: 도전체, 542a: 도전체, 542b: 도전체, 550: 절연체, 554: 절연체, 560: 도전체, 560a: 도전체, 560b: 도전체, 574: 절연체, 580: 절연체, 581: 절연체, 592: 절연체, 594: 절연체, 596: 도전체, 598: 절연체, 599: 절연체, 600: 용량, 761: 하부 전극, 762: 상부 전극, 763: EL층, 764: 층, 771: 발광층, 771a: 발광층, 771b: 발광층, 771c: 발광층, 772: 발광층, 772a: 발광층, 772b: 발광층, 772c: 발광층, 773: 발광층, 780: 층, 780a: 층, 780b: 층, 780c: 층, 781: 층, 782: 층, 785: 전하 발생층, 785a-b: 전하 발생층, 785b-c: 전하 발생층, 790: 층, 790a: 층, 790b: 층, 790c: 층, 791: 층, 792: 층, 1000: 표시 장치, 1000A: 표시 장치, 1000B1: 표시 장치, 1000B2: 표시 장치, 1000B3: 표시 장치, 1000B4: 표시 장치, 1000C: 표시 장치, 1000D: 표시 장치, 1000E: 표시 장치, 1000F: 표시 장치, 1000G: 표시 장치, 1000H: 표시 장치, 1000I: 표시 장치, 1280: 표시 모듈, 1281: 표시부, 1290: FPC, 1282: 회로부, 1283: 화소 회로부, 1283a: 화소 회로, 1284: 화소부, 1284a: 화소, 1285: 단자부, 1286: 배선부, 1291: 기판, 1292: 기판, 1430a: 발광 디바이스, 1430b: 발광 디바이스, 1430c: 발광 디바이스, 5200: 휴대용 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 노트북형 정보 단말기, 5330a: 하우징, 5330b: 하우징, 5331: 표시부, 5350: 키보드부, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5701: 표시 패널, 5702: 표시 패널, 5703: 표시 패널, 5704: 표시 패널, 5900: 정보 단말기, 5901: 하우징, 5902: 표시부, 5903: 조작 버튼, 5904: 용두, 5905:

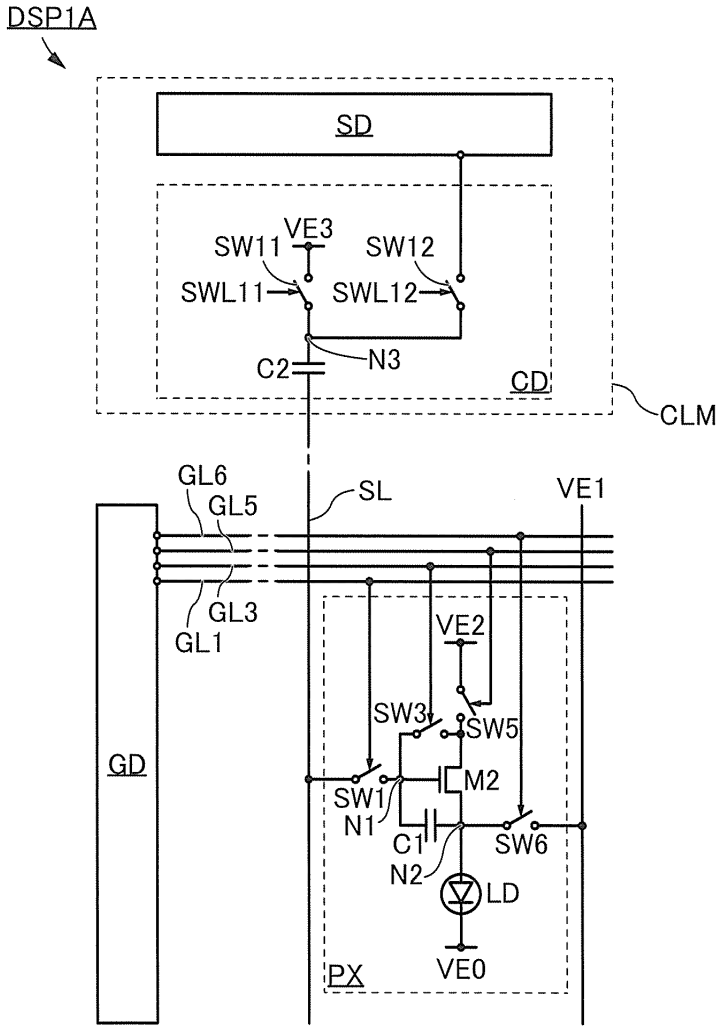
밴드, 6200: 전자 간판, 6201: 벽, 8000: 카메라, 8001: 하우징, 8002: 표시부, 8003: 조작 버튼, 8004: 셔터 버튼, 8006: 렌즈, 8100: 파인더, 8101: 하우징, 8102: 표시부, 8103: 버튼, 8200: 전자 기기, 8201: 장착부, 8202: 렌즈, 8203: 본체, 8204: 표시부, 8205: 케이블, 8206: 배터리, 8300: 전자 기기, 8301: 하우징, 8302: 표시부, 8303: 조작 버튼, 8304: 고정구, 8304a: 고정구, 8305: 렌즈, 8310: 사용자, 8311: 사용자, 8750: 전자 기기, 8751: 표시 장치, 8752: 하우징, 8754: 장착부, 8754A: 이어폰, 8754B: 이어폰, 8755: 완충 부재, 8756: 렌즈, 8757: 입력 단자, 8758: 출력 단자, 9000: 텔레비전 장치, 9001: 표시부, 9002: 하우징, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서

도면

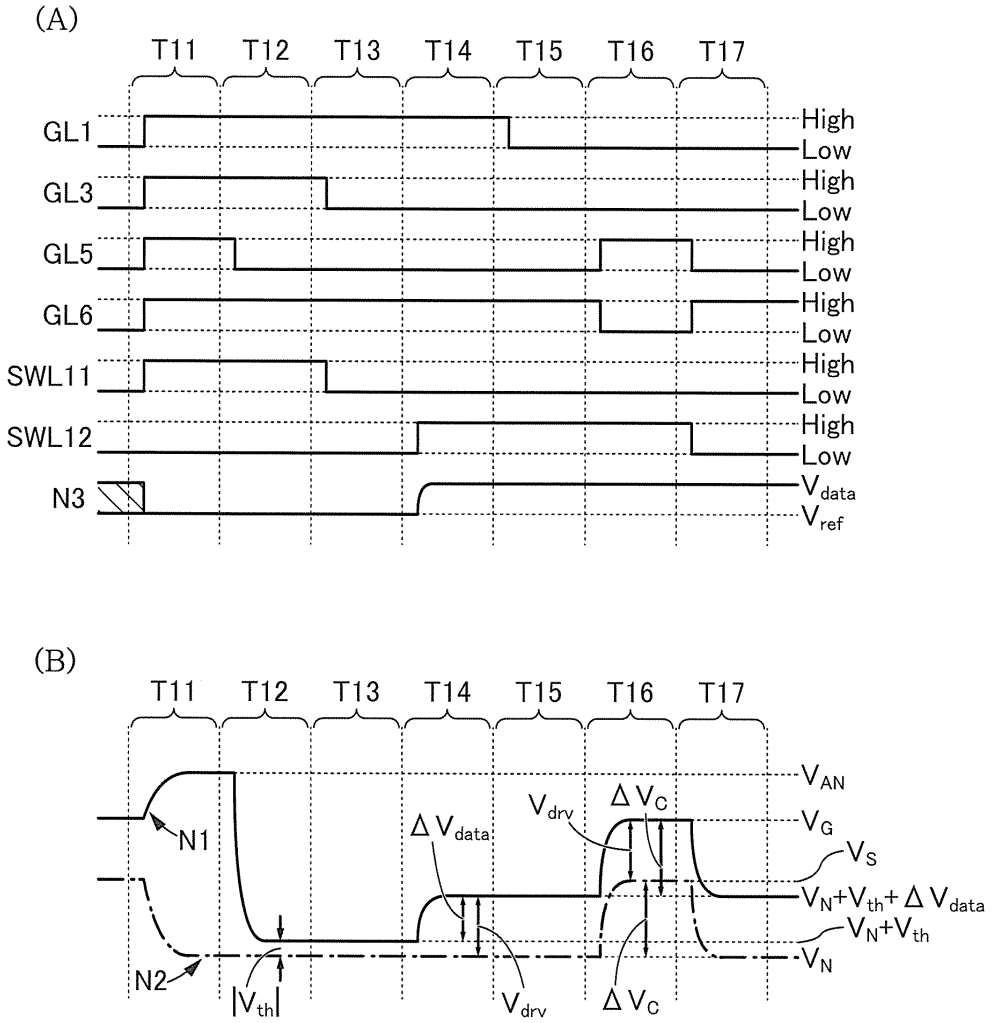
도면1



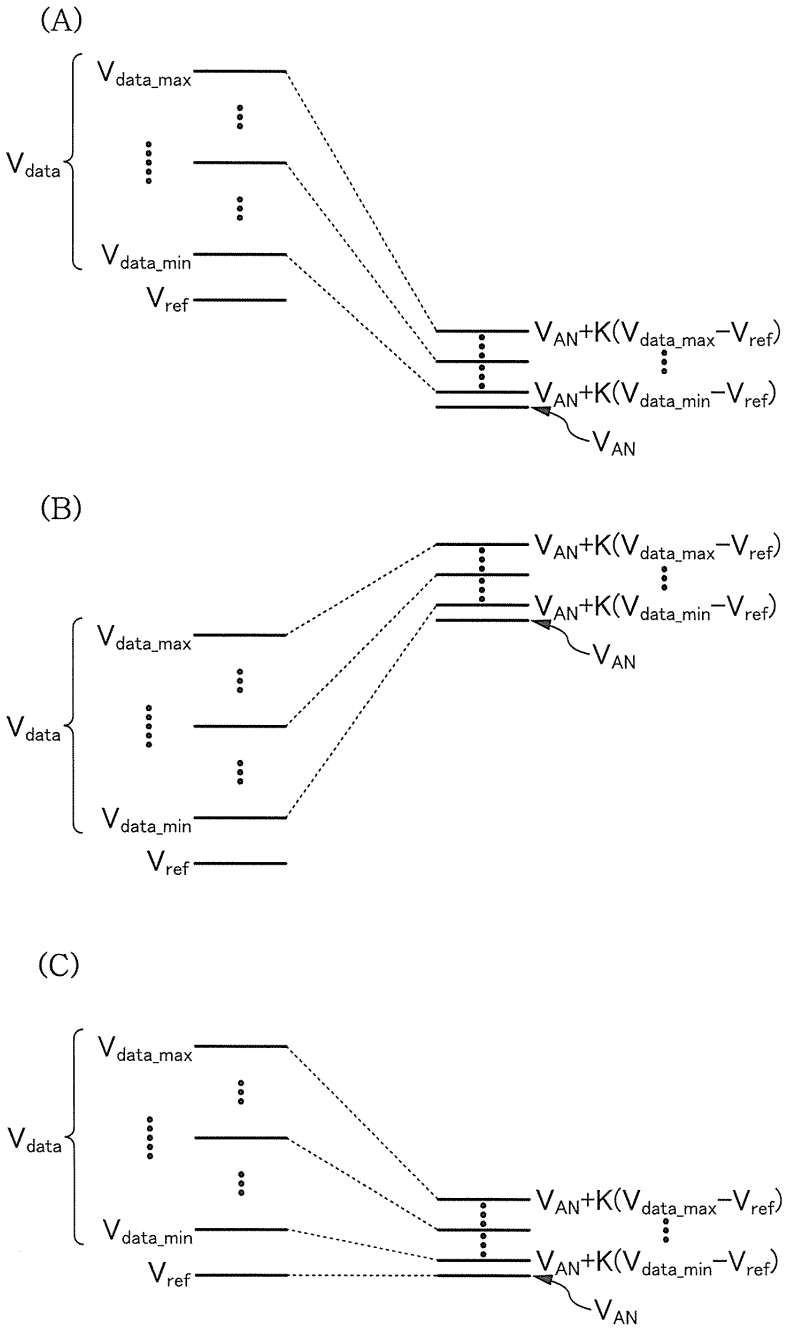
도면2


DSP1A
SD
VE3
SW11
SW12
SWL11
SWL12
C2
N3
CD
CLM
GL6
GL5
SL
VE1
GL3
GL1
VE2
SW3
SW5
GD
M2
SW1
N1
C1
SW6
N2
LD
PX
VE0

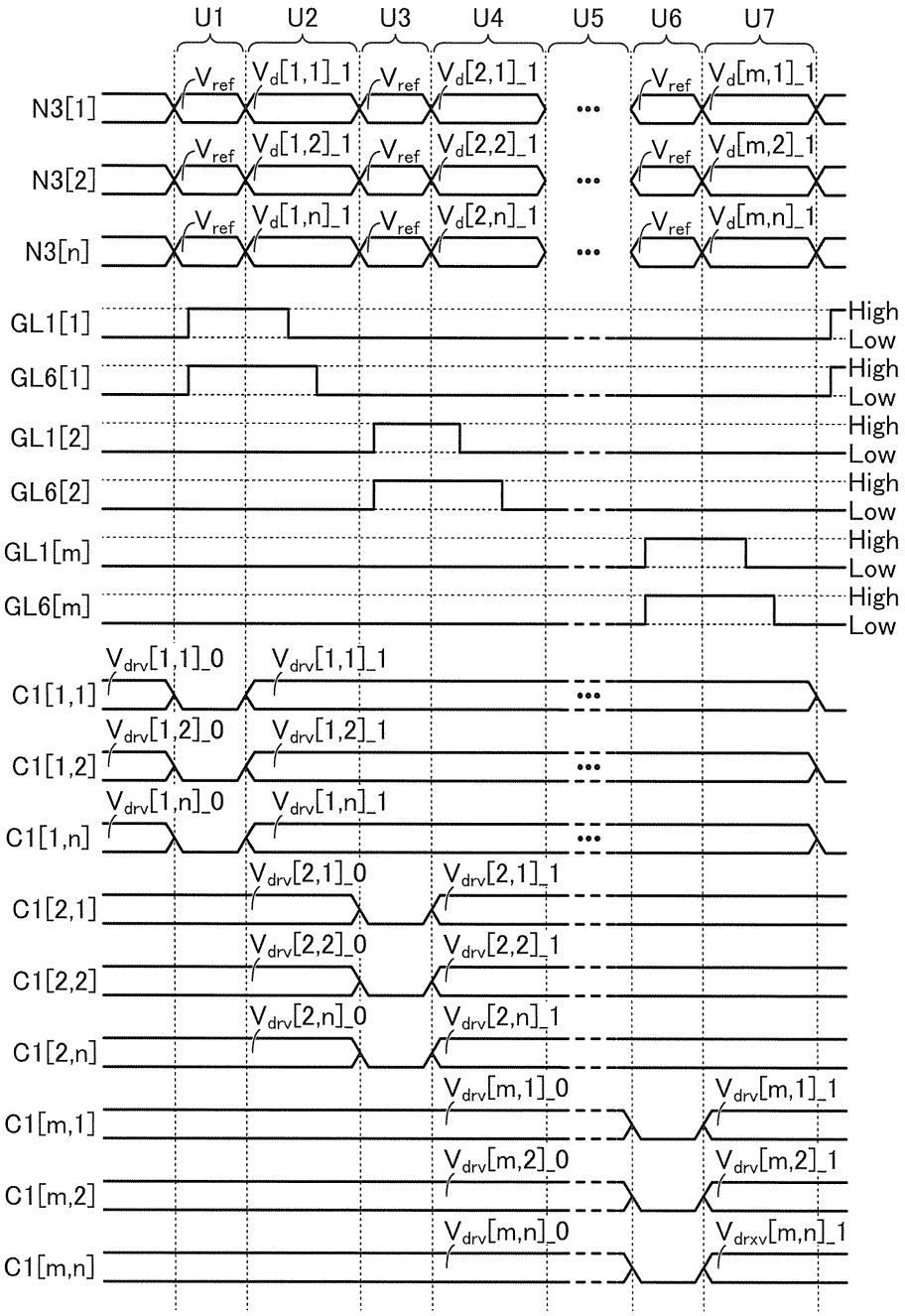
도면3


(A)
T11
T12
T13
T14
T15
T16
T17
GL1
GL3
GL5
GL6
SWL11
SWL12
N3
High
Low
V_{data}
V_{ref}
(B)
V_{AN}
V_G
V_S
$V_N+V_{th}+\Delta V_{data}$
V_N+V_{th}
V_N
N1
N2
ΔV_{data}
V_{drv}
ΔV_C
$|V_{th}|$

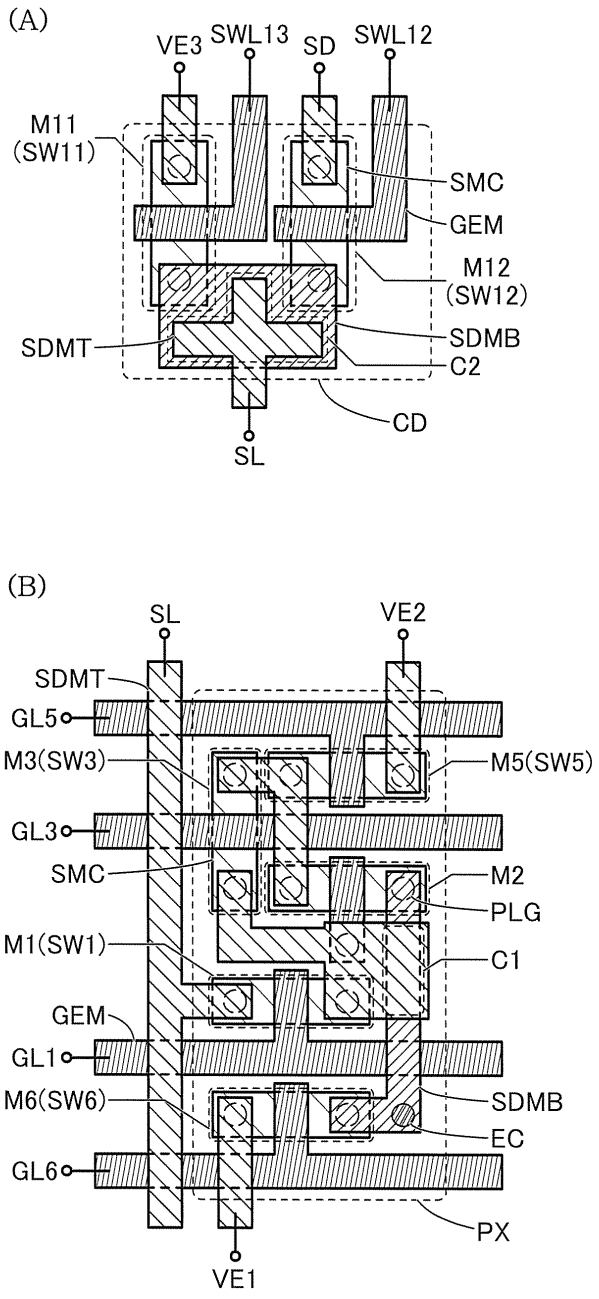
도면4


(A)
V_{data_max}
V_{data}
V_{data_min}
V_{ref}
$V_{AN}+K(V_{data_max}-V_{ref})$
$V_{AN}+K(V_{data_min}-V_{ref})$
V_{AN}
(B)
$V_{AN}+K(V_{data_max}-V_{ref})$
$V_{AN}+K(V_{data_min}-V_{ref})$
V_{AN}
V_{data_max}
V_{data}
V_{data_min}
V_{ref}
(C)
V_{data_max}
V_{data}
V_{data_min}
V_{ref}
$V_{AN}+K(V_{data_max}-V_{ref})$
$V_{AN}+K(V_{data_min}-V_{ref})$
V_{AN}

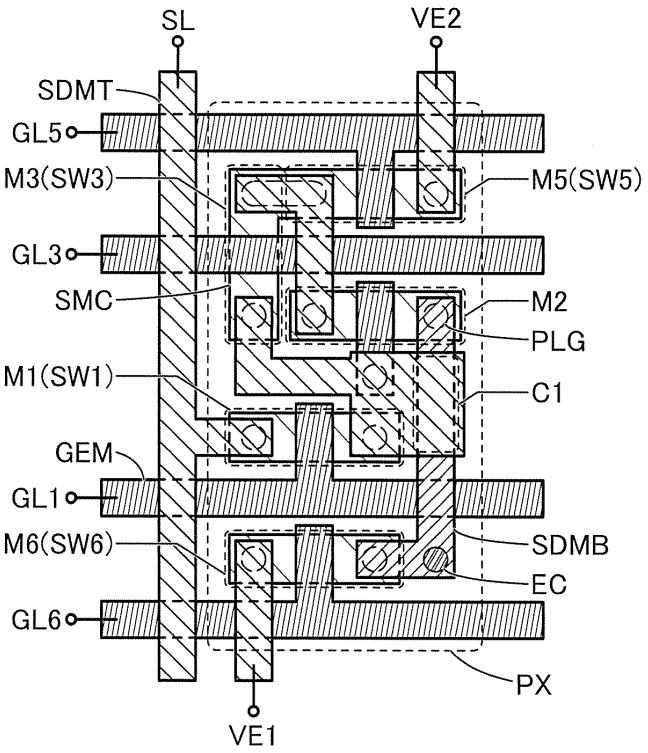
도면5


U1
U2
U3
U4
U5
U6
U7
N3[1]
N3[2]
N3[n]
GL1[1]
GL6[1]
GL1[2]
GL6[2]
GL1[m]
GL6[m]
C1[1,1]
C1[1,2]
C1[1,n]
C1[2,1]
C1[2,2]
C1[2,n]
C1[m,1]
C1[m,2]
C1[m,n]
High
Low

도면6

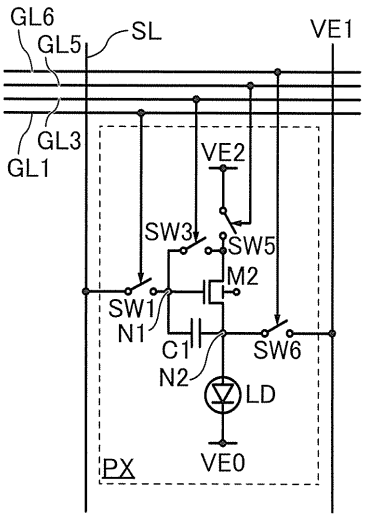

(A)
VE3
SWL13
SD
SWL12
M11
(SW11)
SMC
GEM
M12
(SW12)
SDMB
C2
SDMT
CD
SL
(B)
SL
VE2
SDMT
GL5
M3(SW3)
M5(SW5)
GL3
SMC
M2
PLG
M1(SW1)
C1
GEM
GL1
M6(SW6)
SDMB
EC
GL6
PX
VE1

도면7

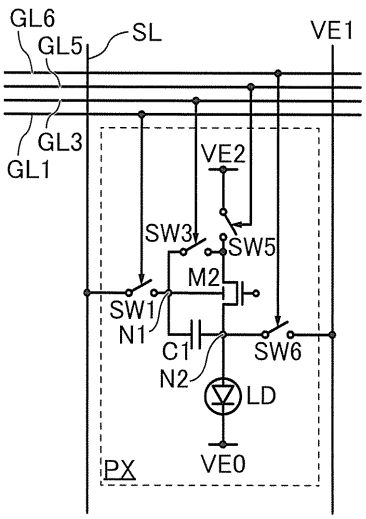

SL
VE2
SDMT
GL5
M3(SW3)
M5(SW5)
GL3
SMC
M2
PLG
M1(SW1)
C1
GEM
GL1
M6(SW6)
SDMB
EC
GL6
PX
VE1

도면8

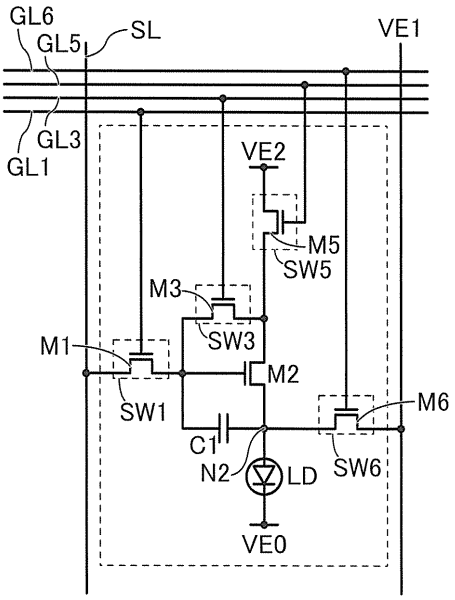
(A)


GL6
GL5
SL
VE1
GL3
GL1
VE2
SW3
SW5
M2
SW1
N1
C1
SW6
N2
LD
PX
VE0

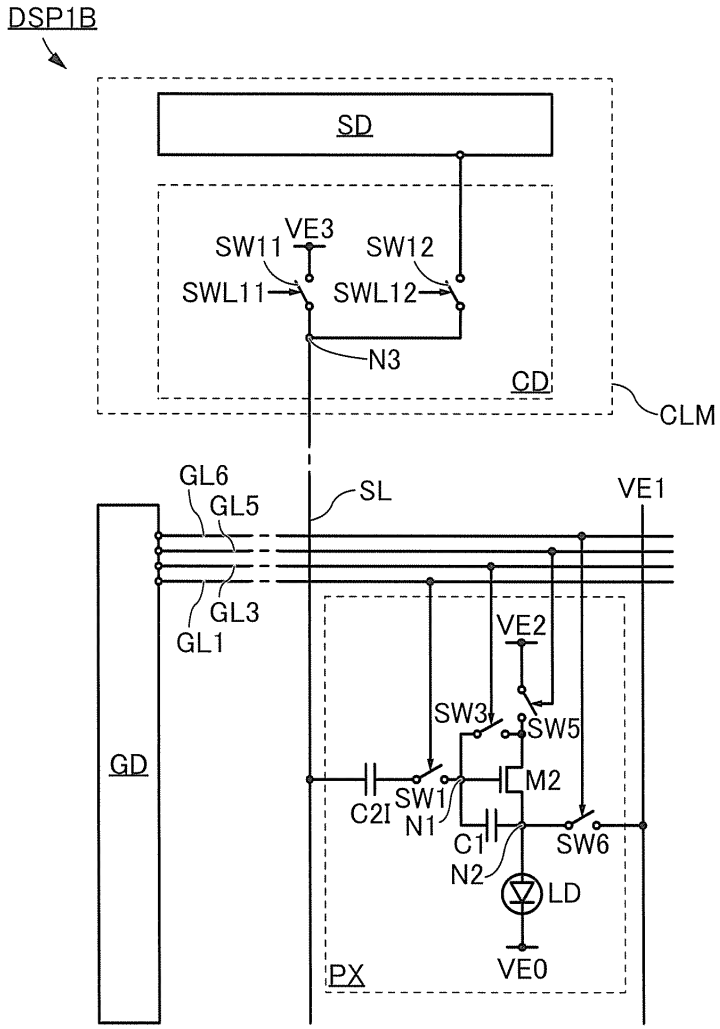
(B)


GL6
GL5
SL
VE1
GL3
GL1
VE2
SW3
SW5
M2
SW1
N1
C1
SW6
N2
LD
PX
VE0

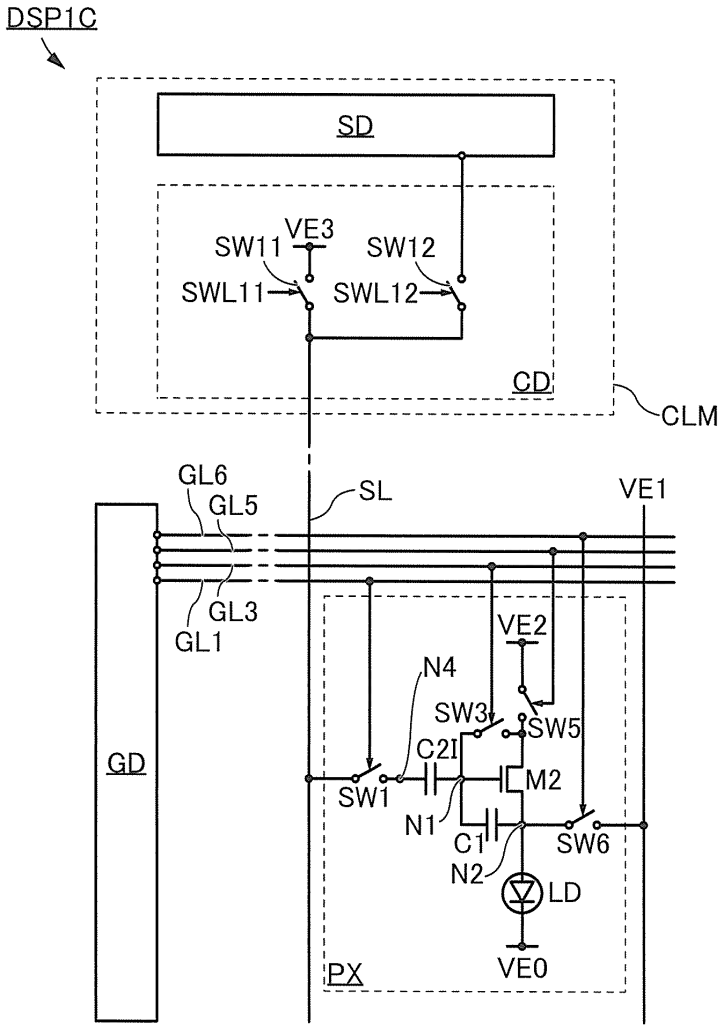
(C)


GL6
GL5
SL
VE1
GL3
GL1
VE2
M5
SW5
M3
SW3
M1
M2
SW1
M6
C1
N2
LD
SW6
VE0

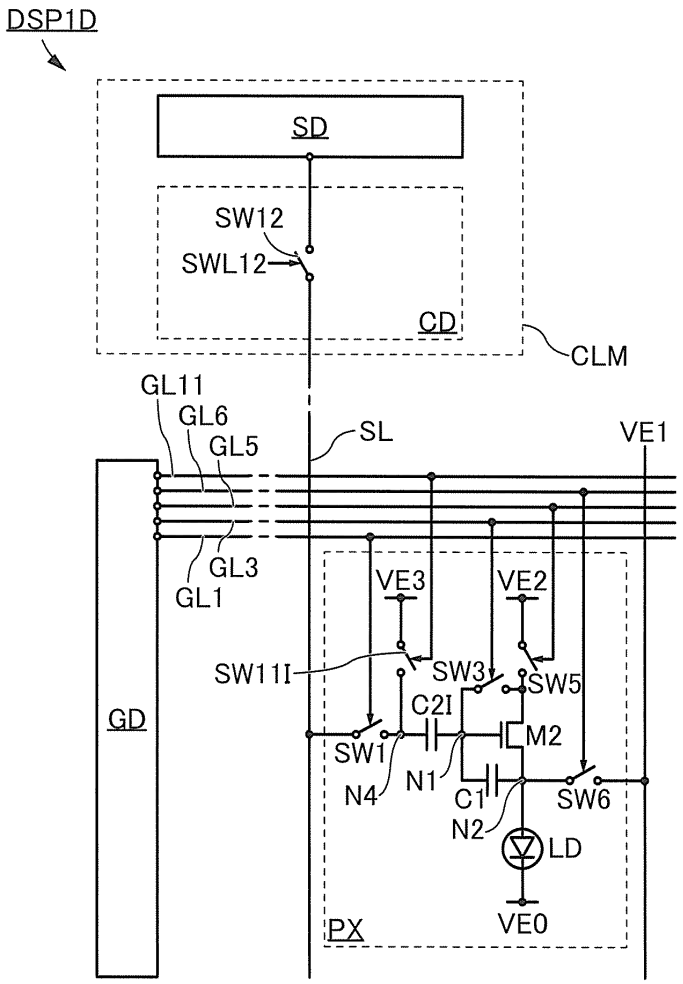
도면9


DSP1B
SD
VE3
SW11
SW12
SWL11
SWL12
N3
CD
CLM
GL6
GL5
SL
VE1
GL3
GL1
VE2
SW3
SW5
GD
M2
C2I
SW1
N1
C1
SW6
N2
LD
PX
VE0

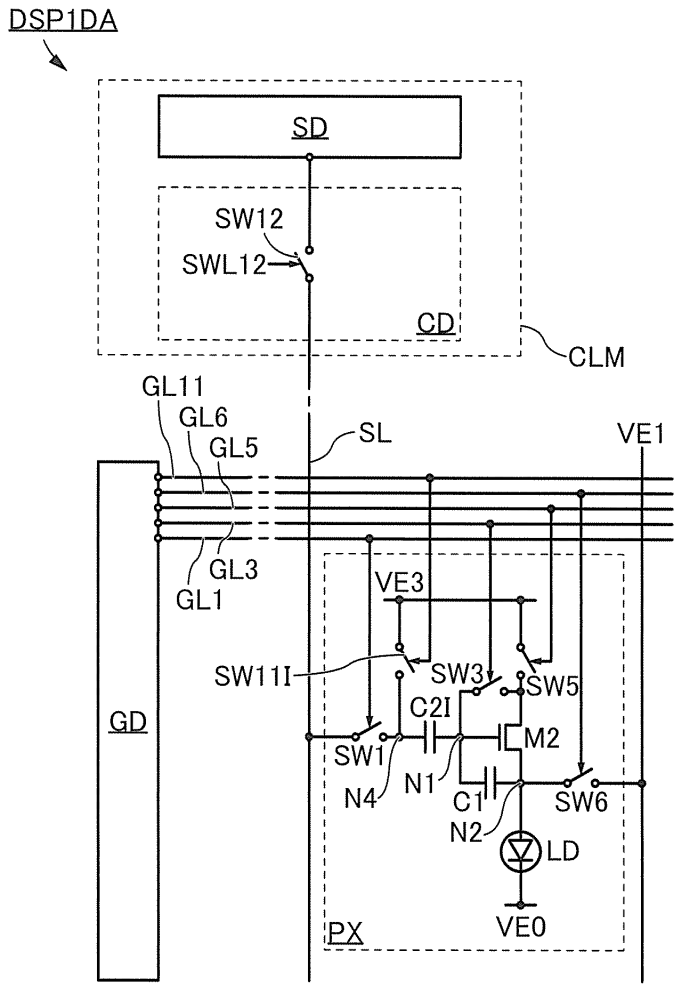
도면10


DSP1C
SD
VE3
SW11
SW12
SWL11
SWL12
CD
CLM
GL6
GL5
SL
VE1
GL3
GL1
VE2
N4
SW3
SW5
GD
C2I
M2
SW1
N1
C1
SW6
N2
LD
PX
VE0

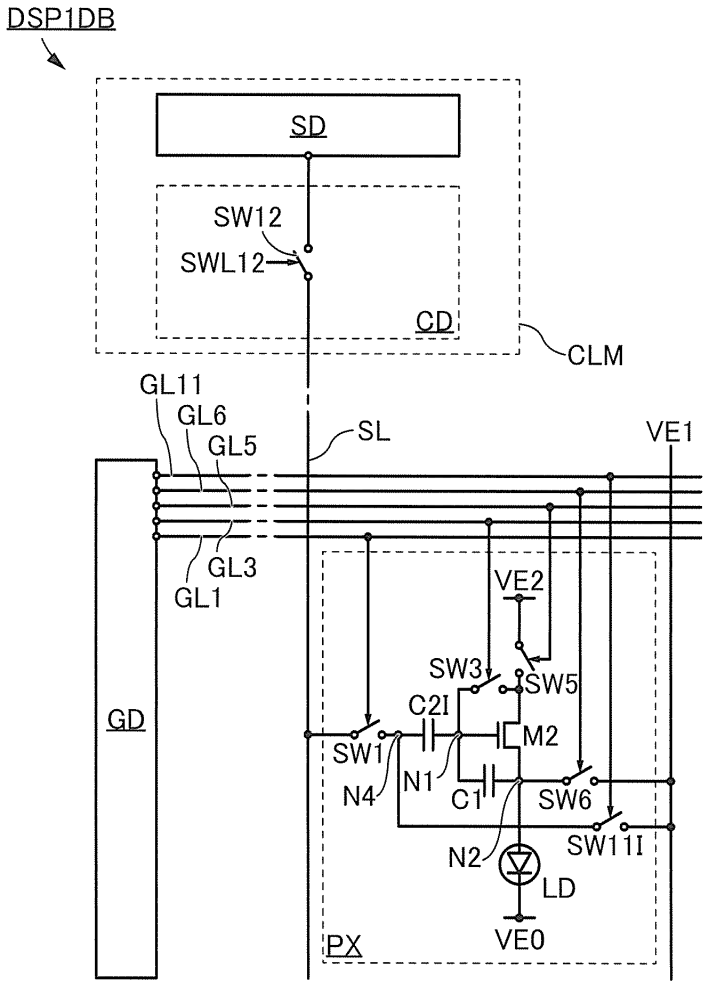
도면11


DSP1D
SD
SW12
SWL12
CD
CLM
GL11
GL6
GL5
SL
VE1
GL3
GL1
VE3
VE2
SW11I
SW3
SW5
C2I
GD
M2
SW1
N1
N4
C1
SW6
N2
LD
PX
VE0

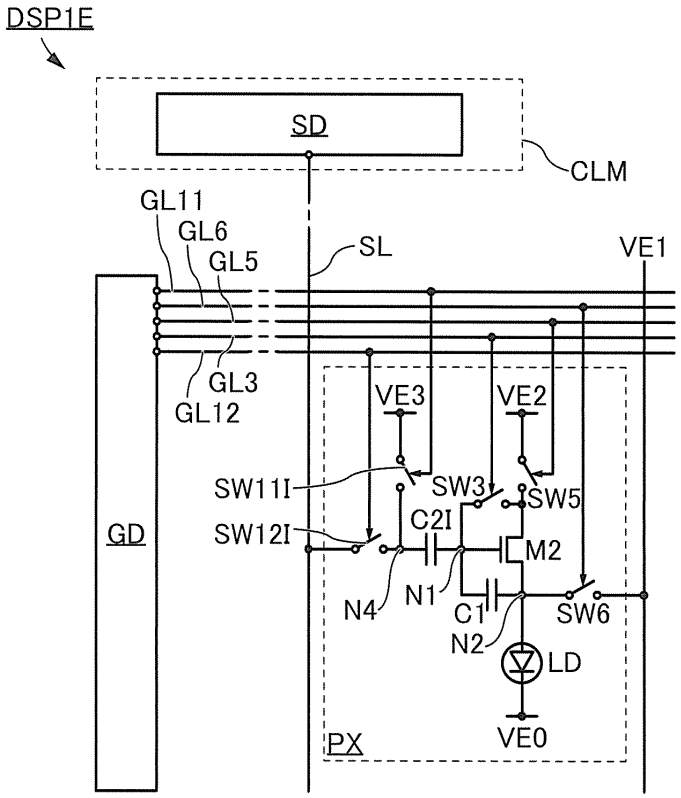
도면12


DSP1DA
SD
SW12
SWL12
CD
CLM
GL11
GL6
GL5
SL
VE1
GL3
GL1
VE3
SW11I
SW3
SW5
C2I
M2
GD
SW1
N4
N1
C1
SW6
N2
LD
PX
VE0

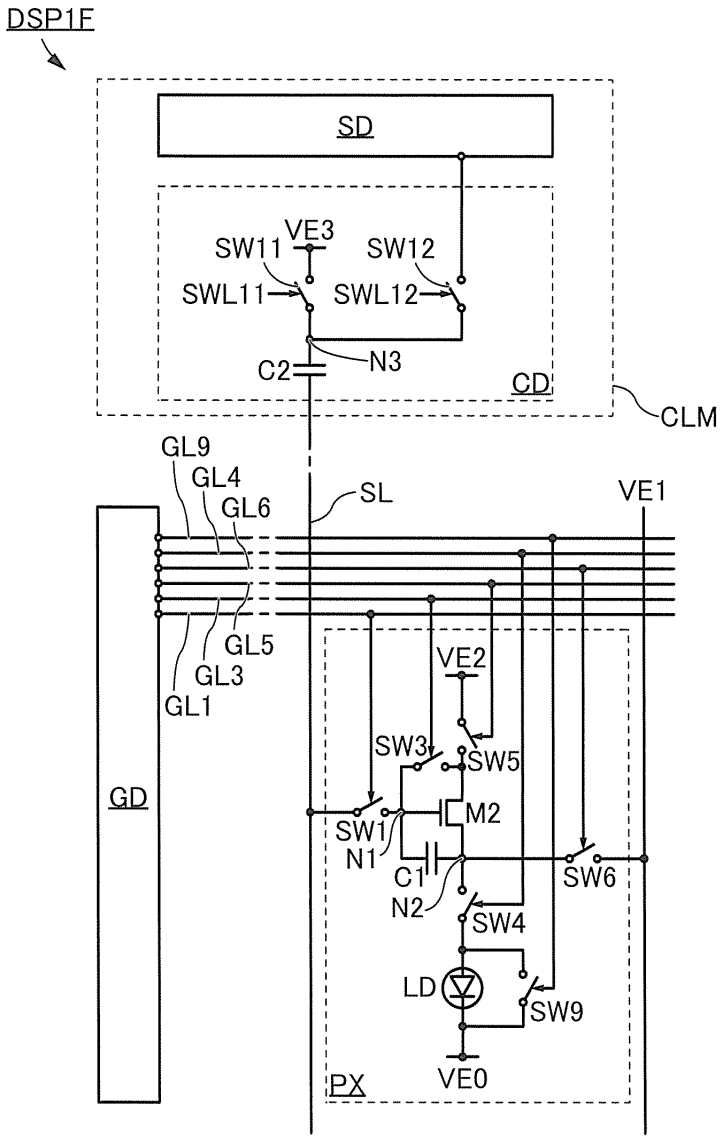
도면13


DSP1DB
SD
SW12
SWL12
CD
CLM
GL11
GL6
GL5
SL
VE1
GL3
GL1
VE2
SW3
SW5
GD
C2I
M2
SW1
N1
N4
C1
SW6
SW11I
N2
LD
VE0
PX

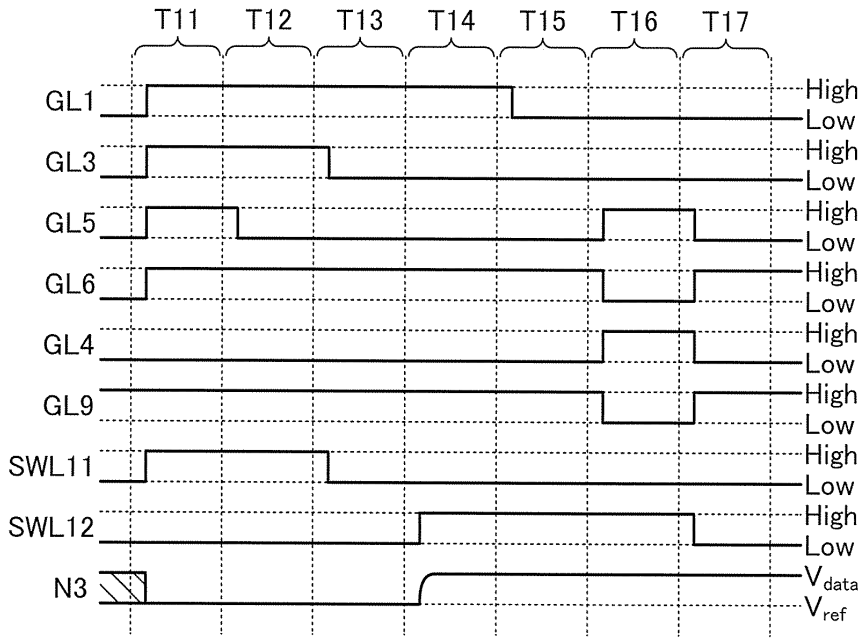
도면14


DSP1E
SD
CLM
GL11
GL6
GL5
SL
VE1
GL3
GL12
VE3
VE2
SW11I
SW3
SW5
C2I
GD
SW12I
M2
N4
N1
C1
SW6
N2
LD
PX
VE0

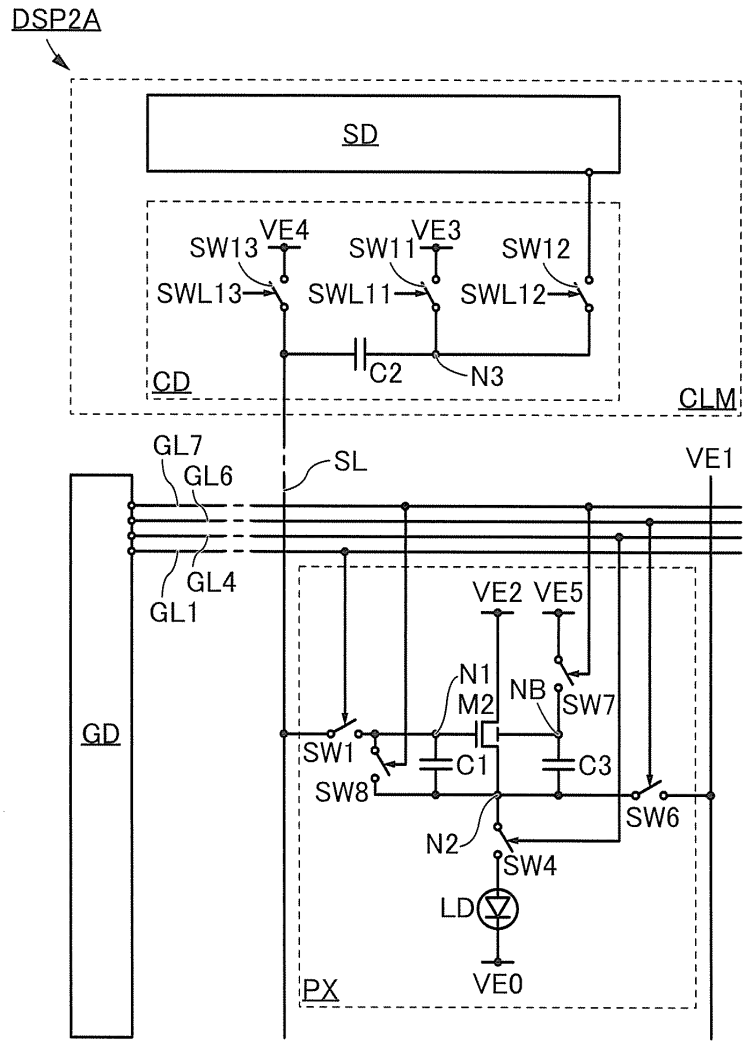
도면15


DSP1F
SD
VE3
SW11
SW12
SWL11
SWL12
C2
N3
CD
CLM
GL9
GL4
GL6
SL
VE1
GL5
GL3
GL1
VE2
SW3
SW5
GD
M2
SW1
N1
C1
SW6
N2
SW4
LD
SW9
PX
VE0

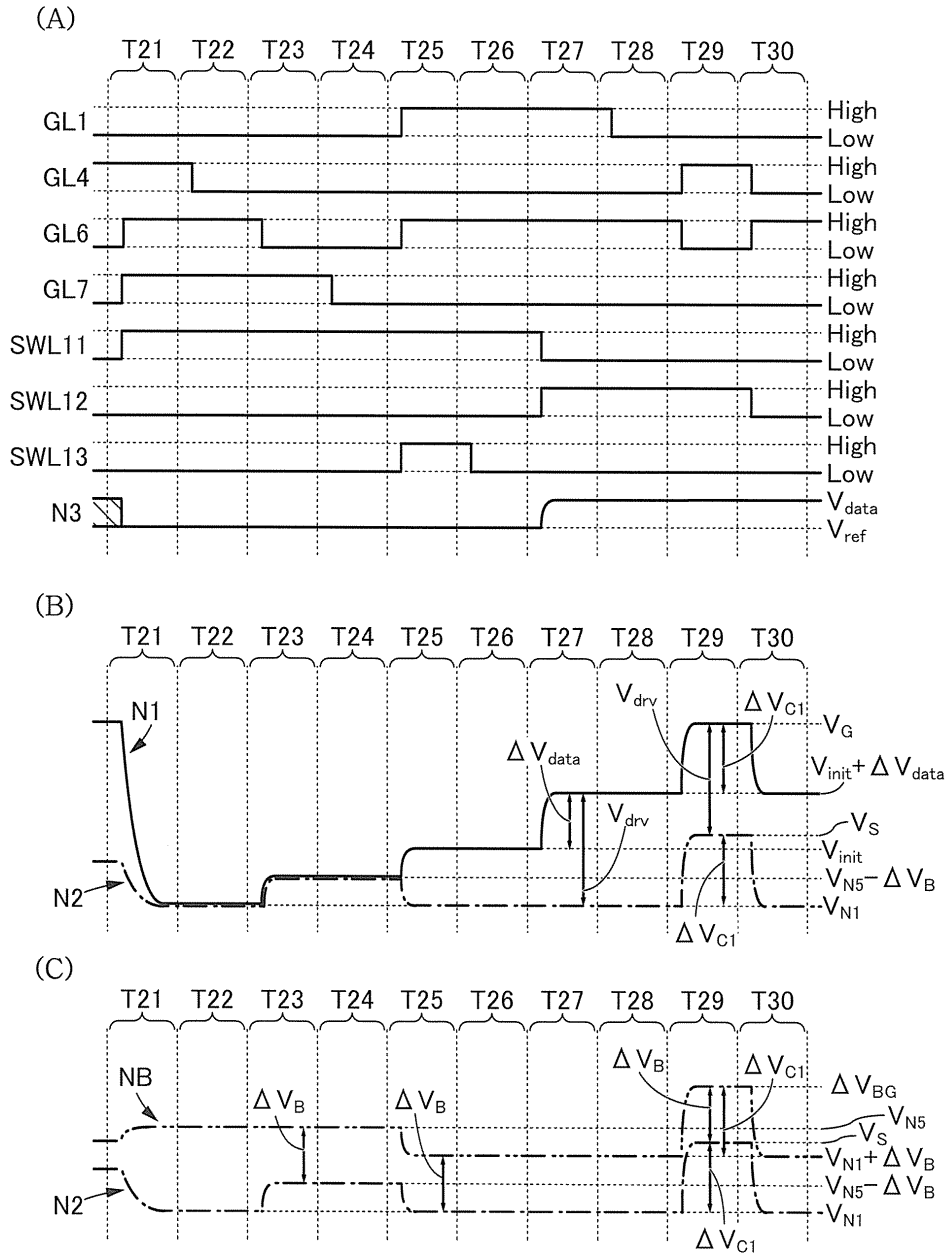
도면16


T11
T12
T13
T14
T15
T16
T17
GL1
GL3
GL5
GL6
GL4
GL9
SWL11
SWL12
N3
High
Low
V_{data}
V_{ref}

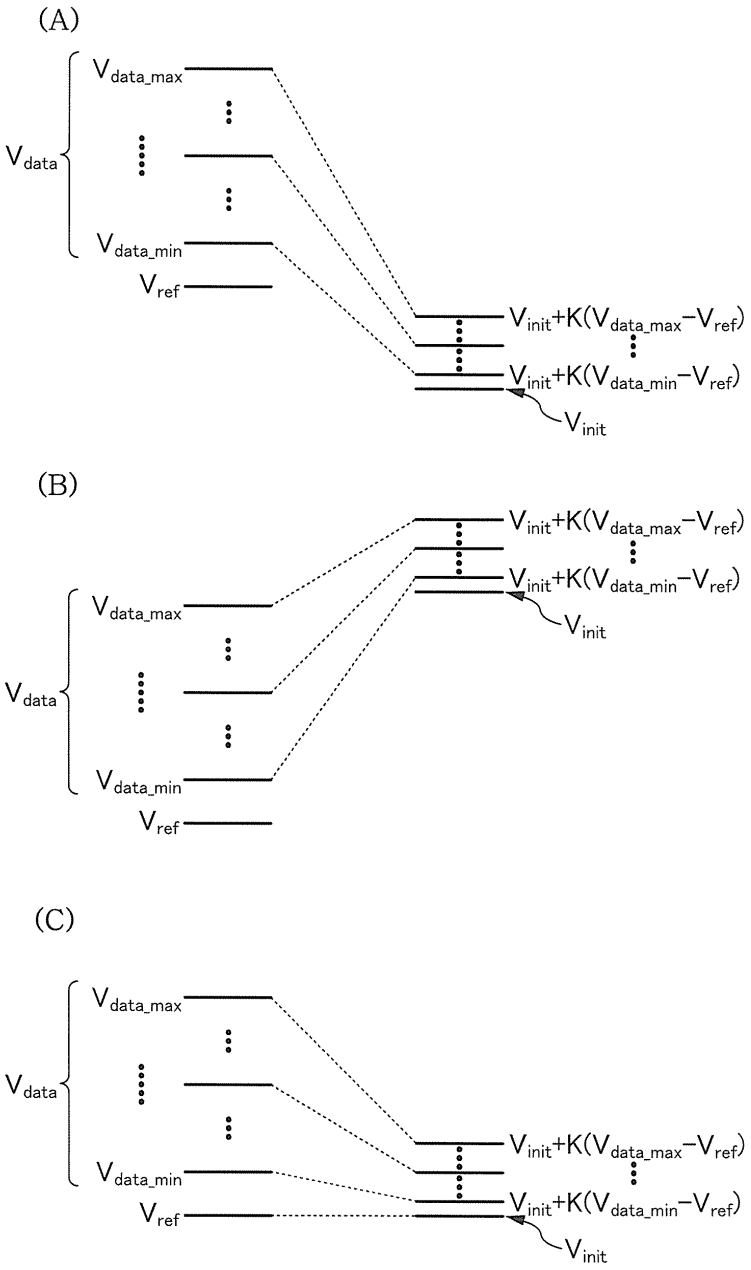
도면17


DSP2A
SD
VE4
VE3
SW13
SW11
SW12
SWL13
SWL11
SWL12
C2
N3
CD
CLM
GL7
GL6
SL
VE1
GL4
GL1
VE2
VE5
N1
M2
NB
SW7
GD
SW1
C1
C3
SW8
SW6
N2
SW4
LD
PX
VE0

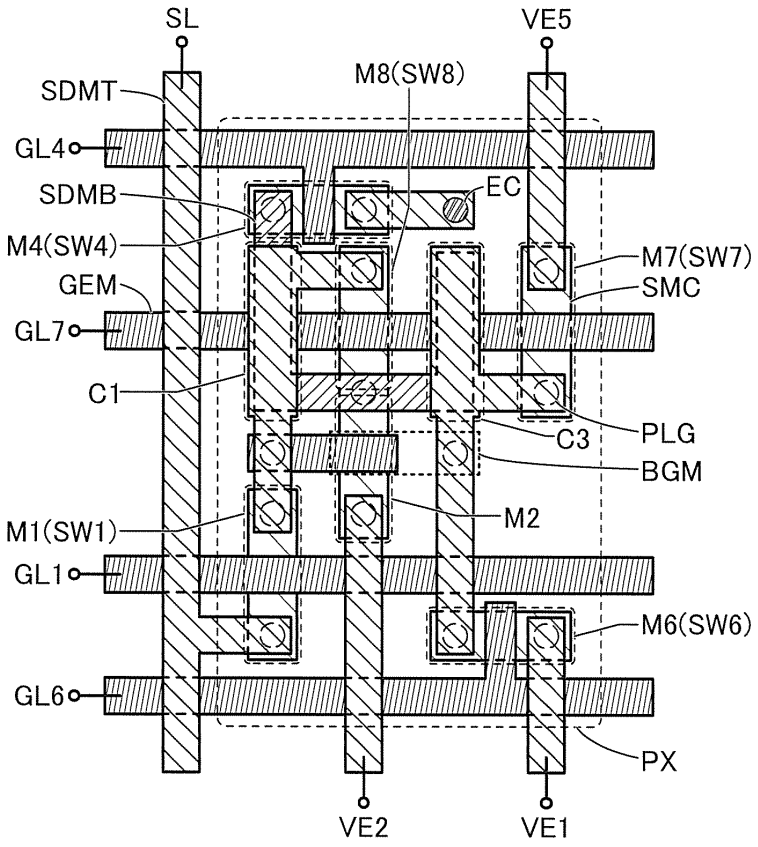
도면18


(A)
T21 T22 T23 T24 T25 T26 T27 T28 T29 T30
GL1
GL4
GL6
GL7
SWL11
SWL12
SWL13
N3
High
Low
Vdata
Vref
(B)
N1
N2
Vdrv
ΔVC1
ΔVdata
VG
Vinit+ΔVdata
VS
Vinit
VN5−ΔVB
VN1
(C)
NB
ΔVB
ΔVBG
VN5
VS
VN1+ΔVB
VN5−ΔVB
VN1

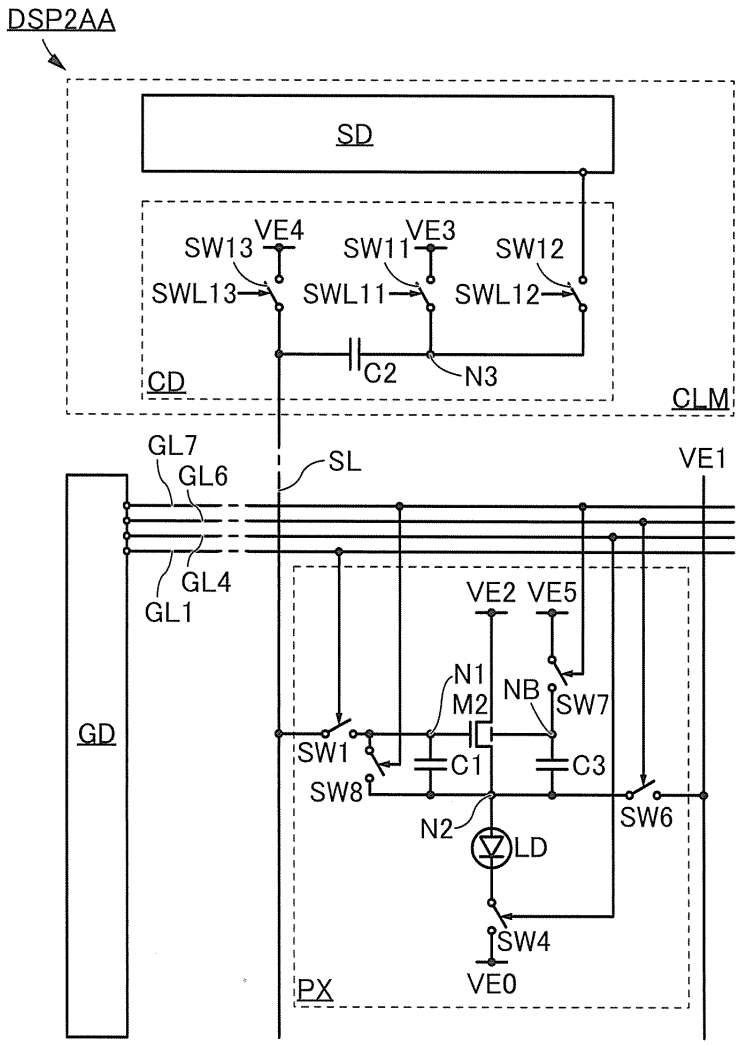
도면19


(A)
V_{data_max}
V_{data}
V_{data_min}
V_{ref}
$V_{init}+K(V_{data_max}-V_{ref})$
$V_{init}+K(V_{data_min}-V_{ref})$
V_{init}
(B)
$V_{init}+K(V_{data_max}-V_{ref})$
$V_{init}+K(V_{data_min}-V_{ref})$
V_{init}
V_{data_max}
V_{data}
V_{data_min}
V_{ref}
(C)
V_{data_max}
V_{data}
V_{data_min}
V_{ref}
$V_{init}+K(V_{data_max}-V_{ref})$
$V_{init}+K(V_{data_min}-V_{ref})$
V_{init}

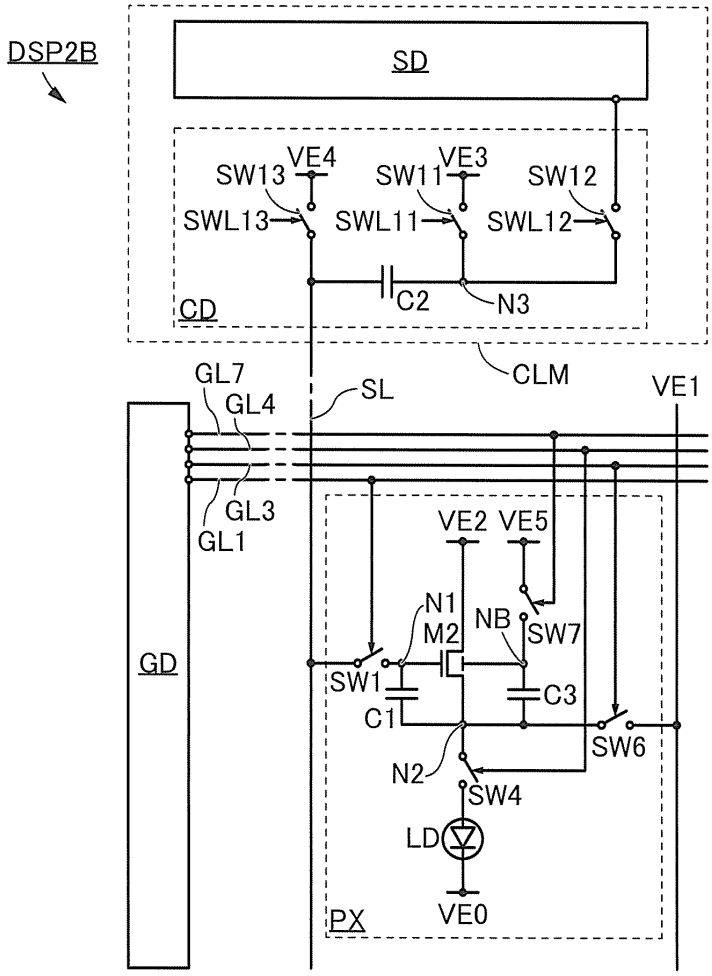
도면20


SL
VE5
M8(SW8)
SDMT
GL4
EC
SDMB
M4(SW4)
M7(SW7)
SMC
GEM
GL7
C1
C3
PLG
BGM
M2
M1(SW1)
GL1
M6(SW6)
GL6
PX
VE2
VE1

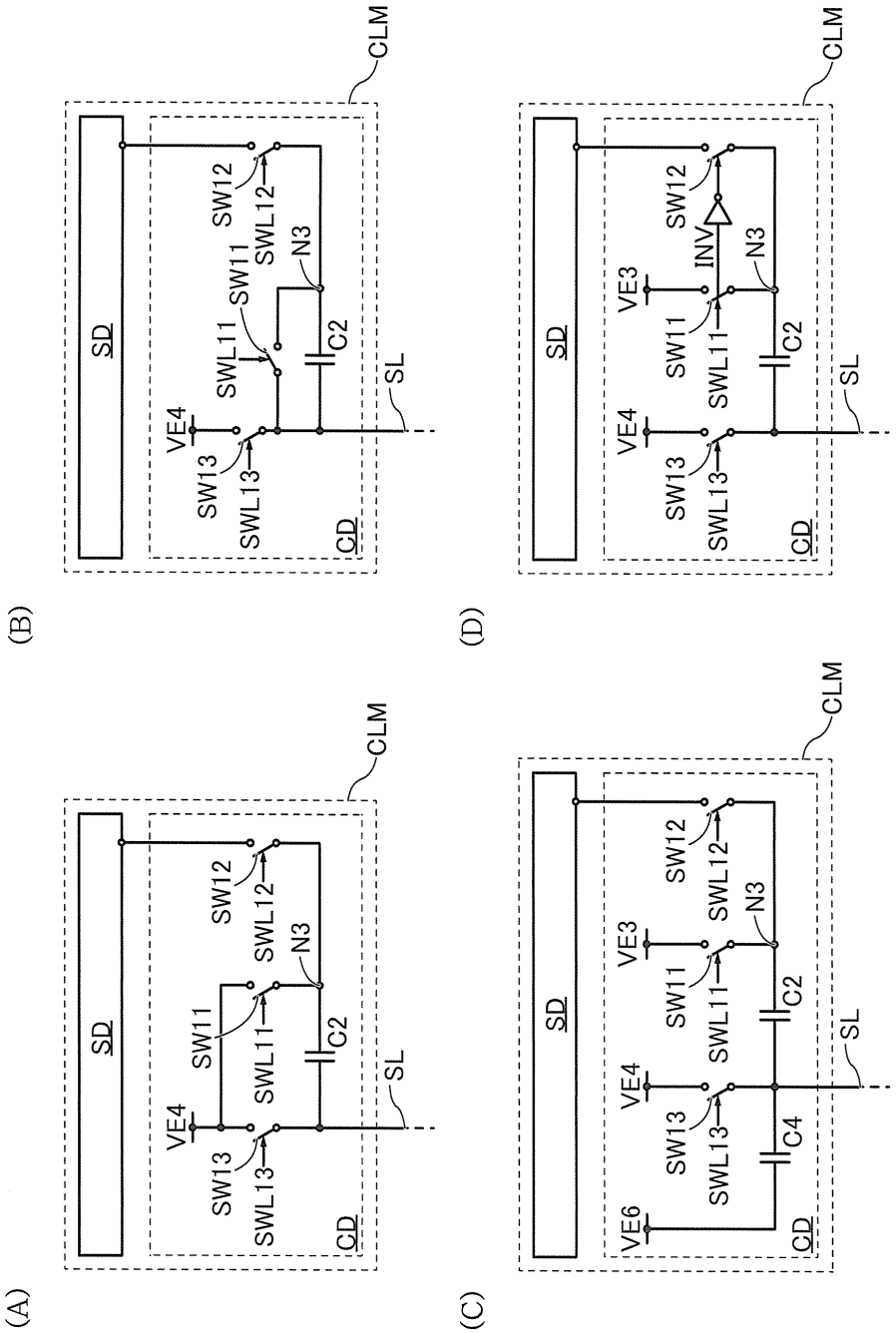
도면21


DSP2AA
SD
VE4
VE3
SW13
SW11
SW12
SWL13
SWL11
SWL12
C2
N3
CD
CLM
GL7
GL6
SL
VE1
GL4
GL1
VE2
VE5
N1
M2
NB
SW7
GD
SW1
C1
C3
SW8
SW6
N2
LD
SW4
PX
VE0

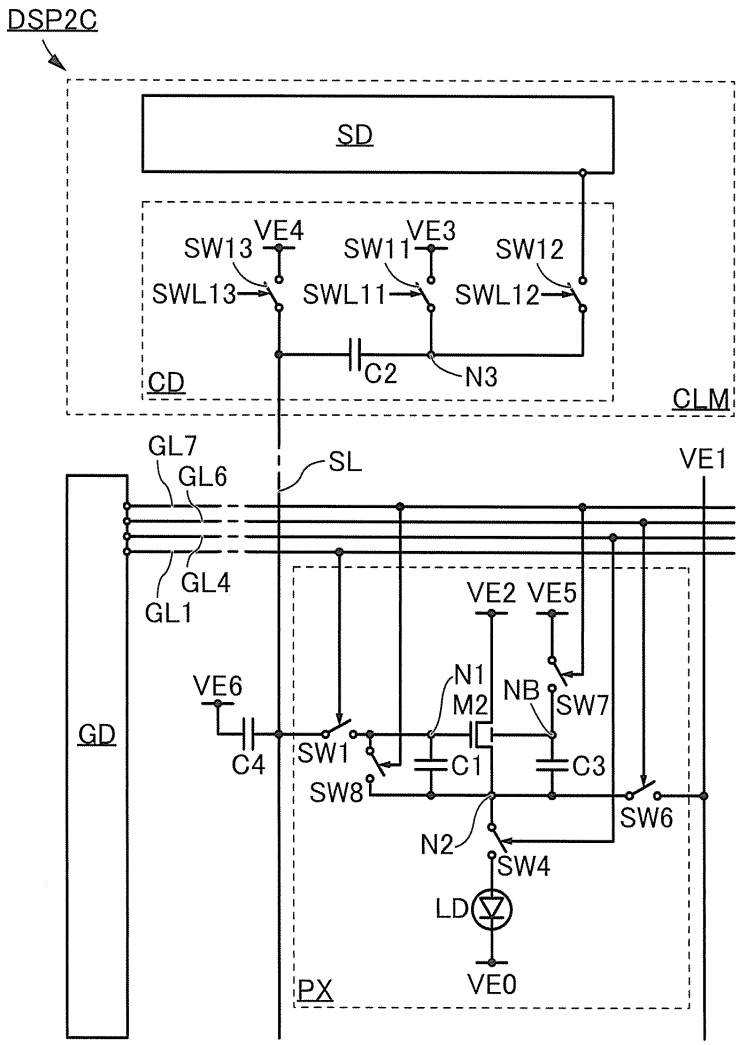
도면22


DSP2B
SD
VE4
SW13
VE3
SW11
SW12
SWL13
SWL11
SWL12
C2
N3
CD
CLM
GL7
GL4
SL
VE1
GL3
GL1
VE2
VE5
N1
M2
NB
SW7
GD
SW1
C1
C3
SW6
N2
SW4
LD
PX
VE0

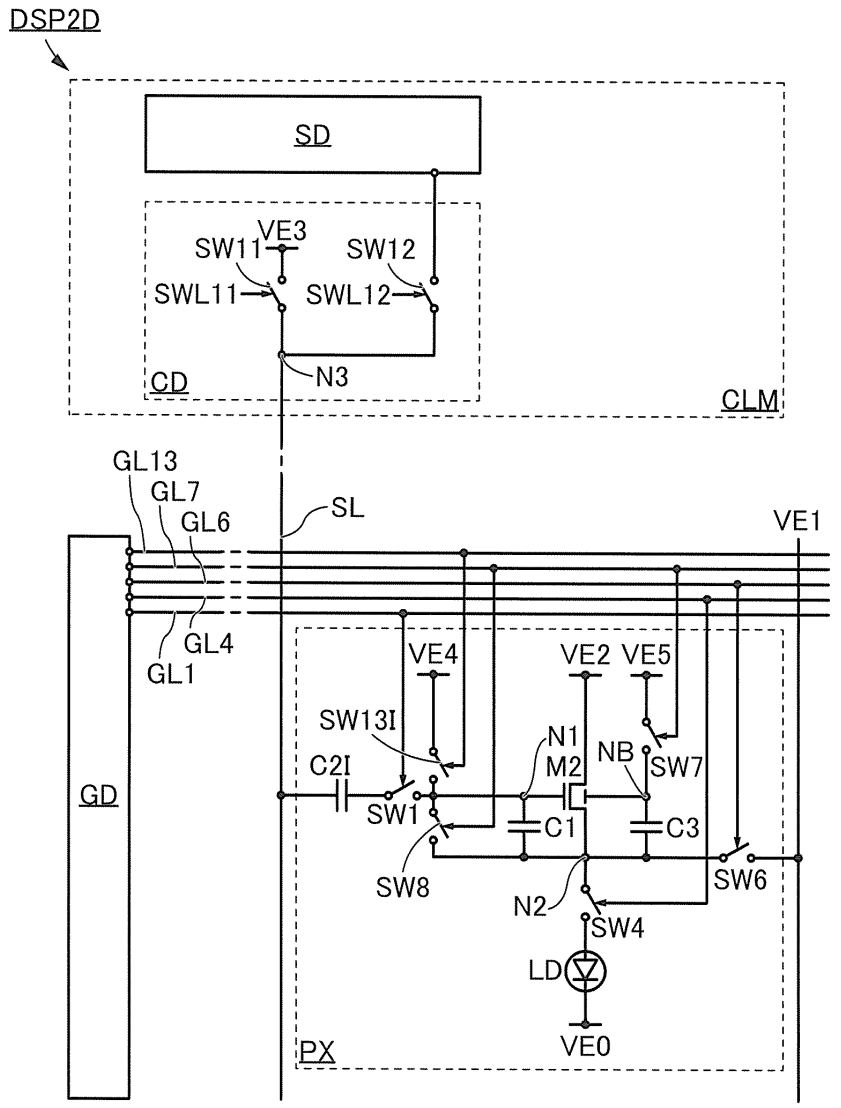
도면23


(A)
CLM
SD
SW12
SWL12
N3
SW11
SWL11
C2
VE4
SW13
SWL13
CD
SL
(B)
CLM
SD
SW12
SWL12
N3
SW11
SWL11
C2
VE4
SW13
SWL13
CD
SL
(C)
CLM
SD
SW12
SWL12
N3
VE3
SW11
SWL11
C2
VE4
SW13
SWL13
C4
VE6
CD
SL
(D)
CLM
SD
SW12
INV
N3
VE3
SW11
SWL11
C2
VE4
SW13
SWL13
CD
SL

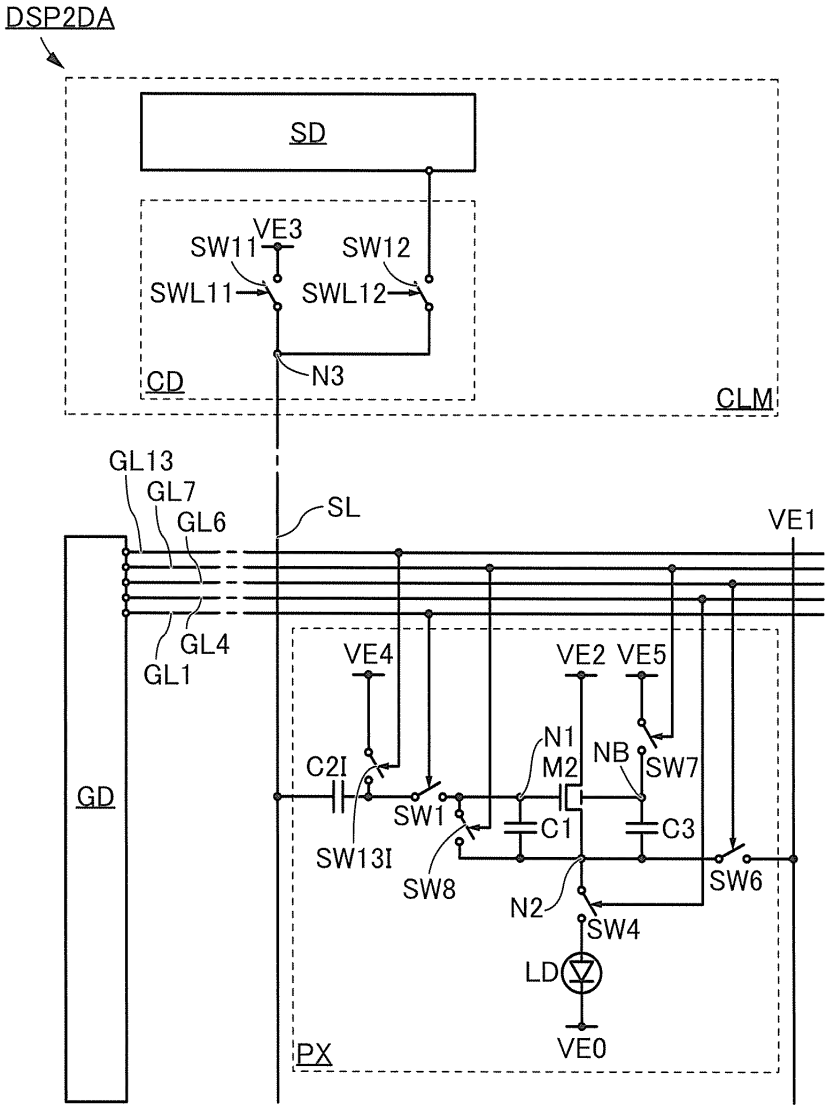
도면24


DSP2C
SD
VE4
VE3
SW13
SW11
SW12
SWL13
SWL11
SWL12
C2
N3
CD
CLM
GL7
GL6
SL
VE1
GL4
GL1
VE2
VE5
VE6
N1
M2
NB
SW7
GD
C4
SW1
C1
C3
SW8
SW6
N2
SW4
LD
PX
VE0

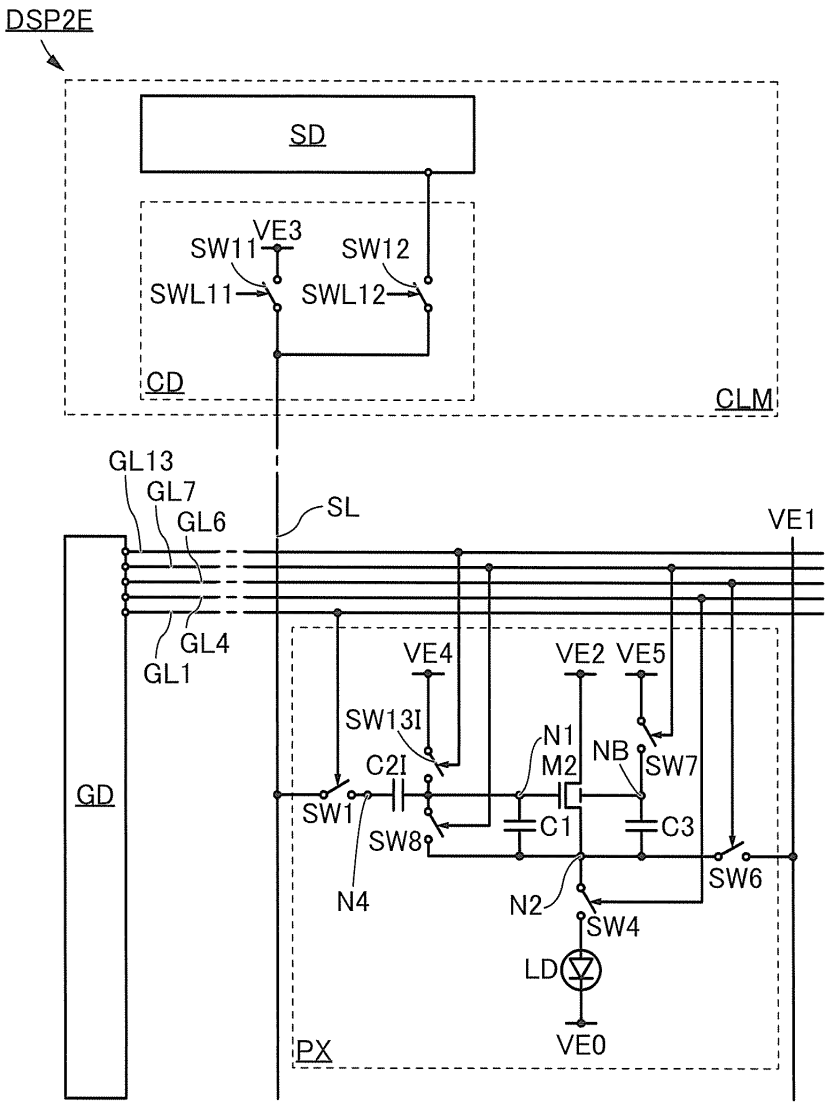
도면25


DSP2D
SD
VE3
SW11
SW12
SWL11
SWL12
CD
N3
CLM
GL13
GL7
GL6
SL
VE1
GL4
GL1
VE4
VE2
VE5
SW13I
N1
NB
C2I
M2
SW7
GD
SW1
C1
C3
SW8
SW6
N2
SW4
LD
PX
VE0

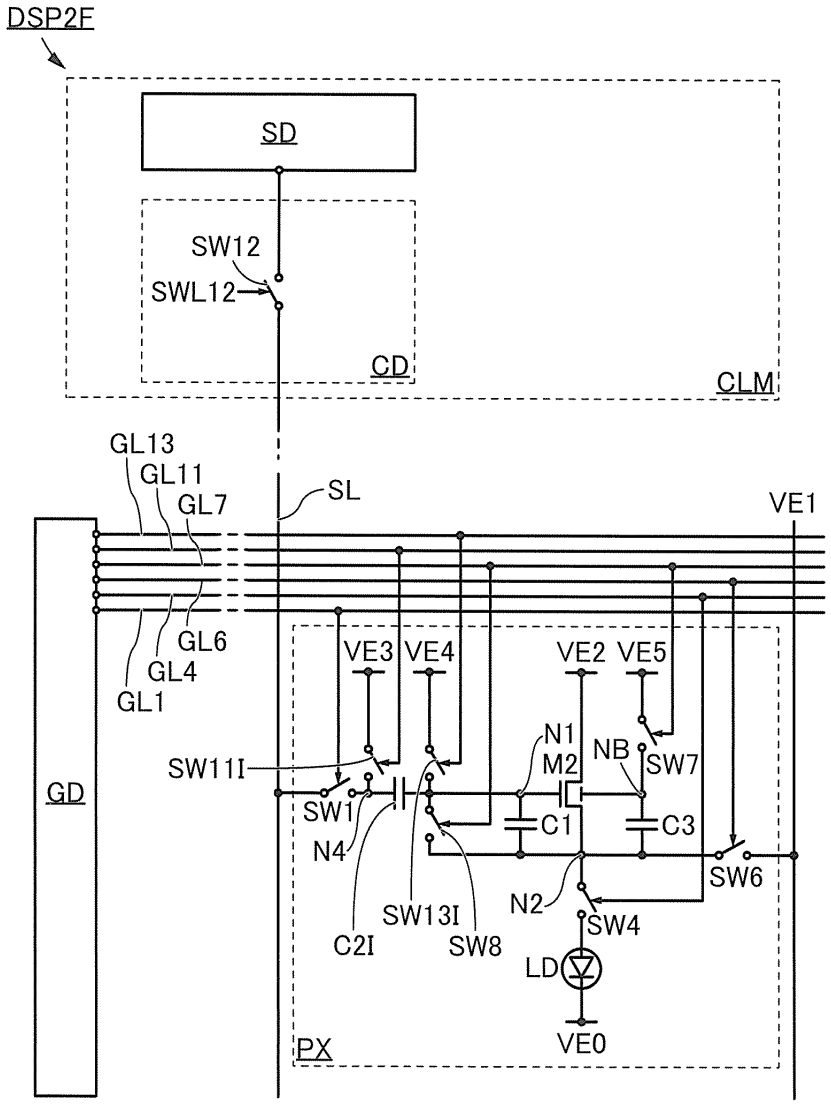
도면26


DSP2DA
SD
VE3
SW11
SW12
SWL11
SWL12
N3
CD
CLM
GL13
GL7
GL6
SL
VE1
GL4
GL1
VE4
VE2
VE5
N1
M2
NB
SW7
C2I
SW1
C1
C3
SW13I
SW8
SW6
N2
SW4
LD
GD
PX
VE0

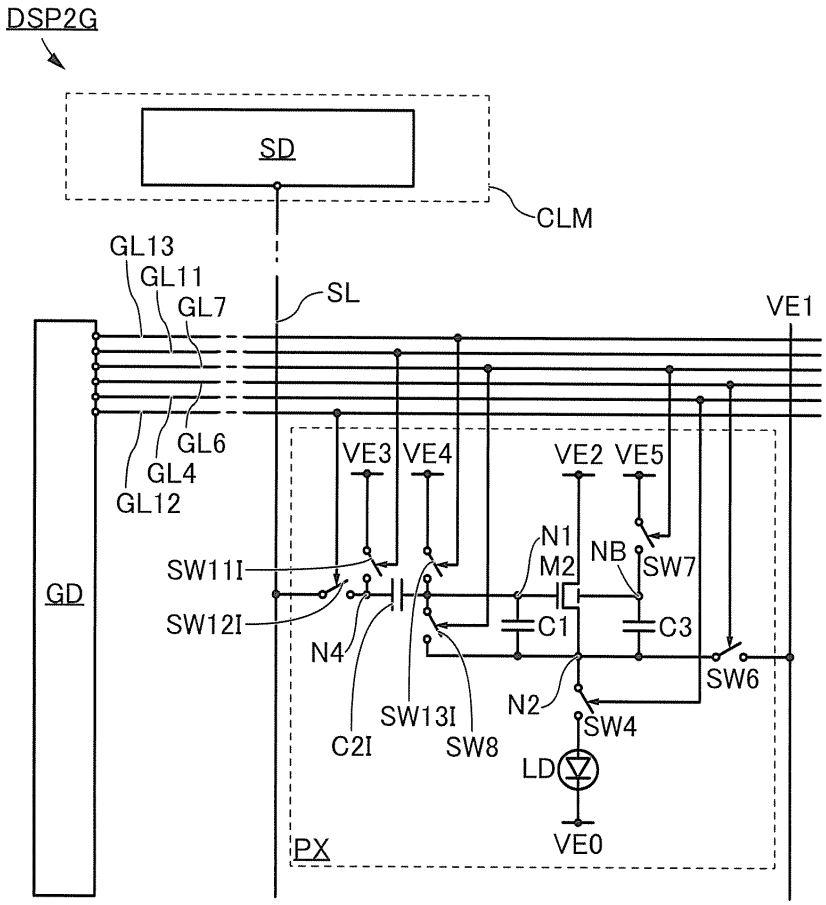
도면27


DSP2E
SD
VE3
SW11
SW12
SWL11
SWL12
CD
CLM
GL13
GL7
GL6
SL
VE1
GL4
GL1
VE4
VE2
VE5
SW13I
N1
M2
NB
SW7
C2I
GD
SW1
C1
C3
SW8
SW6
N4
N2
SW4
LD
PX
VE0

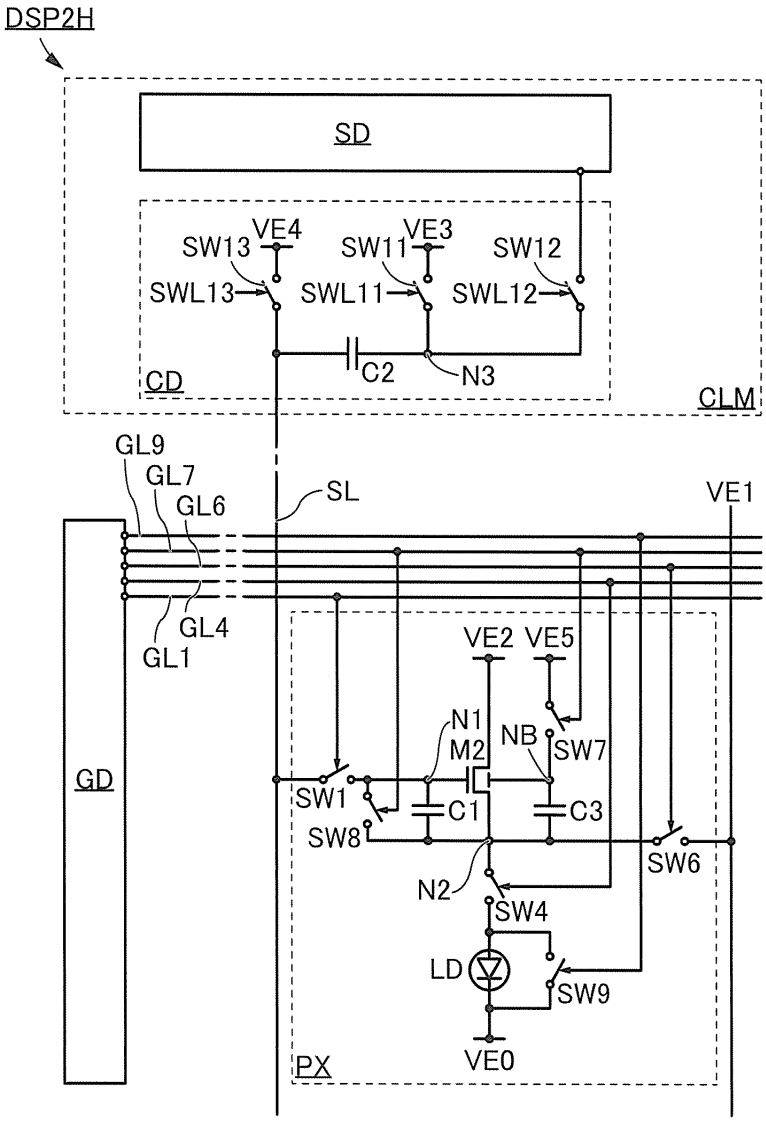
도면28


DSP2F
SD
SW12
SWL12
CD
CLM
GL13
GL11
GL7
SL
VE1
GL6
GL4
GL1
VE3
VE4
VE2
VE5
N1
M2
NB
SW7
SW11I
GD
SW1
C1
C3
N4
SW6
N2
SW13I
SW4
C2I
SW8
LD
PX
VE0

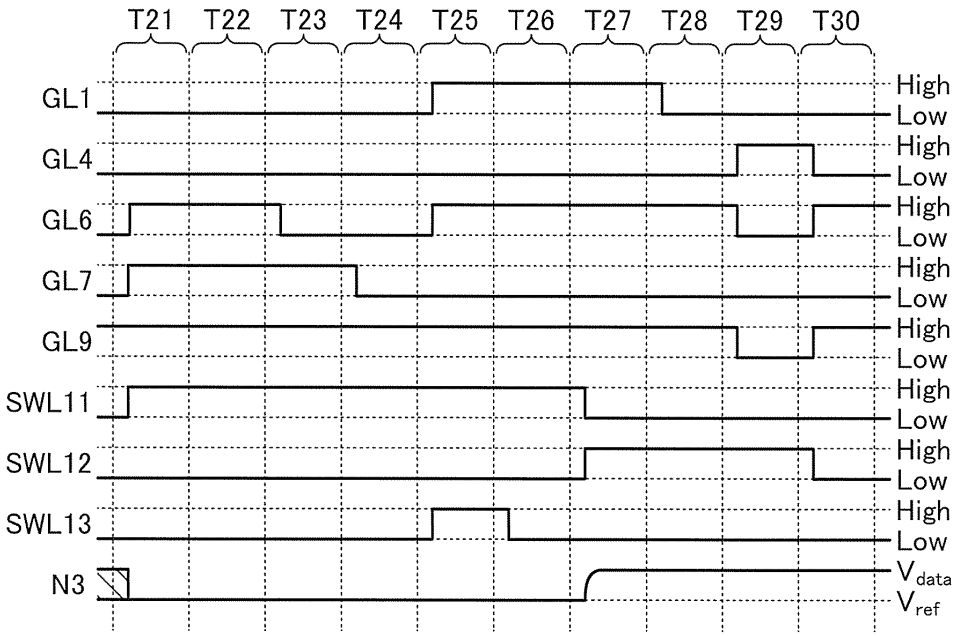
도면29


DSP2G
SD
CLM
GL13
GL11
GL7
SL
VE1
GL6
GL4
GL12
VE3
VE4
VE2
VE5
N1
M2
NB
SW7
SW11I
SW12I
GD
C1
C3
N4
SW6
N2
SW4
SW13I
C2I
SW8
LD
PX
VE0

도면30

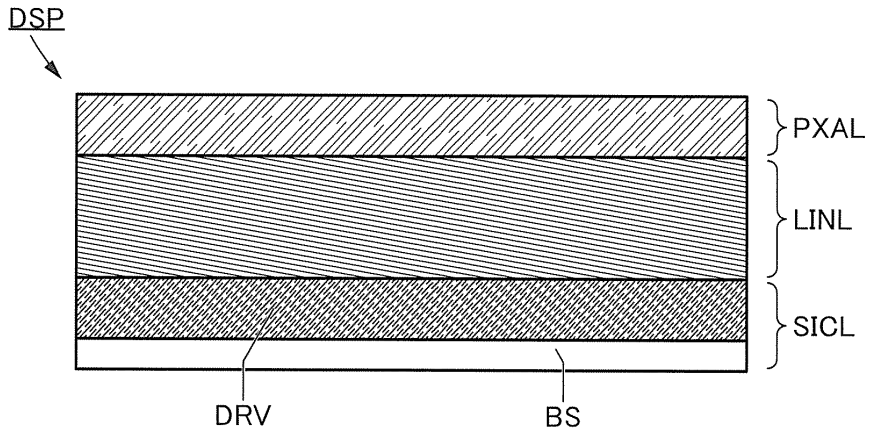

DSP2H
SD
VE4
VE3
SW13
SW11
SW12
SWL13
SWL11
SWL12
C2
N3
CD
CLM
GL9
GL7
GL6
SL
VE1
GL4
GL1
VE2
VE5
N1
M2
NB
SW7
GD
SW1
C1
C3
SW8
SW6
N2
SW4
LD
SW9
PX
VE0

도면31

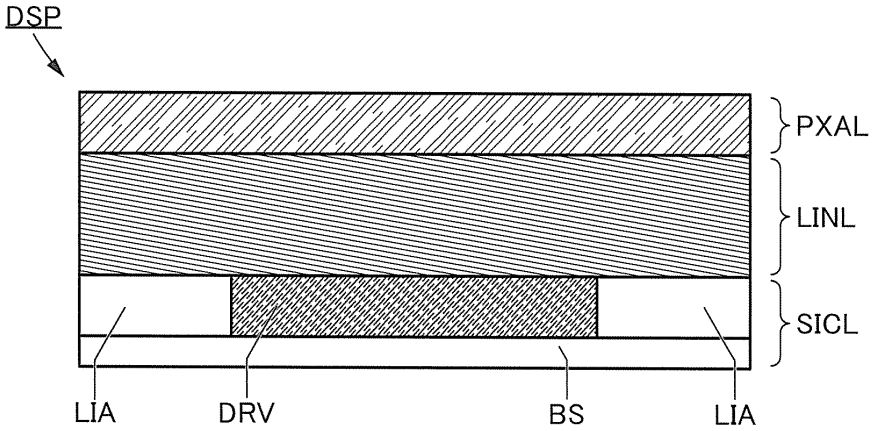

T21
T22
T23
T24
T25
T26
T27
T28
T29
T30
GL1
GL4
GL6
GL7
GL9
SWL11
SWL12
SWL13
N3
High
Low
V_{data}
V_{ref}

도면32

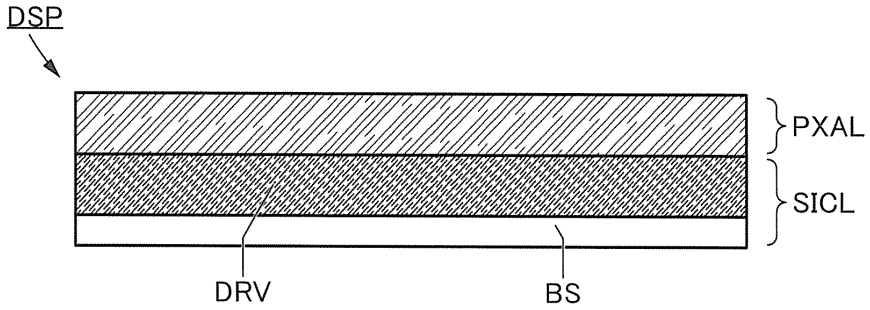
(A)


DSP
PXAL
LINL
SICL
DRV
BS

(B)

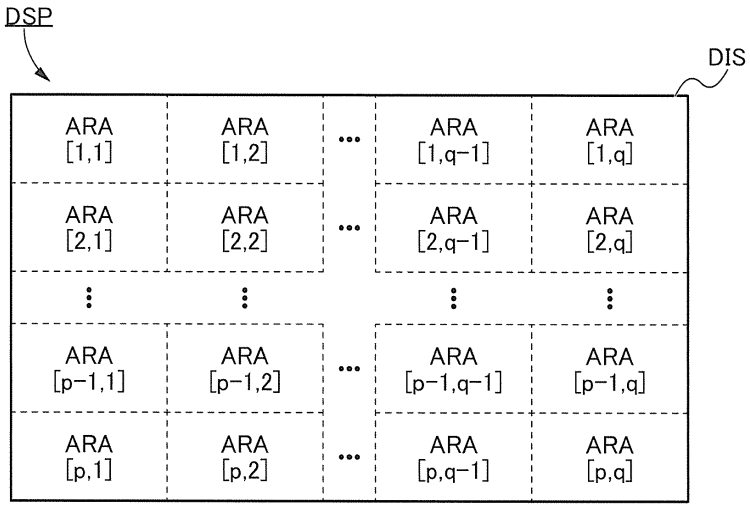

DSP
PXAL
LINL
SICL
LIA
DRV
BS
LIA

(C)

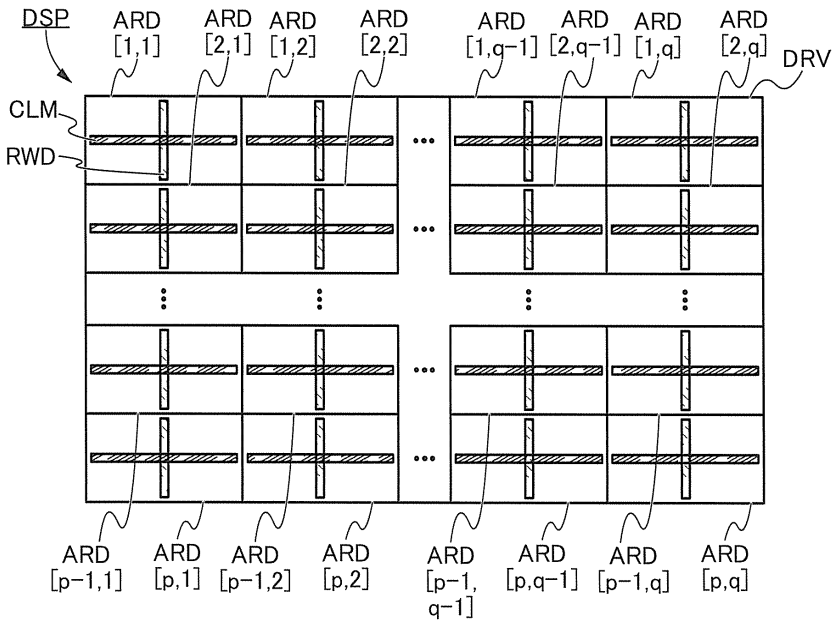

DSP
PXAL
SICL
DRV
BS

도면33

(A)

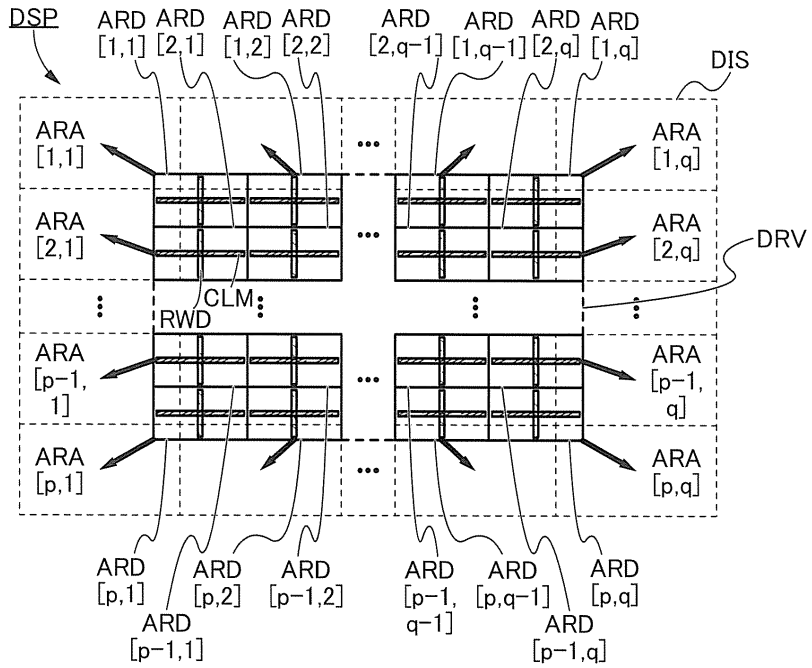

DSP
DIS
ARA [1,1]
ARA [1,2]
ARA [1,q-1]
ARA [1,q]
ARA [2,1]
ARA [2,2]
ARA [2,q-1]
ARA [2,q]
ARA [p-1,1]
ARA [p-1,2]
ARA [p-1,q-1]
ARA [p-1,q]
ARA [p,1]
ARA [p,2]
ARA [p,q-1]
ARA [p,q]

(B)

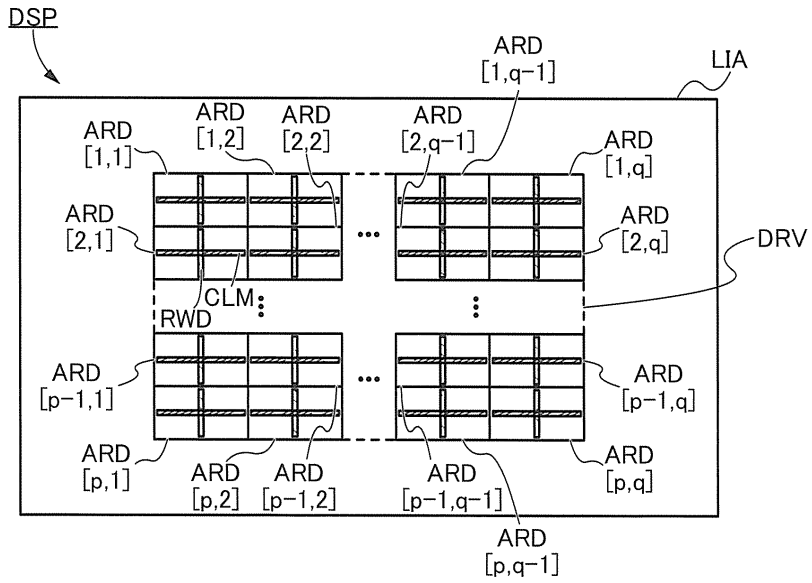

DSP
ARD [1,1]
ARD [2,1]
ARD [1,2]
ARD [2,2]
ARD [1,q-1]
ARD [2,q-1]
ARD [1,q]
ARD [2,q]
DRV
CLM
RWD
ARD [p-1,1]
ARD [p,1]
ARD [p-1,2]
ARD [p,2]
ARD [p-1, q-1]
ARD [p,q-1]
ARD [p-1,q]
ARD [p,q]

도면34

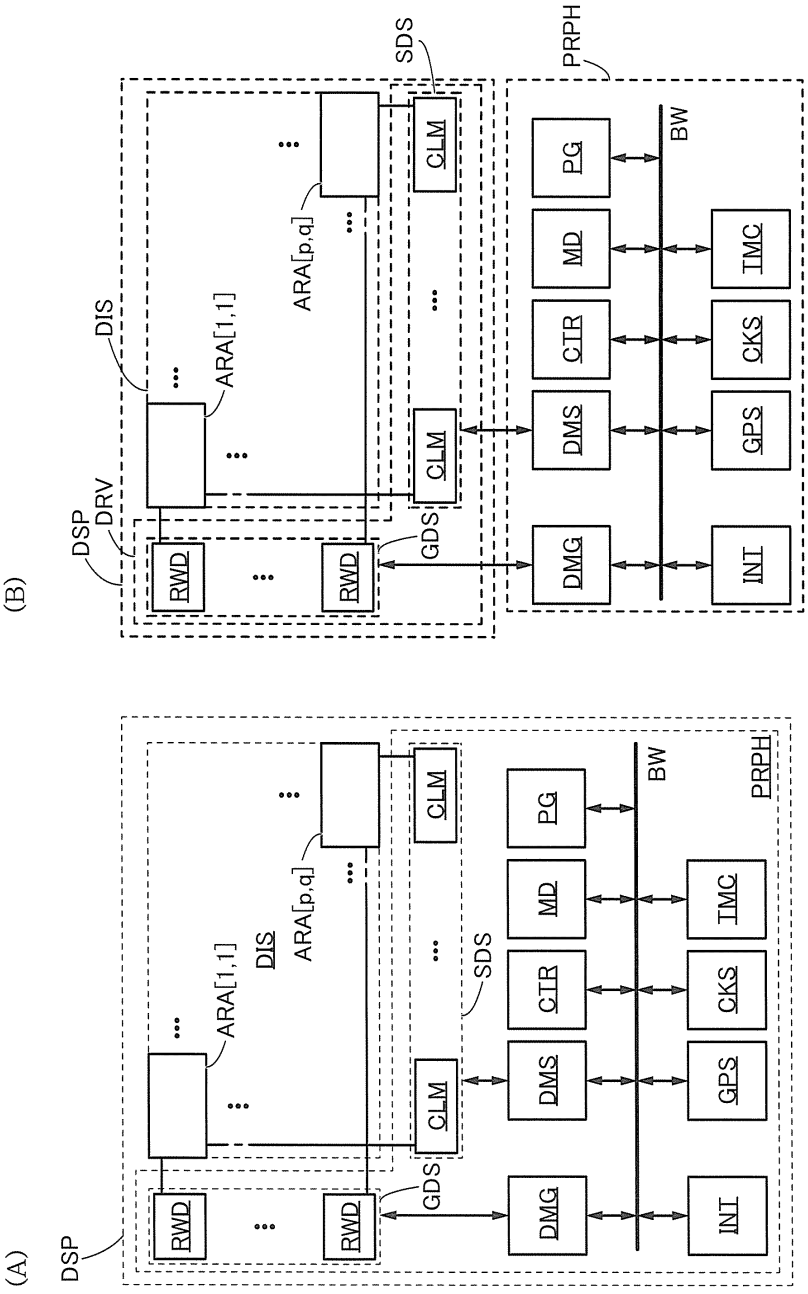
(A)


DSP
ARD [1,1]
ARD [2,1]
ARD [1,2]
ARD [2,2]
ARD [2,q-1]
ARD [1,q-1]
ARD [2,q]
ARD [1,q]
DIS
ARA [1,1]
ARA [1,q]
ARA [2,1]
ARA [2,q]
DRV
CLM
RWD
ARA [p-1, 1]
ARA [p-1, q]
ARA [p,1]
ARA [p,q]
ARD [p,1]
ARD [p,2]
ARD [p-1,2]
ARD [p-1, q-1]
ARD [p,q-1]
ARD [p,q]
ARD [p-1,1]
ARD [p-1,q]

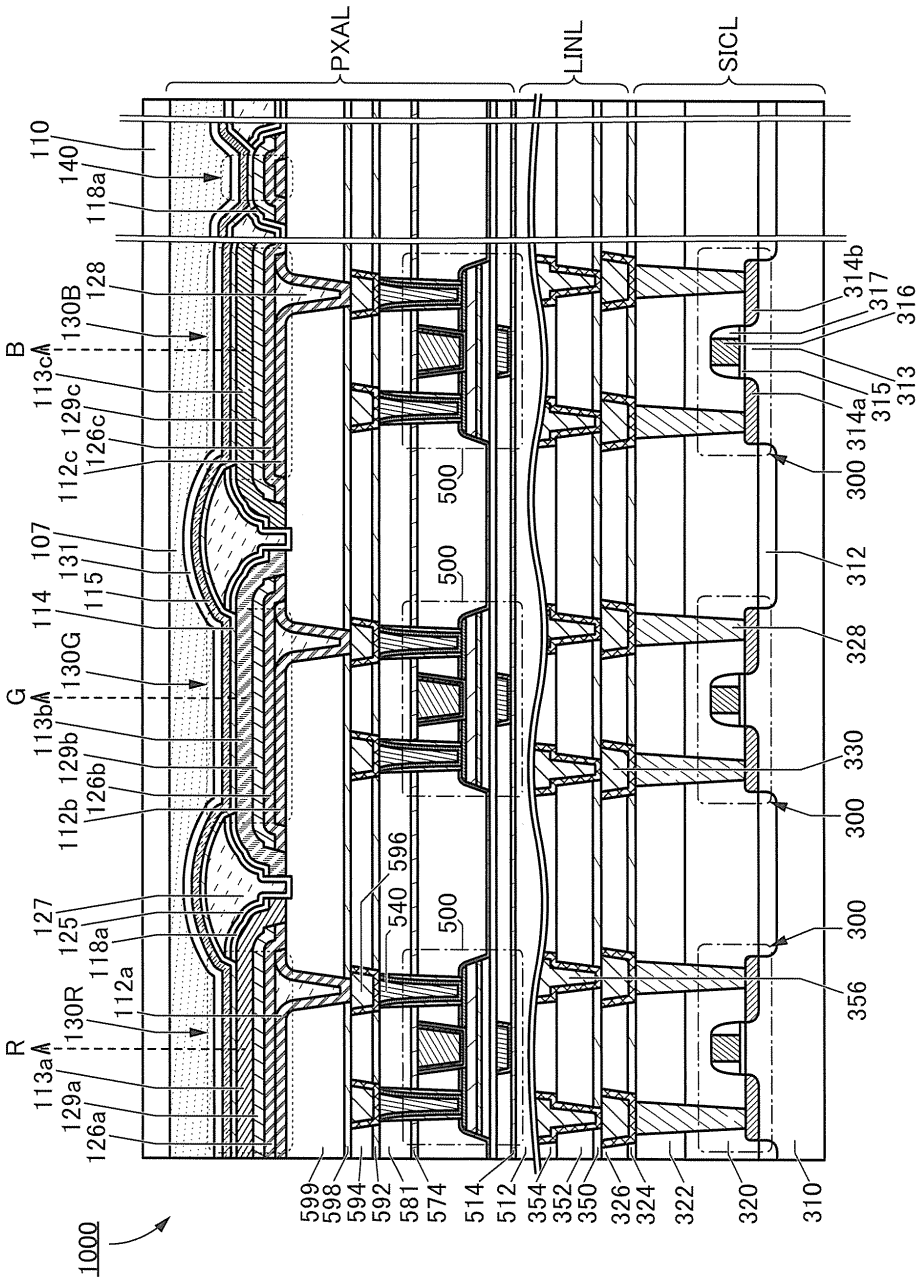
(B)


DSP
ARD [1,q-1]
LIA
ARD [1,1]
ARD [1,2]
ARD [2,2]
ARD [2,q-1]
ARD [1,q]
ARD [2,1]
ARD [2,q]
DRV
CLM
RWD
ARD [p-1,1]
ARD [p-1,q]
ARD [p,1]
ARD [p,2]
ARD [p-1,2]
ARD [p-1,q-1]
ARD [p,q]
ARD [p,q-1]

도면35

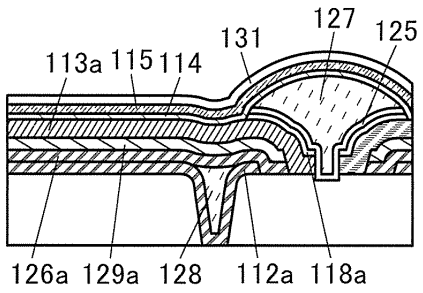

(B)
DSP
DRV
DIS
ARA[1,1]
ARA[p,q]
SDS
PRPH
RWD
GDS
CLM
DMG
DMS
CTR
MD
PG
BW
INT
GPS
CKS
IMC
(A)
DSP
DIS
ARA[1,1]
ARA[p,q]
SDS
PRPH
RWD
GDS
CLM
DMG
DMS
CTR
MD
PG
BW
INT
GPS
CKS
IMC

도면36

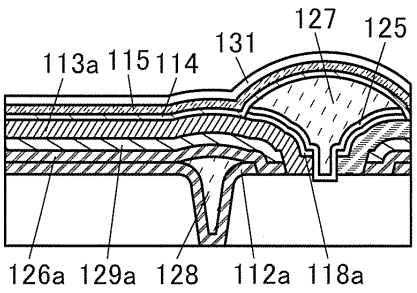

PXAL
LINL
SICL
1000
110
140
118a
128
130B
B
113cA
129c
126c
112c
107
131
115
114
130G
G
113bA
129b
126b
112b
127
125
118a
112a
130R
R
113aA
129a
126a
599
598
594
592
581
574
514
512
354
352
350
326
324
322
320
310
500
596
540
314b
317
316
313
315
314a
300
312
328
330
356

도면37

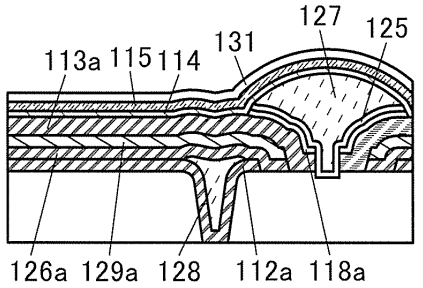
(A)


113a
115
114
131
127
125
126a
129a
128
112a
118a

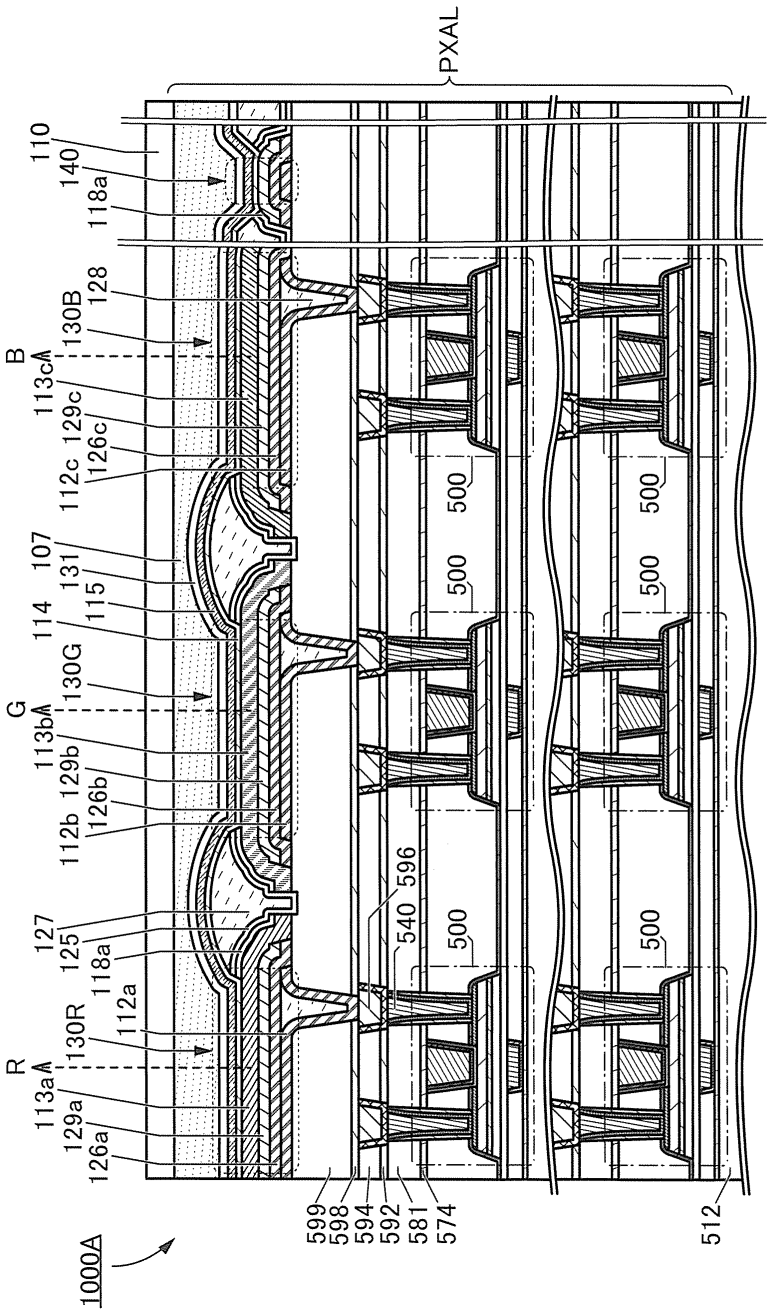
(B)


113a
115
114
131
127
125
126a
129a
128
112a
118a

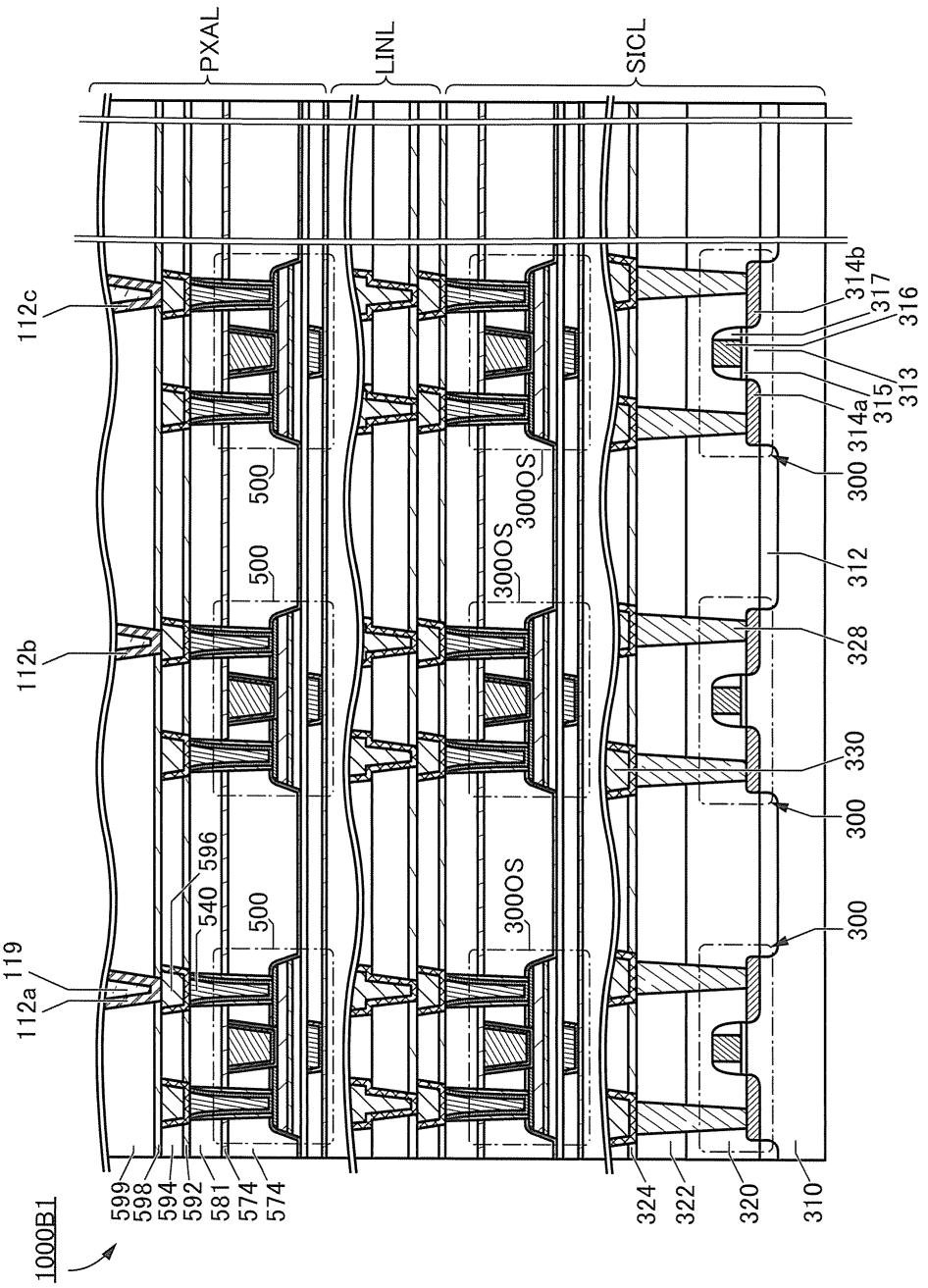
(C)


113a
115
114
131
127
125
126a
129a
128
112a
118a

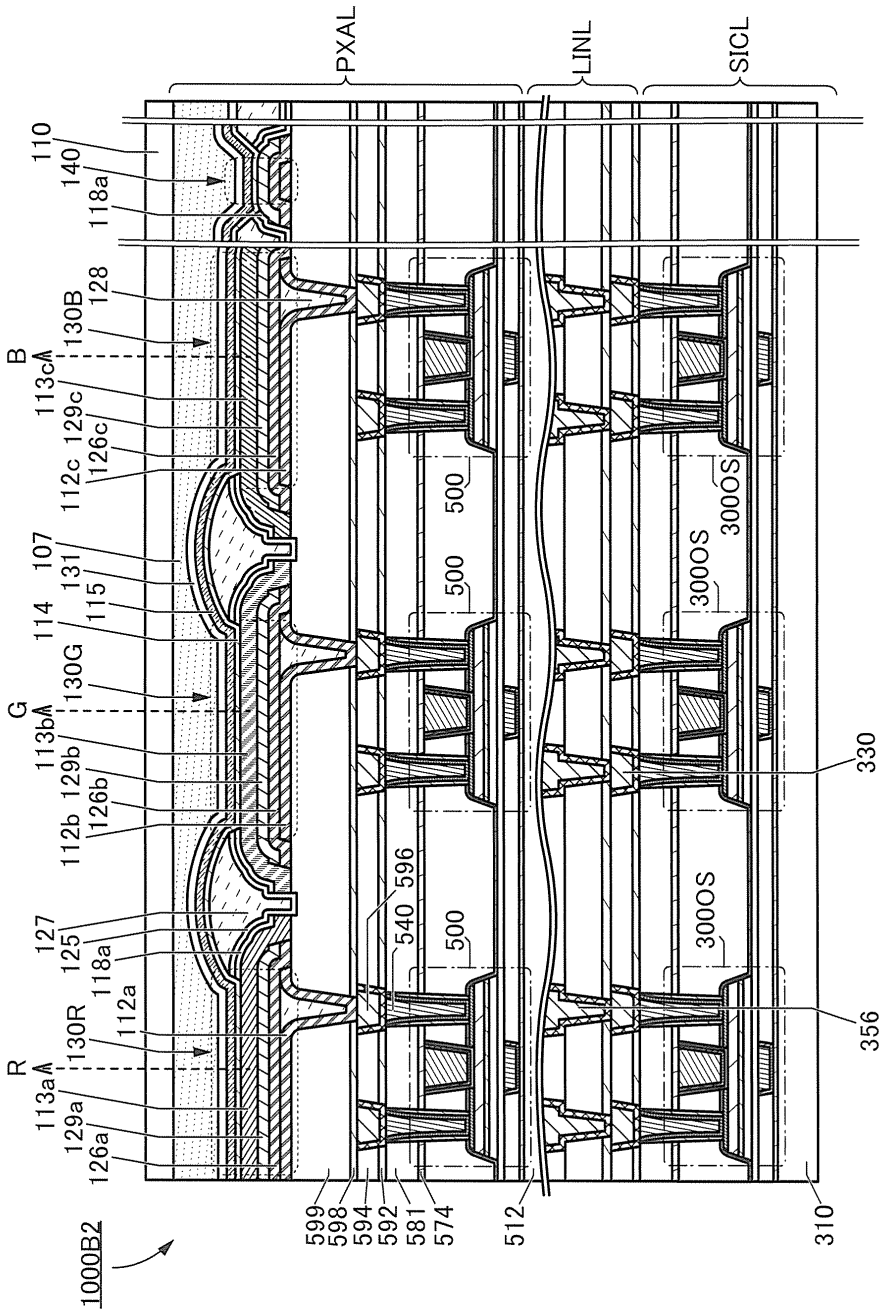
도면38


PXAL
110
140
118a
128
130B
113cA
129c
126c
112c
107
131
115
114
130G
113bA
129b
126b
112b
127
125
118a
112a
130R
113aA
129a
126a
B
G
R
500
596
540
599
598
594
592
581
574
512
1000A

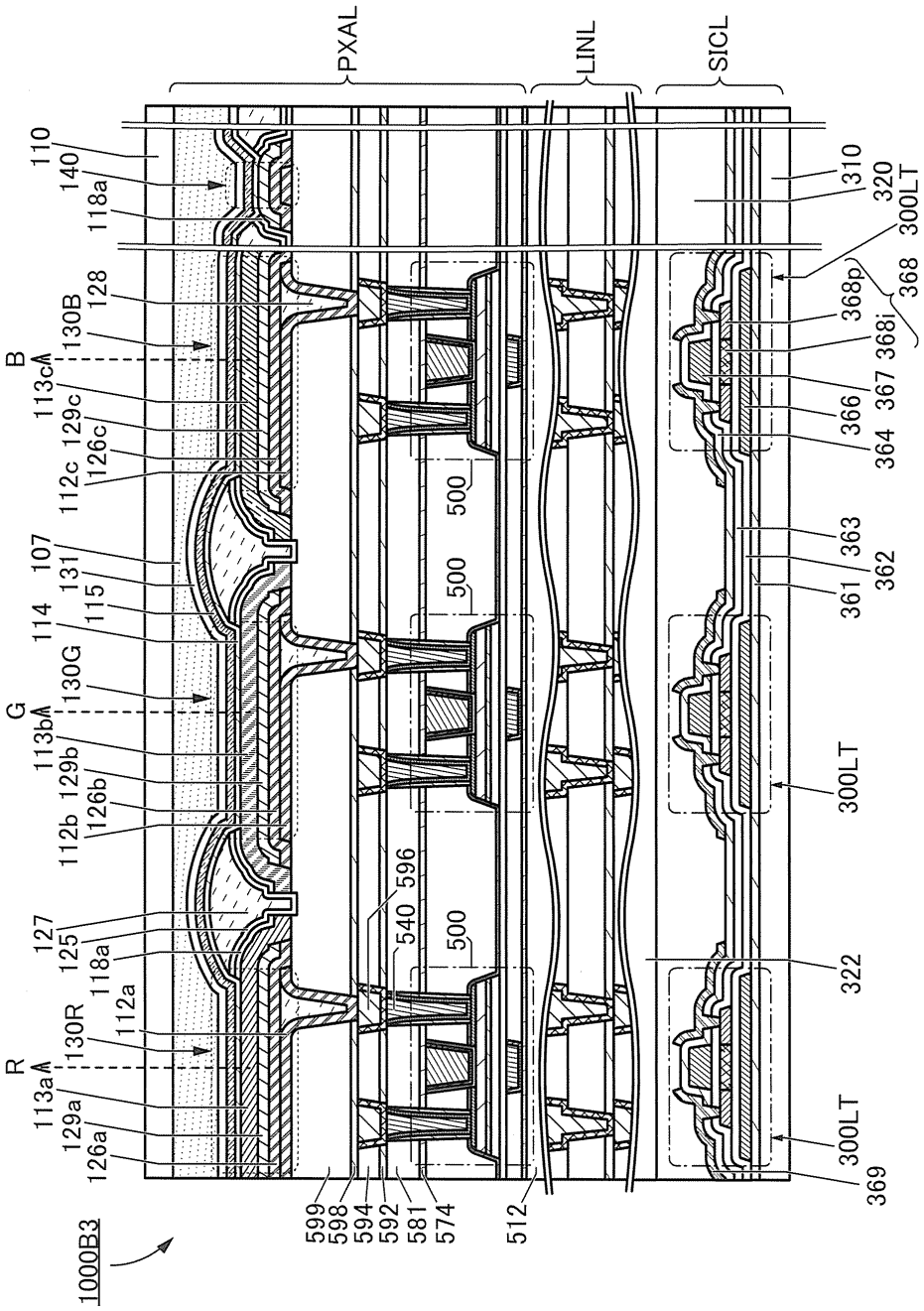
도면39


PXAL
LINL
SICL
112c
112b
112a
119
1000B1
599
598
594
592
581
574
574
596
540
500
500
500
300OS
300OS
300OS
324
322
320
310
314b
317
316
313
315
314a
300
312
328
330
300
300

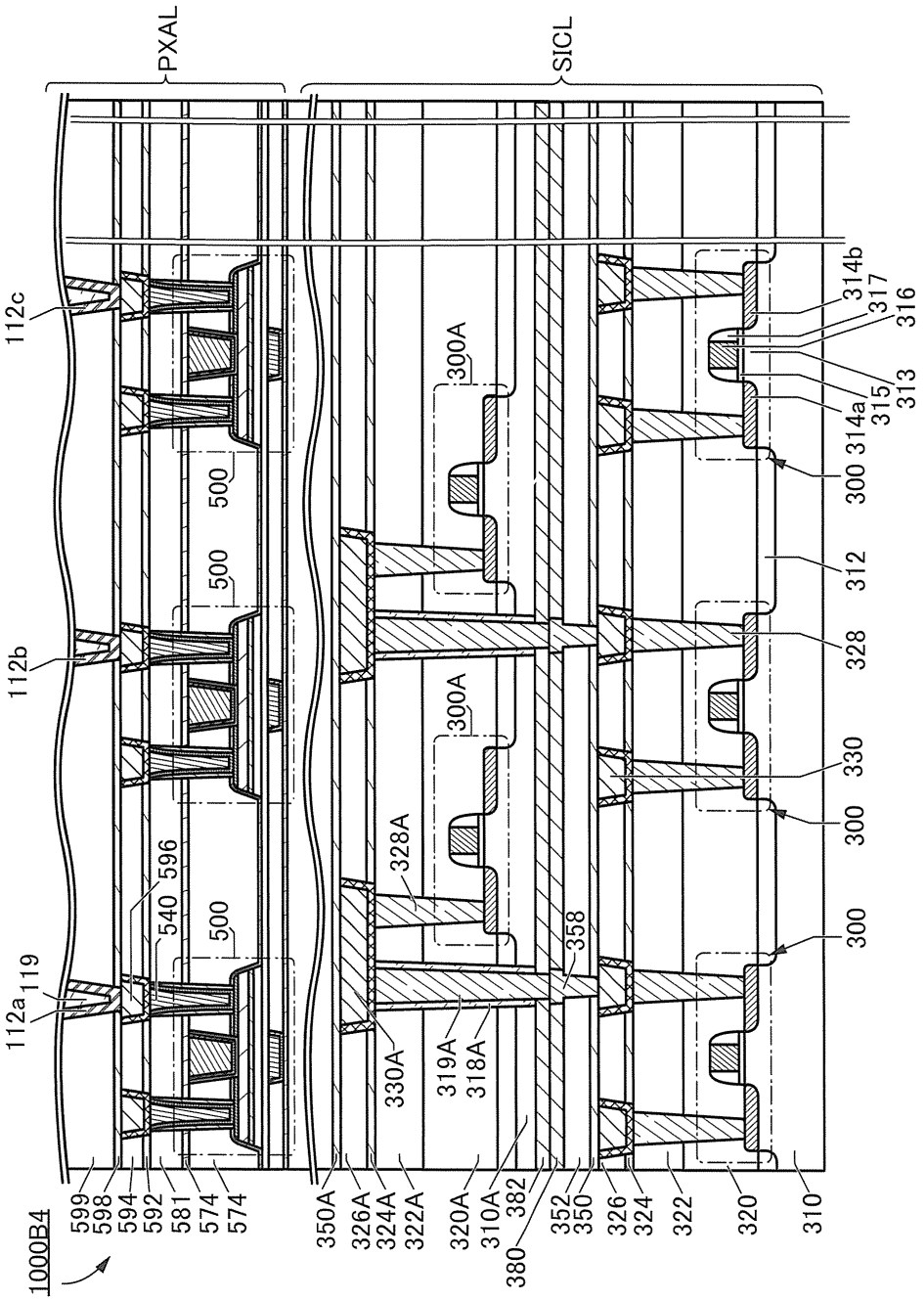
도면40


PXAL
LINL
SICL
110
140
118a
128
130B
113cA
129c
126c
112c
107
131
115
114
130G
113bA
129b
126b
112b
127
125
118a
112a
130R
113aA
129a
126a
B
G
R
1000B2
500
596
540
300OS
330
356
599
598
594
592
581
574
512
310

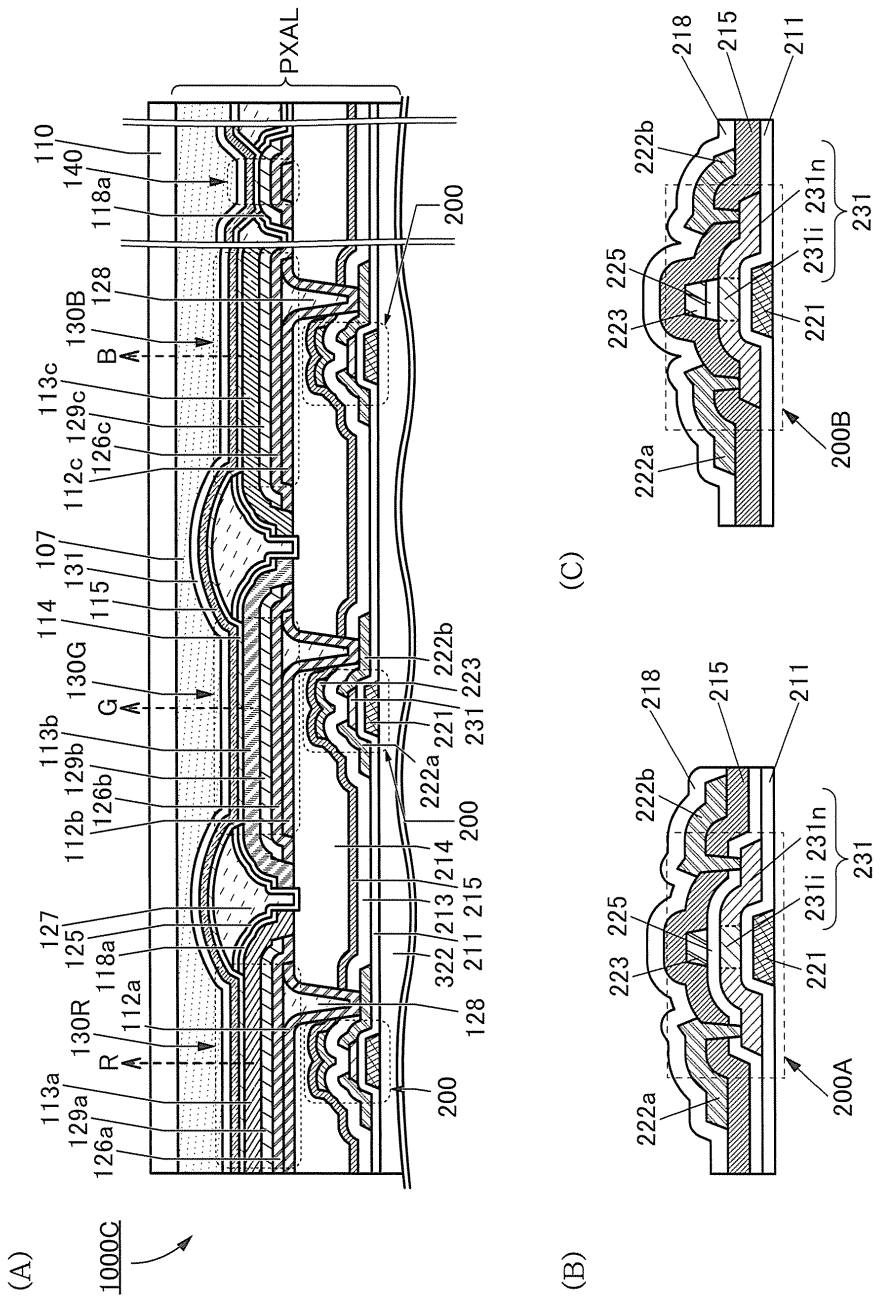
도면41


PXAL
LINL
SICL
1000B3
R
G
B
110
140
118a
128
130B
113cA
129c
126c
112c
107
131
115
114
130G
113bA
129b
126b
112b
127
125
118a
112a
130R
113aA
129a
126a
500
596
540
599
598
594
592
581
574
512
310
320
300LT
368p
368i
368
367
366
364
363
362
361
322
369

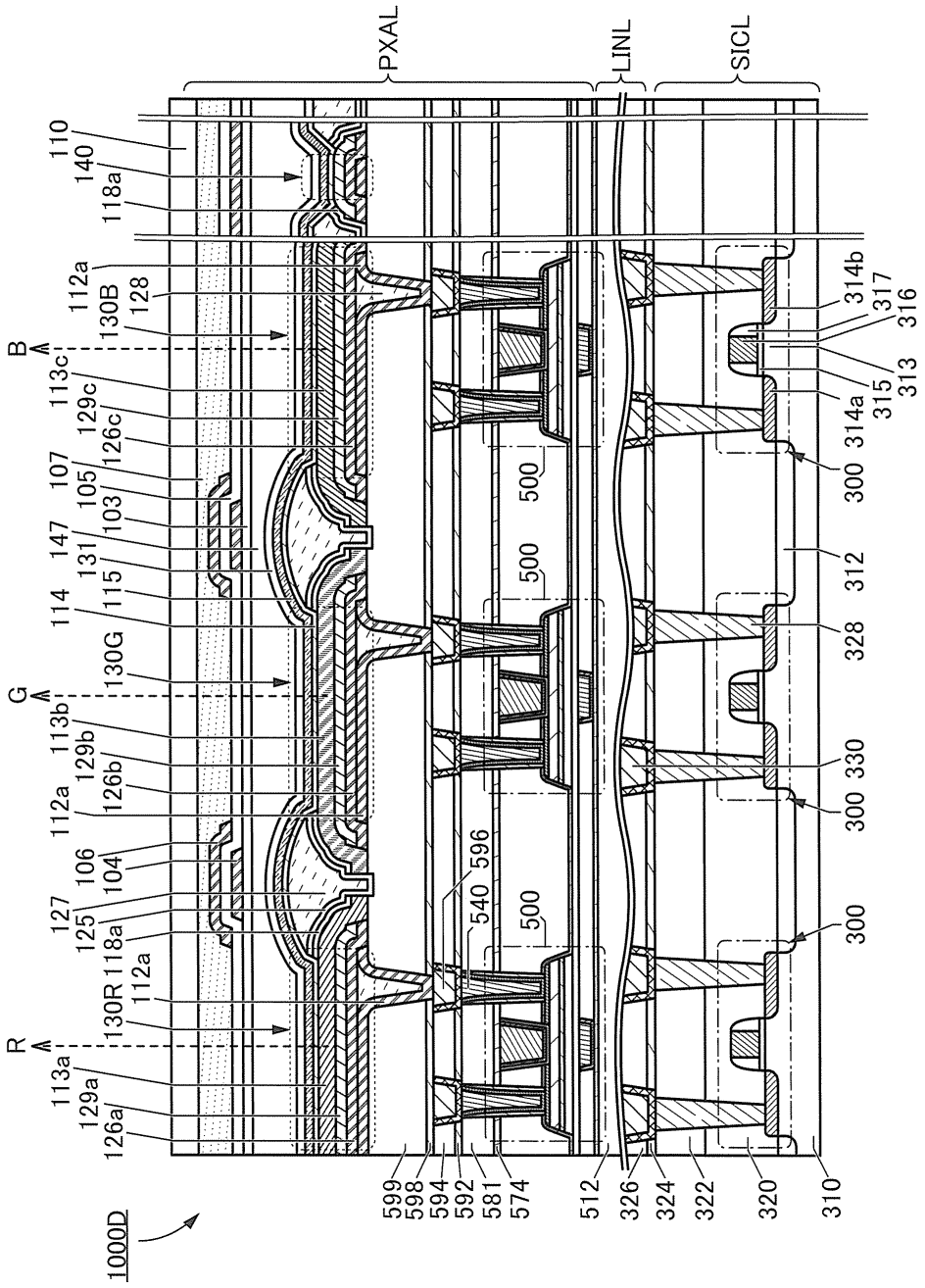
도면42


PXAL
SICL
1000B4
112c
112b
112a
119
599
598
594
592
581
574
574
540
596
500
500
500
350A
326A
324A
322A
328A
330A
300A
300A
319A
318A
320A
310A
382
380
358
352
350
326
324
322
320
310
328
330
300
300
300
312
314b
317
316
313
315
314a

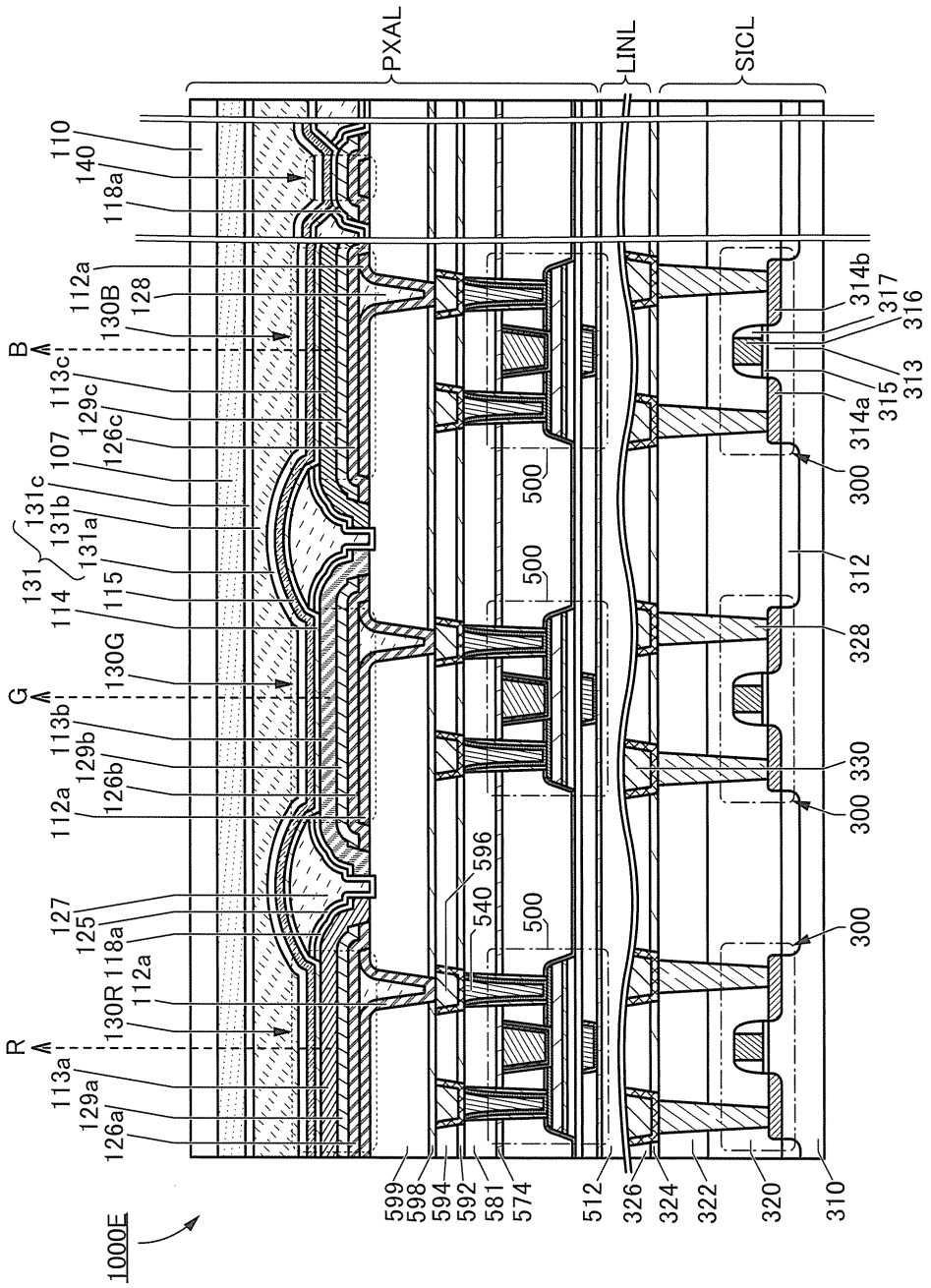
도면43


(A)
1000C
PXAL
110
140
118a
200
128
130B
B
113c
129c
126c
112c
107
131
115
114
130G
G
113b
129b
126b
112b
127
125
118a
112a
130R
R
113a
129a
126a
222b
223
221
231
222a
200
214
213
215
211
322
128
(B)
218
215
211
222b
231n
231i
231
225
223
221
222a
200A
(C)
218
215
211
222b
231n
231i
231
225
223
221
222a
200B

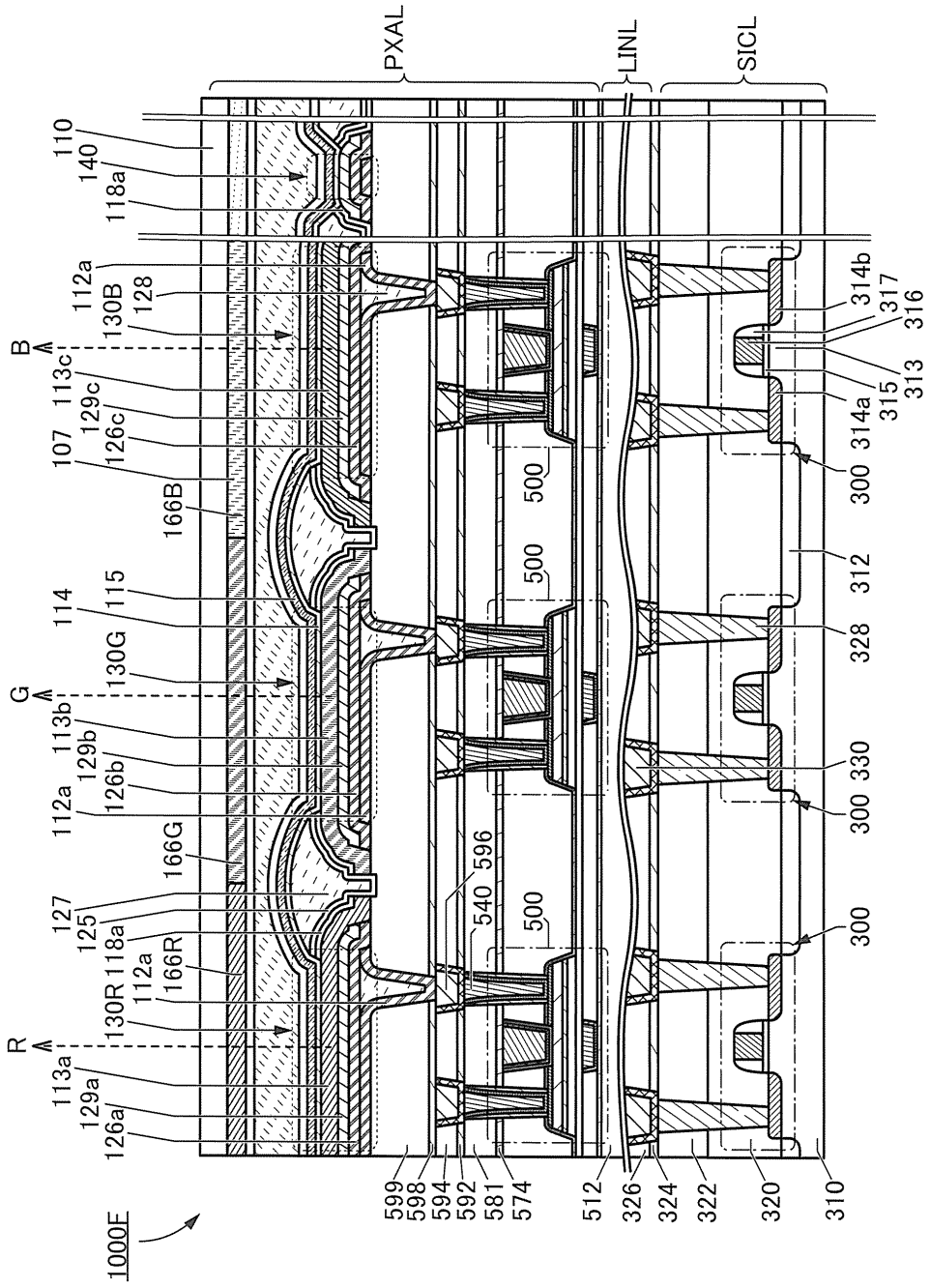
도면44


PXAL
LINL
SICL
1000D
R
G
B
110
140
118a
112a
130B
128
113c
129c
126c
107
105
103
147
131
115
114
130G
113b
129b
126b
112a
106
104
127
125
118a
130R
112a
113a
129a
126a
500
596
540
599
598
594
592
581
574
512
326
324
322
320
310
300
312
328
330
314b
317
316
313
315
314a

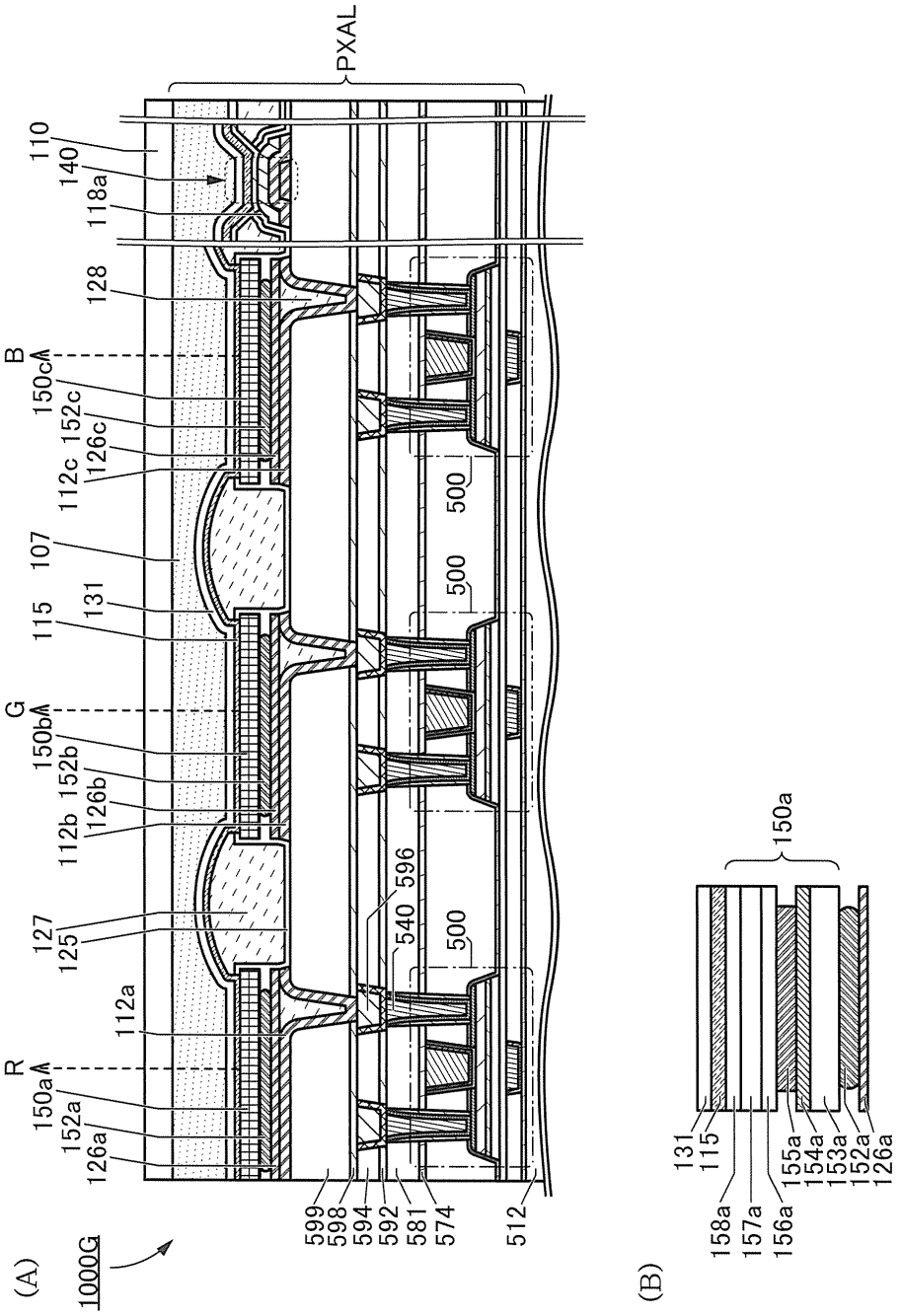
도면45


PXAL
LINL
SICL
1000E
R
G
B
110
140
118a
112a
130B
128
113c
129c
126c
107
131c
131b
131a
131
114
115
130G
113b
129b
126b
112a
127
125
118a
130R
112a
113a
129a
126a
500
596
540
599
598
594
592
581
574
512
326
324
322
320
310
300
312
328
330
314b
317
316
313
315
314a

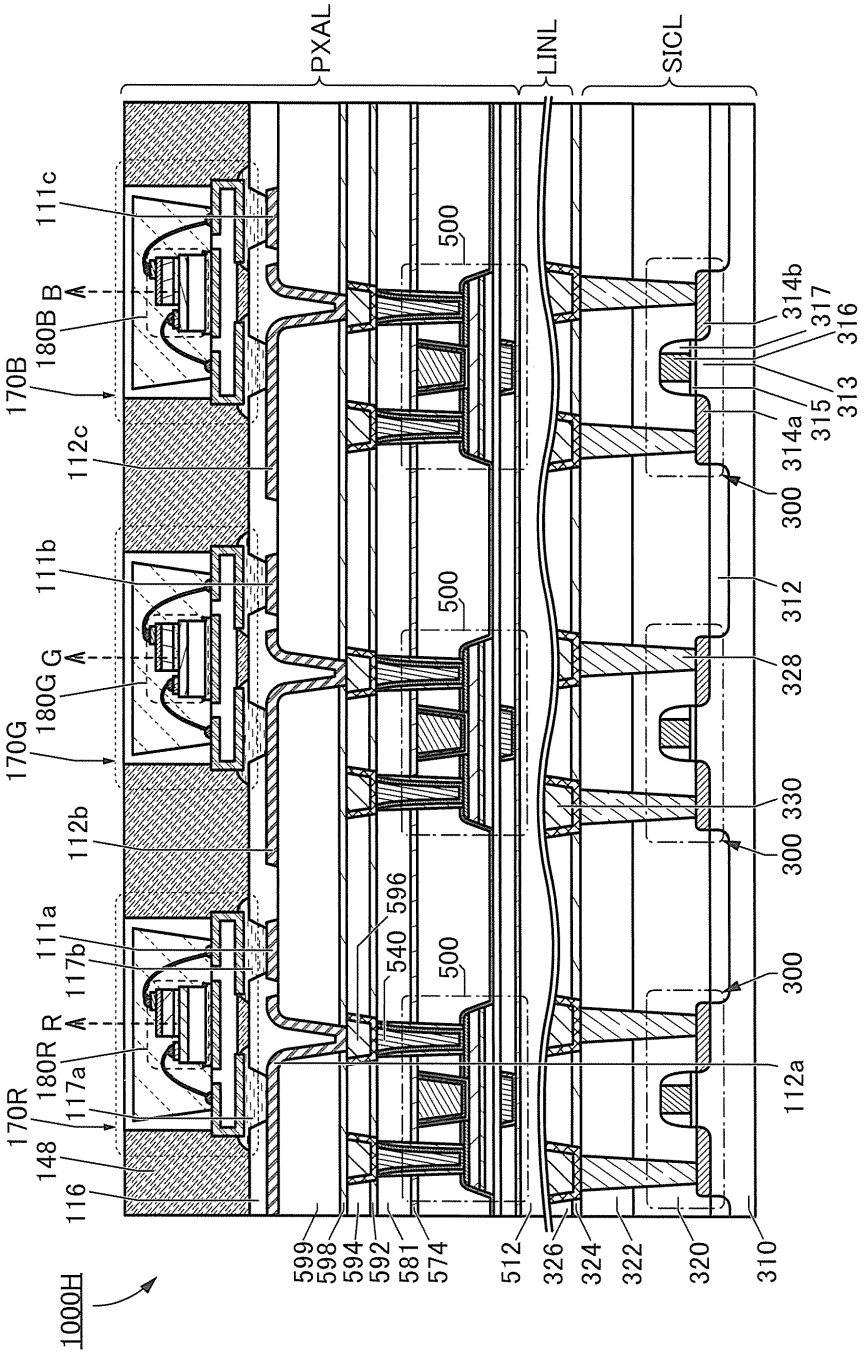
도면46


PXAL
LINL
SICL
1000F
R
G
B
110
140
118a
112a
130B
128
113c
129c
126c
107
166B
114
115
130G
113b
129b
126b
112a
166G
127
125
118a
166R
112a
130R
113a
129a
126a
500
596
540
599
598
594
592
581
574
512
326
324
322
320
310
300
312
328
330
314b
317
316
313
315
314a

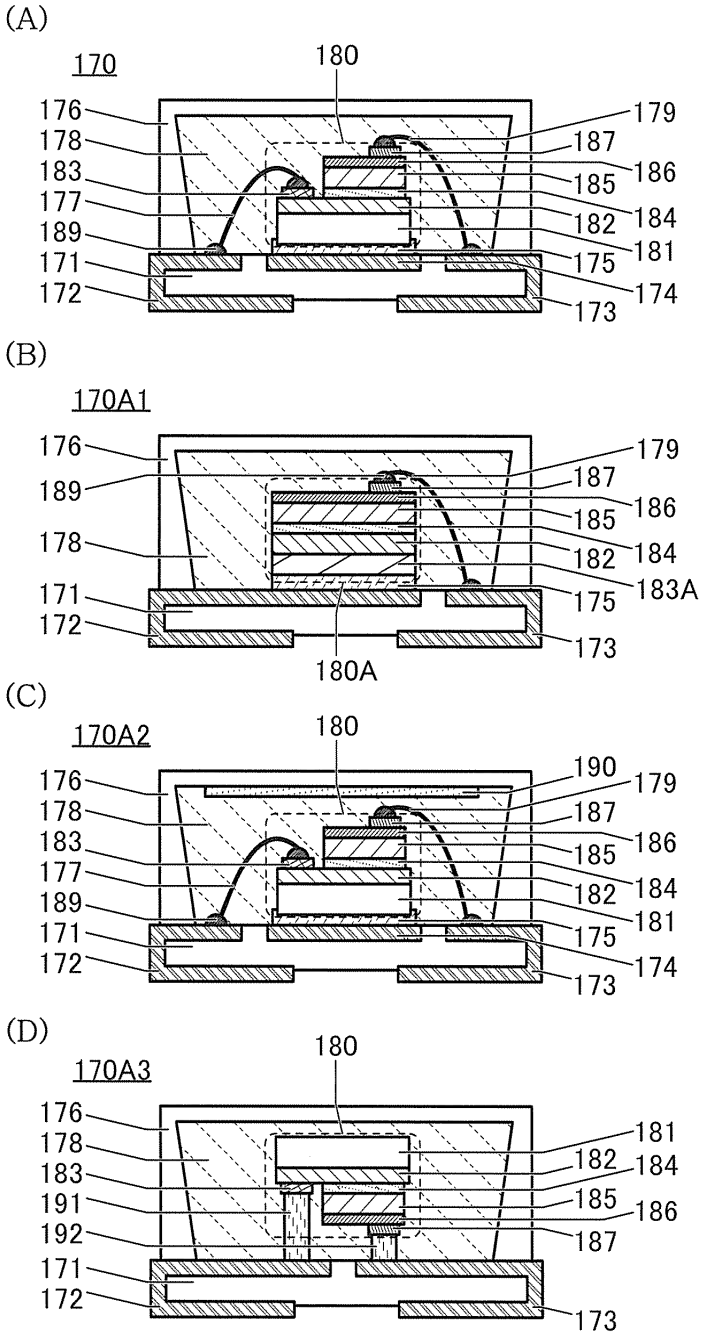
도면47


PXAL
110
140
118a
128
B
150c
152c
126c
112c
107
115
131
G
150b
152b
126b
112b
127
125
112a
R
150a
152a
126a
500
596
540
599
598
594
592
581
574
512
1000G
(A)
(B)
150a
131
115
158a
157a
156a
155a
154a
153a
152a
126a

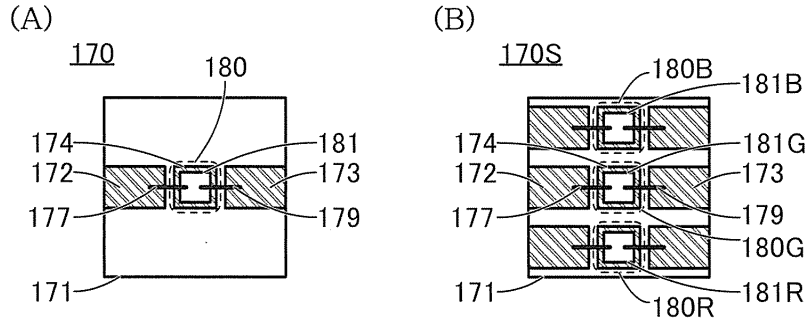
도면48


PXAL
LINL
SICL
1000H
170R
170G
170B
180R R
180G G
180B B
111a
111b
111c
112a
112b
112c
117a
117b
148
116
500
540
596
599
598
594
592
581
574
512
326
324
322
320
310
300
312
328
330
314a
314b
315
313
317
316

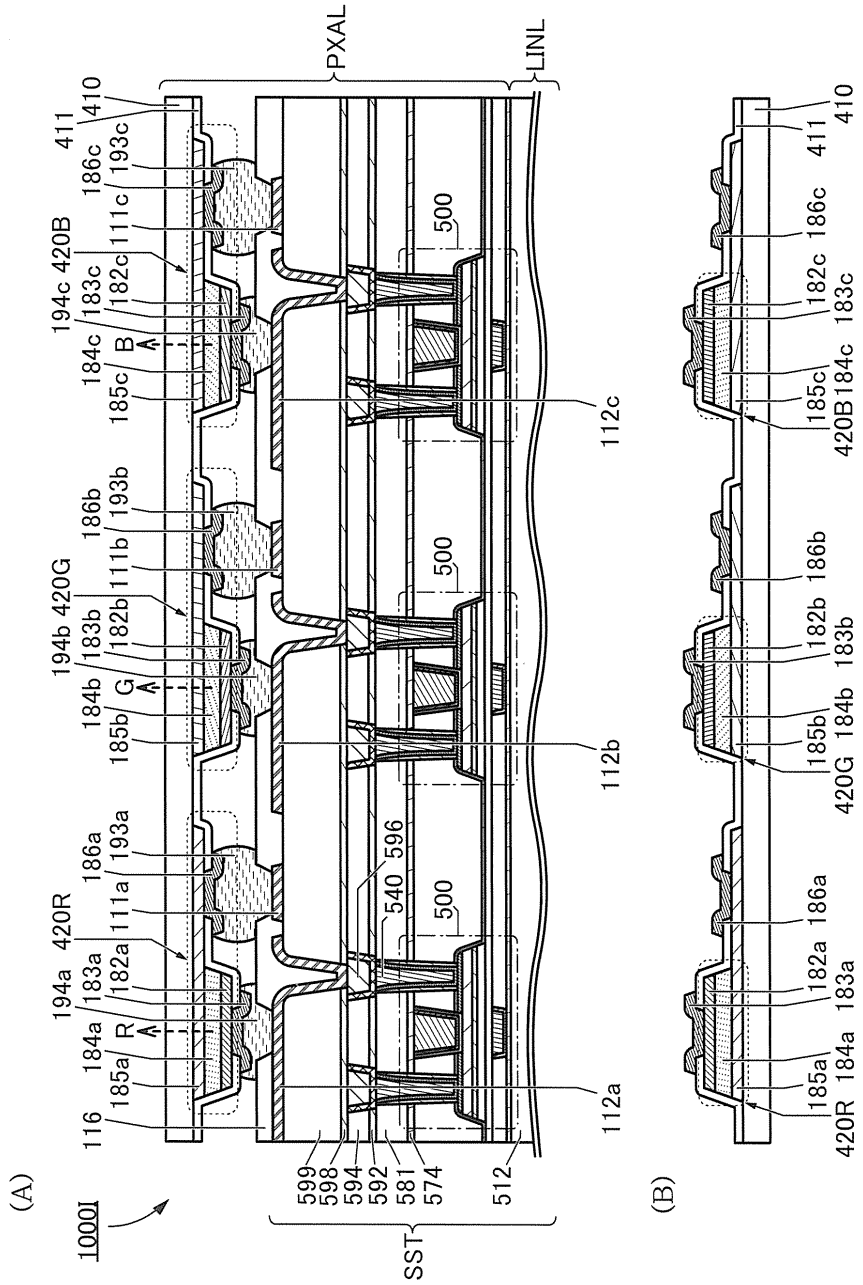
도면49


(A)
170
180
176
178
183
177
189
171
172
179
187
186
185
184
182
181
175
174
173
(B)
170A1
176
189
178
171
172
179
187
186
185
184
182
183A
175
173
180A
(C)
170A2
180
176
178
183
177
189
171
172
190
179
187
186
185
184
182
181
175
174
173
(D)
170A3
180
176
178
183
191
192
171
172
181
182
184
185
186
187
173

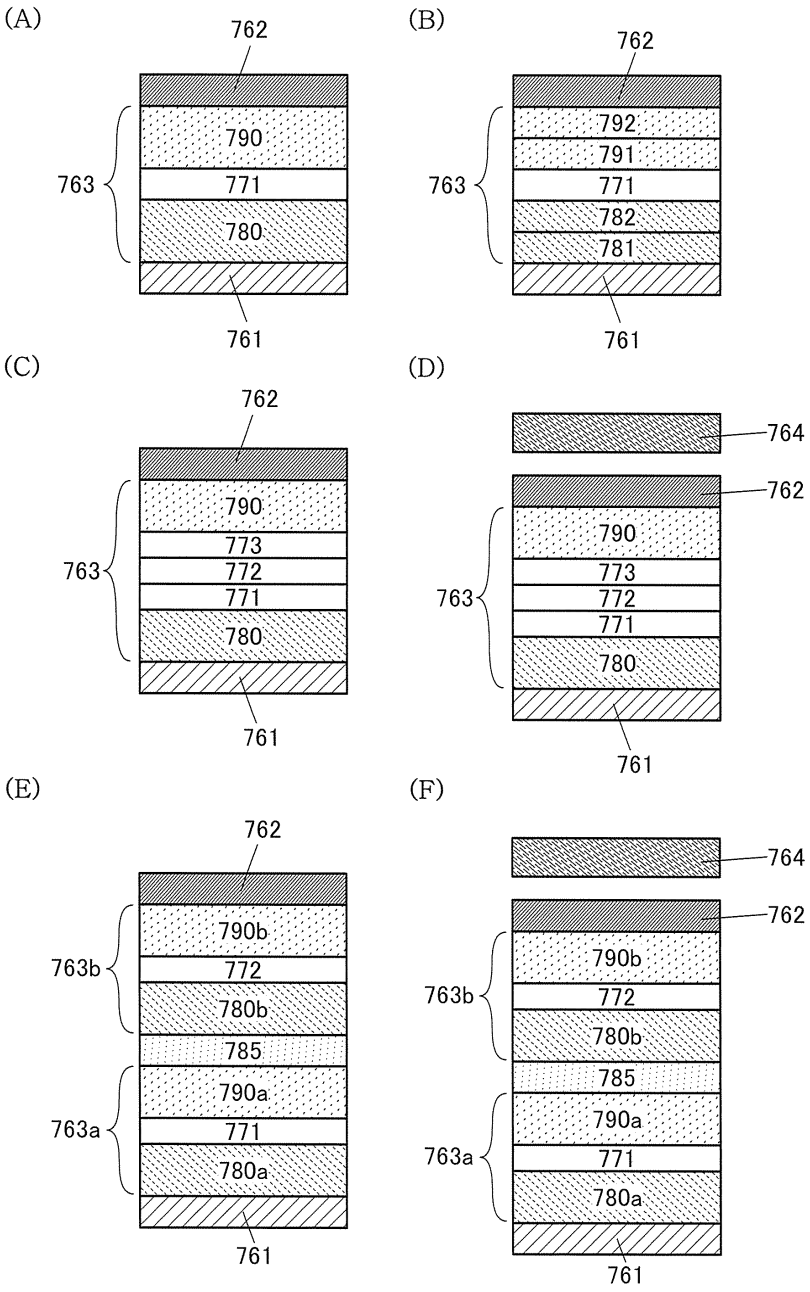
도면50


(A)
170
180
174
172
177
171
181
173
179
(B)
170S
180B
181B
174
172
177
171
181G
173
179
180G
181R
180R

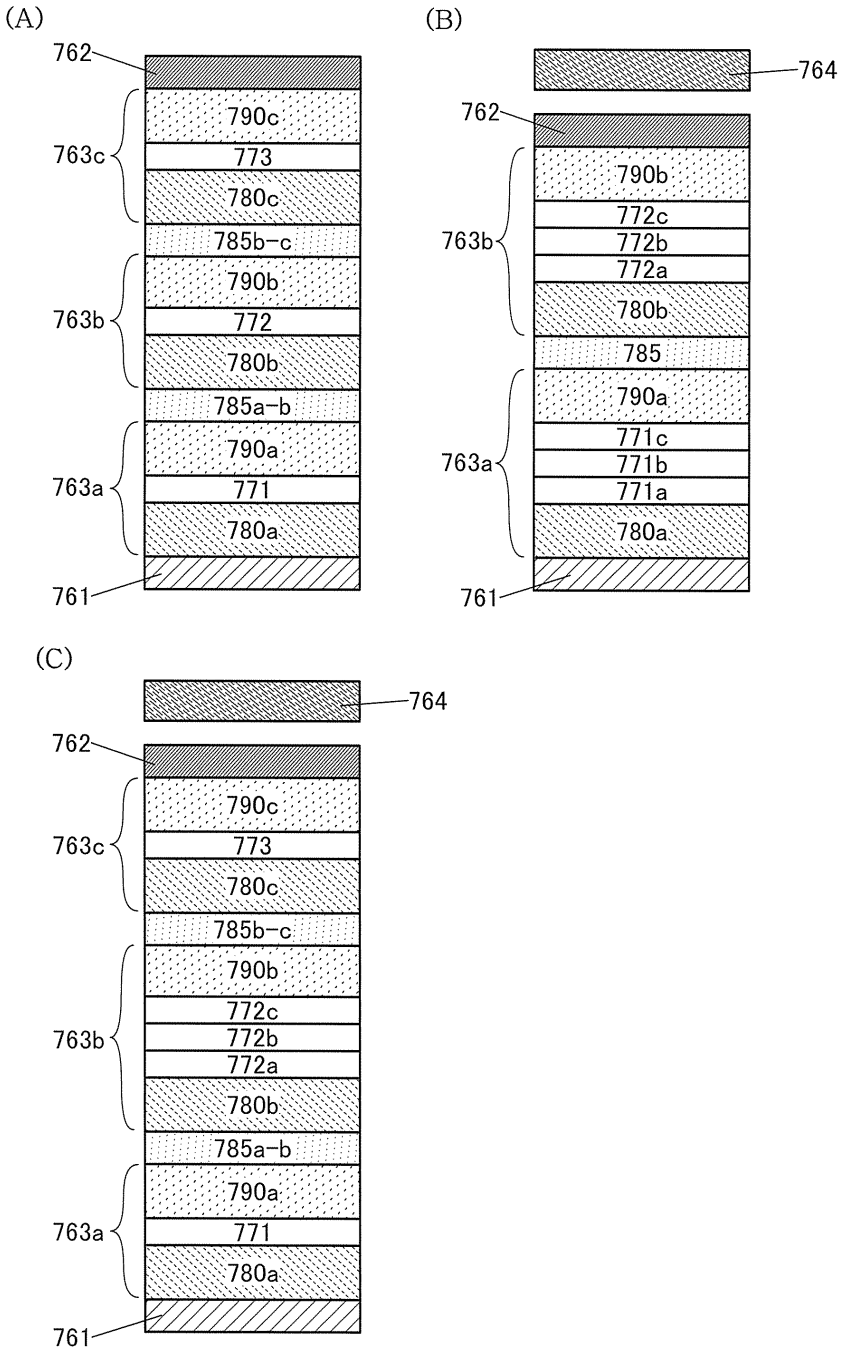
도면51


PXAL
LINL
(A)
1000I
116
194a 420R 183a 182a 111a 193a 186a 411 410
194b 420G 183b 182b 111b 193b 186b
194c 420B 183c 182c 111c 193c 186c
184a R 185a
184b G 185b
184c B 185c
500
596
540
112a
112b
112c
599 598 594 592 581 574 512
SST
(B)
410
411
186c 182c 183c 184c 185c 420B
186b 182b 183b 184b 185b 420G
186a 182a 183a 184a 185a 420R

도면52

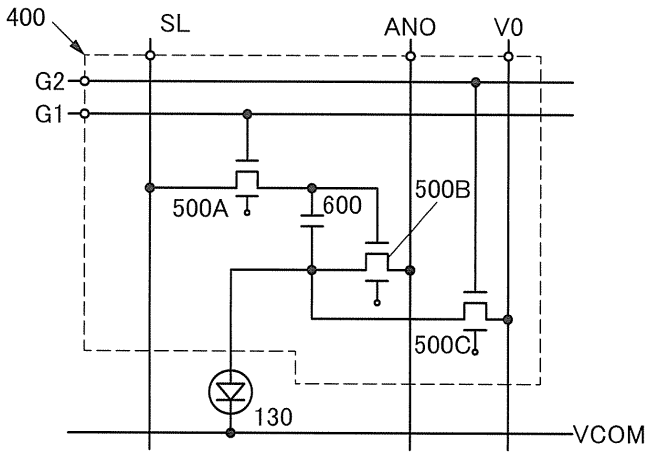

(A)
762
790
771
780
763
761
(B)
762
792
791
771
782
781
763
761
(C)
762
790
773
772
771
780
763
761
(D)
764
762
790
773
772
771
780
763
761
(E)
762
790b
772
780b
785
790a
771
780a
763b
763a
761
(F)
764
762
790b
772
780b
785
790a
771
780a
763b
763a
761

도면53

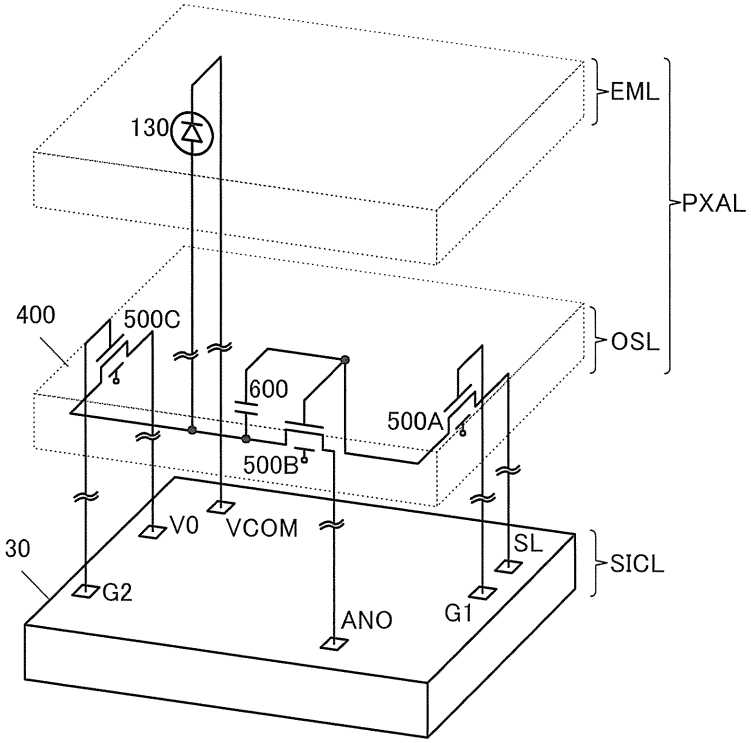

(A)
762
790c
763c
773
780c
785b-c
790b
763b
772
780b
785a-b
790a
763a
771
780a
761
(B)
764
762
790b
772c
763b
772b
772a
780b
785
790a
771c
763a
771b
771a
780a
761
(C)
764
762
790c
763c
773
780c
785b-c
790b
772c
763b
772b
772a
780b
785a-b
790a
763a
771
780a
761

도면54

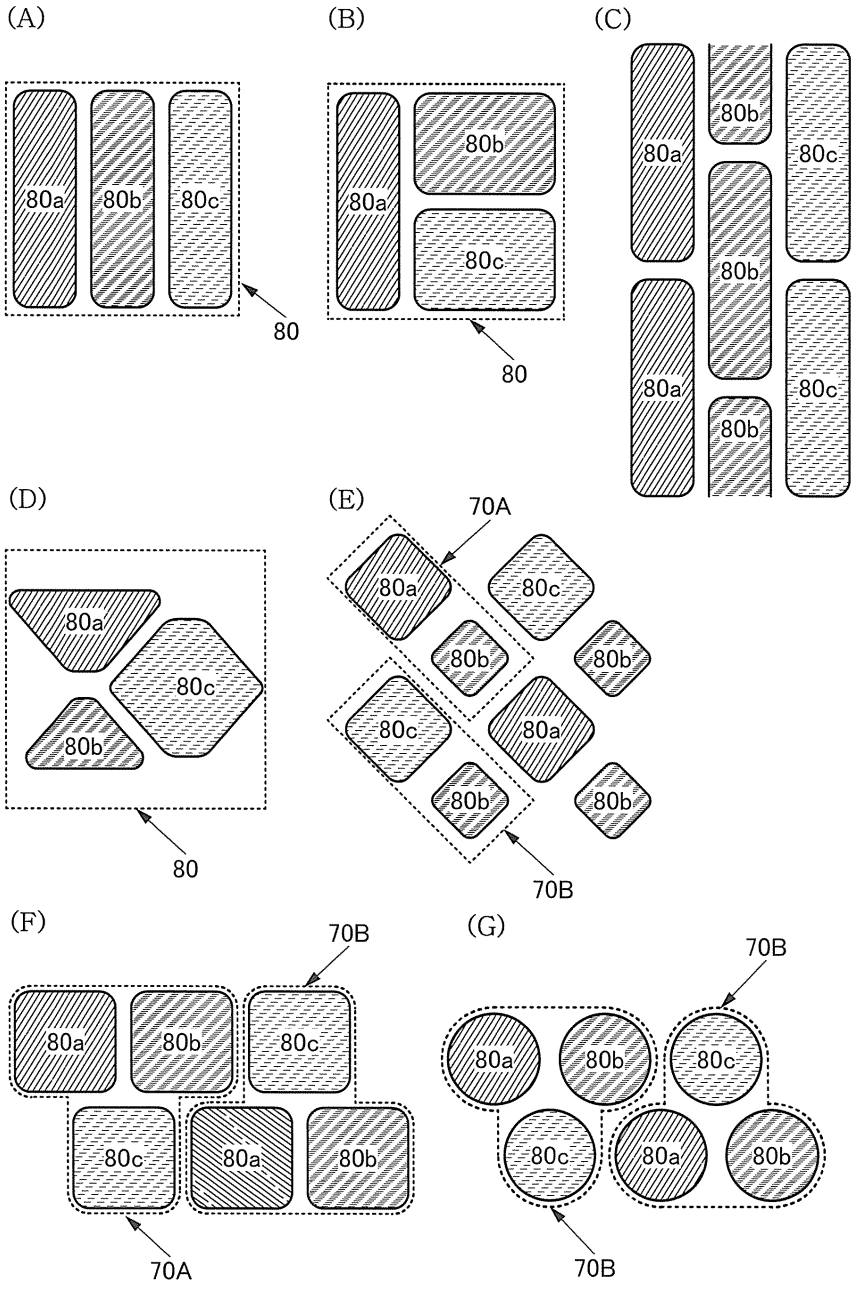
(A)


400
SL
ANO
V0
G2
G1
500A
600
500B
500C
130
VCOM

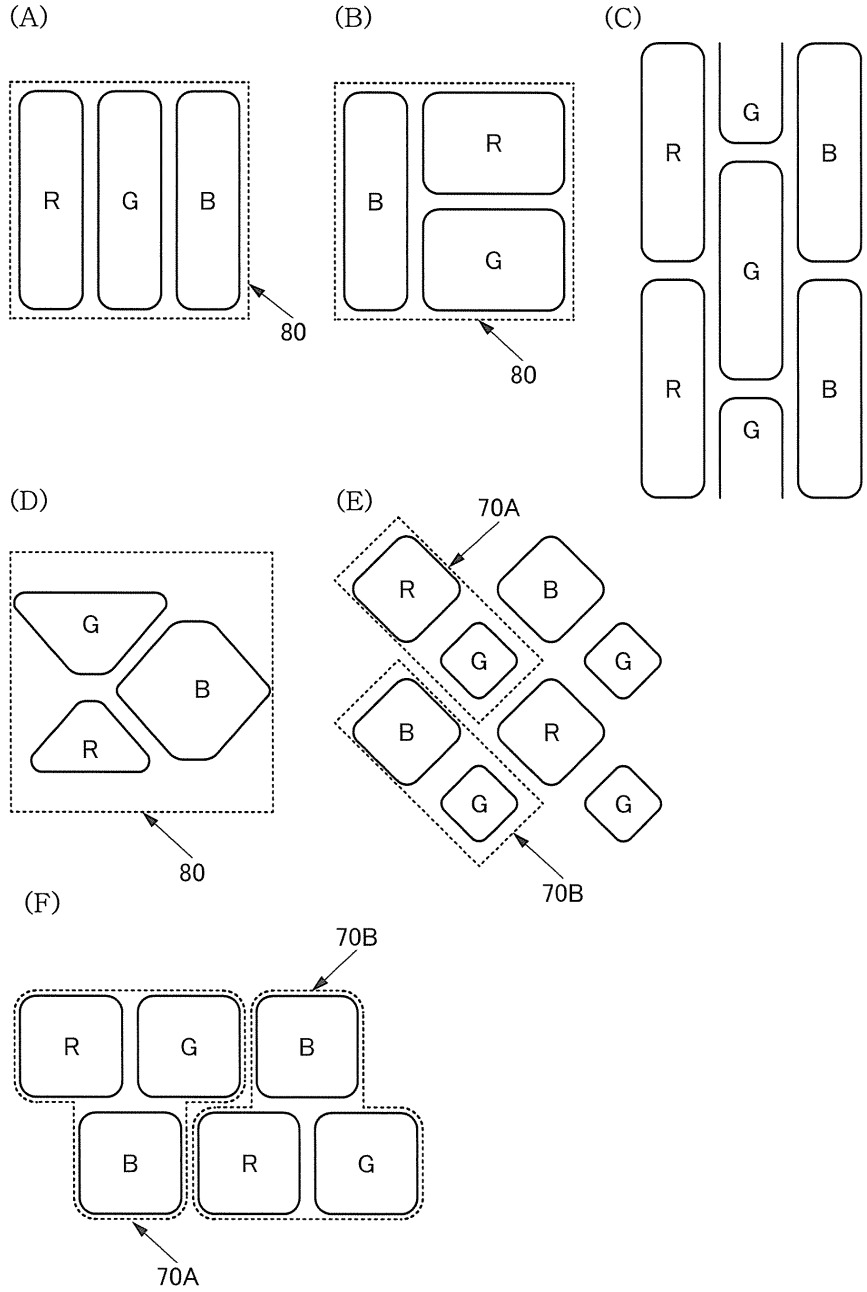
(B)


130
EML
PXAL
400
500C
OSL
600
500A
500B
V0
VCOM
SL
30
SICL
G2
ANO
G1

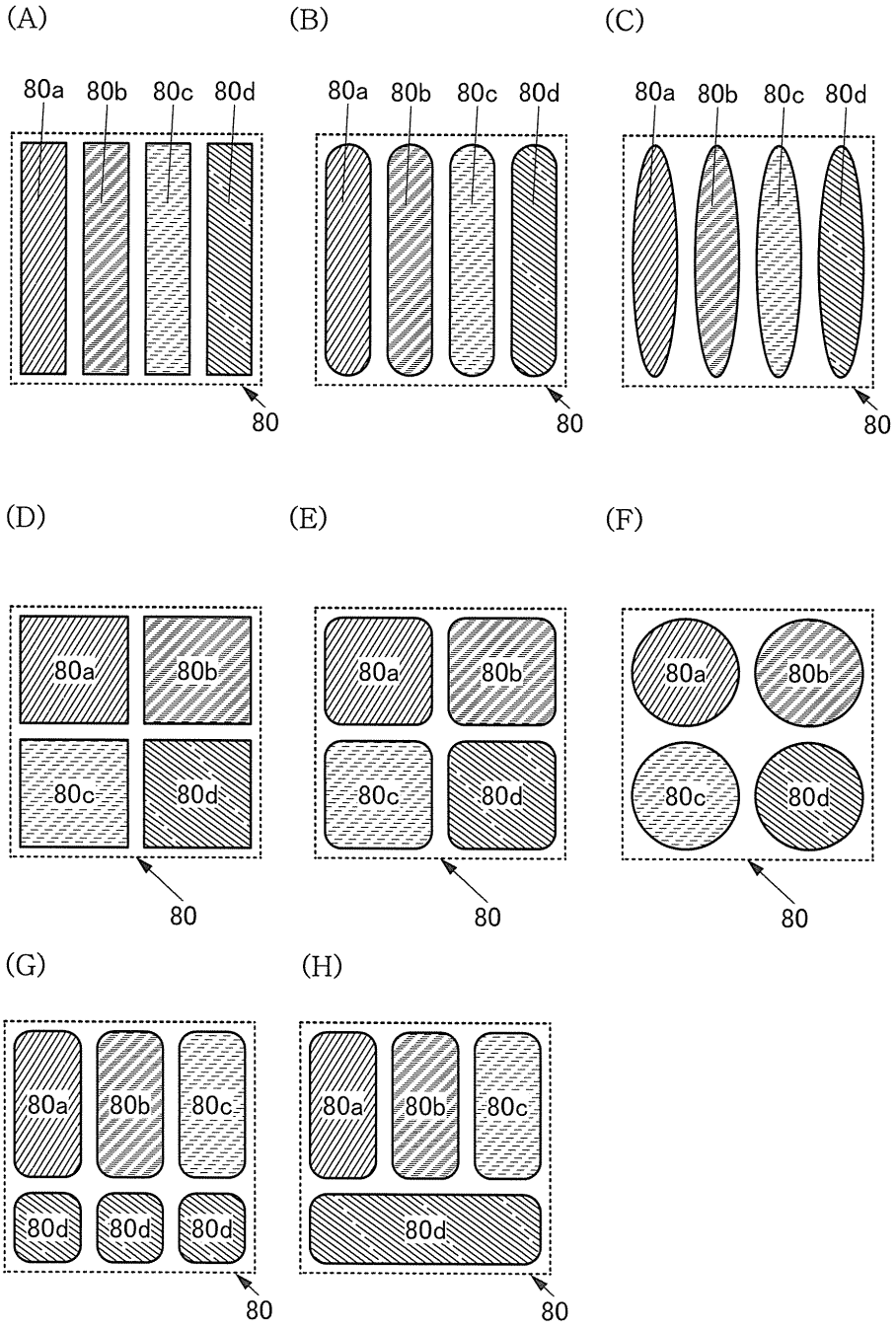
도면55


(A)
80a
80b
80c
80
(B)
80a
80b
80c
80
(C)
80a
80b
80c
80a
80b
80c
80b
(D)
80a
80c
80b
80
(E)
70A
80a
80c
80b
80b
80c
80a
80b
80b
70B
(F)
70B
80a
80b
80c
80c
80a
80b
70A
(G)
70B
80a
80b
80c
80c
80a
80b
70B

도면56

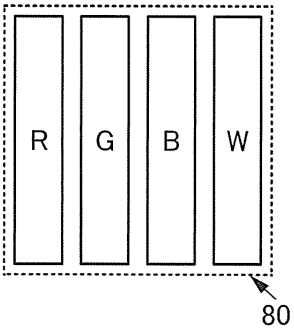

(A)
R
G
B
80
(B)
B
R
G
80
(C)
R
G
B
G
R
G
B
(D)
G
B
R
80
(E)
70A
R
B
G
G
B
R
G
G
70B
(F)
70B
R
G
B
B
R
G
70A

도면57

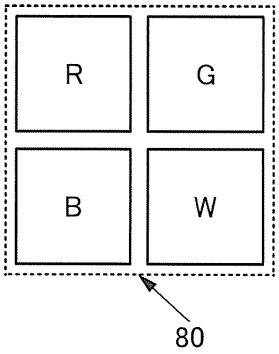


도면58

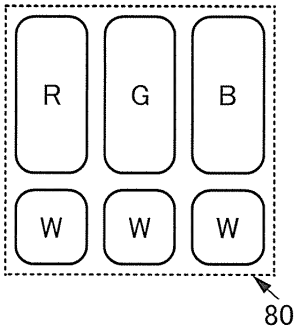
(A)



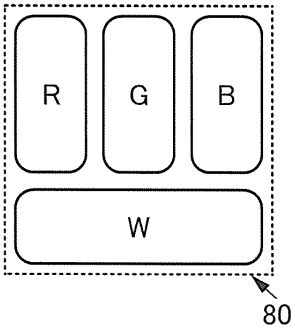
(B)



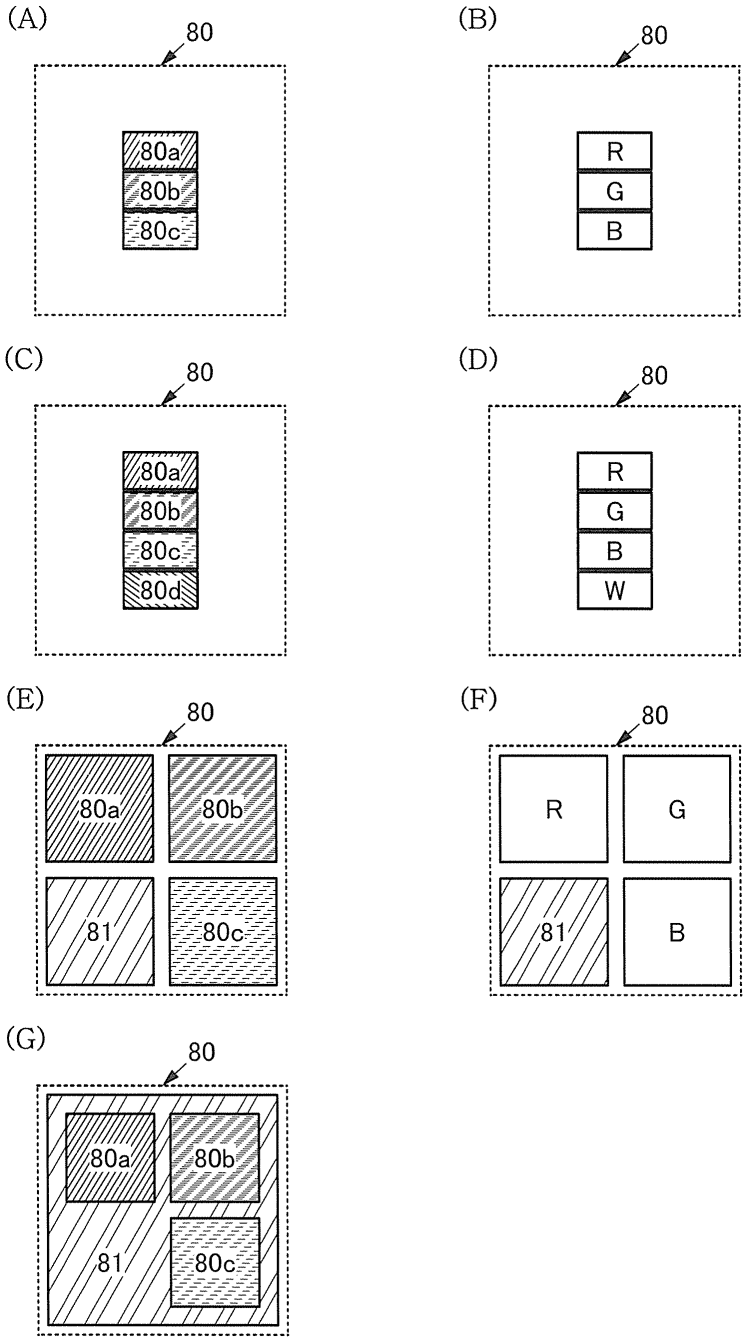
(C)



(D)

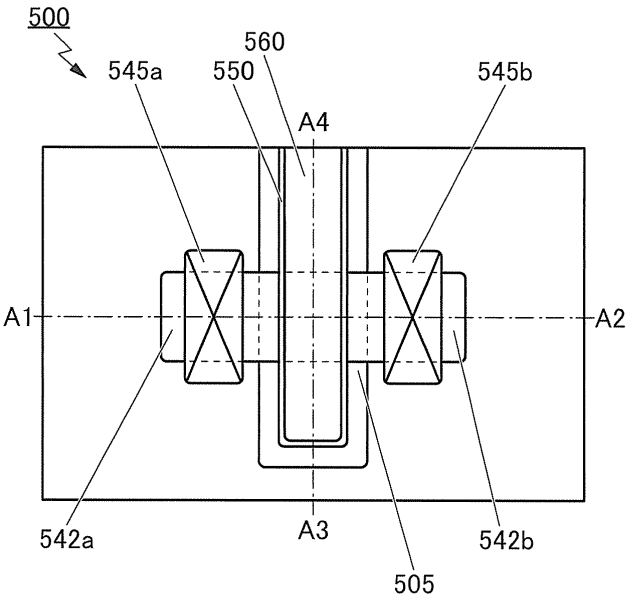


도면59

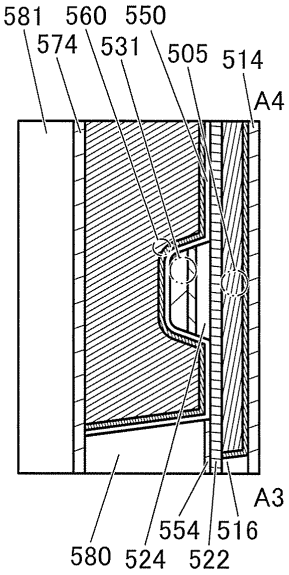

(A)
80
80a
80b
80c
(B)
80
R
G
B
(C)
80
80a
80b
80c
80d
(D)
80
R
G
B
W
(E)
80
80a
80b
81
80c
(F)
80
R
G
81
B
(G)
80
80a
80b
81
80c

도면60

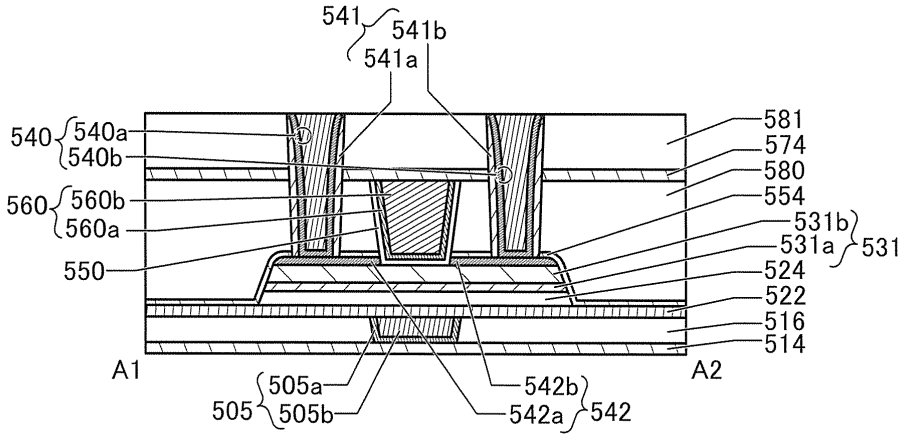
(A)


500
545a
560
550
545b
A4
A1
A2
A3
542a
542b
505

(C)

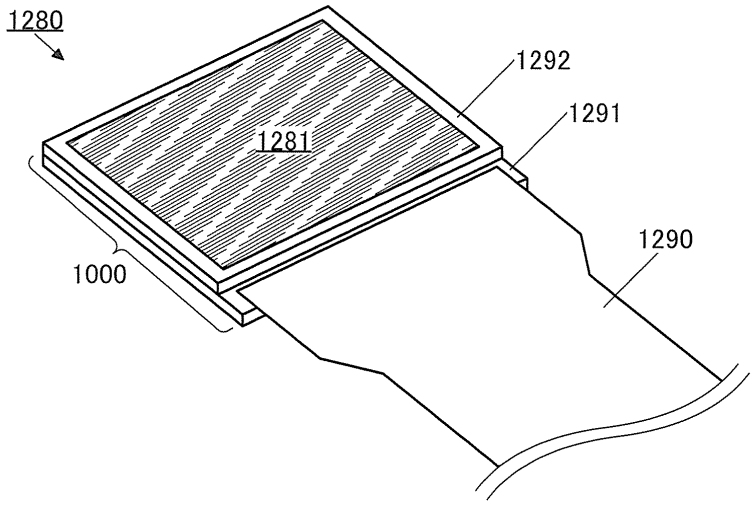

581
560
550
574
531
505
514
A4
A3
580
524
554
522
516

(B)

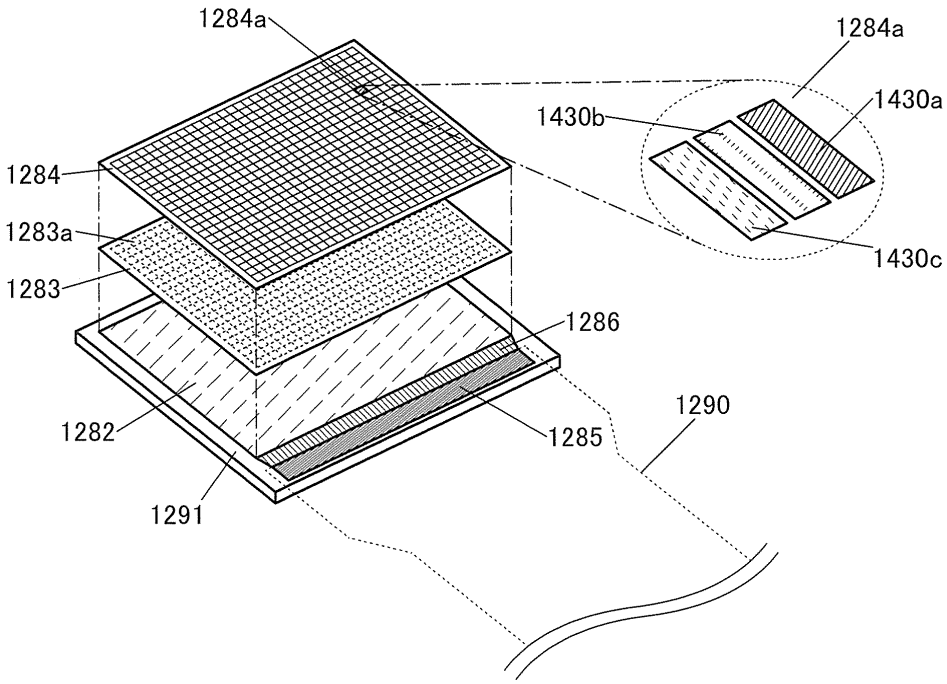

541
541b
541a
540
540a
540b
560
560b
560a
550
581
574
580
554
531b
531a
531
524
522
516
514
A1
A2
505
505a
505b
542b
542a
542

도면61

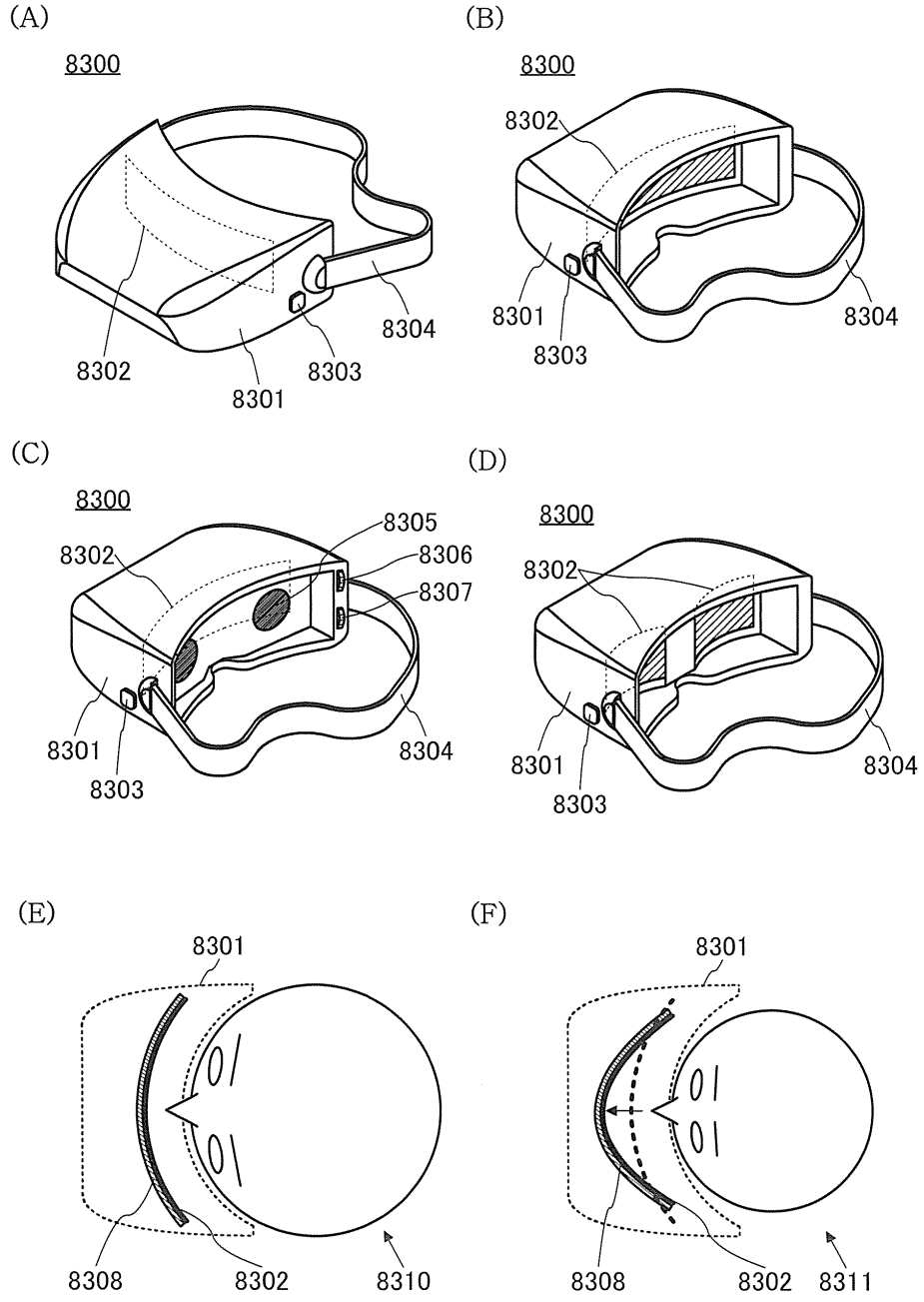
(A)


1280
1292
1291
1281
1290
1000

(B)

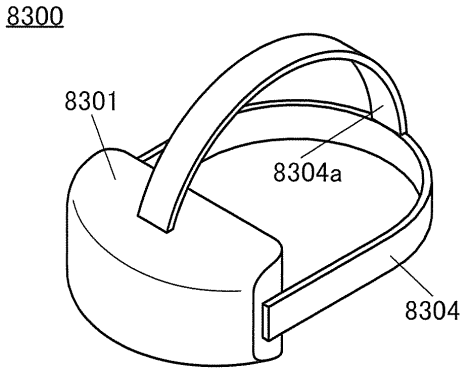

1284a
1284a
1430a
1430b
1284
1283a
1283
1430c
1286
1290
1282
1285
1291

도면62

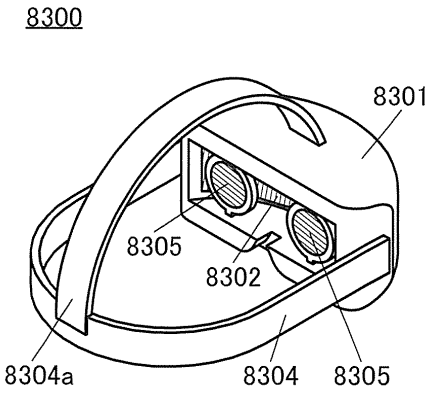

(A)
8300
8302
8301
8303
8304
(B)
8300
8302
8301
8303
8304
(C)
8300
8305
8302
8306
8307
8301
8303
8304
(D)
8300
8302
8301
8303
8304
(E)
8301
8308
8302
8310
(F)
8301
8308
8302
8311

도면63

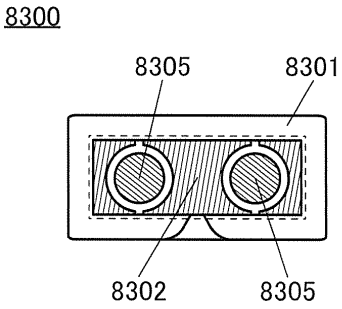
(A)


8300
8301
8304a
8304

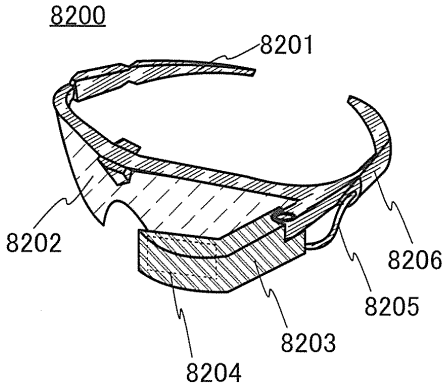
(B)


8300
8301
8305
8302
8304a
8304
8305

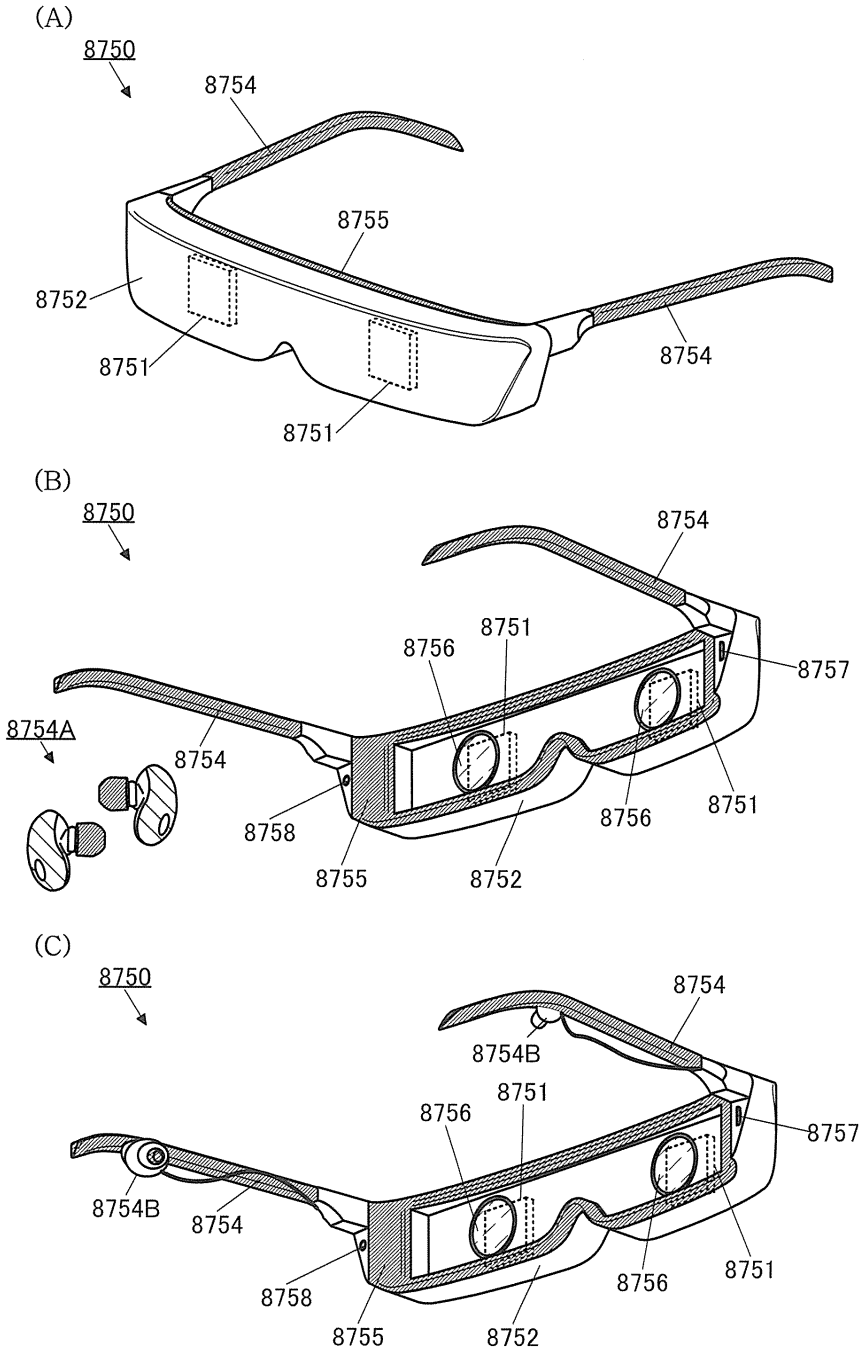
(C)


8300
8305
8301
8302
8305

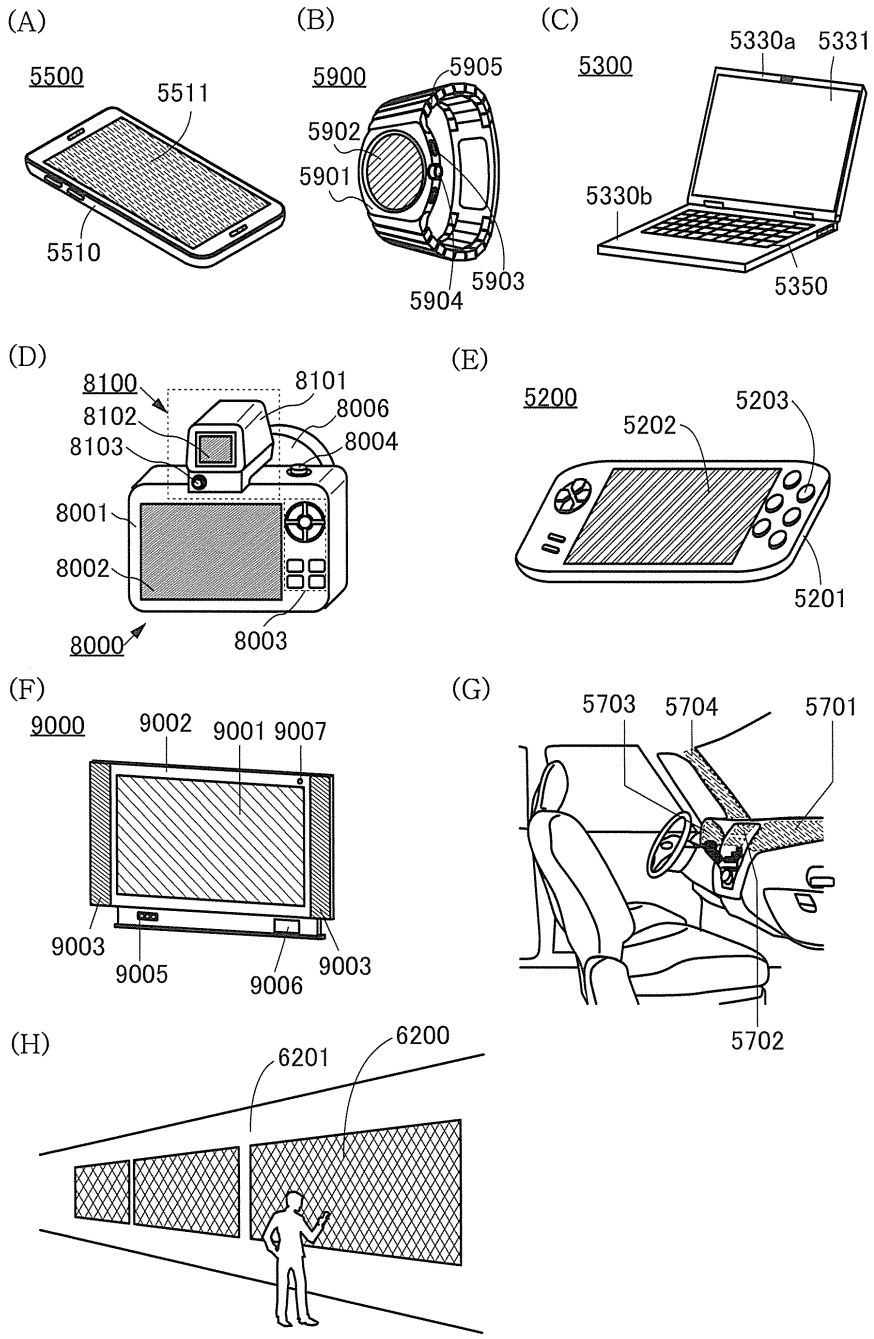
(D)


8200
8201
8202
8206
8205
8203
8204

도면64


(A)
8750
8754
8755
8752
8751
8754
8751
(B)
8750
8754
8751
8756
8757
8754A
8754
8758
8755
8752
8756
8751
(C)
8750
8754
8754B
8751
8756
8757
8754B
8754
8758
8755
8752
8756
8751

도면65


(A)
5500
5511
5510
(B)
5900
5905
5902
5901
5904
5903
(C)
5300
5330a
5331
5330b
5350
(D)
8100
8101
8102
8006
8103
8004
8001
8002
8000
8003
(E)
5200
5202
5203
5201
(F)
9000
9002
9001
9007
9003
9005
9006
9003
(G)
5703
5704
5701
5702
(H)
6201
6200