(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 16 日(16.04.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/053022 A1

(51) 国際特許分類:
H01L 27/08 (2006.01) *H01L 21/8238* (2006.01)
H01L 21/761 (2006.01) *H01L 27/092* (2006.01)

(21) 国際出願番号: PCT/JP2014/073578

(22) 国際出願日: 2014 年 9 月 5 日(05.09.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-210548 2013 年 10 月 7 日(07.10.2013) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 山路 将晴(YAMAJI, Masaharu); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 菅野 博(KANNO, Hiroshi); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関３丁目２番５号 霞が関ビルディング２０階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

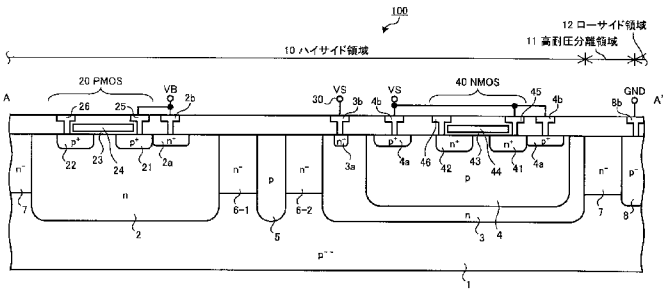
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR APPARATUS

(54) 発明の名称 : 半導体装置

[図3]



10 High side region
11 High voltage isolation region
12 Low side region

(57) **Abstract**: In a high side region (10), the surface layer of a p⁻⁻-type substrate (1) is provided with a 1n-th diffusion region (2) having formed therein a PMOS (20) constituting a gate driver circuit, and a 2n-th diffusion region (3) having formed in an interior portion thereof a p diffusion region (4). The p diffusion region (4) has formed therein an NMOS (40) constituting a gate driver circuit. A p isolation diffusion region (5) at ground potential is provided between the 1n-th diffusion region (2) and the 2n-th diffusion region (3), and the 1n-th diffusion region (2) and the 2n-th diffusion region (3) are electrically separated from each other. The 1n-th diffusion region (2) is connected to a VB terminal at power source potential (VB). The 2n-th diffusion region (3) is connected to a terminal (30) at reference potential (VS) or floating potential. The p diffusion region (4) is connected to a VS terminal at reference potential. It is thereby possible to mitigate parasitic operation resulting from surges without the use of external parts, and to prevent the elements from being damaged.

(57) 要約:

[続葉有]

WO 2015/053022 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

ハイサイド領域（１０）において、ｐ－型基板（１）の表面層には、ゲート駆動回路を構成するＰＭＯＳ（２０）が形成された第１ｎ拡散領域（２）および内部にｐ拡散領域（４）が形成された第２ｎ拡散領域（３）が設けられる。ｐ拡散領域（４）には、ゲート駆動回路を構成するＮＭＯＳ（４０）が形成されている。第１ｎ拡散領域（２）と第２ｎ拡散領域（３）との間には、グランド電位のｐ分離拡散領域（５）が設けられ、第１ｎ拡散領域（２）と第２ｎ拡散領域（３）とが電気的に分離される。第１ｎ拡散領域（２）は、電源電位（ＶＢ）のＶＢ端子に接続される。第２ｎ拡散領域（３）は、基準電位（ＶＳ）またはフローティング電位の端子（３０）に接続される。ｐ拡散領域（４）は、基準電位（ＶＳ）のＶＳ端子に接続される。このようにすることで、外付け部品を用いることなくサージによる寄生動作を抑制し、素子が破壊に至ることを防止することができる。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 従来、産業用インバータにおいて電力変換用ブリッジ回路を構成するＩＧＢＴ（絶縁ゲート型バイポーラトランジスタ）等のスイッチング素子のゲート駆動に用いる半導体素子として、入力側と出力側とを電気的に絶縁するトランスやフォトカプラが公知である。また、近年、主に低容量のインバータ用途において、低コスト化のために、入力側と出力側とを電気的に絶縁しない高耐圧ＩＣ（ＨＶＩＣ）が用いられている（例えば、下記非特許文献１参照。）。

[0003] 高耐圧ＩＣを低コストで製造するためには、安価なバルク基板を用いることができ、かつ特別な素子分離プロセスを必要としない自己分離技術を用いたＩＣプロセスが適している。この自己分離型ＩＣプロセスによって作製（製造）された高耐圧ＩＣについて例えば下記非特許文献１に開示されている。自己分離型ＩＣプロセスによって作製された高耐圧ＩＣの構造について説明する。図９は、従来の高耐圧ＩＣの平面構造を模式的に示す平面図である。図１０は、図９の切断線ＡＡ－ＡＡ’における断面構造を示す断面図である。図１１は、図１０の高耐圧ＩＣの等価回路を示す回路図である。

[0004] 図９，１０に示すように、一般的に、高耐圧ＩＣ２００は、ハイサイド駆動回路２１０、レベルシフタ２１４、制御回路２１５を備える。ハイサイド駆動回路２１０は、ゲート駆動回路、レベルシフト抵抗などを備える。ハイサイド駆動回路２１０は、ハイサイド領域２２０に配置される。ハイサイド領域２２０の周囲は、高耐圧分離領域２２４に囲まれている。ハイサイド領域２２０は、高耐圧分離領域２２４によって、ローサイド領域２２５と電気的に分離されている。レベルシフタ２１４は、高耐圧分離領域２２４に配置

される。ＶＢ端子とレベルシフタ２１４との間には、レベルシフト抵抗２１７が接続される。

[0005] 高耐圧分離領域２２４の周囲は、ローサイド領域２２５に囲まれている。ローサイド領域２２５には、ハイサイド駆動回路２１０を制御する制御回路２１５が配置される。ローサイド領域２２５は、ハイサイド領域２２０と、高耐圧分離領域２２４と、レベルシフタ２１４とを除いた部分である。ハイサイド駆動回路２１０を構成するゲート駆動回路は、ハイサイド側のｐチャネルＭＯＳＦＥＴ（絶縁ゲート型電界効果トランジスタ、以下、ＰＭＯＳとする）２１２と、ｎチャネルＭＯＳＦＥＴ（以下、ＮＭＯＳとする）２１３とが相補うように接続されたＣＭＯＳ（相補型ＭＯＳ）回路よりなる。

[0006] 自己分離型ＩＣプロセスによる高耐圧ＩＣでは、ｐ⁻⁻バルク基板２０１の表面層に選択的に設けられたｎ拡散領域２０２に、ハイサイド駆動回路２１０の横型のＰＭＯＳ２１２が形成される。ｎ拡散領域２０２の内部には比較的浅い深さでｐ拡散領域２０３が設けられており、このｐ拡散領域２０３に横型のＮＭＯＳ２１３が形成される。ｎ拡散領域２０２は、ハイサイド駆動回路２１０の最高電位となるＶＢ端子に接続される。ｐ拡散領域２０３は、ハイサイド駆動回路２１０の最低電位となるＶＳ端子に接続される。ＶＢ端子－ＶＳ端子間の電位差は、ハイサイド駆動回路２１０の電源電圧である例えば１５Ｖ程度である。

[0007] ｐ⁻⁻バルク基板２０１の表面層の、ｎ拡散領域２０２の外側には、ローサイド領域２２５内にｐ⁻領域２０４が設けられている。ｐ⁻⁻バルク基板２０１およびｐ⁻領域２０４はグランド電位（例えば０Ｖ）のＧＮＤ端子に接続される。ｎ拡散領域２０２とｐ⁻領域２０４との間には、高耐圧分離領域２２４を構成するｎ⁻低濃度拡散領域２０５が設けられている。ハイサイド領域２２０の電位がローサイド領域２２５よりも６００Ｖ以上の高電圧に持ち上がったときに、ｎ⁻低濃度拡散領域２０５とｐ⁻領域２０４との間のｐｎ接合が逆バイアスされることによりｎ⁻低濃度拡散領域２０５が空乏化され、横方向（基板主面に平行な方向）の耐圧が保持される。

[0008] 図１１に示すように、高耐圧ＩＣ２００は、例えば、電力変換用ブリッジ回路に接続され、電力変換用ブリッジ回路の一相分を構成する第１，２ＭＯＳＦＥＴ１０１，１０２を駆動する。第１，２ＭＯＳＦＥＴ１０１，１０２は、高圧の主電源（正極側）Ｖｄｃと、この主電源の負極側であるグランド電位ＧＮＤとの間に直列に接続される。ＶＳ端子は、第１ＭＯＳＦＥＴ１０１と第２ＭＯＳＦＥＴ１０２との接続点１０５に接続される。接続点１０５は、第１，２ＭＯＳＦＥＴ１０１，１０２で構成されるブリッジ回路の出力点である。符号１０３，１０４はＦＷＤ（還流ダイオード）である。

[0009] 高耐圧ＩＣ２００の動作について、電力変換用ブリッジ回路のハイサイド側の第１ＭＯＳＦＥＴ１０１を駆動する場合を例に説明する。ハイサイド駆動回路２１０は、ＶＳ端子が接続された接続点１０５の電位を基準電位ＶＳとして、基準電位ＶＳと、ハイサイド駆動回路２１０の最高電位である電源電位ＶＢとの間の電位で動作する。ハイサイド駆動回路２１０の電源電位ＶＢは、ブートストラップ回路を用いる場合、基準電位ＶＳよりもブートストラップコンデンサの電圧分だけ高くなる。制御回路２１５は、グランド電位ＧＮＤを基準として動作し、第１ＭＯＳＦＥＴ１０１をオン・オフするためのＧＮＤ基準のオン・オフ制御用信号を生成する。

[0010] このＧＮＤ基準のオン・オフ制御用信号は、レベルシフタ２１４によってＶＳ基準のオン・オフ制御用信号に変換され、ハイサイド駆動回路２１０へと伝達される。ハイサイド駆動回路２１０に入力されたオン・オフ信号は、ゲート駆動回路２１１を介して第１ＭＯＳＦＥＴ１０１のゲートに入力される。このオン・オフ信号に基づいて第１ＭＯＳＦＥＴ１０１がオン・オフされる。このようにレベルシフタ２１４を介して伝達された制御回路２１５からのオン・オフ信号に基づいて第１ＭＯＳＦＥＴ１０１がオン・オフされることにより、第２ＭＯＳＦＥＴ１０２のオン・オフと組み合わされることで、ＶＳ端子の電位は０Ｖ（ＧＮＤ）から数百Ｖ（Ｖｄｃ）までの間で変動する。

[0011] このような従来の高耐圧ＩＣとして、レベルシフト用ｎチャネルＭＯＳＦ

ＥＴと分離島領域との間の高耐圧分離領域を、従来のｐ拡散領域およびその周辺のリサーフ領域に代えて、ｐ型基板からなるｐ型基板領域（またはｐ拡散層）を基板おもて面に露出させた領域とすることで、製造コストを増大させずに小型化を図った装置が提案されている（例えば、下記特許文献１参照。）。下記特許文献１では、高耐圧分離領域によって分割されたｎ拡散領域間の電位差をレベルシフト時の信号電圧として用いる。このため、高耐圧分離領域によって分割された一方のｎ拡散領域（分離島領域）を電源電位とし、他方のｎ拡散領域をレベルシフト用ｎチャネルＭＯＳＦＥＴのドレイン電位としている。レベルシフト用ｎチャネルＭＯＳＦＥＴのドレイン電位は、レベルシフト用ｎチャネルＭＯＳＦＥＴがオフ状態のときに高耐圧ＩＣの電源電位となり、レベルシフト用ｎチャネルＭＯＳＦＥＴがオン状態のときに、レベルシフト抵抗とレベルシフト用ｎチャネルＭＯＳＦＥＴの電流値とを乗算した電圧値分だけ電源電位よりも低い電位となる。

[0012] また、従来の高耐圧ＩＣとして、次の装置が提案されている。p^-型シリコン基板上に、p^-ウエル領域に囲まれたn^-領域と、ドレイン電極と接続されるドレインn^+領域と、ドレインn^+領域と離れて、ドレインn^+領域を囲むｐベース領域と、ｐベース領域内部に配置されたソースn^+領域と、が設けられている。n^-領域は、n^-領域を貫通してp^-型シリコン基板に達するp^-領域より、第１n^-領域と第２n^-領域とに分離されている。第１n^-領域には、ドレインn^+領域が設けられている。第１n^-領域は、フローティング電位を有する（例えば、下記特許文献２参照。）。

先行技術文献

特許文献

[0013] 特許文献1：特許第３９１７２１１号公報

特許文献2：特表２０１２－５１９３７１号公報

非特許文献

[0014] 非特許文献1：ティー・フジヒラ（Ｔ．ＦＵＪＩＨＩＲＡ）、外４名、プロポーザル　オブ　ニュー　インターコネクション　テクニック　フォア　ベリ

ー ハイーボルテージ ＩＣ’ｓ（Ｐｒｏｐｏｓａｌ ｏｆ Ｎｅｗ Ｉｎｔｅｒｃｏｎｎｅｃｔｉｏｎ Ｔｅｃｈｎｉｑｕｅ ｆｏｒ Ｖｅｒｙ Ｈｉｇｈ－Ｖｏｌｔａｇｅ ＩＣ’ｓ）、ジャパニーズ ジャーナル オブ アプライド フィジクス（Ｊａｐａｎｅｓｅ Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ）、１９９６年１１月、第３５巻（第１版）、第１１号、ｐ．５６５５－５６６３

非特許文献2：ジョナサン・アダムス（Ｊｏｎａｔｈａｎ Ａｄａｍｓ）、”コントロールＩＣ用ブートストラップ回路部品の選定”、［ｏｎｌｉｎｅ］、インターナショナル・レクティファイアー・ジャパン株式会社（Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｒｅｃｔｉｆｉｅｒ Ｊａｐａｎ）、［平成２５年６月１０日検索］、インターネット＜ｈｔｔｐ：／／ｗｗｗ．ｉｒｆ－ｊａｐａｎ．ｃｏｍ／ｔｅｃｈｎｉｃａｌ－ｉｎｆｏ／ｄｅｓｉｇｎｔｐ／ｄｔ９８－２ｊ．ｐｄｆ＞

発明の概要

発明が解決しようとする課題

[0015] しかしながら、自己分離型ＩＣプロセスによって作製された高耐圧ＩＣ２００では、ハイサイド領域２２０内に、ＰＭＯＳ２１２のｐ$^{+}$拡散領域をエミッタとし、ｎ拡散領域２０２をベースとし、ｐ$^{--}$バルク基板２０１をコレクタとする寄生ｐｎｐバイポーラトランジスタや、ｐ拡散領域２０３をエミッタとし、ｎ拡散領域２０２をベースとし、ｐ$^{--}$バルク基板２０１をコレクタとする寄生ｐｎｐバイポーラトランジスタ２１８が形成される。ＰＭＯＳ２１２のｐ$^{+}$拡散領域をエミッタとし、ｎ拡散領域２０２をベースとし、ｐ$^{--}$バルク基板２０１をコレクタとする寄生ｐｎｐバイポーラトランジスタは、ベースとなるｎ拡散領域２０２の深さが深いため、ｈＦＥ（直流電流増幅率）が小さく、熱暴走しにくい。

[0016] それに対して、寄生ｐｎｐバイポーラトランジスタ２１８は、エミッタとなるｐ拡散領域２０３の深さがＰＭＯＳ２１２のｐ$^{+}$拡散領域の深さよりも深く、ベース幅（ｎ拡散領域２０２の、ｐ拡散領域２０３とｐ$^{--}$バルク基板２０

１とに挟まれた部分の厚さ）が狭いため、ＰＭＯＳ２１２のｐ+拡散領域をエミッタとし、ｎ拡散領域２０２をベースとし、ｐ−バルク基板２０１をコレクタとする寄生ｐｎｐバイポーラトランジスタよりもｈＦＥが大きく、熱暴走しやすい。このベース幅の狭い寄生ｐｎｐバイポーラトランジスタ２１８のベース、エミッタおよびコレクタは、それぞれ、ＶＢ端子、ＶＳ端子、ＧＮＤ端子に接続された状態となっている。

[0017] 通常動作時、高耐圧ＩＣ２００の電源電位ＶＢは基準電位ＶＳよりも高いため、寄生ｐｎｐバイポーラトランジスタ２１８は動作しない。しかし、負電圧サージにより電源電位ＶＢが基準電位ＶＳよりもシリコンｐｎ接合の拡散電位である０．６Ｖ以上低下した場合、すなわちＶＢ＜（ＶＳ－０．６［Ｖ］）の電位関係になった場合、ｐ拡散領域２０３（エミッタ）とｎ拡散領域２０２（ベース）との間のｐｎ接合が順バイアスされ、ベース幅の狭い寄生ｐｎｐバイポーラトランジスタ２１８がオン状態となる。これにより、高電圧（～Ｖｄｃの高電位側電位）が印加されたＶＳ端子とＧＮＤ端子との間に大電流が流れ、大電流による発熱によって高耐圧ＩＣ２００が破壊に至るという問題がある。

[0018] このようにＶＢ端子－ＶＳ端子間にかかる負電圧サージによる素子破壊を回避するため、通常、上記非特許文献２で提案されるように、ＶＢ端子とＶＳ端子との間に、ｐ−バルク基板２０１の外部に外付け部品として接続されたバイパスコンデンサが配置される。しかしながら、レイアウト設計やコスト上の制約によりバイパスコンデンサを接続することができなかったり、レイアウト設計の制約により高耐圧ＩＣ２００の近くに配置することができず、高耐圧ＩＣ２００から離れた位置に配置されることで十分に効果が得られないという問題がある。

[0019] この発明は、上述した従来技術による問題点を解消するため、サージによる破壊を防止することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0020] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる

半導体装置は、第１導電型の半導体層の表面層に選択的に設けられた、第１電位と接続される第２導電型の第１半導体領域と、前記半導体層の表面層に選択的に設けられた、前記第１電位よりも低い第２電位またはフローティング電位と接続される第２導電型の第２半導体領域と、前記第２半導体領域の内部に選択的に設けられた、前記第２電位と接続される第１導電型の第３半導体領域と、前記第１半導体領域および前記第３半導体領域に設けられ、前記第２電位を基準電位とし、当該基準電位と前記第１電位との間の電位で動作する回路と、前記第１半導体領域と前記第２半導体領域との間に設けられ、前記第１半導体領域と前記第２半導体領域とを電気的に分離する分離領域と、を備えることを特徴とする。

[0021] また、この発明にかかる半導体装置は、上述した発明において、前記半導体層は、前記第１電位よりも低い第３電位と接続され、前記分離領域は、前記第１半導体領域および前記第２半導体領域に接し、かつ前記半導体層に電気的に接続された第１導電型半導体領域であることを特徴とする。

[0022] また、この発明にかかる半導体装置は、上述した発明において、前記分離領域は、前記第１半導体領域と前記第２半導体領域との間において、前記第１半導体領域および前記第２半導体領域を深さ方向に貫通して前記半導体層に達するトレンチと、前記トレンチの内部に埋め込まれた絶縁体層と、からなることを特徴としてもよい。

[0023] また、この発明にかかる半導体装置は、上述した発明において、前記回路は、高電位側の第１絶縁ゲート型トランジスタと低電位側の第２絶縁ゲート型トランジスタとが接続されてなる外部回路の前記第１絶縁ゲート型トランジスタを駆動するゲート駆動回路であることを特徴とする。

[0024] また、この発明にかかる半導体装置は、上述した発明において、前記第２電位は、前記第１絶縁ゲート型トランジスタと前記第２絶縁ゲート型トランジスタとの接続点の電位であることを特徴とする。

[0025] また、この発明にかかる半導体装置は、上述した発明において、前記第２電位が前記第３電位より所定電位高いときに前記第１導電型半導体領域と前

記第１半導体領域および前記第２半導体領域との間のｐｎ接合から広がる空乏層同士がつながることを特徴とする。

[0026] また、この発明にかかる半導体装置は、上述した発明において、前記第１半導体領域内に形成された第１導電型チャネルの絶縁ゲート型電界効果トランジスタと、前記第３半導体領域内に形成された第２導電型チャネルの絶縁ゲート型電界効果トランジスタとによりＣＭＯＳ回路を構成することを特徴とする。

[0027] 上述した発明によれば、第１電位の第１半導体領域と、第２電位の第３半導体領域が形成された第２半導体領域とを分離領域によって電気的に分離し、かつ第２半導体領域を第２電位またはフローティング電位とすることにより、負電圧サージが印加されることで第１電位が第２電位よりも低下したとしても、第２電位の第３半導体領域と第３電位の半導体層との間に電流は流れない。このため、第３半導体領域をエミッタとし、第１半導体領域をベースとし、半導体層をコレクタとするベース幅の狭い寄生ｐｎｐバイポーラトランジスタが動作しない。したがって、負電圧サージによる寄生動作によって素子が破壊に至ることを防止することができる。

発明の効果

[0028] 本発明にかかる半導体装置によれば、外付け部品を用いることなくサージによる寄生動作を抑制し、素子が破壊に至ることを防止することができるという効果を奏する。

図面の簡単な説明

[0029] [図1]図１は、実施の形態１にかかる高耐圧ＩＣの等価回路を示す回路図である。

[図2]図２は、実施の形態１にかかる高耐圧ＩＣの平面構造を模式的に示す平面図である。

[図3]図３は、図２の切断線Ａ－Ａ’における断面構造を示す断面図である。

[図4]図４は、実施の形態２にかかる高耐圧ＩＣの平面構造を模式的に示す平面図である。

[図5]図５は、実施の形態３にかかる高耐圧ＩＣの平面構造を模式的に示す平面図である。

[図6]図６は、実施の形態４にかかる高耐圧ＩＣの断面構造を模式的に示す断面図である。

[図7]図７は、本発明にかかる高耐圧ＩＣの負電圧サージ－電流特性を示す特性図である。

[図8]図８は、図２の切断線Ａ－Ａ’における断面構造の別の一例を示す断面図である。

[図9]図９は、従来の高耐圧ＩＣの平面構造を模式的に示す平面図である。

[図10]図１０は、図９の切断線ＡＡ－ＡＡ’における断面構造を示す断面図である。

[図11]図１１は、図１０の高耐圧ＩＣの等価回路を示す回路図である。

発明を実施するための形態

[0030] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋および－は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0031] （実施の形態１）

実施の形態１にかかる半導体装置の構造について、電力変換用ブリッジ回路を駆動する高耐圧ＩＣを例に説明する。図１は、実施の形態１にかかる高耐圧ＩＣの等価回路を示す回路図である。図１に示すように、電力変換用ブリッジ回路（外部回路）を構成する第１，２ＭＯＳＦＥＴ１０１，１０２（第１，２絶縁ゲート型トランジスタ）は、高圧の主電源（正極側）Ｖｄｃと、この主電源の負極側であるグランド電位ＧＮＤとの間に直列に接続されている。ＶＳ端子は、第１ＭＯＳＦＥＴ１０１と第２ＭＯＳＦＥＴ１０２との

接続点１０５に接続される。接続点１０５は、電力変換用ブリッジ回路の出力点であり、例えば負荷であるモータなどが接続される。電力変換用ブリッジ回路には、第１，２ＭＯＳＦＥＴ１０１，１０２に代えて第１，２ＩＧＢＴを配置してもよい。

[0032] 高耐圧ＩＣ１００は、ハイサイド駆動回路１１０、レベルシフタ１１４、制御回路１１５を備え、電力変換用ブリッジ回路の一相分を構成する第１，２ＭＯＳＦＥＴ１０１，１０２のうちハイサイド側の第１ＭＯＳＦＥＴ１０１を駆動する。ハイサイド駆動回路１１０は、ＶＳ端子の電位を基準電位（第２電位）ＶＳとして、基準電位ＶＳよりも例えば１５Ｖ程度高い電源電位（第１電位）ＶＢとの間の電位で動作する。電源電位ＶＢは、ハイサイド駆動回路１１０の最高電位である。基準電位ＶＳは、ハイサイド駆動回路１１０の最低電位である。具体的には、ハイサイド駆動回路１１０は、例えば、ゲート駆動回路１１１、レベルシフト抵抗１１２などを備える。

[0033] ゲート駆動回路１１１は、ハイサイド側のｐチャネルＭＯＳＦＥＴ（ＰＭＯＳ）２０と、ｎチャネルＭＯＳＦＥＴ（ＮＭＯＳ）４０とが相補うように接続されたＣＭＯＳ回路などを備える。ＰＭＯＳ２０のソースは電源電位ＶＢのＶＢ端子に接続され、ＰＭＯＳ２０のドレインはＮＭＯＳ４０のドレインに接続される。ＮＭＯＳ４０のソースは基準電位ＶＳのＶＳ端子に接続される。ＰＭＯＳ２０とＮＭＯＳ４０との接続点１１３は、第１ＭＯＳＦＥＴ１０１のゲートに接続される。符号１０３，１０４はＦＷＤ（還流ダイオード）である。

[0034] 制御回路１１５は、ハイサイド駆動回路１１０を制御する。具体的には、制御回路１１５は、グランド電位ＧＮＤを基準として動作し、第１ＭＯＳＦＥＴ１０１をオン・オフするためのＧＮＤ基準のオン・オフ制御用信号を生成する。レベルシフタ１１４は、例えばＭＯＳＦＥＴで構成され、制御回路１１５によって生成されたＧＮＤ基準のオン・オフ制御用信号を、ＶＳ基準のオン・オフ制御用信号に変換する。ＶＢ端子とレベルシフタ１１４との間には、レベルシフト抵抗１１２が接続される。

[0035] 次に、実施の形態１にかかる高耐圧ＩＣ１００の平面構造について説明する。図２は、実施の形態１にかかる高耐圧ＩＣの平面構造を模式的に示す平面図である。図２に示すように、ハイサイド領域１０には、第１ｎ拡散領域（第１半導体領域）２および第２ｎ拡散領域（第２半導体領域）３が配置されている。第１ｎ拡散領域２には、ゲート駆動回路１１１を構成するＰＭＯＳ２０が配置される。第２ｎ拡散領域３の内部には、ｐ拡散領域（第３半導体領域）４が配置されている。ｐ拡散領域４には、ゲート駆動回路１１１を構成するＮＭＯＳ４０が配置される。ｐ分離拡散領域（分離領域：第１導電型半導体領域）５は、第１ｎ拡散領域２と第２ｎ拡散領域３の間に設けられ、第１ｎ拡散領域２と第２ｎ拡散領域３とを分離するように例えば直線状に延びている。

[0036] 高耐圧分離領域１１は、ハイサイド領域１０の周囲を囲むように配置される。高耐圧分離領域１１には、例えばレベルシフタ（不図示）が配置される。高耐圧分離領域１１の周囲には、高耐圧分離領域１１を囲むようにローサイド領域１２が配置される。高耐圧分離領域１１は、ハイサイド領域１０とローサイド領域１２とを電気的に分離する機能を有する。高耐圧分離領域１１は、ハイサイド領域１０からローサイド領域１２にまで延びるｐ分離拡散領域５によって、第１ｎ拡散領域２側と第２ｎ拡散領域３側とに分離されていてもよい。ローサイド領域１２には、制御回路（不図示）などが配置される。ローサイド領域１２は、ハイサイド領域１０と、高耐圧分離領域１１と、レベルシフタとを除いた部分である。

[0037] 次に、実施の形態１にかかる高耐圧ＩＣ１００の断面構造について説明する。図３は、図２の切断線Ａ－Ａ’における断面構造を示す断面図である。図８は、図２の切断線Ａ－Ａ’における断面構造の別の一例を示す断面図である。図３，８には、第１ｎ拡散領域２、ｐ分離拡散領域５および第２ｎ拡散領域３を横切る切断線Ａ－Ａ’における断面構造を示す。図３に示すように、高耐圧ＩＣ１００は、p^{--}型基板１に自己分離型ＩＣプロセスによって作製（製造）された素子分離構造を有する。p^{--}型基板１は、ハイサイド駆動回路１１

０の電源電位である電源電位ＶＢよりも低い例えばグランド電位（第３電位）ＧＮＤとなっている。ハイサイド領域１０において、p^{--}型基板１のおもて面の表面層には、第１ｎ拡散領域２が選択的に設けられている。

[0038] 第１ｎ拡散領域２には、ゲート駆動回路１１１を構成する横型のＰＭＯＳ２０が形成されている。ＰＭＯＳ２０は、p^{+}ソース領域２１、p^{+}ドレイン領域２２、ゲート絶縁膜２３、ゲート電極２４、ソース電極２５およびドレイン電極２６など、ＭＯＳゲート（金属－酸化膜－半導体からなる絶縁ゲート）構造からなる一般的な素子構造を備える。ＰＭＯＳ２０のソース電極２５は、ハイサイド駆動回路１１０の電源電位ＶＢのＶＢ端子に接続される。第１ｎ拡散領域２は、第１ｎ拡散領域２の内部に設けられたn^{+}高濃度領域２ａを介してコンタクト電極２ｂに接続されている。コンタクト電極２ｂは、ＶＢ端子に接続されている。

[0039] また、ハイサイド領域１０において、p^{--}型基板１のおもて面の表面層には、第１ｎ拡散領域２と離れて、第２ｎ拡散領域３が選択的に設けられている。第２ｎ拡散領域３は、第２ｎ拡散領域３の内部に設けられたn^{+}高濃度領域３ａを介してコンタクト電極３ｂに接続されている。コンタクト電極３ｂは、ハイサイド駆動回路１１０の基準電位ＶＳの端子３０に接続されている。端子３０は、フローティング電位であってもよい。第２ｎ拡散領域３の内部には、比較的浅い深さでｐ拡散領域４が設けられている。ｐ拡散領域４には、ゲート駆動回路１１１を構成する横型のＮＭＯＳ４０が形成されている。

[0040] ＮＭＯＳ４０は、n^{+}ソース領域４１、n^{+}ドレイン領域４２、ゲート絶縁膜４３、ゲート電極４４、ソース電極４５およびドレイン電極４６など、ＭＯＳゲート構造からなる一般的な素子構造を備える。ＮＭＯＳ４０のソース電極４５は、ＶＳ端子に接続される。ｐ拡散領域４は、ｐ拡散領域４の内部に設けられたp^{+}高濃度領域４ａを介してコンタクト電極４ｂに接続されている。コンタクト電極４ｂは、ＶＳ端子に接続されている。また、p^{+}高濃度領域４ａおよびコンタクト電極４ｂは、ｐ拡散領域４の外周に設けられ、ＮＭＯＳ４０を囲む。

[0041] ｐ分離拡散領域５は、第１ｎ拡散領域２と第２ｎ拡散領域３との間に設けられている。ｐ分離拡散領域５の拡散深さは、例えば、第１，２ｎ拡散領域２，３の拡散深さと同程度であってもよいし、第１，２ｎ拡散領域２，３の拡散深さよりも深くてよい。ｐ分離拡散領域５は、ｐ⁻⁻型基板１に接しており、高耐圧ＩＣ１００がオフ状態のときにグランド電位ＧＮＤとなっている。ｐ分離拡散領域５に代えて、第１ｎ拡散領域２と第２ｎ拡散領域３とに挟まれた部分をｐ⁻⁻型基板１とし、ｐ⁻⁻型基板１の、第１ｎ拡散領域２と第２ｎ拡散領域３とに挟まれた部分をおもて面側に露出させてもよい。

[0042] ｐ分離拡散領域５と第１ｎ拡散領域２との間には、ｎ⁻低濃度拡散領域６－１が設けられている。ｎ⁻低濃度拡散領域６－１は、第１ｎ拡散領域２に接しており、第１ｎ拡散領域２を介してＶＢ端子に接続される。ｐ分離拡散領域５と第２ｎ拡散領域３との間には、ｎ⁻低濃度拡散領域６－２が設けられている。ｎ⁻低濃度拡散領域６－２は、第２ｎ拡散領域３に接しており、第２ｎ拡散領域３を介してＶＳ端子に接続される。ｎ⁻低濃度拡散領域６－１，６－２の拡散深さは、例えば、第１，２ｎ拡散領域２，３の拡散深さと同程度であってもよいし、第１，２ｎ拡散領域２，３の拡散深さよりも浅くてもよい。

[0043] 上述したように、通常、電源電位ＶＢは基準電位ＶＳよりも例えば１５Ｖ高くなっている。これによって、ｐ分離拡散領域５の内部には、ｐ分離拡散領域５とｎ⁻低濃度拡散領域６－１との間のｐｎ接合、および、ｐ分離拡散領域５とｎ⁻低濃度拡散領域６－２との間のｐｎ接合（以下、ｐ分離拡散領域５周辺のｐｎ接合とする）からそれぞれ空乏層が広がる。ここで、ｐ分離拡散領域５周辺のｐｎ接合がアバランシェ降伏しないように、第１，２ｎ拡散領域２，３、ｐ分離拡散領域５およびｎ⁻低濃度拡散領域６－１，６－２などの各拡散領域の幅や不純物濃度が設定されている。各拡散領域の幅とは、各拡散領域の切断線Ａ－Ａ’に沿った方向の幅である。

[0044] すなわち、ｐ分離拡散領域５周辺のｐｎ接合がアバランシェ降伏する前に、ｎ⁻低濃度拡散領域６－１とのｐｎ接合およびｎ⁻低濃度拡散領域６－２とのｐｎ接合からそれぞれｐ分離拡散領域５の内部に広がる空乏層同士が接触す

るように、各拡散領域の幅や不純物濃度が設定される。このように各拡散領域の幅や不純物濃度を設定することによって、ｐ分離拡散領域５が空乏化され、ｐ分離拡散領域５の電位が基準電位ＶＳに近い電位まで持ち上がるため、ｐ分離拡散領域５周辺のｐｎ接合の電位差を小さくすることができ、アバランシェ降伏を防ぐことができる。また、ｐ分離拡散領域５の内部でつながった空乏層を通じてパンチスルーしないように、空乏層が広がった部分における電位分布が、空乏層の広がる方向に凹凸を持つように、各拡散領域の幅や不純物濃度が設定される。

[0045] ｐ分離拡散領域５周辺のｐｎ接合のアバランシェ降伏を防ぐことを考慮しない場合、ｐ分離拡散領域５はｐ$^{--}$型基板１と同電位となり、電源電位ＶＢおよび基準電位ＶＳが数百Ｖ程度にまで上昇したときに、ｐ分離拡散領域５周辺のｐｎ接合付近に電界が集中し、ｐ分離拡散領域５周辺のｐｎ接合がアバランシェ降伏する虞がある。アバランシェ降伏を防ぐことを考慮しない場合とは、ｐ分離拡散領域５の幅（ｎ$^{-}$低濃度拡散領域６－１とｎ$^{-}$低濃度拡散領域６－２との距離）が広すぎることで、ｎ$^{-}$低濃度拡散領域６－１とのｐｎ接合およびｎ$^{-}$低濃度拡散領域６－２とのｐｎ接合からそれぞれｐ分離拡散領域５の内部に広がる空乏層同士が接触しない場合、などである。

[0046] ｐ分離拡散領域５周辺のｐｎ接合のアバランシェ降伏を抑制するためには、ｎ$^{-}$低濃度拡散領域６－１とのｐｎ接合およびｎ$^{-}$低濃度拡散領域６－２とのｐｎ接合からそれぞれｐ分離拡散領域５の内部に広がる空乏層同士が一部でも接触していればよい。具体的には、ｎ$^{-}$低濃度拡散領域６－１とのｐｎ接合およびｎ$^{-}$低濃度拡散領域６－２とのｐｎ接合からそれぞれｐ分離拡散領域５の内部に広がる空乏層同士は、ｎ$^{-}$低濃度拡散領域６－１，６－２の深さと同程度の深さ付近で接触していれば、基板おもて面側で接触していなくてもよい。ｎ$^{-}$低濃度拡散領域６－１側およびｎ$^{-}$低濃度拡散領域６－２側からそれぞれｐ分離拡散領域５の内部に広がる空乏層同士が少なくともｎ$^{-}$低濃度拡散領域６－１，６－２の深さと同程度の深さ付近で接触することにより、ｐ分離拡散領域５の電位が基準電位ＶＳに近い電位まで持ち上がるため、ｐ分離拡

散領域５周辺のｐｎ接合のアバランシェ降伏を抑制することができる。

[0047] ｎ-低濃度拡散領域６－１，６－２は、電源電位ＶＢおよび基準電位ＶＳが数百Ｖ程度にまで上昇したときに、ｐ分離拡散領域５とｎ-低濃度拡散領域６－１との間のｐｎ接合付近、および、ｐ分離拡散領域５とｎ-低濃度拡散領域６－２との間のｐｎ接合付近に電界が集中し、ｐ分離拡散領域５周辺のｐｎ接合がアバランシェ降伏することを抑制しやすくするという機能を有する。なお、ｎ-低濃度拡散領域６－１とのｐｎ接合側およびｎ-低濃度拡散領域６－２とのｐｎ接合側からそれぞれｐ分離拡散領域５の内部に広がる空乏層同士の少なくても一部が接触する条件でｐ分離拡散領域５および第１，２ｎ拡散領域２，３が設けられていればよく、ｎ-低濃度拡散領域６－１，６－２は図８に示すように設けられていなくてもよい。なお、基準電位ＶＳがＧＮＤ電位に対して数百Ｖ程度まで上昇する過程で空乏層同士が接触してもよい。接触し始める電圧は１００Ｖ程度とすることができる。

[0048] 高耐圧分離領域１１において、ｐ--型基板１のおもて面の表面層には、ハイサイド領域１０の周囲を囲むようにｎ-低濃度拡散領域７が設けられている。ｎ-低濃度拡散領域７は、第１，２ｎ拡散領域２，３に接する。ｎ-低濃度拡散領域７には、レベルシフタ（不図示）用のＭＯＳＦＥＴが設けられている。このｎ-低濃度拡散領域７によって高耐圧分離領域１１が構成される。ハイサイド領域１０の電位がローサイド領域１２よりも例えば６００Ｖ以上の高電圧に持ち上がったときに、ｎ-低濃度拡散領域７とｐ-低濃度拡散領域８との間のｐｎ接合が逆バイアスされることにより、高耐圧ＩＣ１００の耐圧が保持される。

[0049] また、ｐ--型基板１のおもて面の表面層には、ｎ-低濃度拡散領域７の周囲を囲み、かつｎ-低濃度拡散領域７に接するｐ-低濃度拡散領域８が設けられている。ハイサイド領域１０と高耐圧分離領域１１とレベルシフタとを除いた領域がローサイド領域１２である。ｐ-低濃度拡散領域８は、コンタクト電極８ｂを介してグランド電位ＧＮＤのＧＮＤ端子に接続されている。ｐ-低濃度拡散領域８は、ｐ--型基板１をグランド電位ＧＮＤに固定する機能を有する。

[0050] 特に限定しないが、第１，２ｎ拡散領域２，３、ｐ拡散領域４、ｐ分離拡散領域５、ｎ⁻低濃度拡散領域６－１，６－２，７およびｐ⁻低濃度拡散領域８の表面不純物濃度および拡散深さは次の値をとる。第１，２ｎ拡散領域２，３は、ドーパントとしてリン（Ｐ）を含み、表面不純物濃度を１×１０^{15}／ｃｍ^{3}～１×１０^{18}／ｃｍ^{3}程度とし、拡散深さを７μｍ～１０μｍ程度としてもよい。ｐ拡散領域４は、ドーパントとしてボロン（Ｂ）を含み、表面不純物濃度を１×１０^{15}／ｃｍ^{3}～１×１０^{19}／ｃｍ^{3}程度とし、拡散深さを４μｍ～６μｍ程度としてもよい。ｐ分離拡散領域５およびｐ⁻低濃度拡散領域８は、ドーパントとしてボロンを含み、表面不純物濃度を１×１０^{15}／ｃｍ^{3}～４×１０^{18}／ｃｍ^{3}程度とし、拡散深さを１０μｍ～１３μｍ程度としてもよい。ｎ⁻低濃度拡散領域６－１，６－２，７は、ドーパントとしてリンを含み、表面不純物濃度を１×１０^{15}／ｃｍ^{3}～１×１０^{17}／ｃｍ^{3}程度とし、拡散深さを４μｍ～１０μｍ程度としてもよい。

[0051]（実施の形態２）

次に、実施の形態２にかかる半導体装置について説明する。図４は、実施の形態２にかかる高耐圧ＩＣの平面構造を模式的に示す平面図である。実施の形態２にかかる半導体装置は、ハイサイド領域１０内の第１，２ｎ拡散領域およびｐ分離拡散領域の平面レイアウトが実施の形態１にかかる半導体装置と異なる。具体的には、実施の形態２にかかる半導体装置が実施の形態１にかかる半導体装置と異なる点は、ハイサイド領域１０を構成するｎ拡散領域のうち、ＶＳ端子に接続されたｐ拡散領域５４を設けた部分の周囲を囲むようにｐ分離拡散領域５５を配置した点である。

[0052] より具体的には、ハイサイド領域１０を構成するｎ拡散領域に、高耐圧分離領域１１を構成するｎ⁻低濃度拡散領域７と離れて、例えば略矩形環状のｐ分離拡散領域５５が設けられている。ハイサイド領域１０を構成するｎ拡散領域のうち、ｐ分離拡散領域５５の外側の部分（すなわちｐ分離拡散領域５５とｎ⁻低濃度拡散領域７とに挟まれた部分）がＶＢ端子に接続された第１ｎ拡散領域５２であり、ｐ分離拡散領域５５に囲まれた部分が基準電位ＶＳま

たはフローティング電位の端子に接続された第２ｎ拡散領域５３である。ｐ分離拡散領域５５の外側の第１ｎ拡散領域５２に、ＰＭＯＳ２０が配置される。ｐ分離拡散領域５５に囲まれた第２ｎ拡散領域５３に、ＮＭＯＳ４０を配置したｐ拡散領域５４が設けられている。

[0053] （実施の形態３）

次に、実施の形態３にかかる半導体装置について説明する。図５は、実施の形態３にかかる高耐圧ＩＣの平面構造を模式的に示す平面図である。実施の形態３にかかる半導体装置は、ハイサイド領域１０内の第１，２ｎ拡散領域およびｐ分離拡散領域の平面レイアウトが実施の形態１にかかる半導体装置と異なる。具体的には、実施の形態３にかかる半導体装置が実施の形態１にかかる半導体装置と異なる点は、ハイサイド領域１０を構成するｎ拡散領域のうち、ＶＢ端子に接続された部分の周囲を囲むようにｐ分離拡散領域６５を配置した点である。

[0054] より具体的には、ハイサイド領域１０を構成するｎ拡散領域に、高耐圧分離領域１１を構成するｎ⁻低濃度拡散領域７と離れて、例えば略矩形環状のｐ分離拡散領域６５が設けられている。ハイサイド領域１０を構成するｎ拡散領域のうち、ｐ分離拡散領域６５に囲まれた部分がＶＢ端子に接続された第１ｎ拡散領域６２であり、ｐ分離拡散領域６５の外側の部分（すなわちｐ分離拡散領域６５とｎ⁻低濃度拡散領域７とに挟まれた部分）が基準電位ＶＳまたはフローティング電位の端子に接続された第２ｎ拡散領域６３である。ｐ分離拡散領域６５に囲まれた第１ｎ拡散領域６２に、ＰＭＯＳ２０が配置される。ｐ分離拡散領域６５の外側の第２ｎ拡散領域６３に、ＮＭＯＳ４０を配置したｐ拡散領域６４が設けられている。

[0055] （実施の形態４）

次に、実施の形態４にかかる半導体装置について説明する。図６は、実施の形態４にかかる高耐圧ＩＣの断面構造を模式的に示す断面図である。図６には、図２の切断線Ａ－Ａ’における断面構造を示す。実施の形態４にかかる半導体装置が実施の形態１にかかる半導体装置と異なる点は、トレンチ内に

埋め込んだ絶縁体層（分離領域）７５によって第１ｎ拡散領域７２と第２ｎ拡散領域７３とを分離（ＤＴＩ：Ｄｅｅｐ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）した点である。すなわち、ｐ分離拡散領域に代えて、絶縁体層７５が設けられている。

[0056] 具体的には、ｐ−型基板１のおもて面の表面層に、ハイサイド領域１０を構成するｎ拡散領域が設けられている。ハイサイド領域１０を構成するｎ拡散領域を深さ方向に貫通してｐ−型基板１に達するトレンチが設けられており、このトレンチの内部には絶縁体層７５が埋め込まれている。絶縁体層７５は、例えば酸化膜やポリシリコンからなる。ハイサイド領域１０を構成するｎ拡散領域は、絶縁体層７５によって、ＶＢ端子が接続された第１ｎ拡散領域７２と、基準電位ＶＳまたはフローティング電位の端子３０に接続された第２ｎ拡散領域７３とに分離されている。

[0057] 第１ｎ拡散領域７２にＰＭＯＳ２０が形成されている。第２ｎ拡散領域７３の内部に、ＶＳ端子に接続されたｐ拡散領域７４が設けられている。ｐ拡散領域７４にＮＭＯＳ４０が形成されている。ハイサイド領域１０内の第１，２ｎ拡散領域７２，７３および絶縁体層７５の平面レイアウトは種々変更可能であり、例えば、実施の形態２のようにＶＳ端子に接続されたｐ拡散領域７４を設けた第２ｎ拡散領域７３の周囲を囲むように絶縁体層７５を配置してもよいし、実施の形態３のようにＶＢ端子に接続された第１ｎ拡散領域７２の周囲を囲むように絶縁体層７５を配置してもよい。

[0058] 次に、本発明にかかる高耐圧ＩＣ１００の動作について、電力変換用ブリッジ回路のハイサイド側の第１ＭＯＳＦＥＴ１０１を駆動する場合を例に説明する。高耐圧ＩＣ１００の基本動作は、従来の高耐圧ＩＣと同様である。具体的には、制御回路１１５は、グランド電位ＧＮＤを基準として動作し、ゲート制御信号の入力を受けて、第１ＭＯＳＦＥＴ１０１をオン・オフするためのＧＮＤ基準のオン・オフ制御用信号を生成する。このローサイドレベルのオン・オフ信号は、レベルシフタ１１４によってＶＳ基準のオン・オフ制御用信号に変換され、ハイサイド駆動回路１１０へと伝達される。

[0059] ハイサイド駆動回路１１０に入力されたオン・オフ信号は、ゲート駆動回路１１１を介して第１ＭＯＳＦＥＴ１０１のゲートに入力される。このオン・オフ信号に基づいて第１ＭＯＳＦＥＴ１０１がオン・オフされる。このようにレベルシフタ１１４を介して伝達された制御回路１１５からのオン・オフ信号に基づいて第１ＭＯＳＦＥＴ１０１がオン・オフされることにより、第２ＭＯＳＦＥＴ１０２のオン・オフと組み合わされることで、ＶＳ端子の電位（基準電位ＶＳ）は０Ｖから数百Ｖまでの間で変動する。高耐圧ＩＣ１００は、グランド電位ＧＮＤに対して例えば４００Ｖ程度高い基準電位ＶＳを基準として動作する。

[0060] 高耐圧ＩＣ１００のゲート駆動回路１１１のハイサイド領域１０内には、ｐ拡散領域４をエミッタ（基準電位ＶＳ）とし、第１ｎ拡散領域２をベース（電源電位ＶＢ）とし、ｐ−型基板１をコレクタ（グランド電位ＧＮＤ）とする寄生ｐｎｐバイポーラトランジスタや、ｐ拡散領域４をエミッタ（基準電位ＶＳ）とし、第２ｎ拡散領域３をベース（基準電位ＶＳまたはフローティング電位）とし、ｐ−型基板１をコレクタ（グランド電位ＧＮＤ）とする寄生ｐｎｐバイポーラトランジスタが形成されているが、高耐圧ＩＣ１００の動作時、負電圧サージ（過渡的な異常電圧によって生じる電流）が印加されることで電源電位ＶＢが基準電位ＶＳよりも低下したとしても、これらの寄生ｐｎｐバイポーラトランジスタは動作しない。その理由は、次のとおりである。

[0061] 第１ｎ拡散領域２と第２ｎ拡散領域３とがｐ分離拡散領域５によって電気的に分離されていることにより、第１ｎ拡散領域２をベースとする寄生ｐｎｐバイポーラトランジスタのエミッタ（ｐ拡散領域４）とベース（第１ｎ拡散領域２）とがｐ分離拡散領域５によって電気的に分離されている。このため、ｐ拡散領域４とｐ−型基板１との間（第１ｎ拡散領域２をベースとする寄生ｐｎｐバイポーラトランジスタのエミッターコレクタ間、すなわちＶＳ端子－ＧＮＤ端子間）にほぼ電流は流れない（図７）。図７は、本発明にかかる高耐圧ＩＣの負電圧サージ－電流特性を示す特性図である。すなわち、第

１ｎ拡散領域２をベースとする寄生ｐｎｐバイポーラトランジスタの動作は、ｐ分離拡散領域５により抑制されている。

[0062] また、第１ｎ拡散領域２と第２ｎ拡散領域３とをｐ分離拡散領域５によって電気的に分離し、第２ｎ拡散領域３を基準電位ＶＳとすることにより、第２ｎ拡散領域３をベースとする寄生ｐｎｐバイポーラトランジスタのエミッタ（ｐ拡散領域４）とベース（第２ｎ拡散領域３）とが同電位となる。また、第２ｎ拡散領域３をフローティング電位とした場合には、第２ｎ拡散領域３をベースとする寄生ｐｎｐバイポーラトランジスタのベース（第２ｎ拡散領域３）は、エミッタ電位（基準電位ＶＳ）よりもシリコンｐｎ接合の拡散電位である０．６Ｖ程度高い電位となる。このため、第２ｎ拡散領域３をベースとする寄生ｐｎｐバイポーラトランジスタは、エミッタとベースとの間のｐｎ接合が順バイアスされず、動作しない。

[0063] また、ｐ拡散領域４は基準電位ＶＳに固定されているため、ｐ拡散領域４に形成されたＮＭＯＳ４０をゲート駆動回路１１１の構成部として用いることに問題は生じない。図７において、横軸は負電圧サージが印加されたときのＶＢ端子－ＶＳ端子間の電位差（＝ＶＢ－ＶＳ）であり、縦軸はＶＳ端子－ＧＮＤ端子間に流れる電流である。図７の従来例は、図１０に示すｐ分離拡散領域５を設けていない従来の高耐圧ＩＣ２００である。従来例では、電源電位ＶＢが基準電位ＶＳよりも低下したときに、ｐ拡散領域２０３をエミッタとし、ｎ拡散領域２０２をベースとし、p^{--}バルク基板２０１をコレクタとする寄生ｐｎｐバイポーラトランジスタ２１８のエミッター－コレクタ間に電流が流れていることがわかる。

[0064] また、従来の高耐圧ＩＣ２００では、電力変換用ブリッジ回路の第１ＭＯＳＦＥＴ１０１がオフ状態からオン状態に推移するスイッチング時に、第１ＭＯＳＦＥＴ１０１のスイッチングに応じた正電圧のｄＶ／ｄｔノイズ（例えば５０ｋＶ／μｓ程度）がＶＳ端子に印加された場合、ｐ拡散領域２０３とｎ拡散領域２０２との間のｐｎ接合から広がる空乏層によるピンチ抵抗が形成され、空乏化により生じた変位電流がピンチ抵抗を流れることにより電

圧降下が生じる。この変位電流による電圧降下が、逆バイアスされているｐ拡散領域２０３とｎ拡散領域２０２との電位差（＋１５Ｖ程度）を超えた場合に、寄生ｐｎｐバイポーラトランジスタ２１８が動作する。それに対して、本発明においては、第１ｎ拡散領域２と第２ｎ拡散領域３とをｐ分離拡散領域５によって電気的に分離し、第２ｎ拡散領域３を基準電位ＶＳまたはフローティング電位とすることによりピンチ抵抗を小さくすることができるため、ｄＶ／ｄｔノイズによる寄生動作を抑制することができる。第２ｎ拡散領域３を基準電位ＶＳに固定した場合に、ｄＶ／ｄｔノイズによる寄生動作抑制の効果がより得られる。

[0065] 以上、説明したように、各実施の形態によれば、電源電位のＶＢ端子に接続された第１ｎ拡散領域と、基準電位のＶＳ端子に接続されたｐ拡散領域が形成された第２ｎ拡散領域とをｐ分離拡散領域によって電気的に分離し、かつ第２ｎ拡散領域を基準電位またはフローティング電位の端子に接続することにより、負電圧サージが印加されることで電源電位ＶＢが基準電位ＶＳよりも低下したとしても、ｐ拡散領域をエミッタ（基準電位）とし、第１ｎ拡散領域をベース（電源電位）とし、ｐ⁻⁻型基板をコレクタ（グランド電位）とする寄生ｐｎｐバイポーラトランジスタが動作しない。このため、バイパスコンデンサなどの外付け部品を用いることなく、負電圧サージによる素子破壊を防止することができる。したがって、安価なバルク基板を用いて、特別な素子分離プロセスを必要としない自己分離技術を用いたＩＣプロセスによって作製された、サージに強く安価な高耐圧ＩＣを提供することができる。また、実施の形態１のように直線状にｐ分離拡散領域を配置することにより、ｐ分離拡散領域の占有面積を小さくすることができる。また、実施の形態２，３のように略矩形環状にｐ分離拡散領域を配置することにより、ハイサイド領域に配置する各素子のレイアウトが容易となる。

[0066] 以上において本発明では、ブリッジ回路のハイサイドの第１ＭＯＳＦＥＴを駆動するゲート駆動回路を例に説明しているが、上述した実施の形態に限らず、同一基板にＰＭＯＳおよびＮＭＯＳを設けたさまざまな構成の回路に

適用することが可能である。また、各実施の形態では、自己分離型ＩＣプロセスによる高耐圧ＩＣを例に説明しているがエピタキシャル基板を用いて作製された高耐圧ＩＣにも適用可能である。この場合、例えば、ｐ型半導体基板上にｎエピタキシャル層を積層してなるエピタキシャル基板のｎエピタキシャル層に、ｎエピタキシャル層を深さ方向に貫通してｐ型半導体基板に達するｐ拡散領域を形成し、ｐ拡散領域によって分離されたｎエピタキシャル層を第１，２ｎ拡散領域とすればよい。また、各実施の形態では、第１，２ｎ拡散領域内にゲート駆動回路のＰＭＯＳおよびＮＭＯＳのみを設けた構成としているが、第１，２ｎ拡散領域内にはハイサイド駆動回路を構成する他の構成部や、ハイサイド駆動回路以外の回路の構成部が設けられていてもよい。また、上述した実施の形態は、半導体層または半導体領域の導電型（ｎ型、ｐ型）を反転させても同様に成り立つ。

産業上の利用可能性

[0067] 以上のように、本発明にかかる半導体装置は、インバータなどの電力変換装置や種々の産業用機械などの電源装置など、特に１５Ｖ～２４Ｖ程度の中容量の寄生容量を有する高耐圧ＩＣに使用されるパワー半導体装置に有用である。

符号の説明

[0068] １　p^{--}型基板

２，５２，６２，７２　第１ｎ拡散領域

２ａ，３ａ　n^{+}高濃度領域

２ｂ，３ｂ，４ｂ，８ｂ　コンタクト電極

３，５３，６３，７３　第２ｎ拡散領域

４，５４，６４，７４　ｐ拡散領域

４ａ　p^{+}高濃度領域

５，５５，６５　ｐ分離拡散領域

６－１，６－２，７　n^{-}低濃度拡散領域

８　p^{-}低濃度拡散領域

１０　ハイサイド領域

１１　高耐圧分離領域

１２　ローサイド領域

２０　ＰＭＯＳ

２１　p^+ソース領域

２２　p^+ドレイン領域

２３，４３　ゲート絶縁膜

２４，４４　ゲート電極

２５，４５　ソース電極

２６，４６　ドレイン電極

３０　基準電位またはフローティング電位の端子

４０　ＮＭＯＳ

４１　n^+ソース領域

４２　n^+ドレイン領域

７５　絶縁体層

１００　高耐圧ＩＣ

１０１　第１ＭＯＳＦＥＴ

１０２　第２ＭＯＳＦＥＴ

１０３，１０４　ＦＷＤ

１０５　第１ＭＯＳＦＥＴと第２ＭＯＳＦＥＴとの接続点

１１０　ハイサイド駆動回路

１１１　ゲート駆動回路

１１２　レベルシフト抵抗

１１３　ＰＭＯＳとＮＭＯＳとの接続点

１１４　レベルシフタ

１１５　制御回路

ＧＮＤ　グランド電位

ＶＢ　電源電位

ＶＳ　基準電位

請求の範囲

[請求項1] 第１導電型の半導体層の表面層に選択的に設けられた、第１電位と接続される第２導電型の第１半導体領域と、

前記半導体層の表面層に選択的に設けられた、前記第１電位よりも低い第２電位またはフローティング電位と接続される第２導電型の第２半導体領域と、

前記第２半導体領域の内部に選択的に設けられた、前記第２電位と接続される第１導電型の第３半導体領域と、

前記第１半導体領域および前記第３半導体領域に設けられ、前記第２電位を基準電位とし、当該基準電位と前記第１電位との間の電位で動作する回路と、

前記第１半導体領域と前記第２半導体領域との間に設けられ、前記第１半導体領域と前記第２半導体領域とを電気的に分離する分離領域と、

を備えることを特徴とする半導体装置。

[請求項2] 前記半導体層は、前記第１電位よりも低い第３電位と接続され、

前記分離領域は、前記第１半導体領域および前記第２半導体領域に接し、かつ前記半導体層に電気的に接続された第１導電型半導体領域であることを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記分離領域は、

前記第１半導体領域と前記第２半導体領域との間において、前記第１半導体領域および前記第２半導体領域を深さ方向に貫通して前記半導体層に達するトレンチと、

前記トレンチの内部に埋め込まれた絶縁体層と、からなることを特徴とする請求項１に記載の半導体装置。

[請求項4] 前記回路は、高電位側の第１絶縁ゲート型トランジスタと低電位側の第２絶縁ゲート型トランジスタとが接続されてなる外部回路の前記第１絶縁ゲート型トランジスタを駆動するゲート駆動回路であること

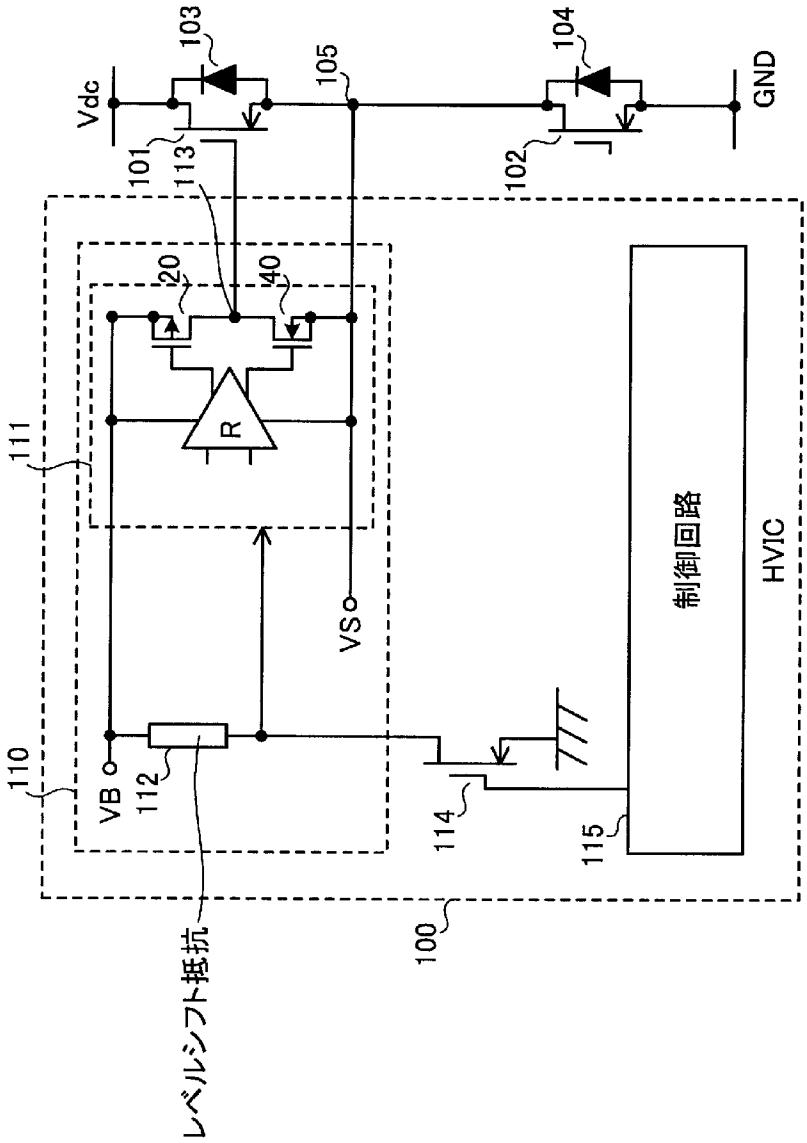
を特徴とする請求項１に記載の半導体装置。

[請求項5] 前記第２電位は、前記第１絶縁ゲート型トランジスタと前記第２絶縁ゲート型トランジスタとの接続点の電位であることを特徴とする請求項４に記載の半導体装置。

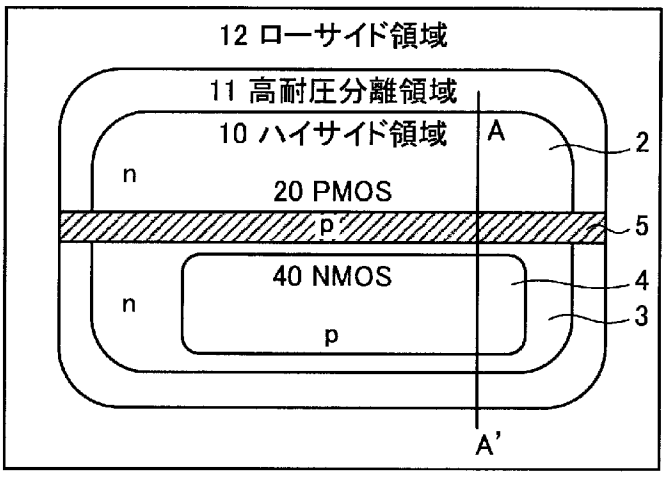
[請求項6] 前記第２電位が前記第３電位より所定電位高いときに前記第１導電型半導体領域と前記第１半導体領域および前記第２半導体領域との間のｐｎ接合から広がる空乏層同士がつながることを特徴とする請求項２に記載の半導体装置。

[請求項7] 前記第１半導体領域内に形成された第１導電型チャネルの絶縁ゲート型電界効果トランジスタと、前記第３半導体領域内に形成された第２導電型チャネルの絶縁ゲート型電界効果トランジスタとによりＣＭＯＳ回路を構成することを特徴とする請求項１～６のいずれか一つに記載の半導体装置。

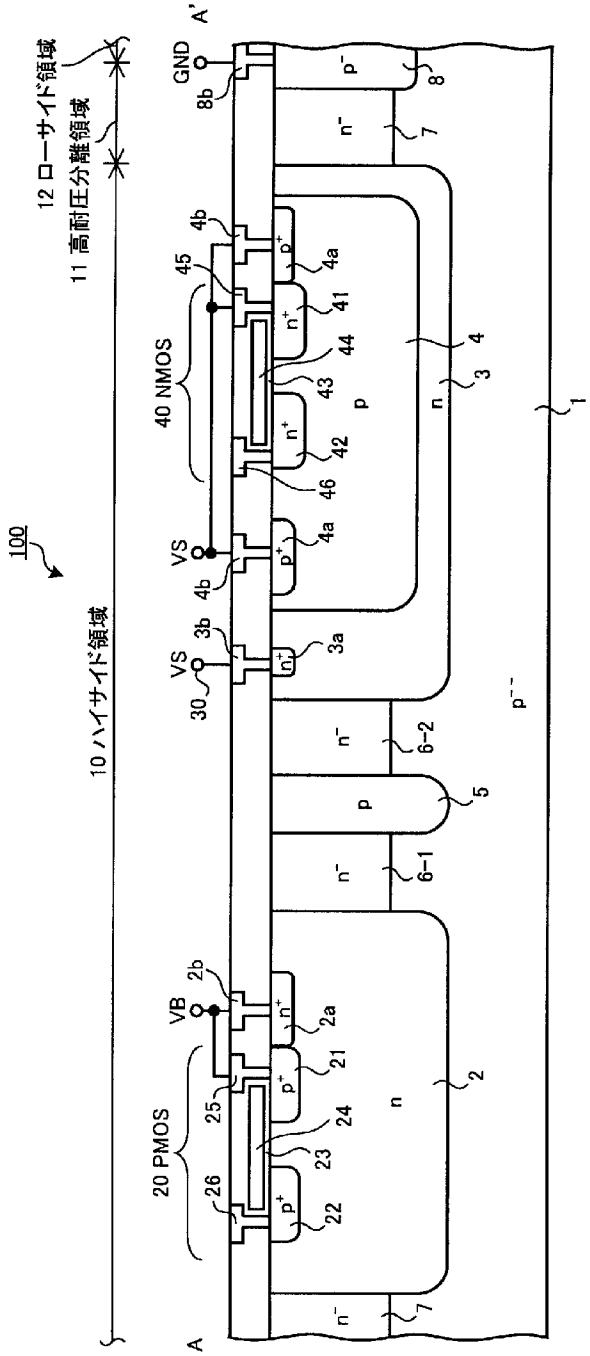
[図1]


Vdc
GND
103
104
105
101
102
113
20
40
R
111
VS
VB
112
110
114
115
制御回路
HVIC
100
レベルシフト抵抗

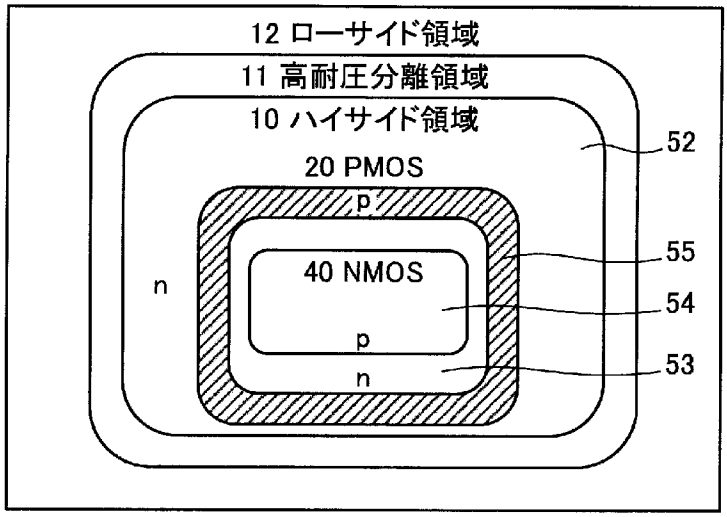
[図2]


12 ローサイド領域
11 高耐圧分離領域
10 ハイサイド領域
A
2
n
20 PMOS
p
5
40 NMOS
4
n
3
p
A'

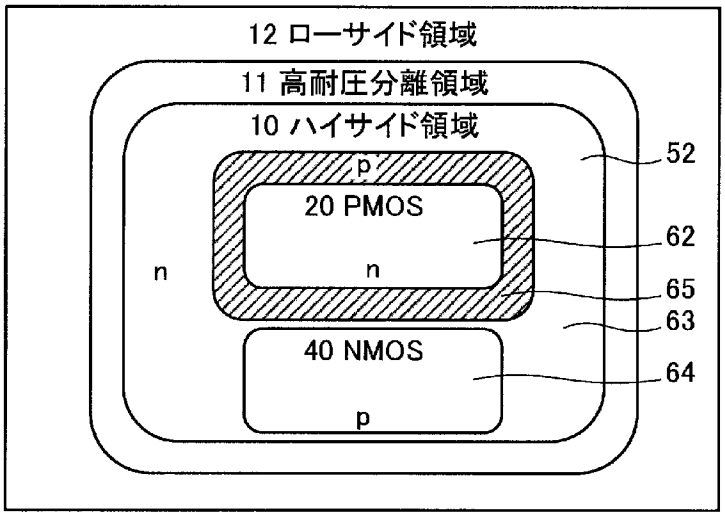
[図3]


100
12 ローサイド領域
11 高耐圧分離領域
10 ハイサイド領域
A
A'
GND
VS
VS
VB
40 NMOS
20 PMOS
n+
p+
n−
p−−
p
n
1
2
3
4
5
6-1
6-2
7
8
8b
2a
2b
3a
3b
4a
4b
21
22
23
24
25
26
30
41
42
43
44
45
46

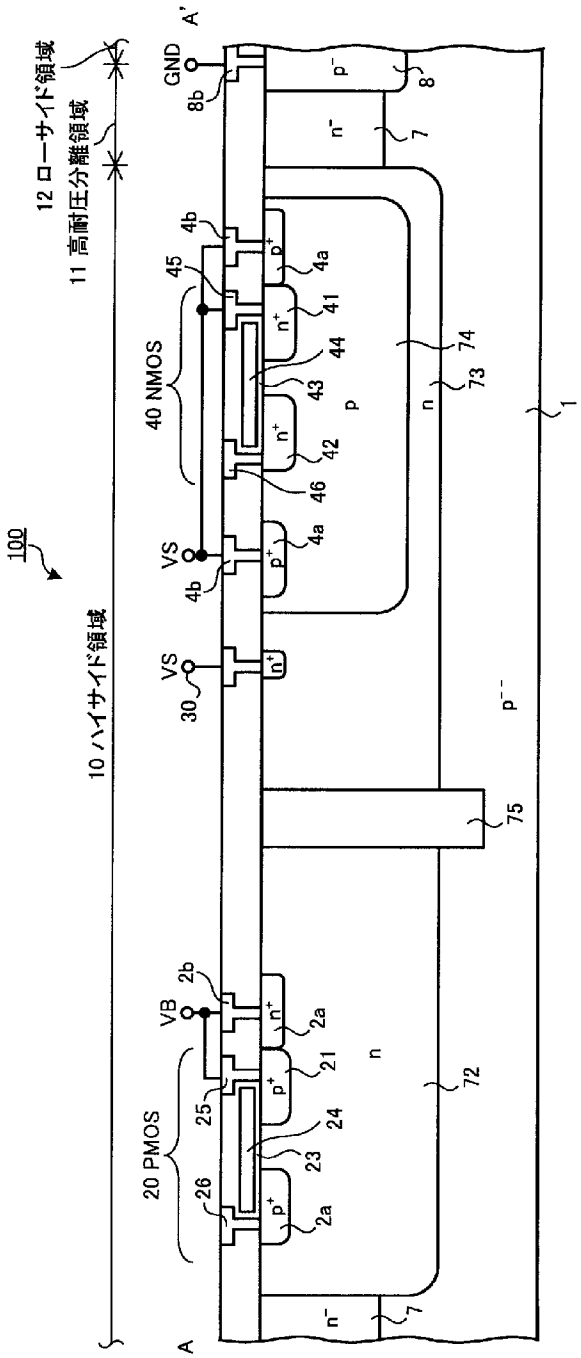
[図4]


12 ローサイド領域
11 高耐圧分離領域
10 ハイサイド領域
20 PMOS
p
40 NMOS
n
p
n
52
55
54
53

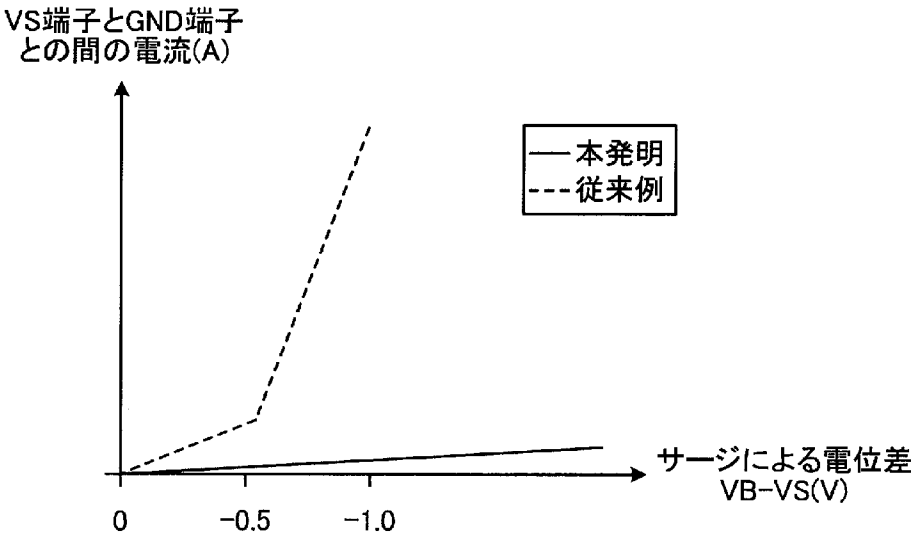
[図5]


12 ローサイド領域
11 高耐圧分離領域
10 ハイサイド領域
p
20 PMOS
n
n
40 NMOS
p
52
62
65
63
64

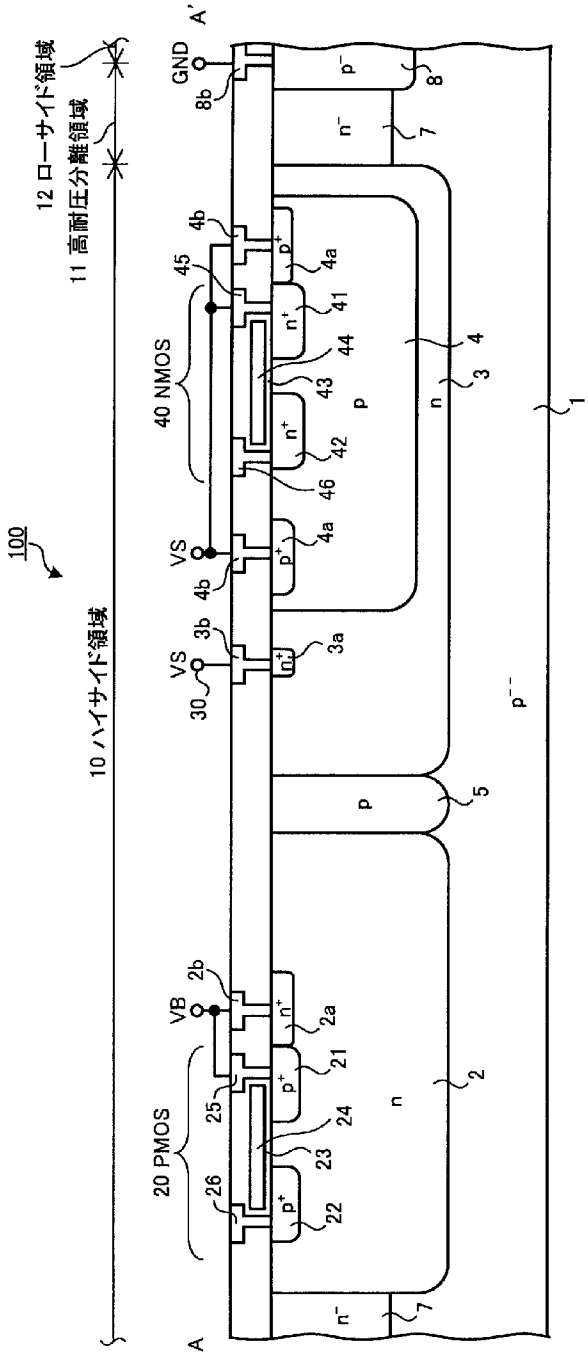
[図6]


100
10 ハイサイド領域
11 高耐圧分離領域
12 ローサイド領域
A
A'
GND
VS
VB
20 PMOS
40 NMOS
n+
p+
n-
p-
p--
n
p

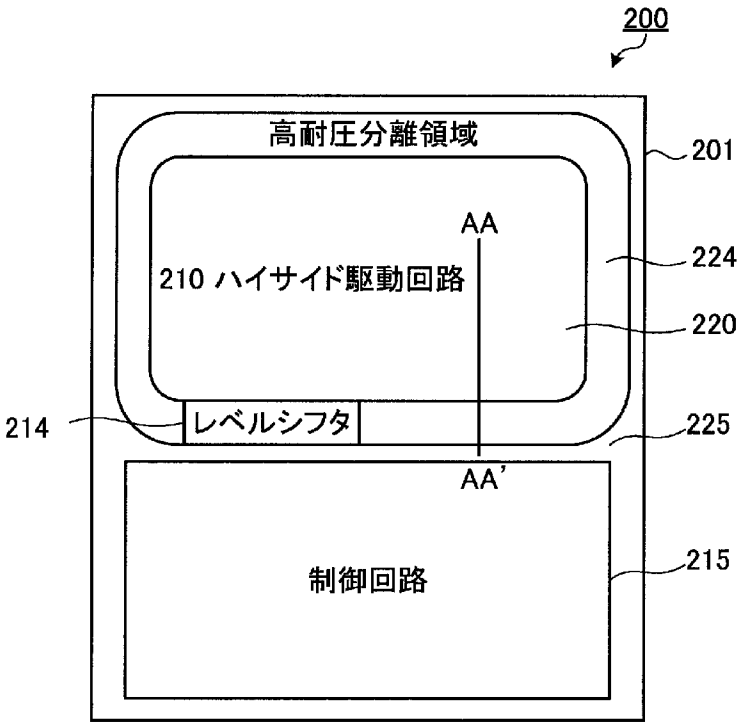
[図7]



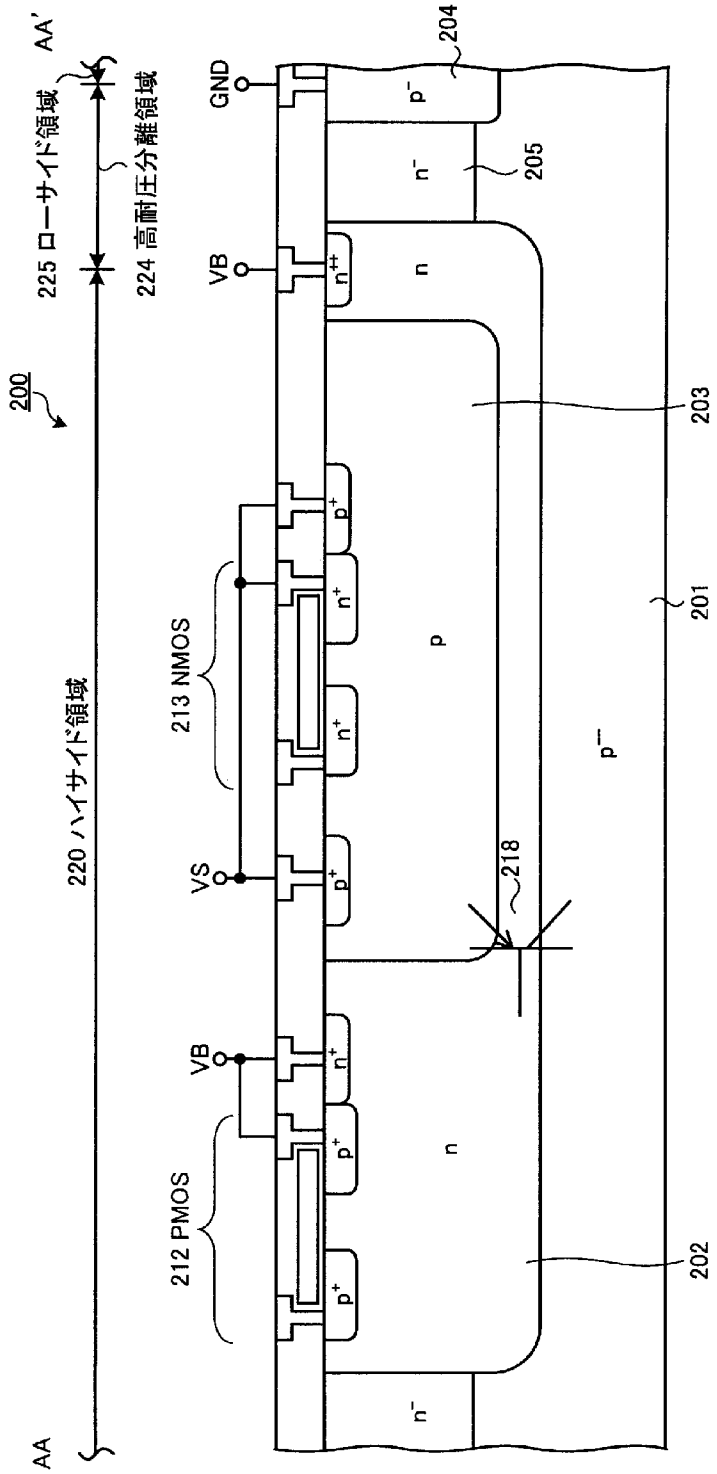
[図8]


100
10 ハイサイド領域
11 高耐圧分離領域
12 ローサイド領域
A
A'
GND
VS
VB
20 PMOS
40 NMOS
n+
p+
n-
p-
p
n

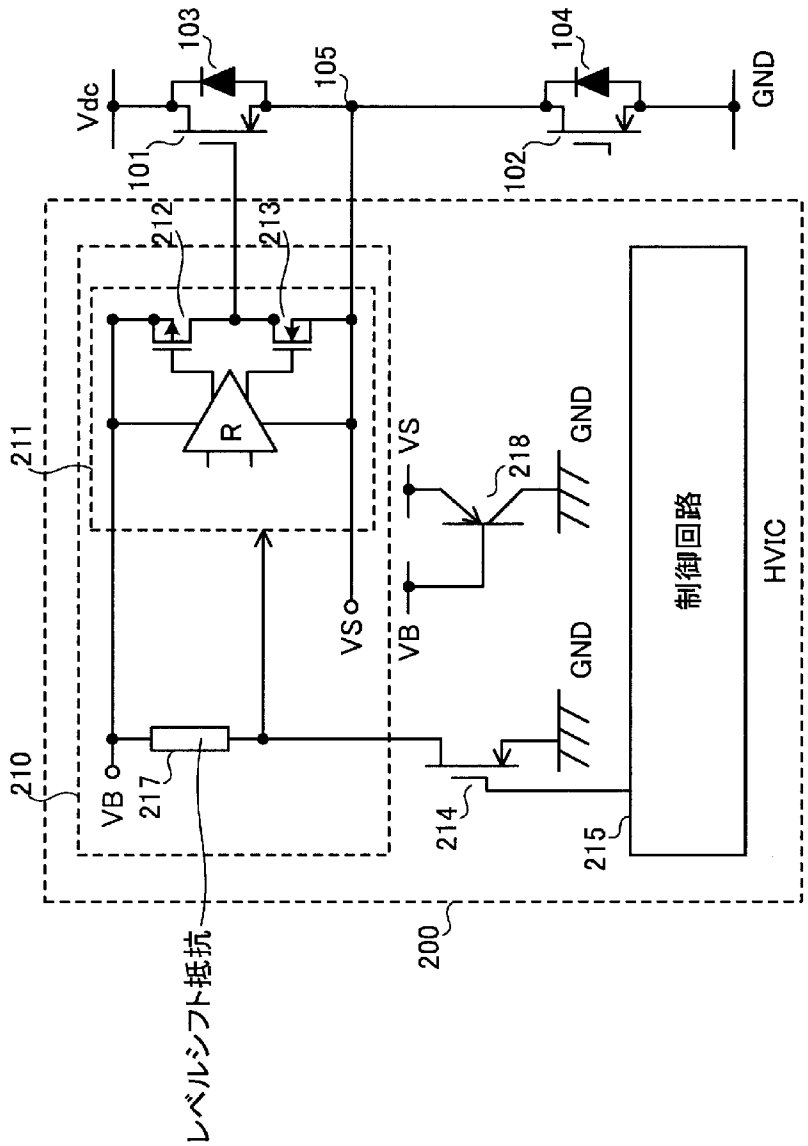
[図9]


200
高耐圧分離領域
201
AA
224
210 ハイサイド駆動回路
220
214
レベルシフタ
225
AA'
制御回路
215

[図10]


AA'
225 ローサイド領域
224 高耐圧分離領域
GND
VB
VS
VB
200
220 ハイサイド領域
213 NMOS
212 PMOS
AA
204
205
203
201
202
218
p⁻
n⁻
n
p
p⁻⁻
n⁺⁺
n⁺
p⁺

[図11]


Vdc
103
105
104
GND
101
102
212
213
211
R
VS
218
GND
制御回路
HVIC
VS
VB
GND
210
VB
217
214
215
200
レベルシフト抵抗

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/073578

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/08(2006.01)i, *H01L21/761*(2006.01)i, *H01L21/8238*(2006.01)i, *H01L27/092*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/08, H01L21/761, H01L21/8238, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-31411 A (Renesas Technology Corp.), 29 January 2004 (29.01.2004), fig. 1, 2 & US 2003/0234427 A1 fig. 1, 2	1-3,7 4-6
Y A	JP 11-26598 A (Tadahiro OMI), 29 January 1999 (29.01.1999), paragraph [0024]; fig. 3 & US 6127857 A column 15; fig. 12	1-3,7 4-6
Y	JP 2003-258120 A (Seiko Epson Corp.), 12 September 2003 (12.09.2003), fig. 6 & US 2003/0232490 A1 & CN 1444267 A fig. 6	1,2,7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 November, 2014 (17.11.14)	25 November, 2014 (25.11.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/073578

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-35374 A (Rohm Co., Ltd.), 17 February 2011 (17.02.2011), fig. 2 & US 2011/0176248 A1 fig. 2 & CN 101944529 A	1,2,7
Y	JP 6-37281 A (Matsushita Electric Industrial Co., Ltd.), 10 February 1994 (10.02.1994), fig. 1 (Family: none)	1,3,7
A	JP 2004-296831 A (Mitsubishi Electric Corp.), 21 October 2004 (21.10.2004), entire text; all drawings & US 2004/0189353 A1 & DE 102004014744 A & TW 237384 B & KR 10-0789308 B1 & CN 1542967 A	1-7
A	JP 2007-123706 A (Fuji Electric Device Technology Co., Ltd.), 17 May 2007 (17.05.2007), entire text; all drawings (Family: none)	1-7
A	JP 2009-206119 A (Seiko Epson Corp.), 10 September 2009 (10.09.2009), entire text; all drawings (Family: none)	1-7
A	JP 2006-5184 A (Toshiba Corp.), 05 January 2006 (05.01.2006), entire text; all drawings (Family: none)	1-7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７３５７８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/08(2006.01)i, H01L21/761(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/08, H01L21/761, H01L21/8238, H01L27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2004-31411 A (株式会社ルネサステクノロジ) 2004.01.29, 第１，２図 & US 2003/0234427 A1, 第１，２図	1-3,7 4-6
Y A	JP 11-26598 A (大見忠弘) 1999.01.29, 【0024】段落、第３図 & US 6127857 A, 第１５欄, 第１２図	1-3,7 4-6
Y	JP 2003-258120 A (セイコーエプソン株式会社) 2003.09.12, 第６図 & US 2003/0232490 A1 & CN 1444267 A, 第６図	1,2,7

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １７．１１．２０１４	国際調査報告の発送日 ２５．１１．２０１４
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　３１２５ 宇多川　勉 電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-35374 A（ローム株式会社）2011.02.17，第２図 & US 2011/0176248 A1，第２図 & CN 101944529 A	1,2,7
Y	JP 6-37281 A（松下電器産業株式会社）1994.02.10，第１図（ファミリーなし）	1,3,7
A	JP 2004-296831 A（三菱電機株式会社）2004.10.21，全文、全図 & US 2004/0189353 A1 & DE 102004014744 A & TW 237384 B & KR 10-0789308 B1 & CN 1542967 A	1-7
A	JP 2007-123706 A（富士電機デバイステクノロジー株式会社）2007.05.17，全文、全図（ファミリーなし）	1-7
A	JP 2009-206119 A（セイコーエプソン株式会社）2009.09.10，全文、全図（ファミリーなし）	1-7
A	JP 2006-5184 A（株式会社東芝）2006.01.05，全文、全図（ファミリーなし）	1-7