

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 15 日 (15.02.2024)



(10) 国际公布号
WO 2024/031848 A1

(51) 国际专利分类号:
H01L 25/065 (2023.01) **H01L 23/52** (2006.01)
H01L 23/48 (2006.01) **H01L 23/492** (2006.01)

(21) 国际申请号: PCT/CN2022/128970

(22) 国际申请日: 2022 年 11 月 1 日 (01.11.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210944874.7 2022年8月8日 (08.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 季宏凯 (**Ji, Hongkai**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海盈盛知识产权代理事务所 (普通合伙) (**SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY**); 中国上海市静安区恒丰路218号东座1612室, Shanghai 200070 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,

(54) **Title:** THREE-DIMENSIONAL STACKING AND PACKAGING STRUCTURE AND FORMING METHOD THEREFOR

(54) 发明名称: 三维堆叠封装结构及其形成方法

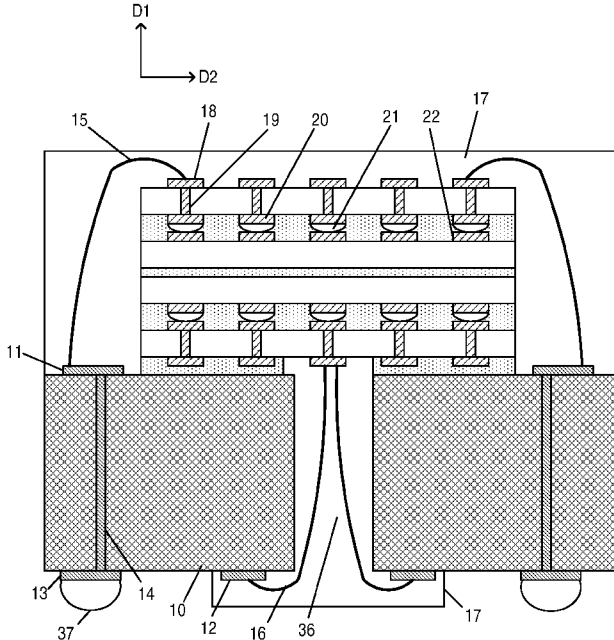


图 1

(57) **Abstract:** The present disclosure relates to a three-dimensional stacking and packaging structure and a forming method therefor. The three-dimensional stacking and packaging structure comprises: a packaging substrate, comprising a substrate body, a through hole penetrating the substrate body, a first welding pad located on a first surface of the substrate body, and a second welding pad located on a second surface of the substrate body; a stacking structure, which is located on the first surface of the substrate body, wherein the stacking structure comprises a second storage block located above the first storage block; and a connecting lead, comprising a first lead and a second lead having an equal length, wherein the first lead is located above the packaging substrate,

PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,
SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

根据细则4.17的声明:

- 关于发明人身份(细则4.17(i))
- 关于申请人有权申请并被授予专利(细则4.17(ii))
- 关于申请人有权要求在先申请的优先权(细则
4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

one end of the first lead is electrically connected to the first welding pad, the other end of the first lead is electrically connected to the first storage block, the second lead penetrates the through hole, one end of the second lead is electrically connected to the second welding pad, and the other end of the second lead is electrically connected to the second storage block. According to the present disclosure, a signal delay between different storage blocks is reduced; in addition, crosstalk between signal lines such as leads is reduced.

(57) 摘要: 本公开涉及一种三维堆叠封装结构及其形成方法。三维堆叠封装结构包括: 封装基板, 包括基板本体、沿贯穿基板本体的通孔、位于基板本体的第一表面上的第一焊垫、以及位于基板本体的第二表面上的第二焊垫; 堆叠结构, 位于基板本体的第一表面上, 堆叠结构包括第二存储区块、以及位于第二存储区块上方的第一存储区块; 连接引线, 包括长度相等的第一引线和第二引线, 第一引线位于封装基板上方, 且第一引线的一端电连接第一焊垫、另一端电连接第一存储区块, 第二引线穿过通孔, 且第二引线的一端电连接第二焊垫、另一端电连接第二存储区块。本公开在降低不同存储区块之间信号延迟的同时, 减少了引线等信号线之间的串扰。

三维堆叠封装结构及其形成方法

相关申请引用说明

本申请要求于 2022 年 08 月 08 日递交的中国专利申请号 202210944874.7、申请名为“三维堆叠封装结构及其形成方法”的优先权，其全部内容以引用的形式附录于此。

技术领域

本公开涉及半导体制造技术领域，尤其涉及一种三维堆叠封装结构及其形成方法。

背景技术

在 LPDDR (Low Power Double Data Rate, 低功耗双倍速率) 存储器等半导体产品中，多个存储区块 (Rank) 在封装基板上依次堆叠，所述封装基板上设置有焊垫，所述存储区块通过连接线与所述封装基板上的焊垫连接，外部控制信号通过所述焊垫和所述连接线传输至所述存储区块。但是，由于多个存储区块的高度不同，不同存储区块与所述封装基板的距离不同，导致不同存储区块与所述封装基板之间连接线的长度不同，从而产生不同存储区块之间的信号延迟等问题。为了解决这一问题，可以在存储区块内部进行绕线或者在封装基板内进行绕线。但是，存储区块内部绕线会增大存储区块的体积，占用半导体产品过多的空间，降低了半导体产品的空间利用率，而且还易发生信号的串扰。封装基板内部绕线会增加封装基板内部电路的复杂性，且增大封装基板的尺寸，且导致封装基板内部易发生信号的串扰。

因此，如何在降低不同存储区块之间信号延迟的同时，减少信号线之间的串扰，从而提高封装结构的性能和良率，是当前亟待解决的技术问题。

发明内容

本公开一些实施例提供一种三维堆叠封装结构及其形成方法，用于在降低不同存储区块之间信号延迟的同时，减少信号线之间的串扰，从而提高封装结构的性能和良率。

根据一些实施例，本公开提供了一种三维堆叠封装结构，包括：

封装基板，包括基板本体、沿第一方向贯穿所述基板本体的通孔、位于所述基板本体的第一表面上的第一焊垫、以及位于所述基板本体的第二表面上的第二焊垫，所述第一表面与所述第二表面沿所述第一方向相对分布，所述第一方向与所述第一表面垂直；

堆叠结构，位于所述基板本体的所述第一表面上，所述堆叠结构包括第二存储区块、以及位于所述第二存储区块上方的第一存储区块；

连接引线，包括长度相等的第一引线和第二引线，所述第一引线位于所述封装基板上，且所述第一引线的一端电连接所述第一焊垫、另一端电连接所述第一存储区块，所述第二引线穿过所述通孔，且所述第二引线的一端电连接所述第二焊垫、另一端电连接所述第二存储区块。

在一些实施例中，所述堆叠结构沿所述第一方向的厚度与所述基板本体沿所述第一方向的厚度相等。

在一些实施例中，所述封装基板还包括：

第三焊垫，位于所述第二表面上；

连接柱，位于所述基板本体内，所述连接柱的一端与所述第一焊垫电连接、另一端与所述第三焊垫电连接。

在一些实施例中，所述第一存储区块包括：

多个存储芯片，多个所述存储芯片沿所述第一方向堆叠，且相邻的所述存储芯片电连接，所述第一引线与所述第一存储区块中最顶层的所述存储芯片电连接。

在一些实施例中，所述第一存储区块包括第一存储芯片、以及沿第一方向位于所述第一存储芯片上方的第二存储芯片，所述第一存储芯片的顶面与所述第二存储芯片的顶面键合连接；

所述第二存储芯片的底面与所述第一引线电连接。

在一些实施例中，所述第一存储芯片的顶面具有第一键合垫，所述第二存储芯片的顶

面具有第二键合垫，所述第一键合垫与所述第二键合垫电连接；

所述第二存储芯片还包括位于所述第二存储芯片的底面的第一连接垫、以及沿所述第一方向贯穿所述第二存储芯片的第一信号插塞，所述第一信号插塞的一端电连接所述第二键合垫、另一端电连接所述第一连接垫，所述第一引线电连接所述第一连接垫。

在一些实施例中，所述第一存储芯片还包括：

第一导电凸块，位于所述第一键合垫背离所述第一信号插塞的表面，所述第一导电凸块与所述第二键合垫键合连接。

在一些实施例中，所述第一存储区块中还包括：

第一粘结层，填充所述第一存储芯片和所述第二存储芯片之间的间隙，用于粘结所述第一存储芯片和所述第二存储芯片。

在一些实施例中，所述堆叠结构还包括：

第二粘结层，位于所述第二存储区块与所述封装基板之间，所述第二粘结层中包括沿所述第一方向贯穿所述第二粘结层的沟槽，所述沟槽与所述通孔沿所述第一方向对准，所述第二引线穿过所述沟槽和所述通孔。

在一些实施例中，所述第二存储区块包括：

多个存储芯片，多个所述存储芯片沿所述第一方向堆叠，且相邻的所述存储芯片电连接，所述第二引线与所述第二存储区块中最底层的所述存储芯片电连接。

在一些实施例中，所述第二存储区块包括第三存储芯片、以及沿第一方向位于所述第三存储芯片上方的第四存储芯片，所述第三存储芯片的顶面与所述第四存储芯片的顶面键合连接；

所述第三存储芯片的底面与所述第二引线电连接。

在一些实施例中，所述第三存储芯片的顶面具有第三键合垫，所述第四存储芯片的顶面具有第四键合垫，所述第三键合垫与所述第四键合垫键合电连接；

所述第三存储芯片还包括位于所述第三存储芯片的底面的第二连接垫、以及沿所述第一方向贯穿所述第三存储芯片的第二信号插塞，所述第二信号插塞的一端电连接所述第三键合垫、另一端电连接所述第二连接垫，所述第二引线电连接所述第二连接垫，且至少一个所述第二连接垫与所述通孔沿所述第一方向对准。

根据另一些实施例，本公开还提供了一种三维堆叠封装结构的形成方法，包括如下步骤：

形成封装基板，所述封装基板包括基板本体、沿第一方向贯穿所述基板本体的通孔、位于所述基板本体的第一表面上的第一焊垫、以及位于所述基板本体的第二表面上的第二焊垫，所述第一表面与所述第二表面沿所述第一方向相对分布，所述第一方向与所述第一表面垂直；

于所述基板本体的所述第一表面上形成堆叠结构，所述堆叠结构包括第二存储区块、以及位于所述第二存储区块上方的第一存储区块；

形成位于所述封装基板上且电连接所述第一存储区块和所述第一焊垫的第一引线、并形成穿过所述通孔且电连接所述第二存储区块和所述第二焊垫的第二引线。

在一些实施例中，形成封装基板的具体步骤包括：

获取所述堆叠结构的预设厚度；

形成基板本体，且使得所述基板本体沿所述第一方向的厚度与所述预设厚度相等；

形成位于所述基板本体的所述第一表面上的所述第一焊垫、位于所述基板本体的所述第二表面上的所述第二焊垫和第三焊垫、以及位于所述基板本体内且电连接所述第一焊垫和所述第三焊垫的连接柱。

在一些实施例中，于所述基板本体的所述第一表面上形成堆叠结构的具体步骤包括：

形成第一存储区块，所述第一存储区块包括沿所述第一方向堆叠的多个存储芯片，且所述第一存储区块中相邻的存储芯片电连接；

形成第二存储区块，所述第二存储区块沿所述第一方向堆叠的多个存储芯片，且所述第一存储区块中相邻的存储芯片电连接；

固定所述第二存储区块于所述基板本体的所述第一表面上、并沿所述第一方向固定所述第一存储区块于所述第二存储区块上方。

在一些实施例中，形成第一存储区块的具体步骤包括：

形成第一存储芯片和第二存储芯片，所述第一存储芯片的顶面具有第一键合垫，所述第二存储芯片的顶面具有第二键合垫，所述第二存储芯片还包括位于所述第二存储芯片的底面的第一连接垫、以及沿所述第一方向贯穿所述第二存储芯片的第一信号插塞，所述第一信号插塞的一端电连接所述第二键合垫、另一端电连接所述第一连接垫；

以所述第一键合垫和所述第二键合垫相对的方式键合所述第一存储芯片和所述第二存储芯片。

在一些实施例中，所述第二存储芯片还包括位于所述第二键合垫背离所述第一信号插塞的表面上的第一导电凸块；以所述第一键合垫和所述第二键合垫相对的方式键合所述第一存储芯片和所述第二存储芯片的具体步骤包括：

键合所述第一导电凸块和所述第一键合垫；

形成填充所述第一存储芯片和所述第二存储芯片之间的间隙的第一粘结层。

在一些实施例中，形成第二存储区块的具体步骤包括：

形成第三存储芯片和第四存储芯片，所述第三存储芯片的顶面具有第三键合垫，所述第四存储芯片的顶面具有第四键合垫，所述第三存储芯片还包括位于所述第三存储芯片的底面的第二连接垫、以及沿所述第一方向贯穿所述第三存储芯片的第二信号插塞，所述第二信号插塞的一端电连接所述第三键合垫、另一端电连接所述第二连接垫；

以所述第三键合垫和所述第四键合垫相对的方式键合所述第三存储芯片和所述第四存储芯片。

在一些实施例中，固定所述第二存储区块于所述基板本体的所述第一表面上、并沿所述第一方向固定所述第一存储区块于所述第二存储区块上方的具体步骤包括：

通过第二粘结层粘结所述第二存储区块中的所述第三存储芯片与所述基板本体的所述第一表面，所述第二粘结层中具有沿所述第一方向贯穿所述第二粘结层且与所述通孔沿所述第一方向对准的沟槽，至少一个所述第二连接垫与所述通孔沿所述第一方向对准；

通过第三粘结层粘结所述第一存储区块中的所述第一存储芯片和所述第四存储芯片。

在一些实施例中，形成位于所述封装基板上方且电连接所述第一存储区块和所述第一焊垫的第一引线、并形成穿过所述通孔且电连接所述第二存储区块和所述第二焊垫的第二引线的具体步骤包括：

形成位于所述封装基板上方且电连接所述第一连接垫和所述第一焊垫的第一引线；

形成穿过所述通孔和所述沟槽、且电连接所述第二连接垫和所述第二焊垫的第二引线。

本公开一些实施例提供的三维堆叠封装结构及其形成方法，通过在封装基板的内部形成沿第一方向贯穿封装基板的通孔，使得封装基板上的第二存储区块通过穿过所述通孔的第二引线与所述封装基板电连接，位于所述第二存储区块上方的第一存储区块通过位于所述封装基板上方的第一引线与所述封装基板电连接，从而能够使得无需通过在第一存储区块、第二存储区块或者所述封装基板内部绕线即可实现所述第一引线的长度与所述第二引线的长度相等，进而在降低不同存储区块之间信号延迟的同时，减少了引线等信号线之间的串扰，从而改善了三维堆叠封装结构的良率和性能，且不会造成三维堆叠封装结构内部线路复杂度的增加，从而有助于控制所述三维堆叠封装结构的成本。

附图说明

附图1是本公开具体实施方式中三维堆叠封装结构的示意图；

附图 2 是本公开具体实施方式中堆叠结构的示意图；

附图 3 是本公开具体实施方式中三维堆叠封装结构的形成方法流程图；

附图 4-附图 10 是本公开具体实施方式在形成三维堆叠封装结构的过程中主要的工艺结构示意图。

具体实施方式

下面结合附图对本公开提供的三维堆叠封装结构及其形成方法的具体实施方式做详细说明。

本公开提供了一种三维堆叠封装结构，附图 1 是本公开具体实施方式中三维堆叠封装结构的示意图，附图 2 是本公开具体实施方式中堆叠结构的示意图。如图 1 和图 2 所示，所述三维堆叠封装结构，包括：

封装基板，包括基板本体 10、沿第一方向 D1 贯穿所述基板本体 10 的通孔 36、位于所述基板本体 10 的第一表面上的第一焊垫 11、以及位于所述基板本体 10 的第二表面上的第二焊垫 12，所述第一表面与所述第二表面沿所述第一方向 D1 相对分布，所述第一方向 D1 与所述第一表面垂直；

堆叠结构，位于所述基板本体 10 的所述第一表面上，所述堆叠结构包括第二存储区块 R0、以及位于所述第二存储区块 R0 上方的第一存储区块 R1；

连接引线，包括长度相等的第一引线 15 和第二引线 16，所述第一引线 15 位于所述封装基板上方，且所述第一引线 15 的一端电连接所述第一焊垫 11、另一端电连接所述第一存储区块 R1，所述第二引线 16 穿过所述通孔 36，且所述第二引线 16 的一端电连接所述第二焊垫 12、另一端电连接所述第二存储区块 R0。

本具体实施方式中所述的三维堆叠封装结构可以是但不限于 LPDDR。具体来说，所述封装基板可以是但不限于 PCB（Printed Circuit Board，印刷电路板）。所述封装基板中具有沿所述第一方向 D1 贯穿所述基板本体 10 的所述通孔 36，且所述基板本体 10 沿所述第一方向 D1 相对的两个表面上分别设置有所述第一焊垫 11 和所述第二焊垫 12。所述堆叠结构位于所述基板本体 10 的所述第一表面上，且所述堆叠结构覆盖所述通孔 36。所述堆叠结构中的所述第一存储区块 R1 和所述第二存储区块 R0 均包括多个存储芯片。在一示例中，所述第一存储区块 R1 中的多个存储芯片与所述第二存储区块 R0 中的多个存储芯片的种类相同，例如均为 DRAM（Dynamic Random Access Memory，动态随机存储器）芯片。本具体实施方式中所述的多个是指两个以上。所述堆叠结构中的所述第二存储区块 R0 和所述第一存储区块 R1 沿所述第一方向 D1 堆叠，且所述第一存储区块 R1 位于所述第二存储区块 R0 上方，即在沿所述第一方向 D1 上，所述第一存储区块 R1 与所述封装基板之间的距离大于所述第二存储区块 R0 与所述封装基板之间的距离。

所述连接引线用于电连接所述封装基板与所述堆叠结构，以将来自于外界的控制信号通过所述封装基板传输至所述堆叠结构中的所述第一存储区块 R1 和所述第二存储区块 R0。所述连接引线包括所述第一引线 15 和所述第二引线 16。其中，电连接所述第一存储区块 R1 和所述第一焊垫 11 的所述第一引线 15 位于所述封装基板上方，电连接所述第二存储区块 R0 和所述第二焊垫 12 的第二引线 16 穿过所述通孔 36 与所述第二焊垫 12 电连接。通过在所述封装基板中设置所述通孔 36、且使得所述第二引线 16 穿过所述通孔 36，即可实现所述第一引线 15 和所述第二引线 16 长度的相等，无需在所述第一存储区块 R1 和所述第二存储区块 R2 中进行绕线设计，也无需在所述封装基板内部的布线层中进行绕线设计，在减小所述第一存储区块 R1 与所述第二存储区块 R0 之间信号延迟的同时，也能简化所述第一存储区块 R1、所述第二存储区块 R0、以及所述封装基板内部的电路设计，减少了信号线之间的串扰，从而改善了三维堆叠封装结构的良率和性能，且不会造成三维堆叠封装结构内部线路复杂度的增加，从而有助于控制所述三维堆叠封装结构的成本。

在一些实施例中，所述三维堆叠封装结构还包括塑封层 17，所述塑封层 17 至少包覆所述堆叠结构、所述第一引线 15 和所述第二引线 16，且所述塑封层 17 填充所述通孔 36，

以避免外界因素对所述堆叠结构、所述第一引线 15 和所述第二引线 16 造成影响。在一示例中，所述塑封层 17 的材料可以为树脂材料。

本领域技术人员可以根据实际需要调整所述通孔 36 的孔径，只要能确保所述第二引线 16 能够穿过所述通孔 36 即可，本具体实施方式对此不做限定。本领域技术人员可以通过调整所述基板本体 10 沿所述第一方向 D1 的厚度、所述第一焊垫 11 在所述第一表面上的位置和厚度、所述第二焊垫 12 在所述第二表面上的位置和厚度、所述堆叠结构沿所述第一方向 D1 的高度等因素，来进一步调整所述第一引线 15 和所述第二引线 16 的长度，只要使得所述第一引线 15 和所述第二引线 16 的长度相等即可。在一示例中，所述第一引线 15 和所述第二引线 16 的材料相同，且所述第一引线 15 的直径和所述第二引线 16 的直径相同，从而进一步减小所述第一存储区块 R1 与所述第二存储区块 R0 之间的信号延迟。

在一些实施例中，所述堆叠结构沿所述第一方向 D1 的厚度与所述基板本体 10 沿所述第一方向 D1 的厚度相等。

具体来说，由于所述第一引线 15 位于所述封装基板的上部、且连接所述第一焊垫 11 和所述第一存储区块 R1，因此，所述第一引线 15 的长度主要取决于所述堆叠结构沿所述第一方向 D1 的厚度。由于所述第二引线 16 穿过贯穿所述基板本体 10 的所述通孔 36、且连接所述第二焊垫 12 和所述第二存储区块 R0，因此，所述第二引线 16 的长度主要取决于所述基板本体 10 沿所述第一方向 D1 的厚度。本具体实施方式通过将所述基板本体 10 沿所述第一方向 D1 的厚度设置为与所述堆叠结构沿所述第一方向 D1 的厚度相等，从而可以更为简便的实现所述第一引线 15 的长度与所述第二引线 16 的长度相等，简化所述三维堆叠封装结构的制造工艺。举例来说，所述堆叠结构沿所述第一方向 D1 的厚度和所述基板本体 10 沿所述第一方向 D1 的厚度均为 300 μm 。

在一些实施例中，所述封装基板还包括：

第三焊垫 13，位于所述第二表面上；

连接柱 14，位于所述基板本体 10 内，所述连接柱 14 的一端与所述第一焊垫 11 电连接、另一端与所述第三焊垫 13 电连接。

具体来说，通过在所述基板本体 10 内设置沿所述第一方向 D1 贯穿所述基板本体 10 的所述连接柱 14，通过所述连接柱 14 电连接所述第一焊垫 11 和所述第三焊垫 13，外界控制信号经所述第三焊垫 13、所述连接柱 14、所述第一焊垫 11 和所述第一引线 15 传输至所述第一存储区块 R1。其中，所述第一焊垫 11、所述第二焊垫 12、所述第三焊垫 13 和所述连接柱 14 的材料可以相同，例如均为金属钨或者金属铜等导电材料。在一示例中，所述第三焊垫 13 表面还设置有焊球 37（例如锡焊球）。

为了进一步简化所述三维堆叠封装结构的电路，且减小所述第一存储区块 R1 内部各存储芯片之间的信号延迟，在一些实施例中，所述第一存储区块 R1 包括：

多个存储芯片，多个所述存储芯片沿所述第一方向 D1 堆叠，且相邻的所述存储芯片电连接，所述第一引线 15 与所述第一存储区块 R1 中最顶层的所述存储芯片电连接。

在一些实施例中，所述第一存储区 R1 块包括第一存储芯片 34、以及沿第一方向 D1 位于所述第一存储芯片 34 上方的第二存储芯片 24，所述第一存储芯片 34 的顶面（正面）与所述第二存储芯片 24 的顶面（正面）键合连接；

所述第二存储芯片 24 的底面（背面）与所述第一引线 15 电连接。

在一些实施例中，所述第一存储芯片 34 的顶面具有第一键合垫 22，所述第二存储芯片 24 的顶面具有第二键合垫 20，所述第一键合垫 22 与所述第二键合垫 20 电连接；

所述第二存储芯片 24 还包括位于所述第二存储芯片 24 的底面的第一连接垫 18、以及沿所述第一方向 D1 贯穿所述第二存储芯片 24 的第一信号插塞 19，所述第一信号插塞 19 的一端电连接所述第二键合垫 20、另一端电连接所述第一连接垫 18，所述第一引线 15 电连接所述第一连接垫 18。

在一些实施例中，所述第一存储芯片 R1 还包括：

第一导电凸块 21，位于所述第一键合垫 22 背离所述第一信号插塞 19 的表面，所述第一导电凸块 21 与所述第二键合垫 20 键合连接。

具体来说，所述第一存储芯片 34 包括沿所述第一方向 D1 相对分布的顶面和底面，所述第二存储芯片 24 也包括沿所述第一方向 D1 相对分布的顶面和底面。所述第二存储芯片 24 和所述第一存储芯片 34 以面对面的方式键合，即所述第二存储芯片 24 顶面上的所述第一导电凸块 21 与所述第一存储芯片 34 顶面上的所述第一键合垫 22 键合连接，所述第一引线 15 与所述第二存储芯片 24 底面上的所述第一连接垫 18 直接接触电连接。来自于外界的第一控制信号通过所述第一焊垫 11 和所述第一引线 15 传输至所述第二存储芯片 24 底面上的所述第一连接垫 18。之后，所述第一控制信号通过所述第一连接垫 18、所述第一信号插塞 19 和所述第二键合垫 20 传输至所述第二存储芯片 24 顶面的半导体结构中，且所述第一控制信号还通过所述第一连接垫 18、所述第一信号插塞 19、所述第二键合垫 20、所述第一导电凸块 21 和所述第一键合垫 22 传输至所述第一存储芯片 34 顶面的半导体结构中，从而减小了所述第一存储区块 R1 内部的所述第一存储芯片 34 与所述第二存储芯片 24 之间的信号延迟，改善了所述第一存储区块 R1、以及所述三维堆叠封装结构的电性能。

在一示例中，所述第一键合垫 22 的数量为多个，且多个所述第一键合垫 22 沿第二方向 D2 间隔排布。所述第二键合垫 20 的数量也为多个，且多个所述第二键合垫 20 与多个所述第一键合垫 22 一一对应电连接。所述第二方向 D2 与所述第一表面平行。

为了增强所述第一存储区块 R1 内所述第一存储芯片 34 与所述第二存储芯片 24 之间的连接强度，同时避免所述第一存储芯片 34 和所述第二存储芯片 24 之间残留的空气等气体对所述第一键合垫 22、所述第二键合垫 20 以及所述第一导电凸块 21 的影响，在一些实施例中，所述第一存储区块 R1 中还包括：

第一粘结层 25，填充所述第一存储芯片 34 和所述第二存储芯片 24 之间的间隙，用于粘结所述第一存储芯片 34 和所述第二存储芯片 24。在一示例中，所述第一粘结层 25 的材料可以为底部填充胶（underfill）。

在一些实施例中，所述堆叠结构还包括：

第二粘结层 30，位于所述第二存储区块 R0 与所述封装基板之间，所述第二粘结层 30 中包括沿所述第一方向 D1 贯穿所述第二粘结层 30 的沟槽 301，所述沟槽 301 与所述通孔 36 沿所述第一方向 D1 对准，所述第二引线 16 穿过所述沟槽 301 和所述通孔 36。

具体来说，所述第二存储区块 R0 通过所述第二粘结层 30 固定于所述基板本体 10 的第一表面，以增强所述第二存储区块 R0 与所述封装基板之间的连接稳定性。所述第一存储区域 R1 可以通过第三粘结层 33 固定于所述第二存储区块 R0 上方，以增强所述第一存储区块 R1 与所述第二存储区块 R0 之间的连接稳定性。在一示例中，所述第二粘结层 30 的材料与所述第三粘结层 33 的材料相同，例如均为绝缘粘结材料。在一示例中，所述第二粘结层 30 的材料和所述第三粘结层 33 的材料均为芯片粘合膜（Die Attach Film, DAF）。所述第二粘结层 30 中设置有与所述通孔 36 对齐的所述沟槽 301，从而能够使得所述第二引线 16 能够自所述第二存储区块 R0 的底部依次穿过所述沟槽 301 和所述通孔 36 之后与所述第二焊垫 12 电连接。

在一些实施例中，第二粘结层 30 与第二接触垫 29 接触，第三粘结层 33 与存储芯片的背面接触，由此第二粘结层 30 会接触更多的热量，由此可以使得第二粘结层 30 的热膨胀系数小于第三粘结层 33 的热膨胀系数，由于第二粘结层 30 的热膨胀系数相对较小，由此可以降低存储芯片与基板之间的热膨胀差。在一些实施例中，例如提高第二粘结层 30 中二氧化硅的浓度，二氧化硅填料的线膨胀系数较小，由此可以提高第二粘结层 30 的热膨胀系数。

为了进一步简化所述三维堆叠封装结构的电路，且减小所述第二存储区块 R0 内部各存储芯片之间的信号延迟，在一些实施例中，所述第二存储区块 R0 包括：

多个存储芯片，多个所述存储芯片沿所述第一方向 D1 堆叠，且相邻的所述存储芯片电

连接, 所述第二引线 16 与所述第二存储区块 R0 中最底层的所述存储芯片电连接。

在一些实施例中, 所述第二存储区块 R0 包括第三存储芯片 35、以及沿第一方向 D1 位于所述第三存储芯片 35 上方的第四存储芯片 26, 所述第三存储芯片 35 的顶面与所述第四存储芯片 26 的顶面键合连接;

所述第三存储芯片 35 的底面与所述第二引线 16 电连接。

在一些实施例中, 所述第三存储芯片 35 的顶面具有第三键合垫 27, 所述第四存储芯片 26 的顶面具有第四键合垫 32, 所述第三键合垫 27 与所述第四键合垫 32 键合电连接;

所述第三存储芯片 35 还包括位于所述第三存储芯片 35 的底面的第二连接垫 29、以及沿所述第一方向 D1 贯穿所述第三存储芯片 35 的第二信号插塞 28, 所述第二信号插塞 28 的一端电连接所述第三键合垫 27、另一端电连接所述第二连接垫 29, 所述第二引线 16 电连接所述第二连接垫 29, 且至少一个所述第二连接垫 29 与所述通孔 36 沿所述第一方向 D1 对准。

具体来说, 所述第三存储芯片 35 包括沿所述第一方向 D1 相对分布的顶面和底面, 所述第四存储芯片 26 也包括沿所述第一方向 D1 相对分布的顶面和底面。所述第三存储芯片 35 的顶面上包括第三键合垫 27、以及位于所述第三键合垫 27 表面的第二导电凸块 31。所述第三存储芯片 35 与所述第四存储芯片 26 以面对面的方式键合, 即所述第三存储芯片 35 顶面上的所述第二导电凸块 31 与所述第四存储芯片 26 顶面上的所述第四键合垫 32 键合连接, 穿过所述通孔 36 和所述沟槽 301 的所述第二引线 16 与所述第三存储芯片 35 底面上的所述第二连接垫 29 直接接触电连接。

来自于外界的第二控制信号通过所述第二焊垫 12 和所述第二引线 16 传输至所述第三存储芯片 35 底面上的所述第二连接垫 29。之后, 所述第二控制信号通过所述第二连接垫 29、所述第二信号插塞 28 和所述第三键合垫 27 传输至所述第三存储芯片 35 顶面的半导体结构中, 且所述第二控制信号还通过所述第二连接垫 29、所述第二信号插塞 28、所述第三键合垫 27、所述第二导电凸块 31 和所述第四键合垫 32 传输至所述第四存储芯片 26 顶面的半导体结构中, 从而减小了所述第二存储区块 R0 内部的所述第三存储芯片 35 与所述第四存储芯片 26 之间的信号延迟, 改善了所述第二存储区块 R0、以及所述三维堆叠封装结构的电性能。

为了增强所述第二存储区块 R0 内所述第三存储芯片 35 与所述第四存储芯片 26 之间的连接强度, 同时避免所述第三存储芯片 35 和所述第四存储芯片 26 之间残留的空气等气体对所述第三键合垫 37、所述第四键合垫 32 以及所述第二导电凸块 31 的影响, 在一些实施例中, 所述第二存储区块 R0 中还包括:

第四粘结层 37, 填充满所述第三存储芯片 35 和所述第四存储芯片 26 之间的间隙, 用于粘结所述第三存储芯片 35 和所述第四存储芯片 26。在一示例中, 所述第四粘结层 37 的材料可以为底部填充胶 (underfill)。

本具体实施方式还提供了一种三维堆叠封装结构的形成方法, 附图 3 是本公开具体实施方式中三维堆叠封装结构的形成方法流程图, 附图 4-附图 10 是本公开具体实施方式在形成三维堆叠封装结构的过程中主要的工艺结构示意图。本具体实施方式形成的三维堆叠封装结构的示意图可以参见图 1 和图 2。如图 1-图 10 所示, 所述三维堆叠封装结构的形成方法, 包括如下步骤:

步骤 S40, 形成封装基板, 所述封装基板包括基板本体 10、沿第一方向 D1 贯穿所述基板本体 10 的通孔 36、位于所述基板本体 10 的第一表面上的第一焊垫 11、以及位于所述基板本体 10 的第二表面上的第二焊垫 12, 所述第一表面与所述第二表面沿所述第一方向 D1 相对分布, 所述第一方向 D1 与所述第一表面垂直;

步骤 S41, 于所述基板本体 10 的所述第一表面上形成堆叠结构, 所述堆叠结构包括第二存储区块 R0、以及位于所述第二存储区块 R0 上方的第一存储区块 R1;

步骤 S42, 形成位于所述封装基板上方且电连接所述第一存储区块 R1 和所述第一焊垫

11 的第一引线 15、并形成穿过所述通孔 36 且电连接所述第二存储区块 R0 和所述第二焊垫 12 的第二引线 16。第一引线 15 的长度可以等于第二引线 16 的长度。

在一些实施例中，形成封装基板的具体步骤包括：

获取所述堆叠结构的预设厚度；

形成基板本体 10，且使得所述基板本体 10 沿所述第一方向 D1 的厚度与所述预设厚度相等；

形成位于所述基板本体 10 的所述第一表面上的所述第一焊垫 11、位于所述基板本体 10 的所述第二表面上的所述第二焊垫 12 和第三焊垫 13、以及位于所述基板本体 10 内且电连接所述第一焊垫 11 和所述第三焊垫 13 的连接柱 14。

具体来说，可以根据预先设计获取后续预形成的所述堆叠结构的预设厚度。接着，根据所述预设厚度调整所述基板本体 10 的厚度，使得所述基板本体 10 的厚度与后续所要形成的所述堆叠结构的厚度相等。之后，于所述基板本体 10 上形成电路结构，所述电路结构包括位于所述基板本体 10 的所述第一表面上的所述第一焊垫 11、位于所述基板本体 10 的所述第二表面上的所述第二焊垫 12 和第三焊垫 13、以及位于所述基板本体 10 内且电连接所述第一焊垫 11 和所述第三焊垫 13 的连接柱 14。本具体实施方式是以在所述基板本体 10 内形成所述连接柱 14 为了进行说明。在其他具体实施方式中，本领域技术人员还可以根据实际需要在所述基板本体 10 内部形成布线层，通过所述布线层连接所述第一焊垫 11 和所述第三焊垫 13。

在一些实施例中，于所述基板本体 10 的所述第一表面上形成堆叠结构的具体步骤包括：

形成第一存储区块 R1，所述第一存储区块 R1 包括沿所述第一方向 D1 堆叠的多个存储芯片，且所述第一存储区块 R1 中相邻的存储芯片电连接；

形成第二存储区块 R0，所述第二存储区块 R0 沿所述第一方向 D1 堆叠的多个存储芯片，且所述第一存储区块 R1 中相邻的存储芯片电连接；

固定所述第二存储区块 R0 于所述基板本体 10 的所述第一表面上、并沿所述第一方向 D1 固定所述第一存储区块 R1 于所述第二存储区块 R0 上方。

在一些实施例中，形成第一存储区块 R1 的具体步骤包括：

形成第一存储芯片 34 和第二存储芯片 24，所述第一存储芯片 34 的顶面具有第一键合垫 22，所述第二存储芯片 24 的顶面具有第二键合垫 20，所述第二存储芯片 24 还包括位于所述第二存储芯片 24 的底面的第一连接垫 18、以及沿所述第一方向 D1 贯穿所述第二存储芯片 24 的第一信号插塞 19，所述第一信号插塞 19 的一端电连接所述第二键合垫 20、另一端电连接所述第一连接垫 18；

以所述第一键合垫 22 和所述第二键合垫 20 相对的方式键合所述第一存储芯片 34 和所述第二存储芯片 24。

在一些实施例中，所述第二存储芯片 24 还包括位于所述第二键合垫 20 背离所述第一信号插塞 19 的表面上的第一导电凸块 21；以所述第一键合垫 22 和所述第二键合垫 20 相对的方式键合所述第一存储芯片 34 和所述第二存储芯片 24 的具体步骤包括：

键合所述第一导电凸块 21 和所述第一键合垫 22；

形成填充所述所述第一存储芯片 34 和所述第二存储芯片 24 之间的间隙的第一粘结层 25。

举例来说，在形成如图 4 所示的所述第一存储芯片 34 和如图 5 所示的所述第二存储芯片 24 之后，键合所述第一导电凸块 21 和所述第一键合垫 22，以实现所述第一存储芯片 34 和所述第二存储芯片 24 之间的键合连接。之后，填充底部填充胶等绝缘粘结剂于所述第一存储芯片 34 和所述第二存储芯片 24 之间，以增强所述第一存储芯片 34 与所述第二存储芯片 24 之间的连接强度。其中，所述第一存储芯片 34 和所述第二存储芯片 24 可以均为 DRAM 芯片。所述第一键合垫 22、所述第二键合垫 20、所述第一连接垫 18、以及所述第一信号插塞 19 的材料可以相同，例如均为 NiAu 合金材料。所述第一导电凸块 21 的材料可以为 Cu、Ni、Sn、Ag 中的任一种或者两种以上的材料组成的合金材料。在一示例中，所述第一导电

凸块 21 的材料为 Cu/Ni/Sn/Ag (即 Cu、Ni、Sn 和 Ag 组成的合金材料)、Cu/Sn/Ag (即 Cu、Sn 和 Ag 组成的合金材料) 或者 Ni/Sn/Ag (即 Ni、Sn 和 Ag 组成的合金材料)。

在一些实施例中, 形成第二存储区块 R0 的具体步骤包括:

形成第三存储芯片 35 (如图 6 所示) 和第四存储芯片 26 (如图 7 所示), 所述第三存储芯片 35 的顶面具有第三键合垫 27, 所述第四存储芯片 26 的顶面具有第四键合垫 32, 所述第三存储芯片 35 还包括位于所述第三存储芯片 35 的底面的第二连接垫 29、以及沿所述第一方向 D1 贯穿所述第三存储芯片 35 的第二信号插塞 28, 所述第二信号插塞 28 的一端电连接所述第三键合垫 27、另一端电连接所述第二连接垫 29;

以所述第三键合垫 27 和所述第四键合垫 32 相对的方式键合所述第三存储芯片 35 和所述第四存储芯片 26。

在一示例中, 所述第三存储芯片 35 还包括位于所述第三键合垫 27 表面的第二导电凸块 31, 通过所述第二导电凸块 31 与所述第四键合垫键合来连接所述第三存储芯片 35 和所述第四存储芯片 26。

在一些实施例中, 固定所述第二存储区块 R0 于所述基板本体 10 的所述第一表面上、并沿所述第一方向 D1 固定所述第一存储区块 R1 于所述第二存储区块 R0 上方的具体步骤包括:

通过第二粘结层 30 粘结所述第二存储区块 R0 中的所述第三存储芯片 35 与所述基板本体 10 的所述第一表面, 所述第二粘结层 30 中具有沿所述第一方向 D1 贯穿所述第二粘结层 30 且与所述通孔 36 沿所述第一方向 D1 对准的沟槽 301, 至少一个所述第二连接垫 29 与所述通孔 36 沿所述第一方向 D1 对准;

通过第三粘结层 33 粘结所述第一存储区块 R1 中的所述第一存储芯片 34 和所述第四存储芯片 26。

具体来说, 通过所述第二粘结层 30 将所述第三存储芯片 35 固定于所述封装基板的所述基板本体 10 的所述第一表面上, 且使得所述第三存储芯片 35 中的所述至少一个所述第二连接垫 29 与所述通孔 36 沿所述第一方向 D1 对准。所述第二粘结层 30 中具有沿所述第一方向 D1 贯穿所述第二粘结层 30 的沟槽 301, 且所述沟槽 301 与所述通孔 36 对准, 至少一个所述第二连接垫 29 的位置与所述沟槽 301 的位置对准, 即至少一个所述第二连接垫 29 通过所述沟槽 301 暴露。之后, 通过键合工艺键合所述第三存储芯片 35 中的所述第二导电凸块 31 与所述第四存储芯片 26 中的所述第四键合垫 32, 形成如图 8 所示的结构。之后, 形成填充所述第三存储芯片 35 与所述第四存储芯片 26 之间间隙的第四粘结层 37。接着, 将已形成的所述第一存储区块 R1 通过第三粘结层 33 与所述第四存储芯片 26 的底面连接, 形成如图 9 所示的结构。

在其他具体实施方式中, 还可以在形成如图 8 所示的结构之后, 先通过所述第三粘结层 33 固定连接所述第一存储芯片 34 和所述第四存储芯片 26, 之后再通过键合工艺键合所述第二存储芯片 24 与所述第一存储芯片 34。

在一些实施例中, 形成位于所述封装基板上方且电连接所述第一存储区块 R1 和所述第一焊垫 11 的第一引线 15、并形成穿过所述通孔 36 且电连接所述第二存储区块 R0 和所述第二焊垫 12 的第二引线 16 的具体步骤包括:

形成位于所述封装基板上方且电连接所述第一连接垫 18 和所述第一焊垫 11 的所述第一引线 15;

形成穿过所述通孔 36 和所述沟槽 301、且电连接所述第二连接垫 29 和所述第二焊垫 12 的第二引线 16, 如图 10 所示。

在形成所述第一引线 15 和所述第二引线 16 之后, 可以通过塑封工艺形成至少包覆所述堆叠结构、所述第一引线 15 和所述第二引线 16 的所述塑封层 17, 且所述塑封层 17 填充所述通孔 36, 以避免外界因素对所述堆叠结构、所述第一引线 15 和所述第二引线 16 造成影响。之后, 还可以在所述第三焊垫 13 的表面形成焊球 37, 以构成 LPDDR 产品。

在一些实施例中，塑封层 17 可包括环氧材料以及分散在环氧材料中的填料，填料例如为二氧化硅。第四粘结层 37 可包括环氧树脂以及分散在环氧树脂中的填料，填料例如为二氧化硅。由于第三存储芯片 26 与第四存储芯片 35 之间的间隙较小，由此可以提高第四粘结层 37 的流动性，从而避免在第三存储芯片 26 与第四存储芯片 35 之间存在气泡，例如使得第四粘结层 37 内的填料的含量低于塑封层 17 中填料的含量，从而提高第四粘结层 37 的填充效果。当然，也可以使得第四粘结层 37 中填料的体积小于塑封层 17 中填料的体积，由于填料体积较小，第四粘结层 37 的流动性较强，从而提高第四粘结层 37 的填充效果。

本具体实施方式一些实施例提供的三维堆叠封装结构及其形成方法，通过在封装基板的内部形成沿第一方向贯穿封装基板的通孔，使得封装基板上的第二存储区块通过穿过所述通孔的第二引线与所述封装基板电连接，位于所述第二存储区块上方的第一存储区块通过位于所述封装基板上方的第一引线与所述封装基板电连接，从而能够使得无需通过在所述第一存储区块、第二存储区块或者所述封装基板内部绕线即可实现所述第一引线的长度与所述第二引线的长度相等，进而在降低不同存储区块之间信号延迟的同时，减少了引线等信号线之间的串扰，从而改善了三维堆叠封装结构的良率和性能，且不会造成三维堆叠封装结构内部线路复杂度的增加，从而有助于控制所述三维堆叠封装结构的成本。

以上所述仅是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本公开原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权利要求书

1. 一种三维堆叠封装结构，包括：
封装基板，包括基板本体、沿第一方向贯穿所述基板本体的通孔、位于所述基板本体的第一表面上的第一焊垫、以及位于所述基板本体的第二表面上的第二焊垫，所述第一表面与所述第二表面沿所述第一方向相对分布，所述第一方向与所述第一表面垂直；
堆叠结构，位于所述基板本体的所述第一表面上，所述堆叠结构包括第二存储区块、以及位于所述第二存储区块上方的第一存储区块；
连接引线，包括长度相等的第一引线和第二引线，所述第一引线位于所述封装基板上方，且所述第一引线的一端电连接所述第一焊垫、另一端电连接所述第一存储区块，所述第二引线穿过所述通孔，且所述第二引线的一端电连接所述第二焊垫、另一端电连接所述第二存储区块。
2. 根据权利要求1所述的三维堆叠封装结构，其中，所述堆叠结构沿所述第一方向的厚度与所述基板本体沿所述第一方向的厚度相等。
3. 根据权利要求1所述的三维堆叠封装结构，其中，所述封装基板还包括：
第三焊垫，位于所述第二表面上；
连接柱，位于所述基板本体内，所述连接柱的一端与所述第一焊垫电连接、另一端与所述第三焊垫电连接。
4. 根据权利要求1所述的三维堆叠封装结构，其中，所述第一存储区块包括：
多个存储芯片，多个所述存储芯片沿所述第一方向堆叠，且相邻的所述存储芯片电连接，所述第一引线与所述第一存储区块中最顶层的所述存储芯片电连接。
5. 根据权利要求4所述的三维堆叠封装结构，其中，所述第一存储区块包括第一存储芯片、以及沿第一方向位于所述第一存储芯片上方的第二存储芯片，所述第一存储芯片的顶面与所述第二存储芯片的顶面键合连接；
所述第二存储芯片的底面与所述第一引线电连接。
6. 根据权利要求5所述的三维堆叠封装结构，其中，所述第一存储芯片的顶面具有第一键合垫，所述第二存储芯片的顶面具有第二键合垫，所述第一键合垫与所述第二键合垫电连接；
所述第二存储芯片还包括位于所述第二存储芯片的底面的第一连接垫、以及沿所述第一方向贯穿所述第二存储芯片的第一信号插塞，所述第一信号插塞的一端电连接所述第二键合垫、另一端电连接所述第一连接垫，所述第一引线电连接所述第一连接垫。
7. 根据权利要求6所述的三维堆叠封装结构，其中，所述第一存储芯片还包括：
第一导电凸块，位于所述第一键合垫背离所述第一信号插塞的表面，所述第一导电凸块与所述第二键合垫键合连接。
8. 根据权利要求6所述的三维堆叠封装结构，其中，所述第一存储区块中还包括：
第一粘结层，填充所述所述第一存储芯片和所述第二存储芯片之间的间隙，用于粘结所述第一存储芯片和所述第二存储芯片。
9. 根据权利要求1所述的三维堆叠封装结构，其中，所述堆叠结构还包括：
第二粘结层，位于所述第二存储区块与所述封装基板之间，所述第二粘结层中包括沿所述第一方向贯穿所述第二粘结层的沟槽，所述沟槽与所述通孔沿所述第一方向对准，所述第二引线穿过所述沟槽和所述通孔。
10. 根据权利要求9所述的三维堆叠封装结构，其中，所述第二存储区块包括：
多个存储芯片，多个所述存储芯片沿所述第一方向堆叠，且相邻的所述存储芯片电连接，所述第二引线与所述第二存储区块中最底层的所述存储芯片电连接。
11. 根据权利要求10所述的三维堆叠封装结构，其中，所述第二存储区块包括第三存储芯片、以及沿第一方向位于所述第三存储芯片上方的第四存储芯片，所述第三存储芯片的顶面与所述第四存储芯片的顶面键合连接；
所述第三存储芯片的底面与所述第二引线电连接。

12. 根据权利要求 11 所述的三维堆叠封装结构, 其中, 所述第三存储芯片的顶面具有第三键合垫, 所述第四存储芯片的顶面具有第四键合垫, 所述第三键合垫与所述第四键合垫键合电连接;
所述第三存储芯片还包括位于所述第三存储芯片的底面的第二连接垫、以及沿所述第一方向贯穿所述第三存储芯片的第二信号插塞, 所述第二信号插塞的一端电连接所述第三键合垫、另一端电连接所述第二连接垫, 所述第二引线电连接所述第二连接垫, 且至少一个所述第二连接垫与所述通孔沿所述第一方向对准。
13. 一种三维堆叠封装结构的形成方法, 包括如下步骤:
形成封装基板, 所述封装基板包括基板本体、沿第一方向贯穿所述基板本体的通孔、位于所述基板本体的第一表面上的第一焊垫、以及位于所述基板本体的第二表面上的第二焊垫, 所述第一表面与所述第二表面沿所述第一方向相对分布, 所述第一方向与所述第一表面垂直;
于所述基板本体的所述第一表面上形成堆叠结构, 所述堆叠结构包括第二存储区块、以及位于所述第二存储区块上方的第一存储区块;
形成位于所述封装基板上方且电连接所述第一存储区块和所述第一焊垫的第一引线、并形成穿过所述通孔且电连接所述第二存储区块和所述第二焊垫的第二引线。
14. 根据权利要求 13 所述的三维堆叠封装结构的形成方法, 其中, 形成封装基板的具体步骤包括:
获取所述堆叠结构的预设厚度;
形成基板本体, 且使得所述基板本体沿所述第一方向的厚度与所述预设厚度相等;
形成位于所述基板本体的所述第一表面上的所述第一焊垫、位于所述基板本体的所述第二表面上的所述第二焊垫和第三焊垫、以及位于所述基板本体内且电连接所述第一焊垫和所述第三焊垫的连接柱。
15. 根据权利要求 13 所述的三维堆叠封装结构的形成方法, 其中, 于所述基板本体的所述第一表面上形成堆叠结构的具体步骤包括:
形成第一存储区块, 所述第一存储区块包括沿所述第一方向堆叠的多个存储芯片, 且所述第一存储区块中相邻的存储芯片电连接;
形成第二存储区块, 所述第二存储区块沿所述第一方向堆叠的多个存储芯片, 且所述第一存储区块中相邻的存储芯片电连接;
固定所述第二存储区块于所述基板本体的所述第一表面上、并沿所述第一方向固定所述第一存储区块于所述第二存储区块上方。
16. 根据权利要求 15 所述的三维堆叠封装结构的形成方法, 其中, 形成第一存储区块的具体步骤包括:
形成第一存储芯片和第二存储芯片, 所述第一存储芯片的顶面具有第一键合垫, 所述第二存储芯片的顶面具有第二键合垫, 所述第二存储芯片还包括位于所述第二存储芯片的底面的第一连接垫、以及沿所述第一方向贯穿所述第二存储芯片的第一信号插塞, 所述第一信号插塞的一端电连接所述第二键合垫、另一端电连接所述第一连接垫;
以所述第一键合垫和所述第二键合垫相对的方式键合所述第一存储芯片和所述第二存储芯片。
17. 根据权利要求 16 所述的三维堆叠封装结构的形成方法, 其中, 所述第二存储芯片还包括位于所述第二键合垫背离所述第一信号插塞的表面上的第一导电凸块; 以所述第一键合垫和所述第二键合垫相对的方式键合所述第一存储芯片和所述第二存储芯片的具体步骤包括:
键合所述第一导电凸块和所述第一键合垫;
形成填充所述第一存储芯片和所述第二存储芯片之间的间隙的第一粘结层。
18. 根据权利要求 16 所述的三维堆叠封装结构的形成方法, 其中, 形成第二存储区块的具

体步骤包括：

形成第三存储芯片和第四存储芯片，所述第三存储芯片的顶面具有第三键合垫，所述第四存储芯片的顶面具有第四键合垫，所述第三存储芯片还包括位于所述第三存储芯片的底面的第二连接垫、以及沿所述第一方向贯穿所述第三存储芯片的第二信号插塞，所述第二信号插塞的一端电连接所述第三键合垫、另一端电连接所述第二连接垫；

以所述第三键合垫和所述第四键合垫相对的方式键合所述第三存储芯片和所述第四存储芯片。

19. 根据权利要求 18 所述的三维堆叠封装结构的形成方法，其中，固定所述第二存储区块于所述基板本体的所述第一表面上、并沿所述第一方向固定所述第一存储区块于所述第二存储区块上方的具体步骤包括：

通过第二粘结层粘结所述第二存储区块中的所述第三存储芯片与所述基板本体的所述第一表面，所述第二粘结层中具有沿所述第一方向贯穿所述第二粘结层且与所述通孔沿所述第一方向对准的沟槽，至少一个所述第二连接垫与所述通孔沿所述第一方向对准；通过第三粘结层粘结所述第一存储区块中的所述第一存储芯片和所述第四存储芯片。

20. 根据权利要求 19 所述的三维堆叠封装结构的形成方法，其中，形成位于所述封装基板上方且电连接所述第一存储区块和所述第一焊垫的第一引线、并形成穿过所述通孔且电连接所述第二存储区块和所述第二焊垫的第二引线的具体步骤包括：

形成位于所述封装基板上方且电连接所述第一连接垫和所述第一焊垫的所述第一引线；形成穿过所述通孔和所述沟槽、且电连接所述第二连接垫和所述第二焊垫的所述第二引线。

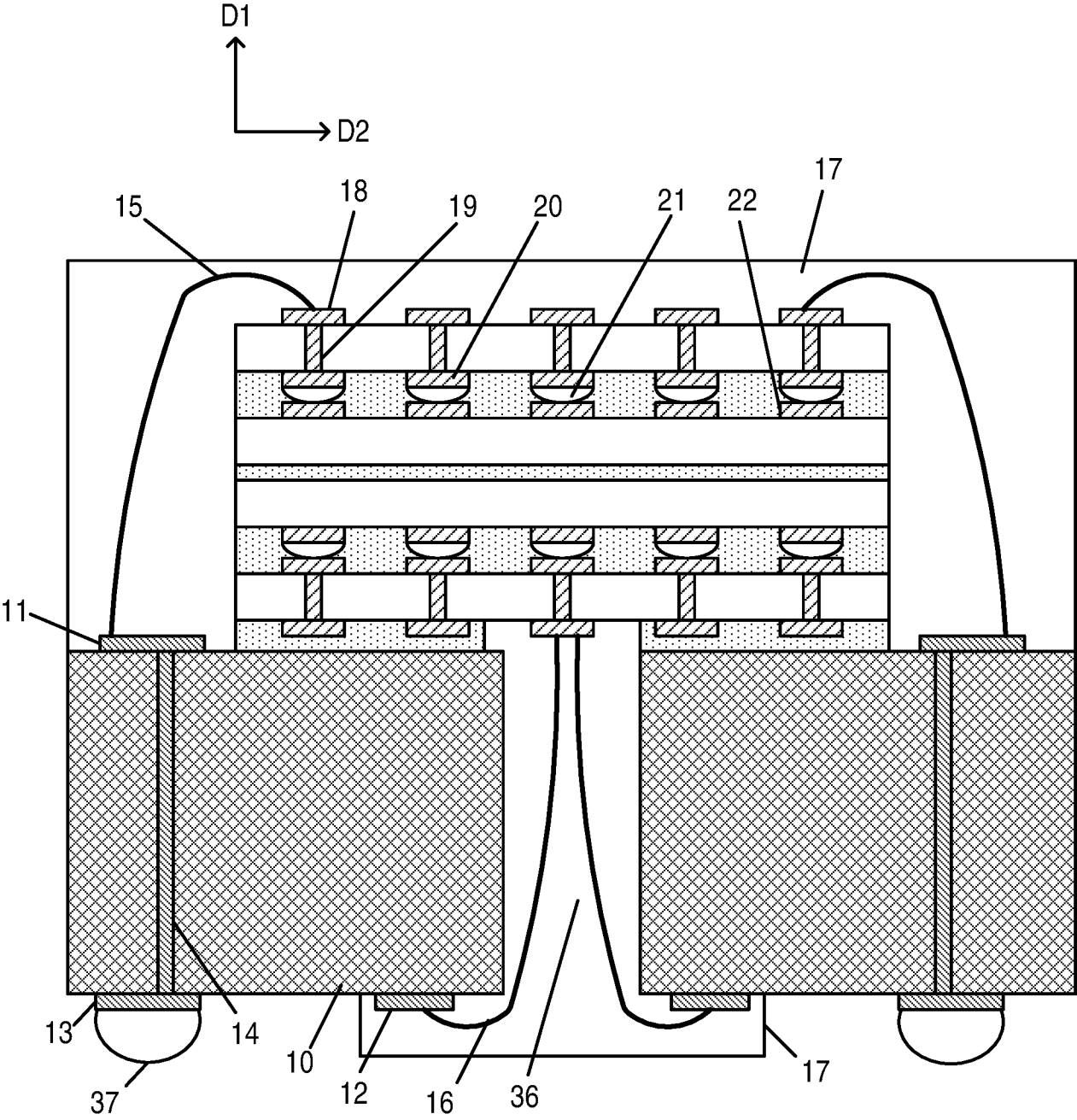


图 1

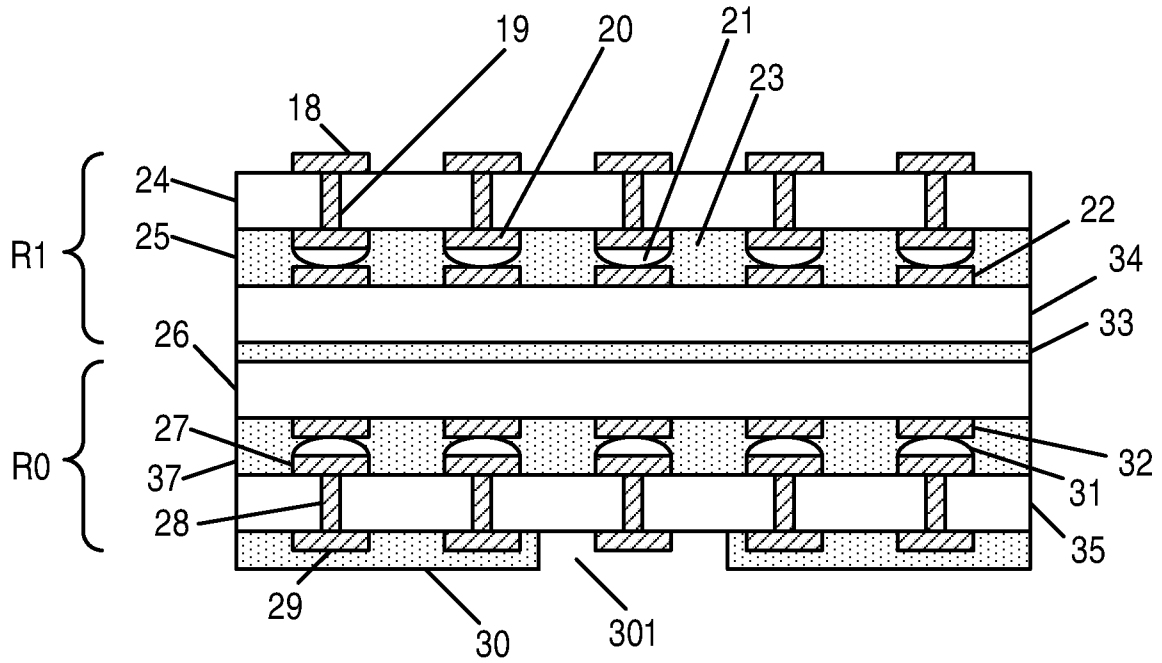


图 2

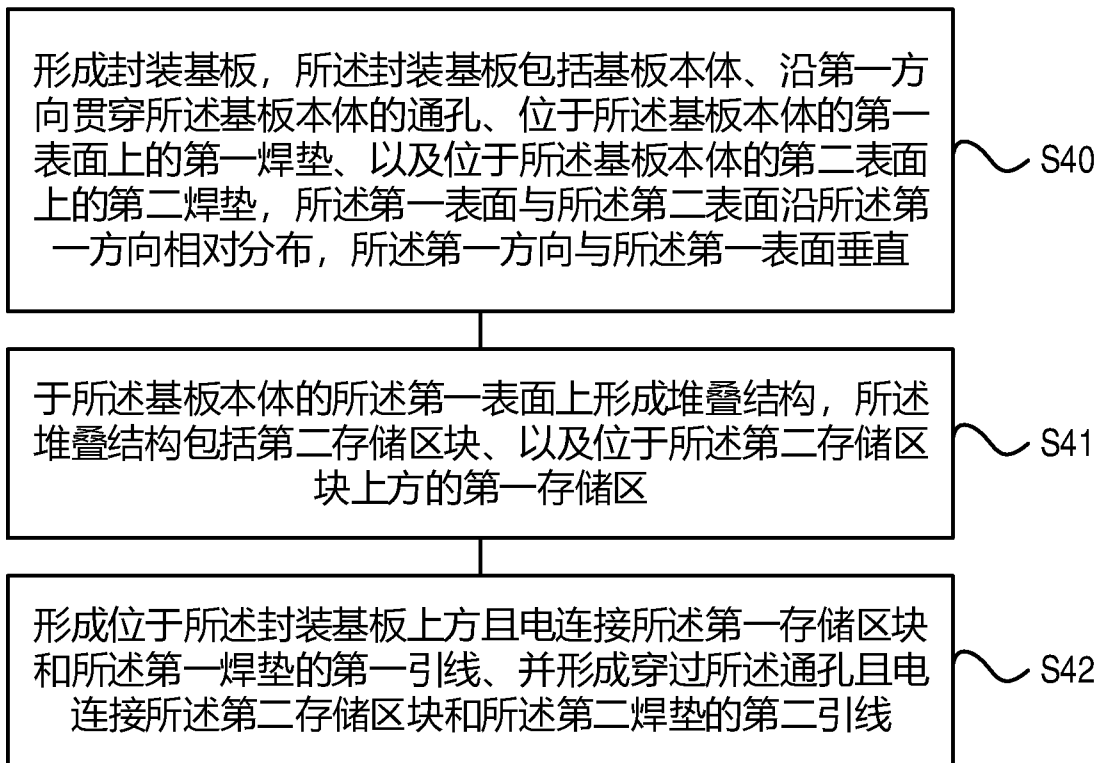


图 3

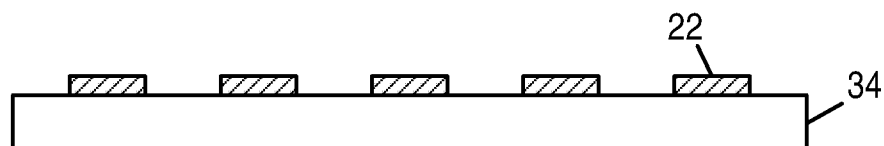


图 4

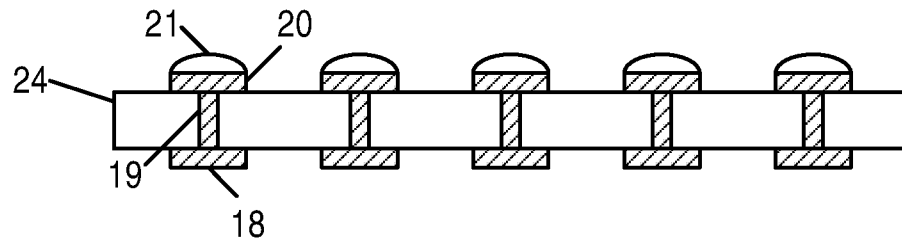


图 5

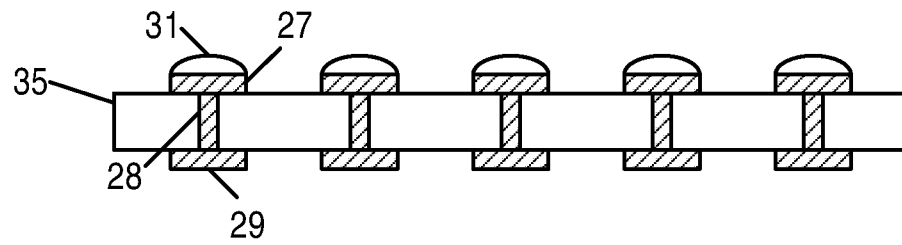


图 6

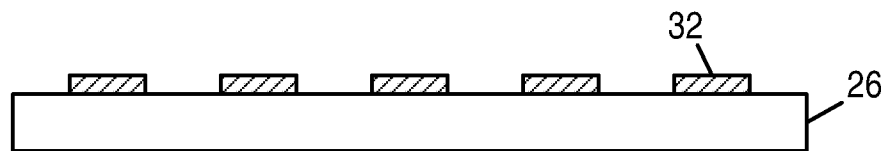


图 7

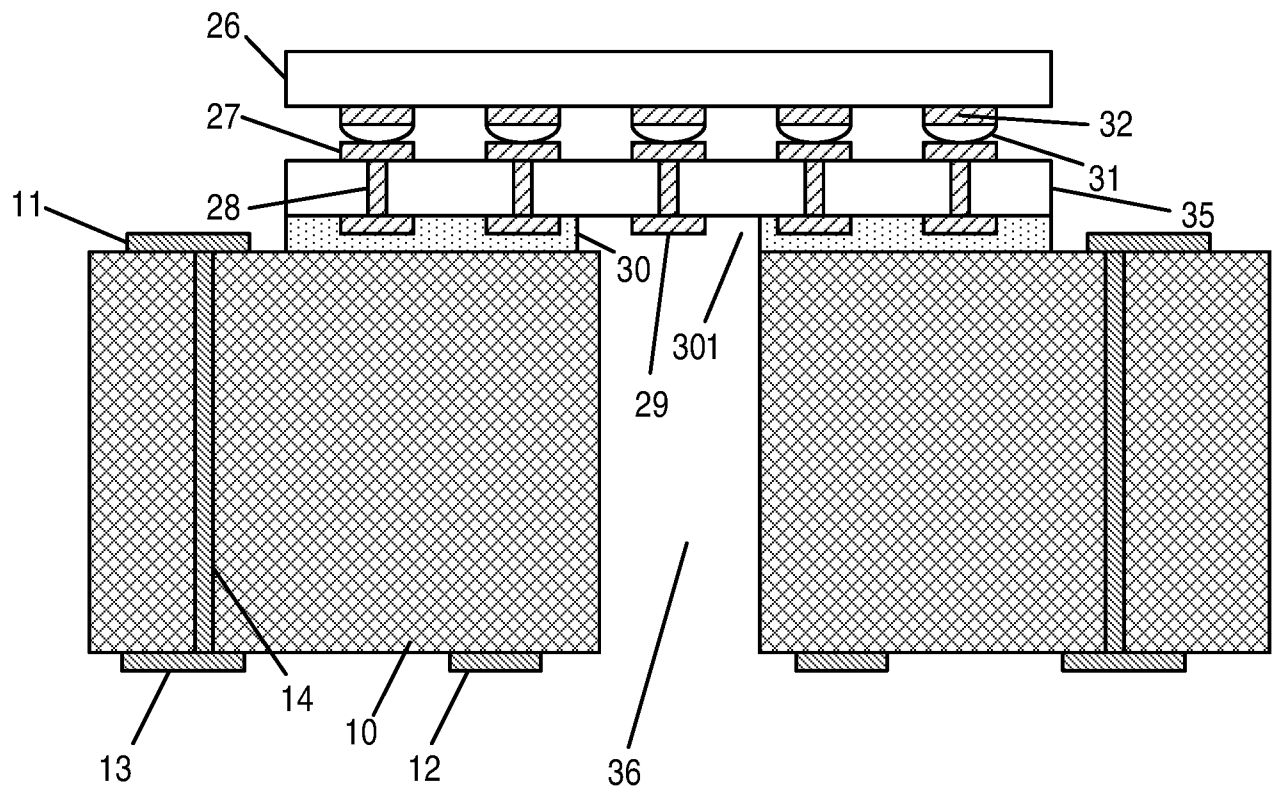


图 8

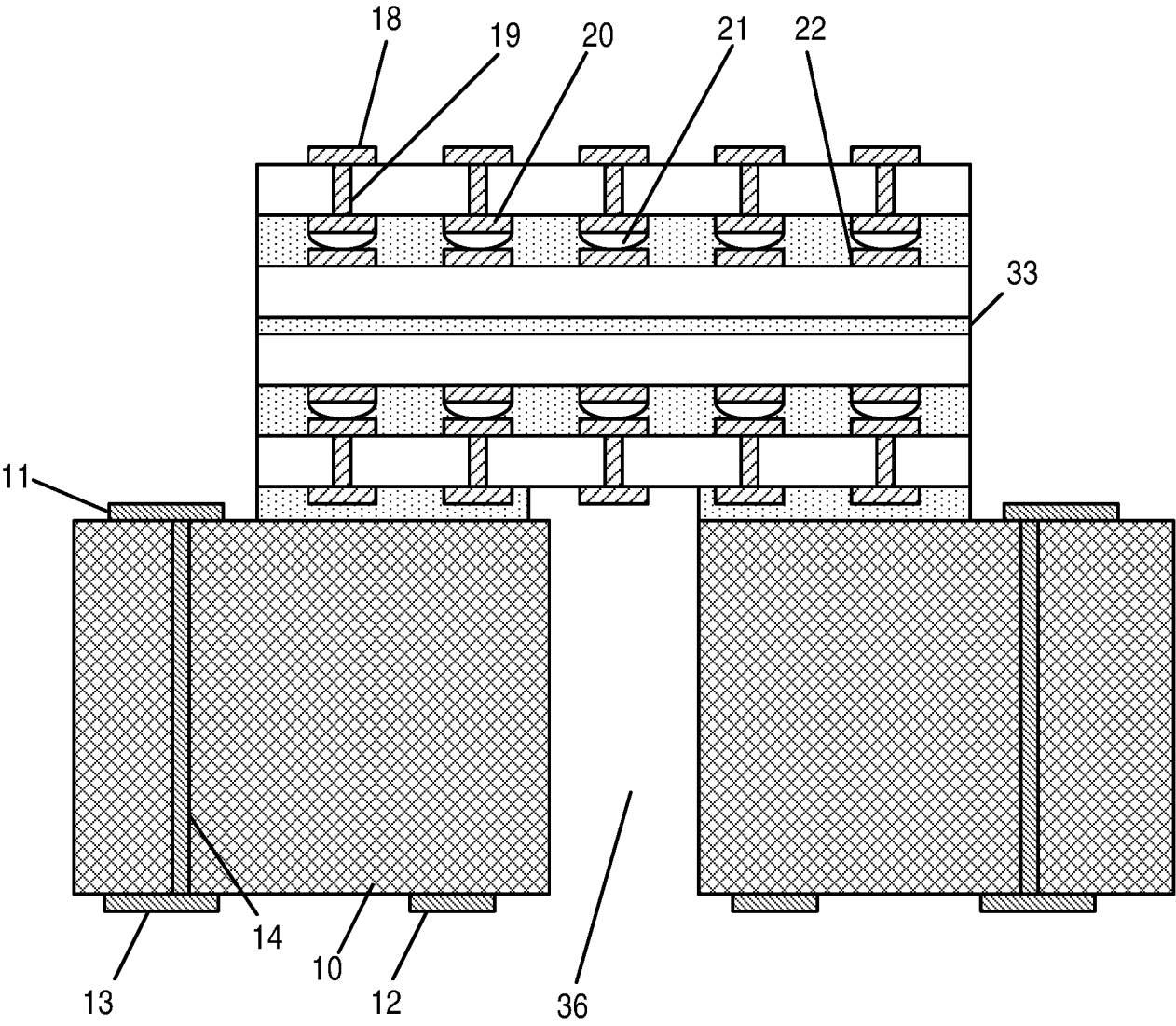


图 9

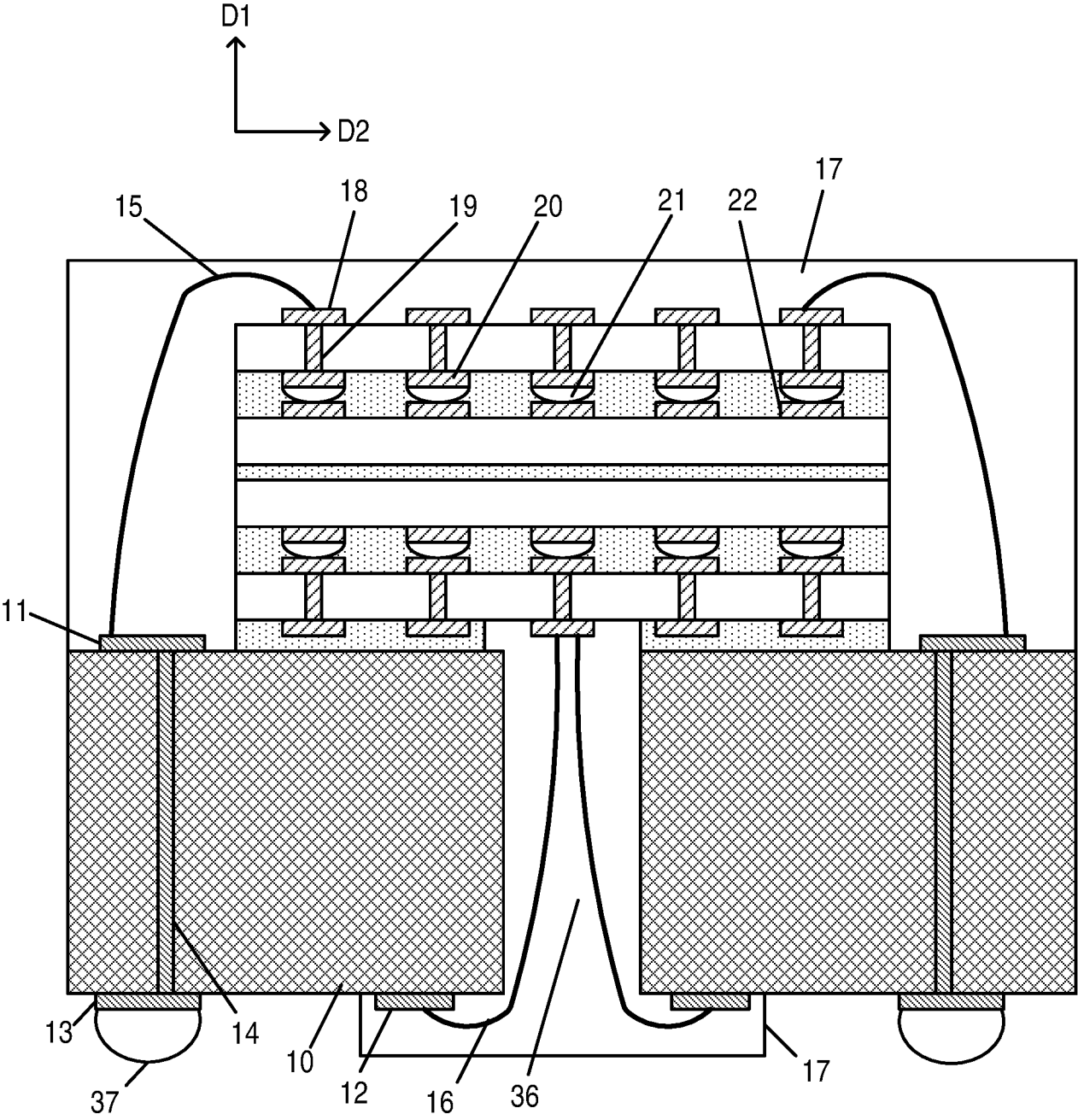


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/128970

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2023.01)i;H01L23/48(2006.01)i;H01L23/52(2006.01)i;H01L23/492(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, ENTXTC, WPABS, CNKI, IEEE: 三维, 3D, 堆叠, 堆栈, 层叠, 封装, 基板, 长度, 键合线, 接合线, 信号, 延迟, 引线, 导线, 相同, 相等, three-dimensional, stack, package, substrate, length, wire, signal, delay, same

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002180057 A1 (LI XIANMEI et al.) 05 December 2002 (2002-12-05) description, paragraphs [0006]-[0032], and figures 1-6	13-20
Y	US 2002180057 A1 (LI XIANMEI et al.) 05 December 2002 (2002-12-05) description, paragraphs [0006]-[0032], and figures 1-6	1-12
Y	US 2006284298 A1 (KIM et al.) 21 December 2006 (2006-12-21) description, paragraphs [0004]-[0032], and figures 1-3	1-12
A	CN 2543206 Y (KINGPAK TECHNOLOGY INC.) 02 April 2003 (2003-04-02) entire document	1-20
A	US 2011291295 A1 (ELPIDA MEMORY, INC.) 01 December 2011 (2011-12-01) entire document	1-20
A	CN 103943615 A (SHANDONG SINOCHIP SEMICONDUCTORS CO., LTD.) 23 July 2014 (2014-07-23) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 March 2023

Date of mailing of the international search report

20 March 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/128970

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2002180057	A1	05 December 2002	None			
US	2006284298	A1	21 December 2006	None			
CN	2543206	Y	02 April 2003	None			
US	2011291295	A1	01 December 2011	US	9159663	B2	13 October 2015
				JP	2011249582	A	08 December 2011
CN	103943615	A	23 July 2014	None			

国际检索报告

国际申请号

PCT/CN2022/128970

A. 主题的分类

H01L25/065 (2023. 01) i; H01L23/48 (2006. 01) i; H01L23/52 (2006. 01) i; H01L23/492 (2006. 01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, ENTXT, WPABS, CNKI, IEEE: 三维, 3D, 堆叠, 堆栈, 层叠, 封装, 基板, 长度, 键合线, 接合线, 信号, 延迟, 引线, 导线, 相同, 相等, three-dimensional, stack, package, substrate, length, wire, signal, delay, same

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2002180057 A1 (LEE 等) 2002年12月5日 (2002 - 12 - 05) 说明书第[0006]-[0032]段, 图1-6	13-20
Y	US 2002180057 A1 (LEE 等) 2002年12月5日 (2002 - 12 - 05) 说明书第[0006]-[0032]段, 图1-6	1-12
Y	US 2006284298 A1 (KIM 等) 2006年12月21日 (2006 - 12 - 21) 说明书第[0004]-[0032]段, 图1-3	1-12
A	CN 2543206 Y (胜开科技股份有限公司) 2003年4月2日 (2003 - 04 - 02) 全文	1-20
A	US 2011291295 A1 (ELPIDA MEMORY, INC.) 2011年12月1日 (2011 - 12 - 01) 全文	1-20
A	CN 103943615 A (山东华芯半导体有限公司) 2014年7月23日 (2014 - 07 - 23) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年3月12日

国际检索报告邮寄日期

2023年3月20日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

张思秘

电话号码 (+86) 010-53961227

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/128970

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
US	2002180057	A1	2002年12月5日	无	
US	2006284298	A1	2006年12月21日	无	
CN	2543206	Y	2003年4月2日	无	
US	2011291295	A1	2011年12月1日	US 9159663 B2	2015年10月13日
				JP 2011249582 A	2011年12月8日
CN	103943615	A	2014年7月23日	无	