

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4346228号
(P4346228)

(45) 発行日 平成21年10月21日(2009.10.21)

(24) 登録日 平成21年7月24日(2009.7.24)

(51) Int.Cl.	F I	
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10	4 3 4
HO 1 L 27/115 (2006.01)	HO 1 L 21/76	L
HO 1 L 21/76 (2006.01)	HO 1 L 27/08	1 0 2 C
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78	3 7 1
HO 1 L 27/088 (2006.01)	HO 1 L 27/10	4 8 1
請求項の数 10 (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2000-287084 (P2000-287084)	(73) 特許権者	000003078
(22) 出願日	平成12年9月21日(2000.9.21)		株式会社東芝
(65) 公開番号	特開2002-100686 (P2002-100686A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年4月5日(2002.4.5)	(74) 代理人	100064285
審査請求日	平成16年7月1日(2004.7.1)		弁理士 佐藤 一雄
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(72) 発明者	坂 上 栄 人
			三重県四日市市山之一色町800番地 株
			式会社東芝 四日市工場内
最終頁に続く			

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板の表面上に形成された第1のゲート絶縁膜及び第1のゲート電極を含む第1のトランジスタと、

前記半導体基板の表面上に形成された第2のゲート絶縁膜及び第2のゲート電極を含む第2のトランジスタと、

前記半導体基板中のトレンチに形成され、前記第1のトランジスタと前記第2のトランジスタをそれぞれ分離する素子分離絶縁膜とを備え、

前記第1のゲート絶縁膜は電荷蓄積層と前記電荷蓄積層上に形成された絶縁膜を含み、前記第2のゲート絶縁膜は電荷蓄積層を含まず、かつ最上層に前記絶縁膜が形成された多層構造を有し、

10

前記第1のトランジスタにおける前記電荷蓄積層は素子領域にのみ存在し、前記電荷蓄積層は前記素子分離絶縁膜の側面と接するように形成され、前記素子分離絶縁膜の上面は前記絶縁膜の上面よりも高いことを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記第1のゲート絶縁膜は、膜厚が1nm以上で10nm以下のボトムシリコン酸化膜と、膜厚が0.5nm以上で7nm以下の前記電荷蓄積層としてのシリコン窒化膜と、膜厚が5nm以上で15nm以下のトップシリコン酸化膜を有し、

前記ボトムシリコン酸化膜の膜厚が前記トップシリコン酸化膜の膜厚より薄いことを特

20

徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記第 1 のゲート絶縁膜は、膜厚が 1 nm 以上で 10 nm 以下のボトムシリコン酸化膜と、前記電荷蓄積層としてのタンタル酸化膜と、膜厚が 5 nm 以上で 15 nm 以下のトップシリコン酸化膜を有し、

前記ボトムシリコン酸化膜の膜厚が前記トップシリコン酸化膜の膜厚より薄いことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

前記第 1 のゲート絶縁膜は、膜厚が 1 nm 以上で 10 nm 以下のボトムシリコン酸化膜と、前記電荷蓄積層としてのチタン酸ストロンチウム膜又はバリウムチタン酸ストロンチウム膜と、膜厚が 5 nm 以上で 15 nm 以下のトップシリコン酸化膜を有し、

前記ボトムシリコン酸化膜の膜厚が前記トップシリコン酸化膜の膜厚より薄いことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】

前記不揮発性半導体記憶装置はセルアレイを有し、前記セルアレイはセルトランジスタとして前記第 1 のトランジスタ、選択トランジスタとして前記第 2 のトランジスタを有し、

前記第 2 のトランジスタにおける前記第 2 のゲート絶縁膜は、膜厚が 5 nm 以上で 15 nm 以下のシリコン酸化膜を有することを特徴とする請求項 1 乃至 4 のいずれかに記載された不揮発性半導体記憶装置。

【請求項 6】

前記不揮発性半導体記憶装置は、前記セルアレイの周辺領域に周辺トランジスタを備え、

前記周辺トランジスタは、

前記半導体基板の表面上に形成された第 3 のゲート絶縁膜及び第 3 のゲート電極を含む第 1 の周辺トランジスタと、

前記半導体基板の表面上に形成された第 4 のゲート絶縁膜及び第 4 のゲート電極を含む第 2 の周辺トランジスタとを有し、

前記第 3 のゲート絶縁膜と前記第 4 のゲート絶縁膜とは膜厚が異なることを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】

セルトランジスタが形成されるセルトランジスタ領域と選択トランジスタが形成される選択トランジスタ領域とを含むセルアレイを有する不揮発性半導体記憶装置の製造方法において、

半導体基板の表面上に、電荷蓄積層を含む第 1 のゲート絶縁膜を形成する工程と、

前記選択トランジスタ領域の前記第 1 のゲート絶縁膜を除去する工程と、

前記選択トランジスタ領域の前記半導体基板の表面上に、電荷蓄積層を含まない第 2 のゲート絶縁膜を形成する工程と、

前記第 1 及び第 2 のゲート絶縁膜上に酸化膜を堆積し、前記セルトランジスタ用のゲート絶縁膜と前記選択トランジスタ用のゲート絶縁膜を形成する工程と、

前記セルトランジスタ領域と前記選択トランジスタ領域にトレンチを形成し、前記セルトランジスタの前記電荷蓄積層に接し、前記トレンチに前記酸化膜の上面より高い上面を有する素子分離絶縁膜を形成することにより素子分離を行う工程とを備え、

前記セルトランジスタにおける前記電荷蓄積層は、前記素子領域にのみ存在するようにしてなることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 8】

セルトランジスタが形成されるセルトランジスタ領域と選択トランジスタが形成される選択トランジスタ領域とを含むセルアレイと、第 1 の周辺トランジスタ及び第 2 の周辺トランジスタを含む周辺回路領域とを有する不揮発性半導体記憶装置の製造方法において、

半導体基板の表面上に、電荷蓄積層を含む第 1 のゲート絶縁膜を形成する工程と、

前記選択トランジスタ領域及び前記周辺回路領域の前記第 1 のゲート絶縁膜を除去する工程と、

前記選択トランジスタ領域及び前記周辺回路領域の前記半導体基板の表面上に、電荷蓄積層を含まない第 2 のゲート絶縁膜及び第 3 のゲート絶縁膜を形成する工程と、

前記周辺回路領域の前記半導体基板の表面上に、電荷蓄積層を含まず、前記第 3 のゲート絶縁膜より膜厚が薄い第 4 のゲート絶縁膜を形成する工程と、

前記第 1 乃至第 4 のゲート絶縁膜上に酸化膜を堆積し、前記セルトランジスタ用のゲート絶縁膜と前記選択トランジスタ用のゲート絶縁膜と前記第 1 及び第 2 の周辺トランジスタ用のゲート絶縁膜とを形成する工程と、

前記セルトランジスタ領域、前記選択トランジスタ領域、及び前記周辺回路領域にトレンチを形成し、前記セルトランジスタの前記電荷蓄積層に接し、前記トレンチに前記酸化膜の上面より高い上面を有する素子分離絶縁膜を形成することにより素子分離を行う工程とを備え、

10

前記第 2 のゲート絶縁膜を形成する工程と前記第 3 のゲート絶縁膜を形成する工程とは同時に行われ、また前記セルトランジスタにおける前記電荷蓄積層は前記素子領域にのみ存在するようにしてなることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 9】

セルトランジスタが形成されるセルトランジスタ領域と選択トランジスタが形成される選択トランジスタ領域とを含むセルアレイと、第 1 の周辺トランジスタ及び第 2 の周辺トランジスタを含む周辺回路領域とを有する不揮発性半導体記憶装置の製造方法において、

20

半導体基板の表面上に、電荷蓄積層を含む第 1 のゲート絶縁膜を形成する工程と、

前記選択トランジスタ領域及び前記周辺回路領域の前記第 1 のゲート絶縁膜を除去する工程と、

前記選択トランジスタ領域及び前記周辺回路領域の前記半導体基板の表面上に、電荷蓄積層を含まない第 2 のゲート絶縁膜及び電荷蓄積層を含まない第 3 及び第 4 のゲート絶縁膜を形成する工程と、

前記第 4 のゲート絶縁膜の上部をエッチングし前記第 3 のゲート絶縁膜より薄くする工程と、

前記第 1 乃至第 4 のゲート絶縁膜上に酸化膜を堆積し、前記セルトランジスタ用のゲート絶縁膜と前記選択トランジスタ用のゲート絶縁膜と前記第 1 及び第 2 の周辺トランジスタ用のゲート絶縁膜とを形成する工程と、

30

前記セルトランジスタ領域、前記選択トランジスタ領域、及び前記周辺回路領域にトレンチを形成し、前記セルトランジスタの前記電荷蓄積層に接し、前記トレンチに前記酸化膜の上面より高い上面を有する素子分離絶縁膜を形成することにより素子分離を行う工程とを備え、

前記第 2 のゲート絶縁膜を形成する工程と前記第 3 のゲート絶縁膜を形成する工程とは同時に行われ、また前記セルトランジスタにおける前記電荷蓄積層は前記素子領域にのみ存在するようにしてなることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 10】

前記酸化膜は、H T O 膜であることを特徴とする請求項 7 乃至 9 の不揮発性半導体記憶装置の製造方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不揮発性半導体記憶装置及びその製造方法に係わり、特に素子分離法に S A - S T I (Self-Aligned Shallow Trench Isolation) を用いた M O N O S (Metal-Oxide-Nitride-Oxide-Si) 構造のメモリセルに好適なものに関する。

【0002】

【従来の技術】

近年、電氣的な書き込み・消去可能な不揮発性半導体記憶装置 (フラッシュ E E P R O M

50

)のメモリセルとして、MONOS構造を有するセルが提案されている。

【0003】

図14に、従来のMONOS構造のメモリセルにおけるゲート電極周辺の縦断面を示し、図15にチャンネル領域周辺の縦断面を示す。

【0004】

p型半導体基板9の表面部分にn型ウェル8が形成され、その上部にp型ウェル1が形成され、p型ウェル1の内部表面にドレイン領域(n型不純物領域)2、チャンネル領域11、ソース領域(n型不純物領域)3が形成されている。さらに、チャンネル11上には、ボトムシリコン酸化膜4、電荷蓄積層となるSiN膜5、トップシリコン酸化膜6、コントロールゲート電極7が順に積層されている。隣接するセルのそれぞれのチャンネル領域11は、素子分離領域10で電氣的に分離されている。

10

【0005】

このような構成を有するMONOS形のメモリセルでは、ゲート絶縁膜としてのSiN膜5に電荷を注入してその電荷捕獲中心位置に電荷をトラップさせたり、あるいはトラップさせた電荷をSiN膜中から引き出したりすることで、セルの閾値を制御し、メモリ機能を持たせている。

【0006】

MONOS型のメモリセルを有する不揮発性メモリでは、次の様にして書き込み、消去、及び読み出しが行われている(ここで、「書き込み」は電子をSiN膜中に注入すること、「消去」は電子をSiN膜中から引き抜くことにそれぞれ対応するものとする)。

20

【0007】

先ず、書き込み方法としては、図16に示されたように、コントロールゲート電極7に書き込み電位(+Vpg)を印加し、ウェル領域1とソース領域3、ドレイン領域2とを接地することで、SiN膜5に高電界をかけて、SiN膜5中に電子をFN(Fowler-Nordheim)注入させる。

【0008】

消去方法としては、図17に示されたように、コントロールゲート7に負の消去電位(-Veg)とウェル1に正電位(+Vew)を印加し、SiN膜5に高電界をかけることで、SiN膜5中の電子を半導体基板9側にFNトンネルさせる。

30

【0009】

【発明が解決しようとする課題】

しかし、従来のMONOS型のメモリセルを不揮発性半導体記憶装置において用いた場合、次のような第1、第2、第3の問題が存在した。

【0010】

第1に、従来はゲート絶縁膜を形成する場合、素子分離領域10を形成した後、ボトムシリコン酸化膜4、SiN膜5、トップシリコン酸化膜6を形成していた。

【0011】

このため、図18に示されたように、電荷蓄積層としてのSiN膜5が、チャンネル領域11上のみならず、素子分離領域10上にも形成されてしまう。このように、電荷蓄積層がチャンネル領域から素子分離領域まで拡がって形成されると、書き込みによりチャンネル領域上の電荷蓄積層に電荷が注入されても、自己電界と熱的な励起現象とにより、電荷蓄積層内の電荷の拡散が発生しチャンネル領域から素子分離領域に向かって移動する。

40

【0012】

この電荷の移動により、チャンネル上の電荷量が減少し、セルの電荷保持特性が劣化する。このような現象の発生を抑制するため、図19に示されたように、素子分離領域10上で分離領域12を設け、電荷蓄積層としてのSiN膜5の分離を行うことも考えられる。

【0013】

しかし、このような方法を用いたとしても、SiN膜5はチャンネル領域11上のみ収まらず、素子分離領域10まではみ出す部分13が存在し、電荷保持特性を十分に改善することができなかった。

50

【0014】

また、FNトンネルによって書き込み、消去を行うMONOS型セルで、ワード線、ビット線によるマトリクス型のセルアレイを構成する場合、誤書き込みを防ぐために選択トランジスタが必要となる。

【0015】

図20に示されるように、NOR型セルアレイでは、各メモリセルMC1毎に、1つのメモリセルトランジスタMT1と、2つの選択トランジスタST1及びST2が必要となる。

【0016】

NAND型セルアレイでは、図21に示されたように、各メモリセルMC11毎に、直列に接続されたメモリセルトランジスタMT11~MT1n(nは1以上の整数)と、2つの選択トランジスタST11及びST12が必要となる。

10

【0017】

この両者を比較すると、メモリセルトランジスタに対する選択トランジスタの数は、NAND型の方が少ないため、微細化に対しては有利である。

【0018】

ここで、選択トランジスタのゲート絶縁膜を形成するにあたって、次のような第2の問題が存在した。

【0019】

メモリセルと選択トランジスタとは、セルアレイ内で隣接して形成する。従来は、メモリセルと選択トランジスタとにおいて、ゲート絶縁膜を作り分けずに同一の構成としていた。このため、選択トランジスタのゲート絶縁膜には、メモリセルと同様に電荷蓄積層を含むこととなり、選択トランジスタの閾値が変動し、メモリセルの読み出し動作が不安定になっていた。

20

【0020】

第3に、セルアレイの周辺領域に配置されたトランジスタには、高耐圧が要求されるトランジスタと、高耐圧は要求されず高い駆動能力が必要なトランジスタとが存在する。従来は、周辺トランジスタに同一のゲート絶縁膜を用いていたため、高耐圧が要求されるトランジスタに合わせて厚い絶縁膜を形成していた。この結果、高速動作が必要なトランジスタにおいても閾値を低く設定して駆動能力を高くすることができず動作速度の低下を招いていた。

30

【0021】

本発明は上記事情に鑑み、電荷保持特性の向上、選択トランジスタを用いた読み出し動作の安定化、周辺トランジスタの動作速度の向上を達成することが可能な不揮発性半導体記憶装置を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、半導体基板と、前記半導体基板の表面上に形成された第1のゲート絶縁膜及び第1のゲート電極を含む第1のトランジスタと、前記半導体基板の表面上に形成された第2のゲート絶縁膜及び第2のゲート電極を含む第2のトランジスタと、前記半導体基板中のトレンチに形成され、前記第1のトランジスタと前記第2のトランジスタをそれぞれ分離する素子分離絶縁膜とを備え、前記第1のゲート絶縁膜は電荷蓄積層と前記電荷蓄積層上に形成された絶縁膜を含み、前記第2のゲート絶縁膜は電荷蓄積層を含まず、かつ最上層に前記絶縁膜が形成された多層構造を有し、前記第1のトランジスタにおける前記電荷蓄積層は素子領域にのみ存在し、前記電荷蓄積層は前記素子分離絶縁膜の側面と接するように形成され、前記素子分離絶縁膜の上面は前記絶縁膜の上面よりも高いことを特徴とする。

40

【0023】

前記第1のゲート絶縁膜は、膜厚が1nm以上で10nm以下のボトムシリコン酸化膜と、膜厚が0.5nm以上で7nm以下の前記電荷蓄積層としてのシリコン窒化膜と、膜厚

50

が5 nm以上で15 nm以下のトップシリコン酸化膜を有し、前記ボトムシリコン酸化膜の膜厚が前記トップシリコン酸化膜の膜厚より薄くしてもよい。

【0024】

または、前記第1のゲート絶縁膜は、膜厚が1 nm以上で10 nm以下のボトムシリコン酸化膜と、前記電荷蓄積層としてのタンタル酸化膜と、膜厚が5 nm以上で15 nm以下のトップシリコン酸化膜を有し、前記ボトムシリコン酸化膜の膜厚が前記トップシリコン酸化膜の膜厚より薄くすることもできる。

【0025】

あるいは、前記第1のゲート絶縁膜は、膜厚が1 nm以上で10 nm以下のボトムシリコン酸化膜と、前記電荷蓄積層としてのチタン酸ストロンチウム膜又はバリウムチタン酸ストロンチウム膜と、膜厚が5 nm以上で15 nm以下のトップシリコン酸化膜を有し、前記ボトムシリコン酸化膜の膜厚が前記トップシリコン酸化膜の膜厚より薄いようにしてもよい。

10

【0026】

前記不揮発性半導体記憶装置はセルアレイを有し、前記セルアレイはセルトランジスタとして前記第1のトランジスタ、選択トランジスタとして前記第2のトランジスタを有し、前記第2のトランジスタにおける前記第2のゲート絶縁膜は、膜厚が5 nm以上で15 nm以下のシリコン酸化膜を有することもできる。

【0027】

前記不揮発性半導体記憶装置は、前記セルアレイの周辺領域に周辺トランジスタを備え、前記周辺トランジスタは、前記半導体基板の表面上に形成された第3のゲート絶縁膜及び第3のゲート電極を含む第1の周辺トランジスタと、前記半導体基板の表面上に形成された第4のゲート絶縁膜及び第4のゲート電極を含む第2の周辺トランジスタとを有し、前記第3のゲート絶縁膜と前記第4のゲート絶縁膜とは膜厚が異なるようにしてもよい。

20

【0028】

本発明の不揮発性半導体記憶装置の製造方法は、セルトランジスタが形成されるセルトランジスタ領域と選択トランジスタが形成される選択トランジスタ領域とを含むセルアレイを有する不揮発性半導体記憶装置の製造方法であって、半導体基板の表面上に、電荷蓄積層を含む第1のゲート絶縁膜を形成する工程と、前記選択トランジスタ領域の前記第1のゲート絶縁膜を除去する工程と、前記選択トランジスタ領域の前記半導体基板の表面上に、電荷蓄積層を含まない第2のゲート絶縁膜を形成する工程と、前記第1及び第2のゲート絶縁膜上に酸化膜を堆積し、前記セルトランジスタ用のゲート絶縁膜と前記選択トランジスタ用のゲート絶縁膜を形成する工程と、前記セルトランジスタ領域と前記選択トランジスタ領域にトレンチを形成し、前記セルトランジスタの前記電荷蓄積層に接し、前記トレンチに前記酸化膜の上面より高い上面を有する素子分離絶縁膜を形成することにより素子分離を行う工程とを備え、前記セルトランジスタにおける前記電荷蓄積層は、前記素子領域にのみ存在するようにしてなることを特徴とする。

30

【0029】

また本発明の製造方法は、セルトランジスタが形成されるセルトランジスタ領域と選択トランジスタが形成される選択トランジスタ領域とを含むセルアレイと、第1の周辺トランジスタ及び第2の周辺トランジスタを含む周辺回路領域とを有する不揮発性半導体記憶装置の製造方法であって、半導体基板の表面上に、電荷蓄積層を含む第1のゲート絶縁膜を形成する工程と、前記選択トランジスタ領域及び前記周辺回路領域の前記第1のゲート絶縁膜を除去する工程と、前記選択トランジスタ領域及び前記周辺回路領域の前記半導体基板の表面上に、電荷蓄積層を含まない第2のゲート絶縁膜及び第3のゲート絶縁膜を形成する工程と、前記周辺回路領域の前記半導体基板の表面上に、電荷蓄積層を含まず、前記第3のゲート絶縁膜より膜厚が薄い第4のゲート絶縁膜を形成する工程と、前記第1乃至第4のゲート絶縁膜上に酸化膜を堆積し、前記セルトランジスタ用のゲート絶縁膜と前記選択トランジスタ用のゲート絶縁膜とを形成する工程と、前記セルトランジスタ領域、前記選択トランジスタ領域、及

40

50

び前記周辺回路領域にトレンチを形成し、前記セルトランジスタの前記電荷蓄積層に接し、前記トレンチに前記酸化膜の上面より高い上面を有する素子分離絶縁膜を形成することにより素子分離を行う工程とを備え、前記第2のゲート絶縁膜を形成する工程と前記第3のゲート絶縁膜を形成する工程とは同時に行われ、また前記セルトランジスタにおける前記電荷蓄積層は前記素子領域にのみ存在するようにしてなることを特徴とする。

【0030】

あるいは本発明の製造方法は、セルトランジスタが形成されるセルトランジスタ領域と選択トランジスタが形成される選択トランジスタ領域とを含むセルアレイと、第1の周辺トランジスタ及び第2の周辺トランジスタを含む周辺回路領域とを有する不揮発性半導体記憶装置の製造方法において、半導体基板の表面上に、電荷蓄積層を含む第1のゲート絶縁膜を形成する工程と、前記選択トランジスタ領域及び周辺回路領域の前記第1のゲート絶縁膜を除去する工程と、前記選択トランジスタ領域及び前記周辺回路領域の前記半導体基板の表面上に、電荷蓄積層を含まない第2のゲート絶縁膜及び電荷蓄積層を含まない第3及び第4のゲート絶縁膜を形成する工程と、前記第4のゲート絶縁膜の上部をエッチングし前記第3のゲート絶縁膜より薄くする工程と、前記第1乃至第4のゲート絶縁膜上に酸化膜を堆積し、前記セルトランジスタ用のゲート絶縁膜と前記選択トランジスタ用のゲート絶縁膜と前記第1及び第2の周辺トランジスタ用のゲート絶縁膜とを形成する工程と、前記セルトランジスタ領域、前記選択トランジスタ領域、及び前記周辺回路領域にトレンチを形成し、前記セルトランジスタの前記電荷蓄積層に接し、前記トレンチに前記酸化膜の上面より高い上面を有する素子分離絶縁膜を形成することにより素子分離を行う工程とを備え、前記第2のゲート絶縁膜を形成する工程と前記第3のゲート絶縁膜を形成する工程とは同時に行われ、また前記セルトランジスタにおける前記電荷蓄積層は前記素子領域にのみ存在するようにしてなることを特徴とする。

【0031】

前記酸化膜は、HTO膜であることができる。

【0032】

【発明の実施の形態】

以下、本発明の一実施の形態について図面を参照して説明する。

【0033】

本実施の形態によるNAND型セルアレイ構造を有するMONOS型不揮発性半導体記憶装置の構成とその製造方法について、図1～図13を用いて説明する。

【0034】

本実施の形態では、周辺トランジスタのゲート酸化膜として、HV (High Voltage) 系の厚いゲート酸化膜と、LV (Low Voltage) 系の薄いゲート酸化膜との2種類の膜厚の酸化膜を形成し、さらにHV系のゲート酸化膜と同様の酸化膜をセルアレイ中の選択トランジスタのゲート酸化膜として形成する。

【0035】

図1に示されたように、p型半導体基板101に熱酸化法等によりパッド酸化膜102を例えば10nmの膜厚で形成し、パターンニングを行う。

【0036】

レジスト膜103を用いて、半導体基板101の表面部分に、所望の深さ及び不純物プロファイルとなるようにn型不純物としてリンをイオン注入して深いn型ウェル104を形成する。このn型ウェル104の表面部分に、p型不純物としてボロンを所望の深さ及び不純物濃度となるようにp型ウェル105を形成する。

【0037】

レジスト膜103を除去し、図2に示されたようにレジスト膜107を形成し、n型不純物をイオン注入してp型ウェル105の外周部分にn型ウェル106を形成する。

【0038】

図3に示されたようにパッド酸化膜102を除去する。そして、メモリセルのボトム酸化膜111となるシリコン酸化膜を、例えば熱酸化法により3nmの膜厚に形成し、さらに

10

20

30

40

50

メモリセルの電荷蓄積層となるSiN膜112を、例えば0.5nm~3nmの膜厚に堆積する。このとき、ボトム酸化膜の信頼性向上のために、N₂O、NH₃により窒化し、オキシナイトライド化することもできる。

【0039】

表面全体にレジストを塗布し、周辺領域とセルアレイ内の選択トランジスタの形成領域とを開口し、セル形成部分を覆うように、現像処理を行ってレジストをパターニングし、レジスト膜151を形成する。このレジスト膜151をマスクとしてSiN膜112にRIE (Reactive Ion Etching) を行い、開口部における部分を除去する。この加工により、セル形成部分にのみにSiN膜112が残る。

【0040】

図4に示された断面は、セルアレイ内における素子の縦断面であって、レジスト膜113が開口された部分は選択トランジスタを形成する領域である。レジスト膜112を剥離した後、ウェットエッチングにより開口部におけるボトム酸化膜111を除去する。そして、熱酸化法を用いて第1のゲート酸化工程を行い、基板101の表面を酸化して第1のゲート酸化膜113を例えば5nmの膜厚で形成する。この時、SiN膜112の残っているセル形成部分における基板表面は酸化されない。

【0041】

図5にあるように、レジストを塗布し、周辺領域のうちLV系のゲート酸化膜を形成する領域が除去されるようにパターニングし、レジスト膜114を形成する。このレジスト膜114をマスクとしてウェットエッチングを行い、LV系トランジスタの形成領域上の第1のゲート酸化膜113を除去する。

【0042】

レジスト膜114を除去した後に、ウェーハ全面に再度ウェット処理を行い、第1のゲート酸化膜113を1~2nm程度ウェットエッチングする。

【0043】

図6に示されたように、熱酸化法を用いて第2のゲート酸化工程を行い、基板を酸化してLV系トランジスタの形成領域上に第2のゲート酸化膜121を2nmの膜厚で形成する。全面にHTO (High Temperature Oxide) 膜122を、例えば5nmの膜厚で堆積することで、SiN膜112上にトップ酸化膜150を形成する。

【0044】

この後で、HTO膜122を高密度化するため、追加のアニール処理あるいは酸化工程等の熱処理、あるいはN₂O、NH₃による窒化でオキシナイトライド化することで、ゲート絶縁膜の信頼性を向上させることができる。

【0045】

図7に示されるように、ゲート電極となる多結晶シリコン膜123を堆積する。ここで、周辺領域におけるHV系トランジスタのゲート酸化膜と、メモリセル領域における選択トランジスタのゲート酸化膜は、第1のゲート酸化膜113と第2のゲート酸化膜121の積層されたシリコン酸化膜と、HTO膜122との積層酸化膜で構成される。

【0046】

一方、周辺領域におけるLV系トランジスタのゲート酸化膜は、第2のゲート酸化膜121とHTO膜122の積層酸化膜で構成される。

【0047】

ここで、ボトム酸化膜よりもトップ酸化膜の膜厚を厚くすることで、電荷蓄積層に注入された電荷が書き込み/消去時に移動する現象が、ボトム酸化膜側でより発生し易いようにすることができる。

【0048】

次に、活性領域を形成する工程について、メモリセル部における素子分離形成を示した図7~13を用いて説明する。

【0049】

図7に示されたように、基板表面にトレンチを形成するためのエッチング時にマスク材と

10

20

30

40

50

なるように、多結晶シリコン膜 1 2 3 上にシリコン窒化膜 1 2 4 を 7 0 n m の膜厚で堆積する。シリコン窒化膜 1 2 4 上に、T E O S 系またはシラン系の酸化膜 1 2 5 を 2 0 0 n m の膜厚で堆積し、その表面上にレジストを塗布する。活性領域を覆うように現像し、素子分離領域が除去されたレジスト膜 1 5 2 を形成する。

【 0 0 5 0 】

このレジスト膜 1 5 2 をマスクとして用いてマスク材としてのシリコン酸化膜 1 2 5、シリコン窒化膜 1 2 4 を上から順に R I E 法を用いてエッチングして除去する。この後、レジスト膜 1 5 2 を除去する。これにより、活性領域のパターンがレジスト膜 1 5 2 からシリコン酸化膜 1 2 5 及びシリコン窒化膜 1 2 4 に転写される。

【 0 0 5 1 】

図 8 に示されたように、シリコン酸化膜 1 2 5 及びシリコン窒化膜 1 2 4 の積層膜をハードマスクとして、ゲートとなる多結晶シリコン膜 1 2 3 と、メモリセル領域におけるゲート酸化膜、周辺領域における H V 系トランジスタのゲート酸化膜、L V 系トランジスタのゲート酸化膜、さらに半導体基板 1 0 1 を R I E 法により基板表面から 2 0 0 n m 程度の深さにエッチングして素子分離用のトレンチ 1 2 6 を形成する。このとき、メモリセルと選択トランジスタとの境界領域は、活性領域上の場合、メモリセルと選択トランジスタとの中間に設定する。

【 0 0 5 2 】

図 9 に示されたように、半導体基板 1 0 1 に熱酸化を行い、例えば 3 ~ 6 n m の膜厚のシリコン酸化膜 1 3 1 を形成する。このシリコン酸化膜 1 3 1 は、半導体基板 1 0 1 を保護

【 0 0 5 3 】

表面全体に、トレンチ 1 2 6 の埋め込み材となるシリコン酸化膜 1 3 2 を堆積する。堆積方法としては、例えば T E O S 系酸化膜を C V D 法により堆積し、あるいはシラン系酸化膜を H D P (High Density Plazama) 法により堆積してもよく、半導体基板 1 0 1 のトレンチ 1 2 6 からシリコン酸化膜 1 2 5 まで十分に埋まる条件で堆積する。図 9 に、H D P 法によりシリコン酸化膜 1 3 2 を埋め込んだ状態を示す。

【 0 0 5 4 】

次に、図 1 0 に示されたように、C M P (Chemical Mechanical Polishing) 法により、シリコン酸化膜 1 3 2 を研磨して平坦化する。この研磨工程において、シリコン窒化膜 1 2 4 が研磨のストッパーとなる。

【 0 0 5 5 】

この後、9 0 0 以上の高温アニールを行って、トレンチ 1 2 6 の埋め込みにより発生したストレスを解放する。

【 0 0 5 6 】

次に、バッファード H F 等によるウェット処理を行い、トレンチに埋めこまれたシリコン酸化膜 1 2 6 の表面の微小なスクラッチ傷や、研磨時についた異物をリフトオフすることで除去する。

【 0 0 5 7 】

図 1 1 に示されたように、シリコン窒化膜 1 2 4 にホットリン酸でウェットエッチングを行って除去する。さらに、トレンチ 1 2 6 の埋め込みシリコン酸化膜 1 3 2 のコーナー 1 2 6 a をウェットエッチングにより丸める処理を行う。そして、ゲート配線となるリンが導入された多結晶シリコン膜 1 3 3 を、例えば 7 0 n m の膜厚で堆積する。

【 0 0 5 8 】

この後、多結晶シリコン膜 1 3 3 から多結晶シリコン膜 1 2 3 に不純物を拡散させるため、熱工程を例えば 8 5 0 3 0 分行う。

【 0 0 5 9 】

次に、多結晶シリコン膜 1 3 3 上にタングステンシリサイド (W S i) 膜 1 4 1 を、例えば 5 0 n m の膜厚で堆積し、ゲート電極加工時のマスク材となる T E O S 系酸化膜 1 4 2 を、例えば 2 0 0 n m の膜厚で C V D 法により堆積する。

10

20

30

40

50

【0060】

この後、図12に示されたように、レジストを塗布してゲート電極のパターンに現像し、得られたレジスト膜143を用いて、マスク材としてのTEOS系酸化膜142にパターンの転写を行う。ここで、図12はセルアレイ中のゲート断面を示しており、電荷蓄積層となるSiN膜112が存在する領域はメモリセルの形成領域、存在しない領域は選択トランジスタの形成領域である。

【0061】

レジスト膜143を除去し、TEOS系酸化膜142をマスクとしてWSi膜141、多結晶シリコン膜133、123のエッチングを行う。さらに、ゲート絶縁膜をRIEによりエッチングし、セルのトップ酸化膜150とSiN膜112まで除去する。このとき、

10

【0062】

この後、後酸化を行い、不純物のイオン注入を行ってメモリセルや周辺トランジスタに図示されていないドレイン、ソースとなる拡散層を形成する。さらに、図示されていないBPSG等から成る層間絶縁膜を形成する。層間絶縁膜に対し、ゲート電極や拡散層の表面上にコンタクトホールを開孔し、導電材料を埋め込んでゲート電極や拡散層へのコンタクトを形成する。層間絶縁膜上に金属材料等を用いて配線層を形成し、その表面上にパッシベーション層を形成し、製造プロセスを完了する。

【0063】

上記実施の形態によれば、メモリセルにおけるゲート絶縁膜中の電荷蓄積層としてのSiN膜112を、セルのチャンネル領域上のみ形成し素子分離領域上には形成しない。これにより、電荷保持特性で問題となっていた、セルトランジスタのチャンネル上の電荷蓄積層から素子分離領域上の電荷蓄積層への電荷の移動現象が起こらず、良好な電荷保持特性を得ることができる。

20

【0064】

また、選択トランジスタのゲート絶縁膜を、セルトランジスタのゲート絶縁膜と異なり、電荷蓄積層を含まないシリコン酸化膜(第1のゲート酸化膜113、第2のゲート酸化膜121及びHTO膜122)のみで形成するため、選択トランジスタの閾値が変動せず、安定した読み出し動作が可能である。

【0065】

さらに、周辺トランジスタに膜厚の異なる2つのゲート酸化膜を形成することにより、ゲート酸化膜に高耐圧を必要とするHV系トランジスタには厚いゲート酸化膜(第1のゲート酸化膜113、第2のゲート酸化膜121及びHTO膜122)を形成し、高耐圧を必要とせず高い駆動能力を必要とするLV系トランジスタには薄いゲート酸化膜(第2のゲート酸化膜121及びHTO膜122)を用いることにより、動作速度等の性能向上を図ることができる。

30

【0066】

上述した実施の形態は一例であり、本発明を限定するものではない。例えば、上記実施の形態では、ゲート配線にWSi膜と多結晶シリコン膜とを積層させたWSiポリサイド構造を用いている。しかしこの材料に限らず、拡散層とゲート配線とにTiやCoのシリサイドを形成し、セル及び周辺トランジスタをシリサイド化することも可能である。

40

【0067】

【発明の効果】

以上説明したように、本発明の不揮発性半導体記憶装置及びその製造方法によれば、セルトランジスタのゲート絶縁膜中に必要な電荷蓄積層を、セルのチャンネル領域上から素子分離領域まではみ出さないように形成するため、チャンネル上の電荷蓄積層から素子分離領域上への電荷の移動現象が起こらず、電荷保持特性が向上する。

【0068】

また、選択トランジスタのゲート絶縁膜を、セルトランジスタのゲート絶縁膜と異なり電極蓄積層を含めずに構成するため、選択トランジスタの閾値が変動せず読み出し動作が安

50

定する。

【 0 0 6 9 】

さらに、周辺トランジスタにおいて、ゲート酸化膜に高耐圧を必要とするトランジスタには厚いゲート酸化膜を、高耐圧を必要とせず高い駆動能力を必要とするトランジスタには薄いゲート酸化膜を形成することで、動作速度等の性能が向上する。

【図面の簡単な説明】

【図 1】本発明の一実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 2】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

10

【図 3】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 4】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 5】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 6】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 7】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

20

【図 8】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 9】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 10】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 11】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

【図 12】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面を示した縦断面図。

30

【図 13】同実施の形態による不揮発性半導体記憶装置の製造方法における一工程の素子の断面及びこの装置の構成を示した縦断面図。

【図 14】従来の不揮発性半導体記憶装置におけるゲート電極周辺の構成を示した縦断面図。

【図 15】同不揮発性半導体記憶装置における素子分離領域の構成を示した縦断面図。

【図 16】同不揮発性半導体記憶装置における書き込み動作を示した説明図。

【図 17】同不揮発性半導体記憶装置における消去動作を示した説明図。

【図 18】同不揮発性半導体記憶装置における電荷保持特性の劣化機構を示した説明図。

【図 19】電荷保持特性を向上させた従来の不揮発性半導体記憶装置の構成を示した縦断面図。

40

【図 20】MONOSセルにおけるNOR型アレイの構成を示した回路図。

【図 21】MONOSセルにおけるNAND型アレイの構成を示した回路図。

【符号の説明】

1 0 1 p型半導体基板

1 0 2 パッド酸化膜

1 0 3、1 0 7、1 5 1、1 1 4、1 4 3、1 5 2 レジスト膜

1 0 4 n型ウェル

1 0 5 p型ウェル

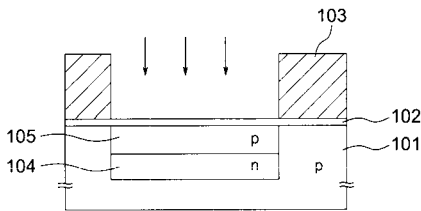
1 1 1 ボトム酸化膜

1 1 2 SiN膜

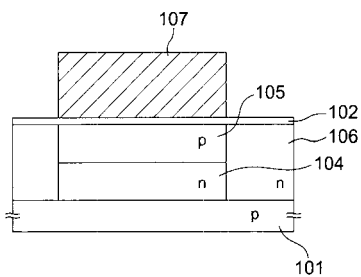
50

- 1 1 3 第 1 のゲート酸化膜
- 1 2 1 第 2 のゲート酸化膜
- 1 2 2 H T O 膜
- 1 2 3 多結晶シリコン膜
- 1 2 4 シリコン窒化膜
- 1 2 5 シラン系酸化膜
- 1 3 1、1 3 2 シリコン酸化膜
- 1 3 3 多結晶シリコン膜
- 1 4 1 W S i 膜
- 1 4 2 T E O S 系酸化膜
- 1 5 0 トップ酸化膜

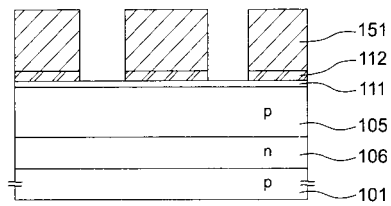
【 図 1 】



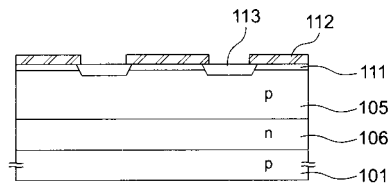
【 図 2 】



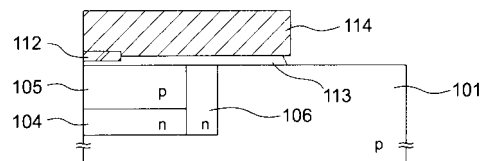
【 図 3 】



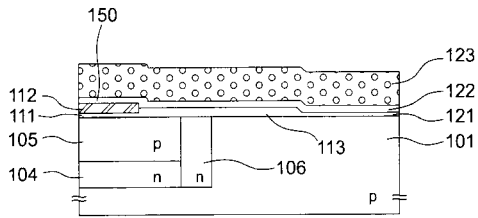
【 図 4 】



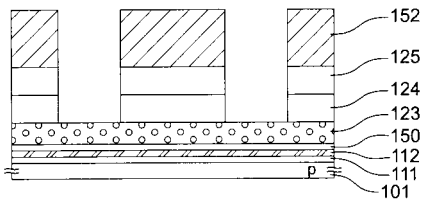
【 図 5 】



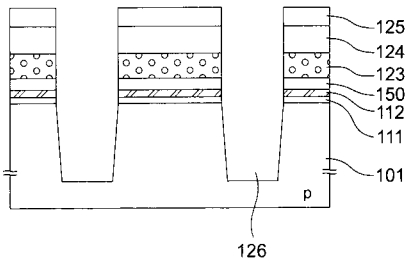
【図 6】



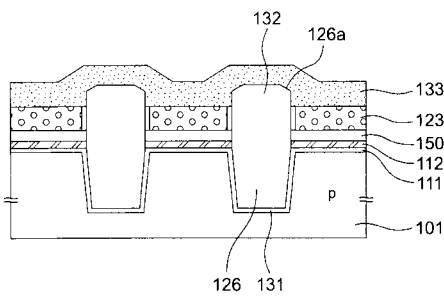
【図 7】



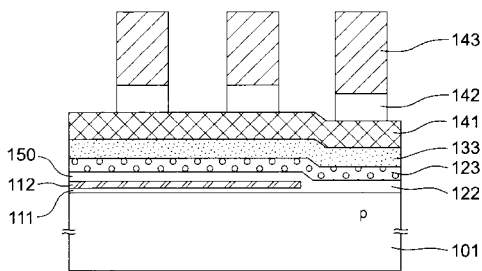
【図 8】



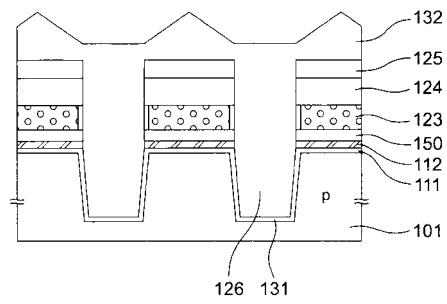
【図 11】



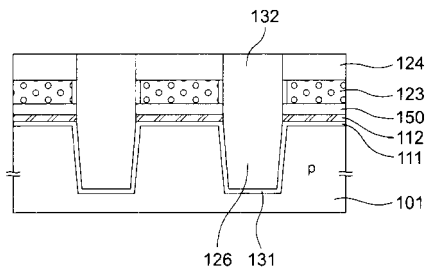
【図 12】



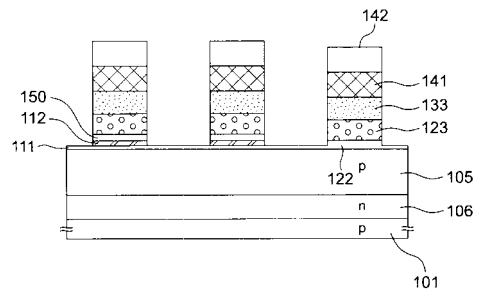
【図 9】



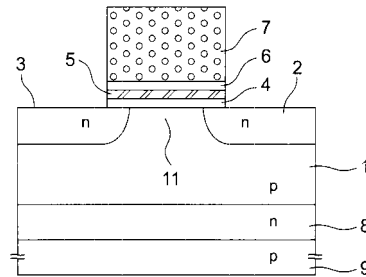
【図 10】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 (2006.01)

審査官 河口 雅英

(56)参考文献 特開平 1 0 - 1 8 9 7 8 0 (J P , A)

特開 2 0 0 0 - 0 3 1 4 3 5 (J P , A)

特開平 1 1 - 0 3 1 7 9 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/10

H01L 27/115

H01L 29/788

H01L 29/792

H01L 27/088

H01L 21/76

H01L 21/8247

H01L 21/8234