



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I803556 B

(45)公告日：中華民國 112 (2023) 年 06 月 01 日

(21)申請案號：107147857

(22)申請日：中華民國 107 (2018) 年 12 月 28 日

(51)Int. Cl. : H01L33/02 (2010.01)

H01L33/14 (2010.01)

H01L33/30 (2010.01)

(71)申請人：晶元光電股份有限公司 (中華民國) EPISTAR CORPORATION (TW)

新竹市東區新竹科學工業園區力行路 21 號

(72)發明人：陳孟揚 CHEN, MENG-YANG (TW)；李榮仁 LEE, RONG-REN (TW)

(56)參考文獻：

TW 201208117A

US 5932896

US 2017/0345642A1

審查人員：張展溢

申請專利範圍項數：10 項 圖式數：6 共 30 頁

(54)名稱

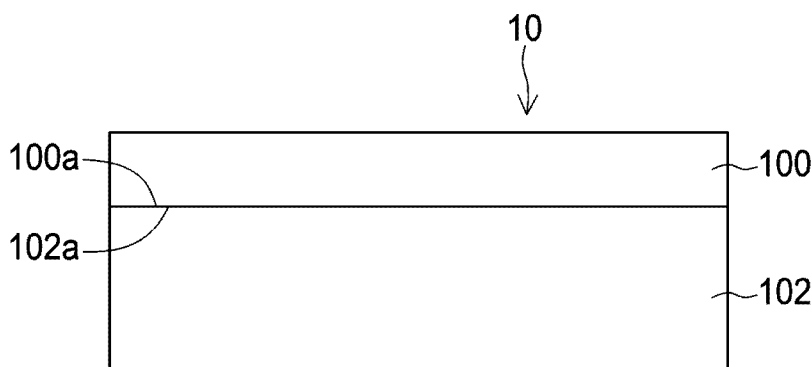
半導體疊層、半導體元件及其製造方法

(57)摘要

本發明內容提供一種半導體疊層、半導體元件及其製造方法。半導體元件包含第一半導體層以及發光結構。第一半導體層包含第一 III-V 族半導體材料、第一摻雜物及第二摻雜物。發光結構位於第一半導體層上且包含活性結構。在第一半導體層中，第二摻雜物的濃度大於第一摻雜物的濃度，且第一摻雜物為碳，第二摻雜物為氫。

The present disclosure provides a semiconductor stack, a semiconductor device and a method for manufacturing the same. The semiconductor device includes a first semiconductor layer and a light-emitting structure. The first semiconductor layer includes a first III-V semiconductor material, a first dopant and a second dopant. The light-emitting structure is on the first semiconductor layer and includes an active structure. In the first semiconductor layer, a concentration of the second dopant is higher than a concentration of the first dopant. The first dopant is carbon, and the second dopant is hydrogen.

指定代表圖：



符號簡單說明：

10: 半導體疊層

100: 第一半導體層

102: 第二半導體層

100a、102a: 表面

第1圖



I803556

【發明摘要】

【中文發明名稱】半導體疊層、半導體元件及其製造方法

【英文發明名稱】SEMICONDUCTOR STACK, SEMICONDUCTOR DEVICE

AND METHOD FOR MANUFACTURING THE SAME

【中文】本發明內容提供一種半導體疊層、半導體元件及其製造方法。半導體元件包含第一半導體層以及發光結構。第一半導體層包含第一III-V族半導體材料、第一摻雜物及第二摻雜物。發光結構位於第一半導體層上且包含活性結構。在第一半導體層中，第二摻雜物的濃度大於第一摻雜物的濃度，且第一摻雜物為碳，第二摻雜物為氫。

【英文】The present disclosure provides a semiconductor stack, a semiconductor device and a method for manufacturing the same. The semiconductor device includes a first semiconductor layer and a light-emitting structure. The first semiconductor layer includes a first III-V semiconductor material, a first dopant and a second dopant. The light-emitting structure is on the first semiconductor layer and includes an active structure. In the first semiconductor layer, a concentration of the second dopant is higher than a concentration of the first dopant. The first dopant is carbon, and the second dopant is hydrogen.

【指定代表圖】第1圖

【代表圖之符號簡單說明】

10：半導體疊層

100：第一半導體層

102：第二半導體層

100a、102a：表面

【特徵化學式】無

【發明說明書】

【中文發明名稱】半導體疊層、半導體元件及其製造方法

【英文發明名稱】SEMICONDUCTOR STACK, SEMICONDUCTOR DEVICE
AND METHOD FOR MANUFACTURING THE SAME

【技術領域】

【0001】 本揭露內容有關於一種半導體元件，尤其關於一種包含半導體疊層的發光元件。

【先前技術】

【0002】 隨著科技日新月異，半導體元件在資訊傳輸及能量轉換等領域扮演非常重要的角色，相關材料的研究開發也持續進行。舉例而言，包含三族及五族元素的III-V族半導體材料可應用於各種光電元件如發光二極體(Light emitting diode, LED)、雷射二極體(Laser diode, LD)、太陽能電池(Solar cell)等，亦可應用於照明、醫療、顯示、通訊、感測、電源系統等領域。發光二極體元件適用於固態照明光源且具有耗電量低以及壽命長等優點，因此已逐漸取代傳統光源而大量被應用於交通號誌、背光模組、各式照明及醫療設備等。

【發明內容】

【0003】 本發明內容提供一種半導體元件，其包含第一半導體層以及發光結構。第一半導體層包含第一III-V族半導體材料、第一摻雜物及第二摻雜物。發光結構位於第一半導體層上且包含活性結構。第一半導體層為N型半導體層。

在第一半導體層中，第二摻雜物的濃度大於第一摻雜物的濃度，且第一摻雜物為碳，第二摻雜物為氫。

【0004】 本發明內容又提供一種半導體元件的製造方法，其包含：形成第一半導體層，其包含第一III-V族半導體材料、第一摻雜物及第二摻雜物；以及形成發光結構，位於第一半導體層上且包含活性結構。第一半導體層為N型半導體層。在第一半導體層中，第二摻雜物的濃度大於第一摻雜物的濃度，且第一摻雜物為碳，第二摻雜物為氫。

【0005】 本發明內容另提供一種半導體疊層，其包含第一半導體層以及第二半導體層。第一半導體層包含第一III-V族半導體材料、第一摻雜物及第二摻雜物。第二半導體層位於第一半導體層上且包含第二III-V族半導體材料。在第一半導體層中，第二摻雜物的濃度大於第一摻雜物的濃度，且第一摻雜物為碳，第二摻雜物為氫，且在X光繞射分析下，該第一半導體層具有300 arcsec以下的半高寬。

【圖式簡單說明】

【0006】 第1圖為本揭露內容一實施例之半導體疊層的結構示意圖。

【0007】 第2A圖為本揭露內容一實施例之半導體元件的部分結構示意圖。

【0008】 第2B圖為本揭露內容一實施例之半導體元件的部分結構示意圖。

【0009】 第3圖為本揭露內容一實施例之半導體元件的結構示意圖。

【0010】 第4圖為本揭露內容一實施例之半導體元件的結構示意圖。

【0011】 第5A圖至第5D圖為根據本揭露內容一實施例之半導體疊層的製造方法示意圖。

【0012】 第5E圖為本揭露內容一實施例之半導體元件的部分範圍之元素的濃度與深度之關係圖。

【0013】 第5F圖為第5E圖中表示碳(C)的濃度曲線之局部放大示意圖。

【0014】 第6圖為本揭露內容一實施例之半導體元件的封裝結構示意圖。

【實施方式】

【0015】 以下實施例將伴隨著圖式說明本發明之概念，在圖式或說明中，相似或相同之構件將使用相似或相同之標號進行說明，並且若未特別說明，圖式中各元件之形狀或尺寸僅為例示，實際上並不限於此。需特別注意的是，圖中未繪示或描述之元件，可以是熟習此技藝之人士所知之形式。

【0016】 通式InGaAsP代表 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}_{1-y1}\text{P}_{y1}$ ，其中 $0 < x1 < 1$ ， $0 < y1 < 1$ ；AlGaInAs代表 $(\text{Al}_{y2}\text{Ga}_{(1-y2)})_{1-x2}\text{In}_{x2}\text{As}$ ，其中 $0 < x2 < 1$ ， $0 < y2 < 1$ ；通式AlGaInP代表 $(\text{Al}_{y3}\text{Ga}_{(1-y3)})_{1-x3}\text{In}_{x3}\text{P}$ ，其中 $0 < x3 < 1$ ， $0 < y3 < 1$ ；通式InGaAs代表 $\text{In}_{x4}\text{Ga}_{1-x4}\text{As}$ ，其中 $0 < x4 < 1$ ；本揭露內容的半導體元件包含的各層組成及添加物、摻雜物可用任何適合的方式分析而得，例如二次離子質譜儀(secondary ion mass spectrometer，SIMS)，而各層之厚度亦可用任何適合的方式分析而得，例如穿透式電子顯微鏡(transmission electron microscopy，TEM)或是掃描式電子顯微鏡(scanning electron microscope，SEM)。此外，本揭露內容中所提及的各摻雜物可為故意添加或非故意添加。故意添加例如是藉由在磊晶成長期間原位(in-situ)摻雜及/或藉由在磊晶成長之後使用P型或N型摻質進行佈植(implanting)。非故意添加例如是因製程的設計而產生。

【0017】 所屬領域中具通常知識者應理解，可以在以下所說明各實施例之基礎上添加其他構件。舉例來說，在未特別說明之情況下，「在第一層上形成第二層」的描述可能包含第一層與第二層直接接觸的實施例，也可能包含第一層與第二層之間具有其他層而彼此不直接接觸的實施例。另外，各層的上下關係可能隨著結構或元件在不同方位的操作或使用而改變。此外，於本揭露內容中，一層「實質上由X材料所組成」之敘述表示該層的主要組成為X材料，但並不排除包含摻雜物或不可避免的雜質。

【0018】 第1圖為本揭露內容一實施例之半導體疊層10的結構示意圖。半導體疊層10包括第一半導體層100以及第二半導體層102。第二半導體層102鄰接於第一半導體層100。於本實施例中，第一半導體層100的一表面100a與第二半導體層102的一表面102a直接接觸。第一半導體層100以及第二半導體層102之間無其他結構(例如緩衝層等)存在。

【0019】 於本實施例中，第一半導體層100包含第一III-V族半導體材料。第一III-V族半導體材料為由化學元素週期表中三族和五族元素所組成的材料。三族元素可為鎵(Ga)或銦(In)。五族元素可為砷(As)或磷(P)，且較佳為不包含氮(N)。在一實施例中，第一半導體層100實質上由第一III-V族半導體材料所組成，例如實質上由二元III-V族半導體材料所組成。在一實施例中，第一半導體層100實質上由InP所組成。第一半導體層100可包含摻雜物。在一實施例中，第一半導體層100包含第一摻雜物及第二摻雜物。在本實施例中，第一半導體層100中第二摻雜物的濃度大於第一摻雜物的濃度。第一摻雜物例如是碳(C)，第二摻雜物例如是氫(H)。藉此，第一半導體層100可具有性質穩定且磊晶缺陷較少的表面，例如可作為磊晶層成長之表面。在一實施例中，第一半導體層100可包括第三摻

雜物。第三摻雜物例如是矽(Si)。在一實施例中，第一半導體層100中的摻雜物可以各自獨立地具有約 $1 \times 10^{16} \text{ cm}^{-3}$ 至約 $1 \times 10^{19} \text{ cm}^{-3}$ 的摻雜濃度，例如具有約 $5 \times 10^{16} \text{ cm}^{-3}$ 至約 $5 \times 10^{17} \text{ cm}^{-3}$ 的摻雜濃度，或者 $6 \times 10^{17} \text{ cm}^{-3}$ 至 $5 \times 10^{18} \text{ cm}^{-3}$ 的摻雜濃度等。在一實施例中，第一半導體層100中的第三摻雜物之濃度小於 $1 \times 10^{19} \text{ cm}^{-3}$ ，例如在約 $6 \times 10^{16} \text{ cm}^{-3}$ 至約 $1 \times 10^{17} \text{ cm}^{-3}$ 的範圍。在第一半導體層100中的摻雜物具有適當摻雜濃度時，第一半導體層100可具有較佳之導電特性。在一實施例中，第一半導體層100的導電型態為N型。

【0020】 於本實施例中，第二半導體層102包含第二III-V族半導體材料。第二III-V族半導體材料為由化學元素週期表中三族和五族元素所組成的材料。三族元素可為鎵(Ga) 或銦(In)。五族元素可為砷(As)或磷(P)，較佳為不包含氮(N)。第二III-V族半導體材料與第一III-V族半導體材料不同。在一實施例中，第二III-V族半導體材料的各組成元素與第一III-V族半導體材料的各組成元素均不相同。在一實施例中，第二半導體層102實質上由第二III-V族半導體材料所組成，例如實質上由二元III-V族半導體材料所組成。於一實施例中，第二半導體層102實質上由GaAs所組成。第二半導體層102可包含複數個摻雜物。第二半導體層102中的複數個摻雜物可以各自獨立地具有 $5 \times 10^{15} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的摻雜濃度，例如具有 $1 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ 的摻雜濃度， $1 \times 10^{18} \text{ cm}^{-3}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 的摻雜濃度，或者 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的摻雜濃度。在第二半導體層102中的摻雜物具有適當摻雜濃度時，第二半導體層102可具有較佳之導電特性。第二半導體層102中的摻雜物可包含矽(Si)、鋅(Zn)、碳(C)或氫(H)等。在一實施例中，第二半導體層102的導電型態為N型。在一些實施例中，第一半導體層100與第二半導體層102具有相同的導電型態，例如均為P型或N型。在一實施例中，第二半

導體層102之電阻係數(resistivity)在 $10^7 \Omega \cdot \text{cm}$ 以上且 $10^9 \Omega \cdot \text{cm}$ 以下的範圍內，例如在 $10^8 \Omega \cdot \text{cm}$ 以上。

【0021】 在一些實施例中，第一半導體層100與第二半導體層102中均含有第一摻雜物、第二摻雜物以及第三摻雜物。在一些實施例中，第二半導體層102中第三摻雜物之濃度高於第一半導體層100中第三摻雜物之濃度。在一些實施例中，第二半導體層102中第二摻雜物之濃度高於第一半導體層100中第二摻雜物之濃度。在一些實施例中，第二半導體層102中第一摻雜物之濃度低於第一半導體層100中第一摻雜物之濃度。上述第一摻雜物例如是碳(C)，第二摻雜物例如是氫(H)，第三摻雜物例如是矽(Si)。藉由含有特定摻雜物，第一半導體層100與第二半導體層102可獲得適當的導電特性與磊晶品質。

【0022】 另一方面，第一半導體層100具有第一晶格常數L1，第二半導體層102具有第二晶格常數L2。在本實施例中，第一晶格常數L1大於第二晶格常數L2，且第一晶格常數L1與第二晶格常數L2之間的差異 $\Delta L\%$ 是2%以上，較佳為2.5%以上或3%以上，且為10%以下，較佳為5%以下。詳細而言，第一晶格常數L1與第二晶格常數L2之間的差異可由以下公式算出： $\Delta L\% = (L1 - L2) / L2 * 100\%$ 。上述晶格常數是指在溫度為300k下量測半導體材料之X光繞射圖譜所得者。在此僅列舉數種半導體化合物之晶格常數作為參考，如下表1所示。

【0023】 表1

	晶格常數(Å)
GaP	5.45
AlP	5.45
GaAs	5.65
InP	5.87
GaSb	6.09

【0024】 第一半導體層100及第二半導體層102可藉由液相磊晶法(Liquid Phase Epitaxy, LPE)、分子束磊晶法(Molecular Beam Epitaxy, MBE)、化學束磊晶法(Chemical Beam Epitaxy, CBE)、金屬有機化學氣相沉積法(Metal Organic Chemical Vapor Deposition, MOCVD)、或氫化物氣相磊晶法(hydride vapor phase epitaxial, HVPE) 而形成。在本實施例中，第一半導體層100直接形成在作為基板(substrate)的第二半導體層102上。第一半導體層的厚度可在20 μm 以下，較佳為10 μm 以下，更佳為5 μm 以下，且可在1 μm 以上。在一實施例中，第一半導體層的厚度為2 μm 。當第一半導體層100的厚度在上述範圍內，可具有較良好的結構穩定性，且能夠進一步降低因晶格不匹配所造成之影響。第二半導體層102的厚度可在約50 μm 至約1000 μm 的範圍內，例如是約100 μm 至約400 μm 或約150 μm 至約350 μm 等。將厚度設定於上述範圍內，可使得後續成長於上的半導體結構具有更穩定的結構。當以電子顯微鏡觀察包含第一半導體層100與第二半導體層102之半導體疊層10，可觀察到第一半導體層100表面的磊晶缺陷少。在一些實施例中，在X光繞射分析(X-ray diffraction analysis, XRD)分析下，第一半導體層100的XRD半高寬(Full width at half maximum, FWHM)可在500 arcsec以下，較佳為在350 arcsec以下，更佳為在300 arcsec以下，如在100 arcsec以上至200 arcsec以下的範圍內。藉此，第一半導體層100表面更適用於其他磊晶層之生長。具體來說，第一半導體層100或包含第一半導體層100與第二半導體層102之半導體疊層10可作為半導體元件的成長基板使用。

【0025】 第2A圖為本揭露內容一實施例之半導體元件20的部分結構示意圖。在本實施例中，半導體元件20包括第一半導體層100、第三半導體層204以及發光結構206。關於第一半導體層100的組成等可參考前述對於第一半導體

層 100 之說明，於此不再贅述。此外，第三半導體層 204 及發光結構 206 可藉由液相磊晶法(Liquid Phase Epitaxy, LPE)、分子束磊晶法(Molecular Beam Epitaxy, MBE)、化學束磊晶法(Chemical Beam Epitaxy, CBE)、金屬有機化學氣相沉積法(Metal Organic Chemical Vapor Deposition, MOCVD)、或氫化物氣相磊晶法(hydride vapor phase epitaxial, HVPE)而依序形成在第一半導體層 100 上。在一些實施例中，是藉由使第一半導體層 100、第三半導體層 204 及發光結構 206 依序形成在如先前實施例中所述的第二半導體層 102 上，再將第二半導體層 102 移除而形成如第 2A 圖所示結構。

【0026】如第 2A 圖所示，第三半導體層 204 位於第一半導體層 100 上且鄰接於第一半導體層 100。於本實施例中，第一半導體層 100 以及第三半導體層 204 之間並無其他結構(例如緩衝層等)存在。第三半導體層 204 可包含第三 III-V 族半導體材料。第三 III-V 族半導體材料為由化學元素週期表中三族和五族元素所組成的材料。三族元素可為鎵(Ga)或銦(In)。五族元素可為砷(As)或磷(P)，較佳為不包含氮(N)。在一些實施例中，第三 III-V 族半導體材料與前述第一 III-V 族半導體材料相同。詳細而言，在一些實施例中，第三半導體層 204 實質上由第三 III-V 族半導體材料所組成，例如實質上由二元 III-V 族半導體材料所組成。在一實施例中，第三半導體層 204 實質上由 InP 所組成。此外，第三半導體層 204 亦可包含複數個摻雜物。在一些實施例中，第三半導體層 204 中的複數個摻雜物可以各自獨立地具有 $5 \times 10^{16} \text{ cm}^{-3}$ 至 $5 \times 10^{18} \text{ cm}^{-3}$ 的摻雜濃度，例如具有 $5 \times 10^{17} \text{ cm}^{-3}$ 至 $2 \times 10^{18} \text{ cm}^{-3}$ 的摻雜濃度，或者 $5 \times 10^{16} \text{ cm}^{-3}$ 至 $5 \times 10^{17} \text{ cm}^{-3}$ 的摻雜濃度。在一些實施例中，第一半導體層 100 與第三半導體層 204 中均含有第一摻雜物、第二摻雜物以及第三摻雜物。第一摻雜物例如是碳(C)，第二摻雜物例如是氫(H)，

第三摻雜物例如是矽(Si)。在一些實施例中，於第一半導體層 100 上形成第三半導體層 204 有助於進一步穩定磊晶表面品質。在一些實施例中，第三半導體層 204 可作為窗戶層以提升半導體元件 20 的發光效率，且第三半導體層 204 對於發光結構 206 所發之光為透明。此外，在一實施例中，第三半導體層 204 的導電型態為 N 型。

【0027】發光結構 206 包括活性結構 210、第四半導體層 208 以及第五半導體層 212。活性結構 210 可包含單異質構造(single heterostructure, SH)、雙異質構造(double heterostructure, DH)、雙側雙異質構造(double-side double heterostructure, DDH)、或多重量子井(multiple quantum wells, MQW)構造。當半導體元件 20 在操作時，活性結構 210 會發出一輻射。上述輻射較佳為紅外光，例如是近紅外光(Near Infrared, NIR)。詳細而言，當輻射為近紅外光時，可具有介於 800 nm 至 1700 nm 之間的峰值波長(peak wavelength)，如：810 nm、840 nm、910 nm、940 nm、1050nm、1070nm、1100nm、1200nm、1300nm、1400 nm、1450 nm、1550nm、1600nm、1650nm、1700nm 等。活性結構 110 可包含第四 III-V 族半導體材料。第四 III-V 族半導體材料為由化學元素週期表中三族和五族元素所組成的材料。三族元素可為鎵(Ga) 或銦(In)。五族元素可為砷(As) 或磷(P)，較佳為不包含氮(N)。第四 III-V 族半導體材料可為四元 III-V 族半導體材料。在一些實施例中，活性結構 110 實質上由第四 III-V 族半導體材料所組成。舉例而言，活性結構 110 可實質上由四元 III-V 族半導體材料(如 InGaAsP 或 AlGaInAs)所組成。

【0028】第四半導體層208以及第五半導體層212分別位於活性結構210的兩側，且第四半導體層208以及第五半導體層212可具有相反的導電型態。舉例

而言，第四半導體層208以及第五半導體層212可分別為n型半導體及p型半導體，以分別提供電子和電洞。或者，第四半導體層208以及第五半導體層212可分別為p型半導體及n型半導體，以分別提供電洞和電子。第四半導體層208與第三半導體層204可具有相同的導電型態，如均為n型半導體層。此外，第四半導體層208以及第五半導體層212分別包含第五III-V族半導體材料及第六III-V族半導體材料。第五III-V族半導體材料以及第六III-V族半導體材料可分別為二元、三元或四元的III-V族半導體材料。III-V族半導體材料係指由化學元素週期表中三族和五族元素所組成的材料。三族元素可為鎵(Ga)或銦(In)。五族元素可為砷(As)或磷(P)，較佳為不包含氮(N)。在一實施例中，第四半導體層208以及第五半導體層212實質上由四元半導體材料(如InGaAsP、AlGaInP或AlGaInAs)所組成。

【0029】 第四半導體層208以及第五半導體層212是藉由添加不同的摻雜物而具有不同的導電型態。具體來說，摻雜物包含鎂(Mg)、鋅(Zn)、矽(Si)、碲(Te)等，但並不限於此。在一些實施例中，可以藉由在磊晶成長期間原位(in-situ)摻雜及/或藉由在磊晶成長之後使用P型或N型摻質進行佈植(implanting)以進行第四半導體層208以及第五半導體層212的摻雜。在一實施例中，第四半導體層208以及第五半導體層212中的摻雜物可以各自獨立地具有 $2 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的摻雜濃度，例如具有 $5 \times 10^{17} \text{ cm}^{-3}$ 至 $5 \times 10^{19} \text{ cm}^{-3}$ 的摻雜濃度。

【0030】 在一些實施例中，於第一半導體層100與發光結構206之間可進一步設置一蝕刻阻擋層。請參考第2A圖，舉例來說，蝕刻阻擋層(未繪示)可位在第一半導體層100與第三半導體層204之間。接著，可根據元件結構之需求而移除

第一半導體層100，從而形成如第2B圖所示之半導體元件20'。藉由設置蝕刻阻擋層，可避免在移除第一半導體層100時破壞第三半導體層204及發光結構206。接下來，半導體元件20'可包含一接合層(未繪示)，且透過接合層接合至一支撐基板，並進行後續的製程。於一實施例中，半導體元件20'僅包括如第2B圖所示之結構而未具有一支撐基板。在一些實施例中，蝕刻阻擋層包含第七III-V族半導體材料。第七III-V族半導體材料可為三元或四元的III-V族半導體材料。III-V族半導體材料為由化學元素週期表中三族和五族元素所組成的材料。三族元素可為鋁(Al)、鎵(Ga)或銦(In)。五族元素可為砷(As)或磷(P)，較佳為不包含氮(N)。蝕刻阻擋層較佳為包含與第一半導體層100組成中的五族元素不同的五族元素。在一實施例中，蝕刻阻擋層包含InGaAs的三元III-V族半導體材料。在一實施例中，蝕刻阻擋層實質上由三元半導體材料所組成，例如InGaAs。

【0031】基於上述，由於第一半導體層100可具有缺陷密度較低的表面，更適於作為半導體磊晶層成長之基底層(base layer)。具體來說，當在第一半導體層100上進一步形成第三半導體層204及其他半導體層時，各半導體層仍可具有良好的磊晶品質。

【0032】第3圖為根據本揭露內容一實施例之半導體元件的結構示意圖。於此實施例中，半導體元件30包括第一半導體層300、第三半導體層304、發光結構306、窗戶層314、第一電極318以及第二電極320。關於第一半導體層300、第三半導體層304及發光結構306的組成等可分別參考前述對於第一半導體層100、第三半導體層204及發光結構206之說明，於此不再贅述。詳細而言，發光結構306中的第四半導體層308、活性結構310以及第五半導體層312的組成等可分別參考前述對第四半導體層208、活性結構210以及第五半導體層212之說明。

【0033】 在本實施例中，窗戶層314位於發光結構306上，鄰接於發光結構306中的第五半導體層312。此外，窗戶層314之導電型態與第三半導體層304之導電型態相反，例如當窗戶層314為P型半導體層時，第三半導體層304為N型半導體層。窗戶層314可作為光取出層，藉此進一步提升半導體元件30的發光效率。此外，窗戶層314對於發光結構306所發之光為透明。

【0034】 第一電極318以及第二電極320可用於與外部電源電性連接，且第一電極318以及第二電極320與發光結構306電性連接。在此實施例中，第一電極320鄰接於窗戶層314，而第二電極318鄰接於第一半導體層300，但實際上並不限於此。此外，第一電極318以及第二電極320的材料可相同或不同，且例如包含透明導電材料、金屬或合金。透明導電材料包含金屬氧化物，例如氧化銦錫(ITO)、氧化銦(InO)、氧化錫(SnO)、氧化鎘錫(CTO)、氧化銻錫(ATO)、氧化鋁鋅(AZO)、氧化鋅錫(ZTO)、氧化鎵鋅(GZO)、氧化銦鎢(IWO)、氧化鋅(ZnO)或氧化銦鋅(IZO)等。金屬可列舉如金(Au)、鉑(Pt)、鈦(Ti)、鋁(Al)、銅(Cu)或鎳(Ni)等。合金可包含選自由上述金屬元素所組成之群組中的至少兩者，例如鍺金鎳(GeAuNi)、鈹金(BeAu)、鍺金(GeAu)、鋅金(ZnAu)等。

【0035】 第4圖為根據本揭露內容一實施例之半導體元件的結構示意圖。於此實施例中，半導體元件40包括第一半導體層400、第二半導體層402、第三半導體層404、發光結構406、窗戶層414、接觸層416、第一電極420以及第二電極418。半導體元件40與前述半導體元件30主要之差異在於進一步包含第二半導體層402以及接觸層416。關於第一半導體層400、第二半導體層402、第三半導體層404、發光結構406、窗戶層414、第一電極420以及第二電極418的組成等可參考前述實施例之說明，於此不再贅述。詳細而言，發光結構406中的第四半導

體層408、活性結構410以及第五半導體層412的組成等可分別參考前述對第四半導體層208、活性結構210以及第五半導體層212之說明。

【0036】 接觸層416位於第一電極420與窗戶層414之間，用於傳導電流。接觸層416可具有與窗戶層314相同之導電型態，例如為P型半導體層。在本實施例中，接觸層416鄰接於第一電極420。詳細而言，接觸層416例如是經摻雜或未經摻雜之半導體材料層，可包含第八III-V族半導體材料。第八III-V族半導體材料可為二元或三元III-V族半導體材料，例如GaAs或InGaAs。當第一電極420包含金屬或合金時，第一電極420與接觸層416之間可形成歐姆接觸(ohmic contact)，使第一電極420與發光結構406間形成良好的電性接觸。

【0037】 第5A圖至第5B圖為根據本揭露內容一實施例之半導體疊層的製造方法剖面示意圖。第5C圖為一實施例之半導體疊層之製作流程圖。上述半導體疊層例如是作為一半導體元件的部分結構。如第5A圖及第5B圖所示，首先提供第二半導體層502，並在第二半導體層502上形成第一半導體層500。第一半導體層500及第二半導體層502的相關描述可參考前述實施例中對於第一半導體層100、第二半導體層102之說明，於此不再贅述。

【0038】 參考第5A圖至第5C圖，進行步驟S510，在第一溫度下成長第一半導體層500的一部分。第一半導體層500之成長例如是藉由液相磊晶法(Liquid Phase Epitaxy, LPE)、分子束磊晶法(Molecular Beam Epitaxy, MBE)、化學束磊晶法(Chemical Beam Epitaxy, CBE)、金屬有機化學氣相沉積法(Metal Organic Chemical Vapor Deposition, MOCVD)、或氫化物氣相磊晶法(hydride vapor phase epitaxial, HVPE)而達成。第一溫度例如是在650°C以下且在400°C以上，較佳為

不大於520°C，更佳在450°C至 510°C或420°C至500°C的範圍內。藉由在上述溫度範圍內進行第一半導體層500的成長，可進一步獲得良好磊晶品質。

【0039】 接下來，進行步驟S520，提供大於第一溫度之第二溫度。第二溫度例如是在700°C以上且在850°C以下，較佳為大於750°C，更佳在760°C至810°C或780°C至800°C的範圍內。於步驟S520中，例如是將磊晶環境溫度由第一溫度調整至第二溫度。在一些實施例中，第一溫度與第二溫度的差不小於300°C，藉此可達到更良好的磊晶效果。此外，在第二溫度下，可不進行第一半導體層500之成長。在此步驟中，藉由將環境溫度調整至較高的第二溫度而進行高溫回火。於第二溫度下不繼續進行第一半導體層500之成長可使得先前於第一溫度下所成長的一部分第一半導體層500中的應力獲得調節，減少磊晶缺陷。

【0040】 然後，進入步驟S530，確認第一半導體之厚度。當第一半導體層500已達到預定厚度時，即完成第一半導體層500與第二半導體層502的製備。在一些實施例中，預定厚度可在20 μm以下，較佳為10 μm以下，更佳為5 μm以下，且可在1 μm以上。當第一半導體層500尚未達到預定厚度時，則進入步驟S540，重複進行步驟S510及步驟S520，例如至少重複進行步驟S510及步驟S520兩次以上。於一些實施例中，可重複進行步驟S510及步驟S520十次以上，以獲得適當厚度的半導體疊層及較穩定的磊晶品質。此外，重複進行步驟S510及步驟S520的次數可在三十次以下。

【0041】 基於上述，藉由前述在製備第一半導體層500的過程中進行升溫及降溫的方式，不需要透過其他緩衝結構或製程來調節如第一半導體層500與第二半導體層502間因晶格不匹配產生應力的問題，而能獲得具有良好磊晶品質的結構。

【0042】 在一些實施例中，可以第一半導體層500與第二半導體層502的疊層作為基底層，依需求進行後續磊晶結構的成長，例如在第一半導體層500與第二半導體層502的疊層上進一步直接形成發光結構等。

【0043】 如第5D圖所示，可在第一半導體層500與第二半導體層502上進一步形成第三半導體層504。關於第三半導體層504的相關描述可參考前述實施例中對於第三半導體層204之說明，於此不再贅述。如前所述，發光結構可形成於第三半導體層504上。第一半導體層500的一側鄰接於第二半導體層502，另一側鄰接於第三半導體層504，第一半導體層500的表面500a直接接觸第二半導體層502的表面502a，另一表面500b直接接觸第三半導體層504的表面504a。

【0044】 第5E圖為根據本揭露內容一實施例之半導體元件的部分範圍之元素的濃度與厚度之關係圖。具體來說，第5E圖是對包含如第5D圖所示結構之發光元件的部分區域進行二次離子質譜法(SIMS)分析的結果。如第5E圖所示，根據半導體元件中各層厚度及順序，大致可分為第一區Z1、第二區Z2及第三區Z3。具體來說，第一區Z1對應於第二半導體層502，第二區Z2對應於第一半導體層500，第三區Z3對應於第三半導體層504，且在此實施例中，第一半導體層500及第三半導體層504均包含複數個摻雜物且實質上由InP所組成，第二半導體層502包含複數個摻雜物且實質上由GaAs所組成。上述之該些摻雜物至少包括第一摻雜物、第二摻雜物及第三摻雜物。第一摻雜物為碳(C)且由C1表示，第二摻雜物為氫(H)且由C2表示，及第三摻雜物為矽(Si)且由C3表示。第一、第二及第三摻雜物的C1、C2及C3之濃度請參照第5E圖左方的縱軸。於此實施例中，第一摻雜物及第二摻雜物為非故意摻雜，且第三摻雜物為故意摻雜。

【0045】藉由上述方式成長單層構造的第一半導體層500，使得非故意摻雜之第一摻雜物及第二摻雜物於第一半導體層500中具有大於 10^{16} cm^{-3} 的摻雜濃度，且碳(C)的濃度曲線具有類似於週期性變化的模式。如第5E圖所示，在第二區Z2中，第二摻雜物的濃度高於第一摻雜物的濃度，亦即第一半導體層500中的氫(H)濃度大於碳(C)濃度。此外，在第二區Z2中的第三摻雜物濃度低於第一區Z1中的第三摻雜物濃度，也低於第三區Z3中的第三摻雜物的濃度。亦即，第一半導體層500中矽(Si)濃度低於第二半導體層502或第三半導體層504中的矽(Si)濃度。另一方面，在第二區Z2中，第二摻雜物的濃度高於第三摻雜物的濃度，亦即第一半導體層500中的氫(H)濃度大於矽(Si)濃度。

【0046】第5F圖為第5E圖第二區Z2中虛線方框區域內第一摻雜物(碳(C))的濃度曲線之局部放大示意圖。如第5F圖所示，於此實施例中，第一摻雜物(碳(C))的濃度分佈至少包含*i*個局部最大值(如圖中所標示的濃度 C_{L1} 、 C_{L2} 、...、 C_{Li})以及*i*個局部最小值(如圖中所標示的濃度 C_{M1} 、 C_{M2} 、...、 C_{Mi})，*i*例如為大於等於5之正整數，在如第5F圖所示的局部區域中*i*=8。局部最大值與局部最小值交替出現，且局部最大值中任一者大於局部最小值中任一者。如第5E圖所示，在第二區Z2的第一區塊中，第三摻雜物的濃度小於部份局部最大值；在第二區Z2的第二區塊中，第三摻雜物的濃度大於部份局部最小值。

【0047】如第5E圖所示，在此實施例中，第一半導體層500中矽(Si)的摻雜濃度在 $1 \times 10^{17} \text{ cm}^{-3}$ 以下，且在約 $5 \times 10^{16} \text{ cm}^{-3}$ 至約 $9 \times 10^{16} \text{ cm}^{-3}$ 的範圍；碳(C)濃度在約 $4 \times 10^{16} \text{ cm}^{-3}$ 至約 $9 \times 10^{16} \text{ cm}^{-3}$ 的範圍；氫(H)濃度在約 1×10^{17}

cm^{-3} 至約 $5 \times 10^{17} \text{ cm}^{-3}$ 的範圍。另一方面，於一些實施例中，第一區 Z1、第二區 Z2 及第三區 Z3 中還包含不可避免的雜質，例如氧(O)等，為簡化起見，於此並未示出。於一實施例中，第一區 Z1、第二區 Z2 及第三區 Z3 中的氧(O)濃度分佈在 $3 \times 10^{15} \text{ cm}^{-3}$ 至 $2 \times 10^{16} \text{ cm}^{-3}$ 的範圍內，接近二次離子質譜法(SIMS)分析之偵測極限。

【0048】 第6圖為本揭露內容一實施例之半導體元件的封裝結構示意圖。請參照第6圖，封裝結構600包含半導體元件60、封裝基板61、載體63、接合線65、接觸結構66以及封裝材料68。封裝基板61可包含陶瓷或玻璃材料。封裝基板61中具有多個通孔62。通孔62中可填充有導電性材料如金屬等而有助於導電或/且散熱。載體63位於封裝基板61一側的表面上，且亦包含導電性材料，如金屬。接觸結構66位於封裝基板61另一側的表面上。在本實施例中，接觸結構66包含接觸墊66a以及接觸墊66b，且接觸墊66a以及接觸墊66b可藉由通孔62而與載體63電性連接。在一實施例中，接觸結構66可進一步包含散熱墊(thermal pad)(未繪示)，例如位於接觸墊66a與接觸墊66b之間。半導體元件60位於載體63上，且可為本揭露內容任一實施例所述的半導體元件。在本實施例中，載體63包含第一部分63a及第二部分63b，半導體元件60藉由接合線65而與載體63的第二部分63b電性連接。接合線65的材質可包含金屬，例如金、銀、銅、鋁或至少包含上述任一元素之合金。封裝材料68覆蓋於半導體元件60上，具有保護半導體元件60之效果。具體來說，封裝材料68可包含樹脂材料如環氧樹脂(epoxy)、矽氧烷樹脂(silicone)等。封裝材料68更可包含複數個波長轉換粒子(圖未示)以轉換半導體元件60所發出的第一光為一第二光。第二光的波長大於第一光的波長。

【0049】 本揭露之發光元件可應用於照明、醫療、顯示、通訊、感測、電源系統等領域的產品，例如燈具、監視器、手機、平板電腦、車用儀表板、電視、電腦、穿戴設備(如手錶、手環、項鍊等)、交通號誌、戶外顯示器、醫療器材等。

【0050】 基於上述，根據本揭露內容之一些實施例，可提供一種半導體結構，其具有良好的表面磊晶品質，例如可作為半導體元件之基板使用，且有利於進一步降低半導體元件之生產成本。根據本揭露內容之一些實施例，可提供一種半導體元件及其製造方法，其在調節異質磊晶間因晶格不匹配(lattice mismatch)所產生的應力方面取得了優異的技術效果，而可避免磊晶層在介面出現缺陷的情況。

【0051】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，所屬技術領域中具有通常知識者應理解，在不脫離本發明之精神和範圍內可作些許之修飾或變更，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。此外，上述實施例內容在適當的情況下可互相組合或替換，而非僅限於所描述之特定實施例。舉例而言，在一實施例中所揭露特定構件之相關參數或特定構件與其他構件的連接關係亦可應用於其他實施例中，且均落於本發明之權利保護範圍。

【符號說明】

【0052】

10：半導體疊層

20、20'、30、40、60：半導體元件

61：封裝基板
62：通孔
63：載體
63a：第一部分
63b：第二部分
65：接合線
66：接觸結構
66a、66b：接觸墊
68：封裝材料
100、300、400、500：第一半導體層
102、402、502：第二半導體層
204、304、404、504：第三半導體層
206、306、406：發光結構
208、308、408：第四半導體層
210、310、410：活性結構
212、312、412：第五半導體層
414：窗戶層
416：接觸層
600：封裝結構
318、418：第一電極
320、420：第二電極
S510、S520、S530、S540：步驟
C₁：第一濃度
C₂：第二濃度

C_3 ：第二濃度

C_{L1} 、 C_{L2} 、 C_{Li} 、 C_{M1} 、 C_{M2} 、 C_{Mi} ：濃度

【發明申請專利範圍】

【請求項1】 一種半導體元件，包含：

一第一半導體層，包含一第一III-V族半導體材料、一第一摻雜物、一第二摻雜物及一第三摻雜物；

一發光結構，位於該第一半導體層上且包含一活性結構；以及

一第二半導體層，位於該第一半導體層與該發光結構之間且包含該第三摻雜物；

其中，在該第一半導體層中，該第二摻雜物的濃度大於該第一摻雜物的濃度，該第三摻雜物在該第一半導體層中的濃度低於該第三摻雜物在該第二半導體層中的濃度，且該第一摻雜物為碳，該第二摻雜物為氫。

【請求項2】 如請求項1所述的半導體元件，其中該第二半導體層包含一第二III-V族半導體材料，且該第一III-V族半導體材料與該第二III-V族半導體材料相同。

【請求項3】 如請求項1所述的半導體元件，更包含一第三半導體層，位於該第一半導體層下，該第三半導體層包含一第三III-V族半導體材料，且該第一III-V族半導體材料與該第三III-V族半導體材料不同。

【請求項4】 如請求項1所述的半導體元件，其中該發光結構不包含氮。

【請求項5】 一種半導體元件的製造方法，包含：

提供一第一半導體層，其包含一第一III-V族半導體材料、一第一摻雜物、一第二摻雜物及一第三摻雜物；

提供一第二半導體層，位於該第一半導體層上且包含該第三摻雜物；以及

形成一發光結構，包含一活性結構且該第二半導體層位於該第一半導體層與該發光結構之間；

其中，在該第一半導體層中，該第二摻雜物的濃度大於該第一摻雜物的濃度，該第三摻雜物在該第一半導體層中的濃度低於該第三摻雜物在該第二半導體層中的濃度，且該第一摻雜物為碳，該第二摻雜物為氫。

【請求項6】 如請求項5所述之半導體元件的製造方法，其中提供該第一半導體層更包含：

一第一步驟，包含在一第一溫度下使該第一半導體層的一部分成長；

一第二步驟，包含提供大於該第一溫度之一第二溫度，其中該第二溫度不小於750°C；以及

重複進行該第一步驟及該第二步驟。

【請求項7】 如請求項6所述之半導體元件的製造方法，其中重複進行該第一步驟及該第二步驟十次以上。

【請求項8】 如請求項6所述之半導體元件的製造方法，其中該第一溫度與該第二溫度的差不小於300°C。

【請求項9】 一種半導體疊層，包含：

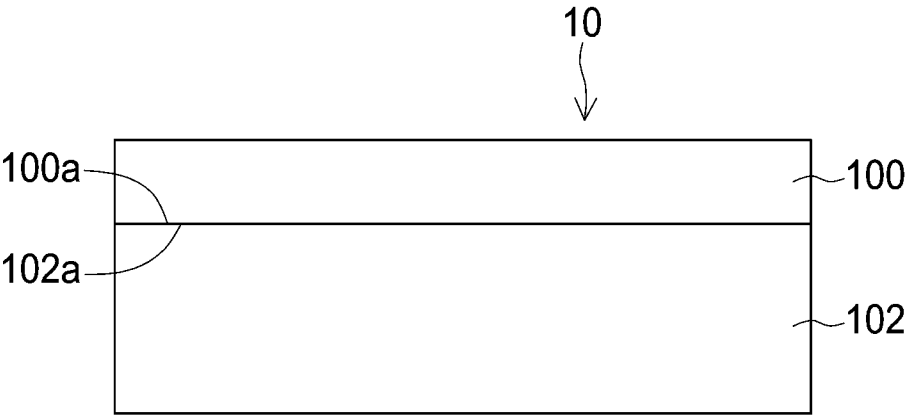
一第一半導體層，包含一第一III-V族半導體材料、一第一摻雜物、一第二摻雜物及一第三摻雜物；以及

一第二半導體層，位於該第一半導體層上且包含一第二III-V族半導體材料及該第三摻雜物；其中，在該第一半導體層中，該第二摻雜物的濃度大於該第一摻雜物的濃度，且該第一摻雜物為碳，該第二摻雜物為氫，該第三摻雜物在該第一

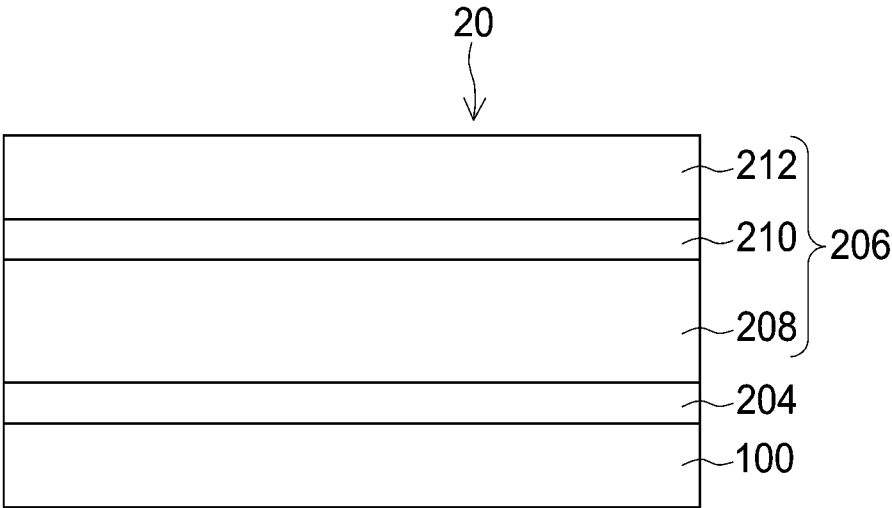
半導體層中的濃度低於該第三摻雜物在該第二半導體層中的濃度，且在X光繞射分析下，該第一半導體層具有300 arcsec以下的半高寬。

【請求項10】 如請求項1或9所述之半導體疊層，其中該第二半導體層包含該第一摻雜物以及該第二摻雜物。

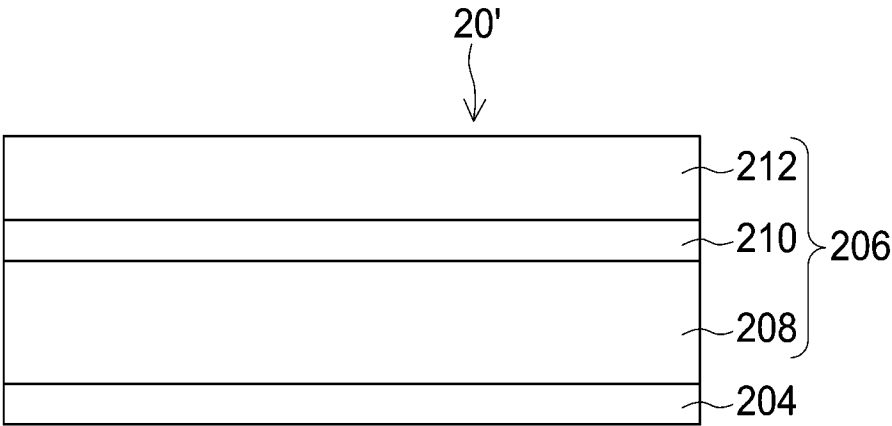
【發明圖式】



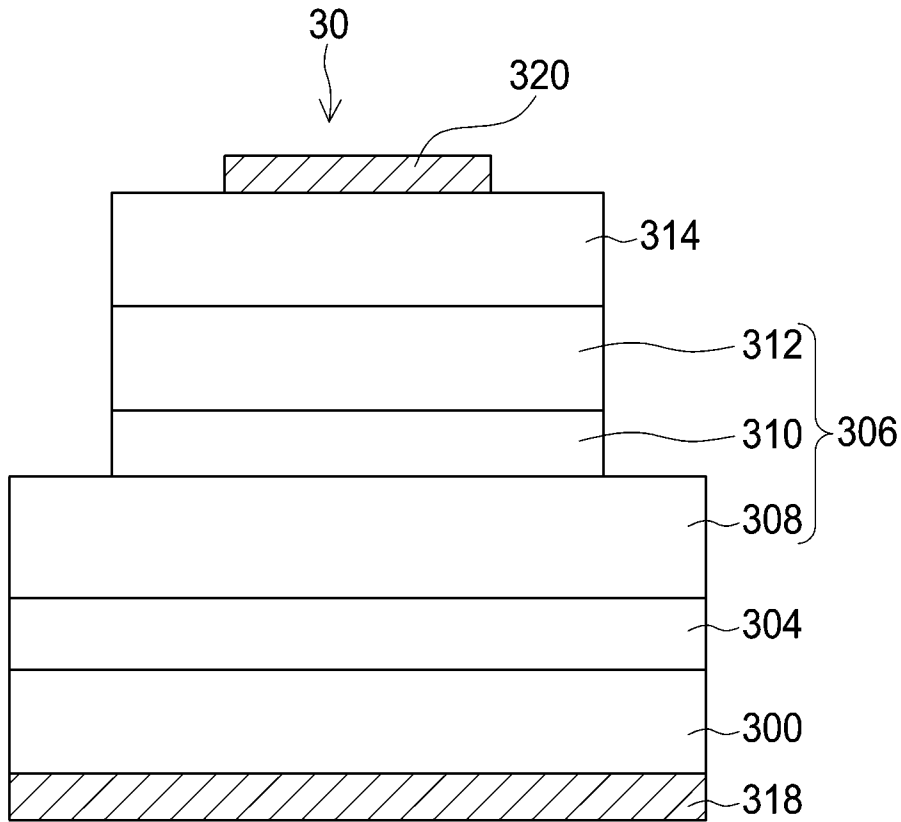
第1圖



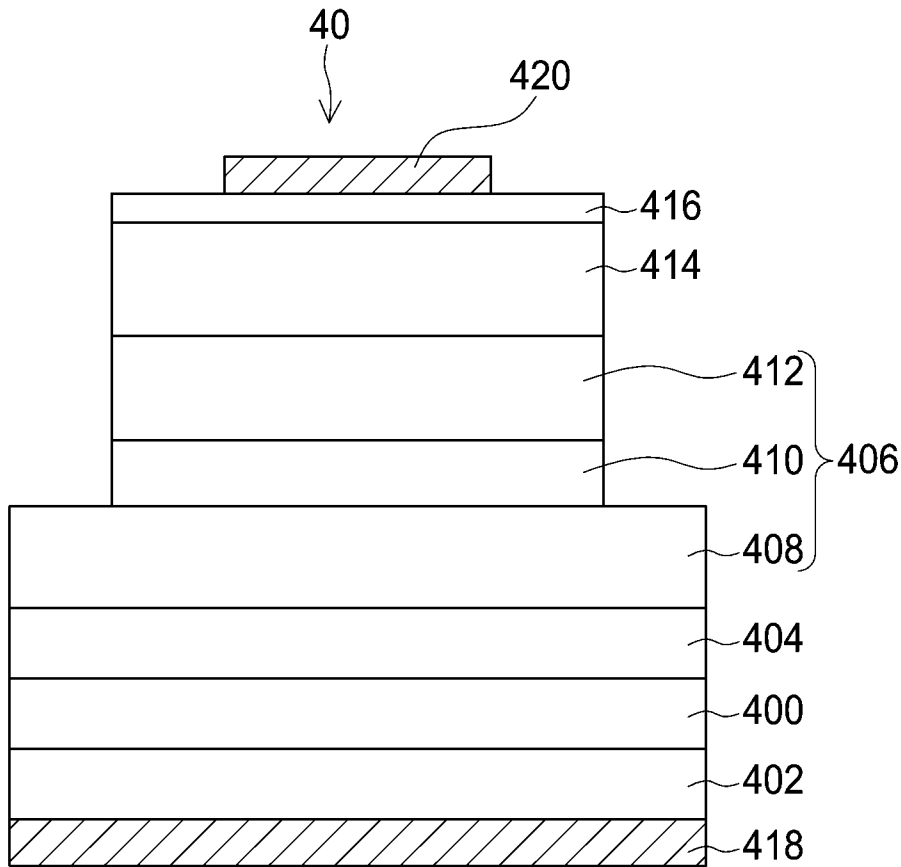
第2A圖



第2B圖



第3圖



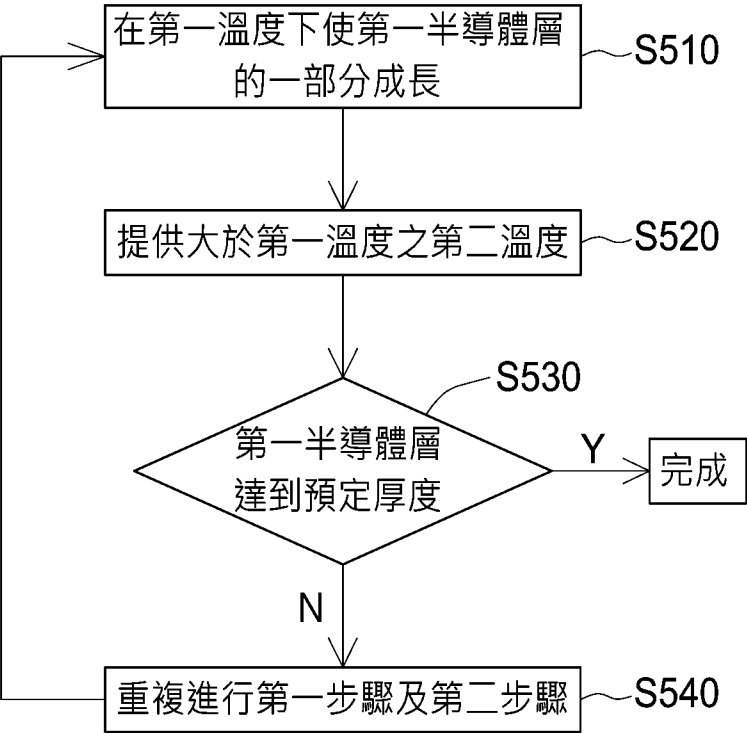
第4圖



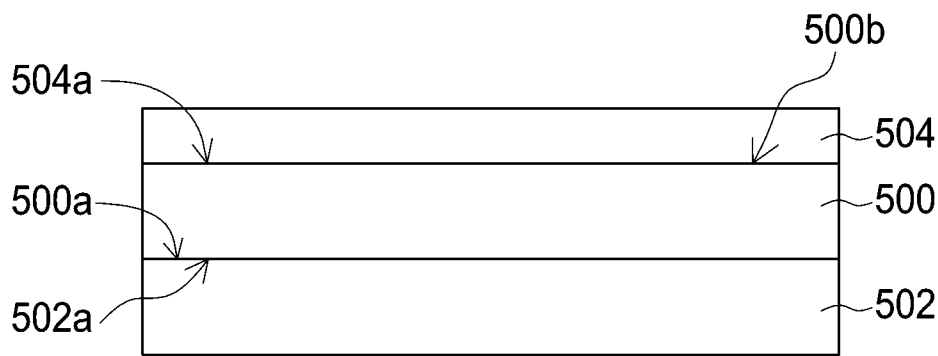
第5A圖



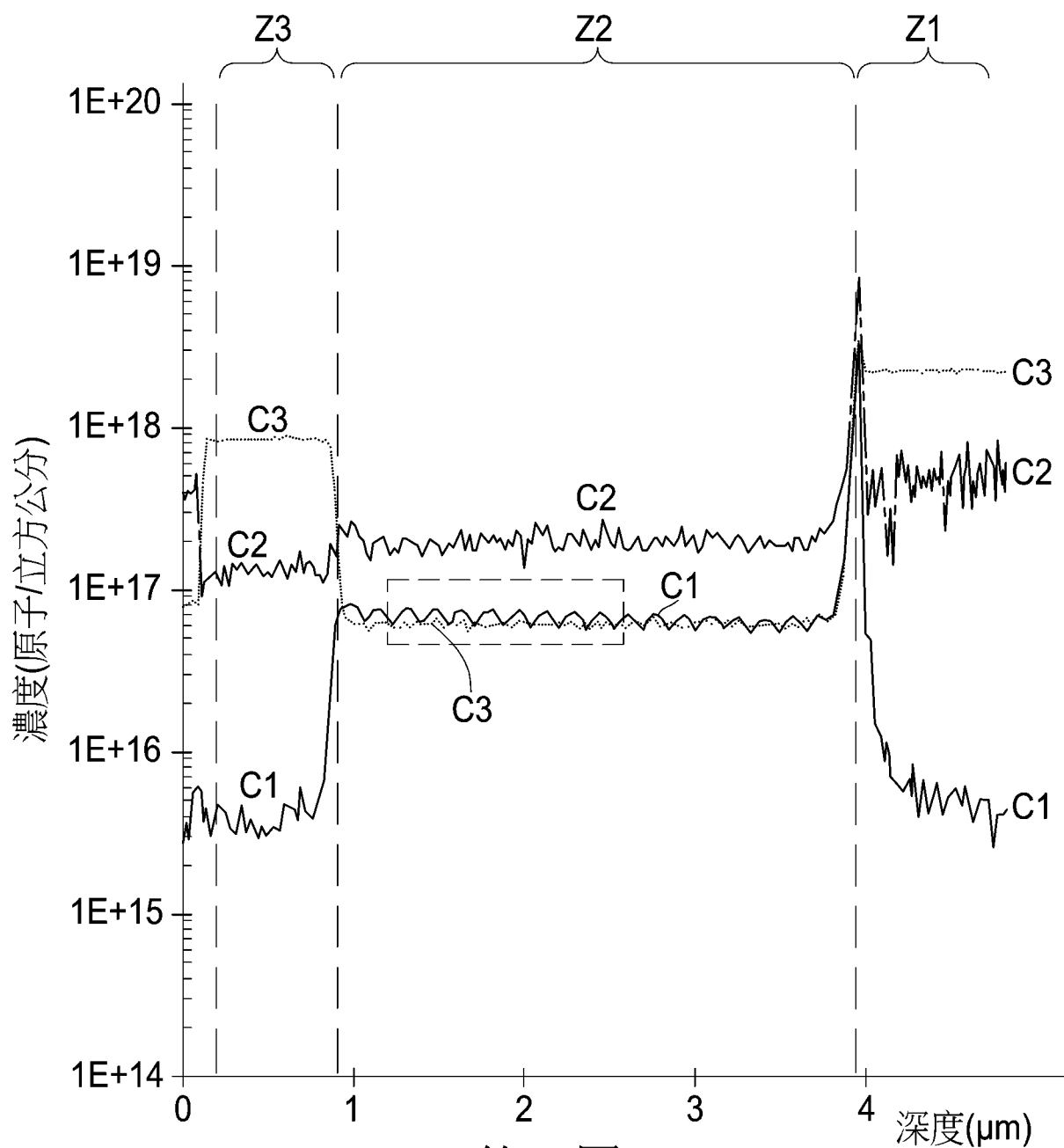
第5B圖



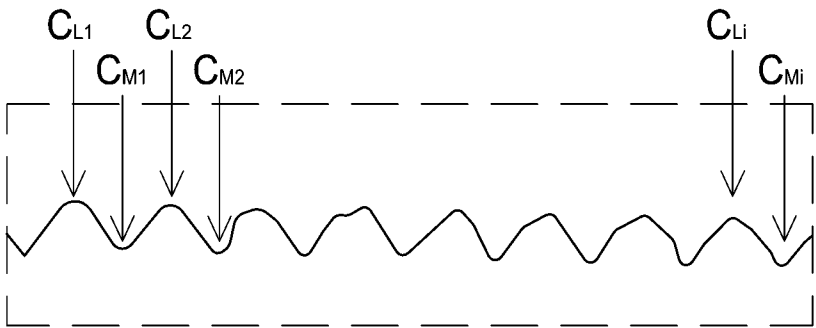
第5C圖



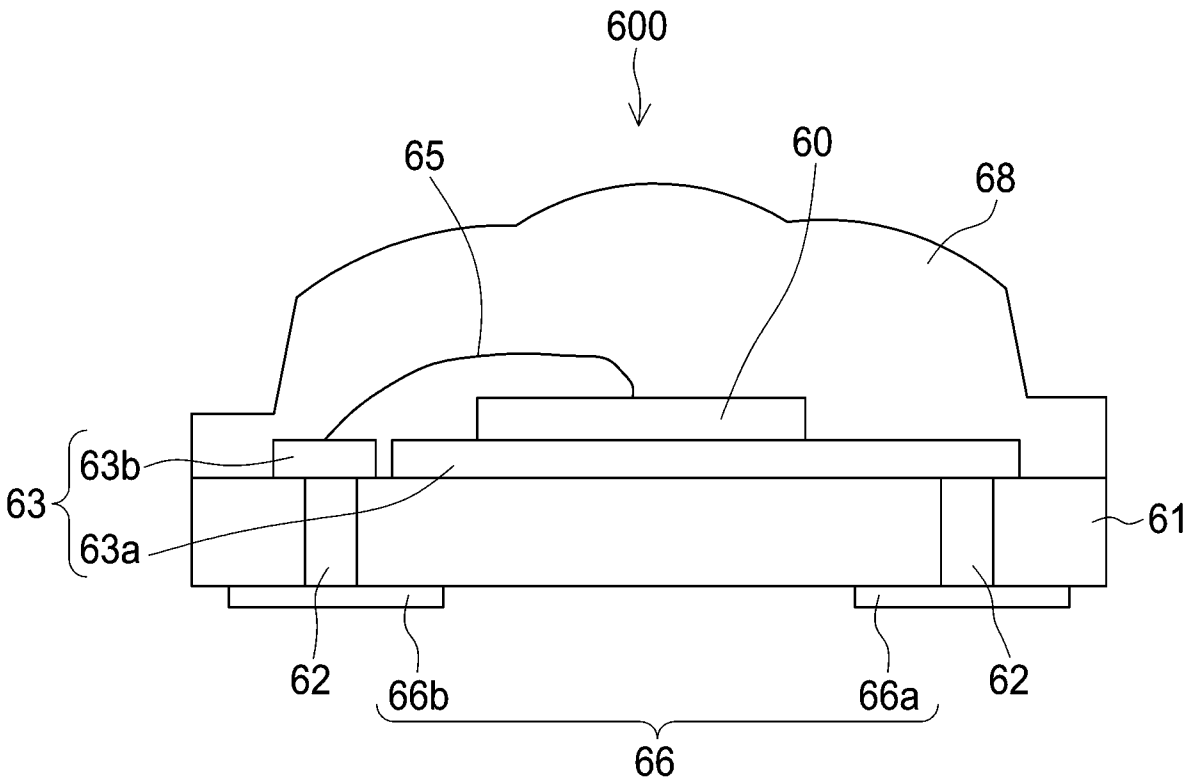
第5D圖



第5E圖



第5F圖



第6圖