[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03L 7/093 (2006.01)
H03H 7/06 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200710172875.X

[43] 公开日 2009 年 6 月 24 日

[11] 公开号 CN 101465647A

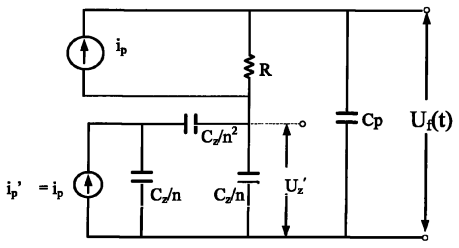
[22] 申请日 2007.12.21
[21] 申请号 200710172875.X
[71] 申请人 那微微电子科技（上海）有限公司
地址 201203 上海市浦东新区碧波路 572 弄 116 号 9 号楼
[72] 发明人 薛 元
[74] 专利代理机构 北京德琦知识产权代理有限公司
代理人 王一斌 王 琦
权利要求书 3 页 说明书 11 页 附图 2 页

[54] 发明名称

锁相环装置中的滤波器及锁相环装置

[57] 摘要

本发明公开了一种锁相环装置中的滤波器。本发明利用一等效电容作为第一电容，由于构成等效电容的三个电容的电容值远小于期望值 C_z，从而本发明中的等效电容相比于原有滤波电路中取值为期望值 C_z 的第一电容，体积大大减小。而且，由于等效电容的电容值小于期望值 C_z，因此，本发明还在等效电容中增加了一路附加电流，以使得等效电容两端的电压，与原有滤波电路中取值为期望值 C_z 的第一电容两端电压相同，从而无需调节环路电流的大小 i_p 即可保证 $U_f(t)$ 不变，从而能够在保证输出电压不变的前提下，减小第二滤波电容的尺寸以实现滤波器的微型化，且不需要对环路电流进行调节。本发明还公开了一种锁相环装置。



1. 一种锁相环装置中的滤波器，包括：第一电容、第二电容及电阻，所述第一电容与所述电阻串联后与所述第二电容并联；

其特征在于，

所述第一电容由第三电容、第四电容及第五电容环形串接而成；其中，所述第三电容、所述第四电容和所述第五电容的电容值均远远小于所述第一电容的期望值C_z；

所述第五电容与所述电阻串联后与所述第二电容并联；

所述电阻与所述第二电容相连的一端为环路电流的输入端、所述电阻与所述第五电容相连的一端为所述环路电流的输出端；

一附加电流从所述第三电容与所述第四电容相连的一端输入、从所述第五电容与所述第三电容的相连的一端输出，该附加电流用于保证所述第五电容两端电压趋近于电容值为期望值C_z的所述第一电容产生的电压。

2. 如权利要求 1 所述的滤波器，其特征在于，

所述第三电容的电容值为$\frac{C_z}{n}$；

所述第四电容的电容值为$\frac{C_z}{n^2}$；

所述第五电容的电容值为$\frac{C_z}{n}$；

其中，n为远远大于 1 的正整数；所述附加电流的大小与所述环路电流相同。

3. 如权利要求 2 所述的滤波器，其特征在于，所述附加电流来自一电荷泵。

4. 一种锁相环装置，其特征在于，该锁相环装置包含：鉴相器、滤波

器及压控振荡器，其中，所述滤波器包括：第一电容、第二电容及电阻，所述第一电容与所述电阻串联后与所述第二电容并联；

其特征在于，

所述第一电容由第三电容、第四电容及第五电容环形串接而成；其中，所述第三电容、所述第四电容和所述第五电容的电容值均远远小于所述第一电容的期望值C_z；

所述第五电容与所述电阻串联后与所述第二电容并联；

所述电阻与所述第二电容相连的一端为环路电流的输入端、所述电阻与所述第五电容相连的一端为所述环路电流的输出端；

一附加电流从所述第三电容与所述第四电容相连的一端输入、从所述第五电容与所述第三电容的相连的一端输出，该附加电流用于保证所述第五电容两端电压趋近于电容值为期望值C_z的所述第一电容产生的电压。

5. 如权利要求 4 所述的锁相环装置，其特征在于，

所述第三电容的电容值为$\frac{C_z}{n}$；

所述第四电容的电容值为$\frac{C_z}{n^2}$；

所述第五电容的电容值为$\frac{C_z}{n}$；

其中，n为远远大于 1 的正整数；所述附加电流的大小与所述环路电流相同。

6. 如权利要求 4 或 5 所述的锁相环装置，其特征在于，该装置中包括第一电荷泵，用于输出所述环路电流。

7. 如权利要求 6 所述的锁相环装置，其特征在于，所述第一电荷泵位于所述鉴相器中。

8. 如权利要求 6 所述的锁相环装置，其特征在于，该装置还包括第二

电荷泵，用于输出所述附加电流。

9. 如权利要求 4 或 5 所述的锁相环装置，其特征在于，所述该装置进一步包括分频器，用于对所述接收压控振荡器输出的信号$U_{out}(t)$，进行分频，并将分频后的信号输出至所述鉴相器。

锁相环装置中的滤波器及锁相环装置

技术领域

本发明涉及滤波电路，特别涉及一种锁相环（Phase-Locked Loop）装置中的滤波器及锁相环装置。

背景技术

集成电路（IC，Integrated Circuit）设计中，电子器件的大小是非常重要的考虑因素。电子器件的微型化及集成化是电子器件发展的趋势，而且，随着系统芯片（SOC，System-On-Chip）技术的发展，电子器件应用的频率越来越高，要求的带宽也越来越宽，因此，对电子元器件的性能提出了更高的要求，如降低寄生电感、寄生电容、提高自谐振频率、各电子元器件之间的严格同步等。因此，应用于同步中的锁相环技术以及应用锁相环技术器件的微型化也受到越来越多的关注。

锁相环技术应用极为广泛，例如，应用于空间的锁相环技术，可以实现对目标的跟踪、遥测和遥控；应用于数字通信领域的锁相环技术，可以为相干解调提取参考载波、建立位同步及进行频率合成等。

锁相环技术是使压控振荡器（VCO，Voltage Controlled Oscillator）产生的输出信号与一个输入参考信号在相位和频率上实现同步的技术。在同步状态时，即通常所说的锁定时，VCO 的输出信号和输入参考信号之间的相位差为 0 或某一个固定的常数。如果两者之间的相位发生变化，锁相环中存在一个反馈控制机制，通过反馈调节 VCO 的输出信号，使得输出信号和输入参考信号之间的相位差减小，并最终达到锁定状态，也就是将 VCO 的输出信号锁定到输入参考信号的相位上。

图 1 为现有锁相环装置的结构示意图。参见图 1，该装置包括鉴相器（PD，

Phase Detector）、滤波器及VCO，其中，

PD，用于比较输入参考信号$U_{in}(t)$和 VCO 输出的反馈信号$U_{feed}(t)$的相位，输出对应于两个信号相位差的输出信号$U_d(t)$；

滤波器，用于对$U_d(t)$进行滤波，滤除$U_d(t)$中的高频成分和噪声，以保证环路所要求的性能，增加系统的稳定性，输出控制电压信号$U_f(t)$；

VCO，用于根据环路滤波器输出的$U_f(t)$，使其输出信号$U_{out}(t)$的频率向$U_{in}(t)$的频率逼近，直至与$U_{in}(t)$的频率相等而进入锁定状态。

上述中，$U_{out}(t)$与$U_{feed}(t)$为同一信号。

实际应用中，锁相环还可以包括电荷泵（CP，Charge Pump），用于接收$U_d(t)$，对滤波器进行充、放电控制（滤波控制），环路滤波器根据CP输出的控制信号进行充放电并输出相应的$U_f(t)$，控制$U_{out}(t)$，输出$U_{out}(t)$和$U_{feed}(t)$，并将$U_{feed}(t)$输出至PD形成反馈，最终达到相位锁定。锁定状态时，$U_{in}(t)$和$U_{out}(t)$同频同相。

$U_{feed}(t)$也可以经过分频器进行分频后输出至PD，可以调节$U_{out}(t)$的角频率。

滤波器也可以是环路低通滤波器（LPF，Lowpass Filter）。

图2为现有锁相环装置中滤波器的结构示意图。参见图2，包括期望值为C_z的第一电容、期望值为C_p的第二电容、及期望值为R的电阻。

其中，本文所述的期望值是指：基于如图2所示的电路结构，产生该电路所在应用环境所需滤波效果的电容值或电阻值。

第一电容与电阻串连后，与第二电容并联。

电阻与第二电容相连的一端为环路电流的输入端、第一电容与第二电容相连的一端为环路电流的输出端，环路电流由CP提供，其电流取值为i_p。

$U_f(t)$通过第一滤波电容两端输出。

其中，第一电容的主要作用是，结合电阻形成一个低通滤波器，同时提

供一个使整个锁相环系统稳定性所需的频域零点；第二电容的主要作用是，过滤掉相对较高的频率的噪声成分；通常情况下，第一电容的期望值C_z为第二电容期望值C_p的几十倍。

环路电流的电流取值为i_p，则由图 2，可以得出：

$$U_f(s)=\frac{1}{\frac{1}{i_pR+\frac{i_p}{sC_z}}+\frac{sC_p}{i_p}} \qquad (2\text{-}1)$$

其中，$U_f(s)$为$U_f(t)$在 s 域中的电压值。

由于第一电容的期望值C_z为第二电容期望值C_p的几十倍，因此，式(2-1)中的第二电容的期望值C_p可忽略不计，从而得到：

$$U_f(s)=i_p\times(R+\frac{1}{sC_Z}) \qquad (2\text{-}2)$$

其中，$U_f(s)$为$U_f(t)$在 s 域中的电压值。

现有滤波器设计中，第一电容的期望值C_z比较大，相应地，其尺寸也比较大，需要占用一定的空间，不利于滤波器的微型化。但如果要减小第一电容的尺寸，其电容值也会相应的减小，由式（2-2）中也可以看出，第一电容的电容值小于期望值C_z，必然导致$U_f(t)$的变化，从而影响 VCO 输出信号$U_{out}(t)$。

因此，如果降低了第一电容的电容值，则为了保持$U_f(t)$不变，需要调节环路电流的大小i_p变化相应的数值。但调整环路电流会对锁相环装置中的其他器件造成影响，因而在实际应用中难以实现合理的调节。

可见，在现有技术中，由于对环路电流进行调节难以保证锁相环装置的正常工作，因而难以在保证输出电压不变的前提下，减小第二滤波电容的尺寸以实现滤波器的微型化。

发明内容

本发明实施例提供一种锁相环装置中的滤波器，能够在保证输出电压不变的前提下，减小第二滤波电容的尺寸以实现滤波器的微型化，且不需要对环路电流进行调节。

本发明实施例还提供一种锁相环装置，能够在保证输出电压不变的前提下，减小第二滤波电容的尺寸以实现滤波器的微型化，且不需要对环路电流进行调节。

为达到上述目的，本发明实施例的技术方案具体是这样实现的：

一种锁相环装置中的滤波器，该滤波器包含：第一电容、第二电容及电阻，所述第一电容与所述电阻串联后与所述第二电容并联；

所述第一电容由第三电容、第四电容及第五电容环形串接而成；其中，所述第三电容、所述第四电容和所述第五电容的电容值均远远小于所述第一电容的期望值C_z；

所述第五电容与所述电阻串联后与所述第二电容并联；

所述电阻与所述第二电容相连的一端为环路电流的输入端、所述电阻与所述第五电容相连的一端为所述环路电流的输出端；

一附加电流从所述第三电容与所述第四电容相连的一端输入、从所述第五电容与所述第三电容的相连的一端输出，该附加电流用于保证所述第五电容两端电压趋近于电容值为期望值C_z的所述第一电容产生的电压。

所述第三电容的电容值为$\frac{C_z}{n}$；

所述第四电容的电容值为$\frac{C_z}{n^2}$；

所述第五电容的电容值为$\frac{C_z}{n}$；

其中，n为远远大于1的正整数；所述附加电流的大小与所述环路电流相同。

所述附加电流来自一电荷泵。

一种锁相环装置，该装置包含：鉴相器、滤波器及压控振荡器，其中，所述滤波器包括第一电容、第二电容及电阻，所述第一电容与所述电阻串联后与所述第二电容并联；

所述第一电容由第三电容、第四电容及第五电容环形串接而成；其中，所述第三电容、所述第四电容和所述第五电容的电容值均远远小于所述第一电容的期望值C_z；

所述第五电容与所述电阻串联后与所述第二电容并联；

所述电阻与所述第二电容相连的一端为环路电流的输入端、所述电阻与所述第五电容相连的一端为所述环路电流的输出端；

一附加电流从所述第三电容与所述第四电容相连的一端输入、从所述第五电容与所述第三电容的相连的一端输出，该附加电流用于保证所述第五电容两端电压趋近于电容值为期望值C_z的所述第一电容产生的电压。

所述第三电容的电容值为$\frac{C_z}{n}$；

所述第四电容的电容值为$\frac{C_z}{n^2}$；

所述第五电容的电容值为$\frac{C_z}{n}$；

其中，n为远远大于 1 的正整数；所述附加电流的大小与所述环路电流相同。

该装置中包括第一电荷泵，用于输出所述环路电流。

所述第一电荷泵位于所述鉴相器中。

该装置还包括第二电荷泵，用于输出所述附加电流。

该装置进一步包括分频器，用于对所述压控振荡器输出的信号进行分频，并将分频后的信号输出至所述鉴相器。

由上述技术方案可见，本发明利用一等效电容作为第一电容，由于构成

等效电容的三个电容的电容值远小于期望值C_z，从而本发明中的等效电容相比于原有滤波电路中取值为期望值C_z的第一电容，体积大大减小。而且，由于等效电容的电容值小于期望值C_z，因此，本发明还在等效电容中增加了一路附加电流，以使得等效电容两端的电压，趋近于原有滤波电路中取值为期望值C_z的第一电容两端电压，从而无需调节环路电流的大小i_p即可保证$U_f(t)$不变，从而能够在保证输出电压不变的前提下，减小第二滤波电容的尺寸以实现滤波器的微型化，且不需要对环路电流进行调节。

附图说明

图 1 为现有锁相环装置的结构示意图;

图 2 为现有锁相环装置中滤波器的结构示意图;

图 3 为本发明实施例一种锁相环装置中的滤波器结构示意图;

图 4 为本发明实施例滤波器中等效电容的结构示意图;

图 5 为基于图 3 的一个锁相环装置的较佳实施例的结构示意图。

具体实施方式

为使本发明的目的、技术方案及优点更加清楚明白，以下参照附图并举实施例，对本发明作进一步详细说明。

本发明利用电容值远小于期望值C_z的三个电容构成一等效电容，并利用该等效电容作为现有滤波电路中的第一电容。由于构成等效电容的 3 个电容的电容值远小于期望值C_z，因而使得等效电容相比于原有滤波电路中取值为期望值C_z的第一电容，体积大大减小。

而且，由于等效电容的电容值小于期望值C_z，因此，本发明还在等效电容中增加了一路附加电流，以使得等效电容两端的电压，无限趋近于原有滤波电路中取值为期望值C_z的第一电容两端电压，从而无需调节环路电流的大小i_p即可保证$U_f(t)$不变，从而能够在保证输出电压不变的前提下，减小第二

滤波电容的尺寸以实现滤波器的微型化，且不需要对环路电流进行调节。

当然，所述趋近的最佳状态为：等效电容两端的电压与原有滤波电路中取值为期望值C_z的第一电容两端电压相同。

为了实现上述目的，本发明实施例提出了一种锁相环装置中的滤波器。

图 3 为本发明实施例一种锁相环装置中的滤波器结构示意图。参见图 3，该滤波电路包括第一电容、第二电容、以及电阻，第一电容与电阻串联后与第二电容并联。

其中，第二电容的电容值仍为C_p、电阻的阻值仍为R、该滤波电路中的环路电流大小仍为i_p。

本发明中的第一电容由第三电容、第四电容及第五电容环形串接而成，其等效电容值为C_z'。

其中，第三电容、第四电容和第五电容的电容值均远远小于第一电容的期望值C_z。

第五电容与电阻串联后与第二电容并联。

第三电容与第四电容串联后，与第五电容并联。

电阻与第二电容相连的一端为环路电流的输入端、电阻与第五电容相连的一端为环路电流的输出端，环路电流可以由 CP 提供，其电流取值仍为i_p。

一附加电流从第三电容与第四电容相连的一端输入、从第五电容与第三电容的相连的一端输出，该附加电流用于保证等效电容两端，即第五电容两端电压U_z'无限趋近于现有滤波电路中期望值为C_z的第一电容两端的电压U_z。

其中，假设第三电容的电容值为$\frac{C_z}{n}$、第四电容的电容值为$\frac{C_z}{n^2}$、第五电容的电容值为$\frac{C_z}{n}$，较佳地，取n为大于 10 的整数，则附加电流的大小可以为环路电流的电流取值i_p。

第二电容两端仍输出$U_f(t)$。

上述滤波电路中，附加电流能够保证等效电容两端电压U_z'与现有滤波电路中期望值为C_z的第一电容两端的电压U_z相同、且电阻两端电压也与现有滤波电路中的电阻两端电压相同，因此，在环路电流的大小与现有电流取值i_p相同的情况下，能够保证第二电容两端输出的电压$U_f(t)$不变。

下面，对附加电流为何能够保证等效电容两端电压U_z'与现有滤波电路中期望值为C_z的第一电容两端的电压U_z相同，从而保证第二电容两端输出的电压$U_f(t)$不变进行详细推导说明。

图4为本发明实施例滤波器中等效电容的结构示意图。参见图4，构成等效电容的第三电容、第四电容、第五电容之间的串并关系，在图4中可以看作：第四电容与第五电容串联后与第三电容并联。

假设第三电容的电容值为$\frac{C_z}{n}$、第四电容的电容值为$\frac{C_z}{n^2}$、第五电容的电容值为$\frac{C_z}{n}$，可以得出：

$$Uz'=\frac{\frac{n}{sC_z}}{\frac{n^2}{sC_z}+\frac{n}{sC_z}}\times U_3=\frac{1}{n+1}U_3 \qquad (4\text{-}1)$$

其中，U_3为第三电容两端的电压。

第四电容与第五电容的等效电容值C_{45}为：

$$C_{45}=\frac{C_z}{n(n+1)} \qquad (4\text{-}2)$$

第三电容两端的电压U_3为：

$$U_3=i_p'\times\frac{1}{s(\frac{C_z}{n}+C_{45})}=i_p'\times\frac{1}{s(\frac{C_z}{n}+\frac{C_z}{n(n+1)})}=i_p'\times\frac{n(n+1)}{s(n+2)C_z} \qquad (4\text{-}3)$$

将式（4-3）代入式（4-1），可得：

$$U_z'=\frac{1}{n+1}U_3=\frac{1}{n+1}\times i_p'\times\frac{n(n+1)}{s(n+2)C_z}=i_p'\times\frac{n}{s(n+2)C_z} \qquad (4\text{-}4)$$

如果式（4-4）中，$i_p'=i_p$、$n>>1$，则式（4-4）可以简化为：

$$U_z' \approx i_p \times \frac{1}{sC_z} \qquad (4\text{-}5)$$

可见，式（4-5）得到的U_z'在满足$n>>1$的情况下，与现有滤波电路中的U_z基本相同，最佳状态下能够与现有滤波电路中的U_z完全相同。

这样，由于第二电容期望值C_p极小，第二电容对U_z'的影响可忽略不计，因此，可得到图 3 中的$U_f(t)$为：

$$U_f(s) \approx i_p \times (R + \frac{1}{sC_Z}) \qquad (4\text{-}6)$$

其中，$U_f(s)$为$U_f(t)$在 s 域中的电压值。

可见，式（4-6）得到的$U_f(s)$在满足$n>>1$的情况下，与现有滤波电路中通过式（2-2）得到的$U_f(s)$几乎相同，最佳状态下能够与现有滤波电路中通过式（2-2）得到的$U_f(s)$完全相同。

实际应用中，只要保证构成等效电容的第三电容、第四电容、第五电容的电容值较小、且附加电流能够使得等效电容两端电压U_z'与现有滤波电路中期望值为C_z的第一电容两端的电压U_z相同，则第三电容、第四电容、第五电容的电容值、以及附加电流的大小也可以设置为其他值。

图 5 为基于图 3 的一个锁相环装置的较佳实施例的结构示意图。参见图 5，该锁相环装置包括：PD、滤波器、及 VCO，其中，

PD，用于将$U_{in}(t)$和分频器输出信号$U_{feed}(t)$进行相位比较，向滤波器输出与信号相位差成比例的 PD 输出信号$U_d(t)$。

滤波器包括第一电容、第二电容、以及电阻，第一电容与电阻串联后与第二电容并联。

其中，第二电容的电容值仍为C_p、电阻的阻值仍为R、该滤波电路中的环路电流大小仍为i_p。

本发明中的第一电容由第三电容、第四电容及第五电容环形串接而成，其等效电容值为C_z'。

其中，第三电容、第四电容和第五电容的电容值均远远小于第一电容的期望值C_z。

第五电容与电阻串联后与第二电容并联。

第三电容与第四电容串联后，与第五电容并联。

电阻与第二电容相连的一端为环路电流的输入端、电阻与第五电容相连的一端为环路电流的输出端，环路电流可以由锁相环装置的CP提供，其电流取值仍为i_p。

一附加电流从第三电容与第四电容相连的一端输入、从第五电容与第三电容的相连的一端输出，该附加电流用于保证等效电容两端，即第五电容两端电压U_z'无限趋近于现有滤波电路中期望值为C_z的第一电容两端的电压U_z。

当然，所述趋近的最佳状态为：等效电容两端的电压与原有滤波电路中取值为期望值C_z的第一电容两端电压相同。

其中，假设第三电容的电容值为$\frac{C_z}{n}$、第四电容的电容值为$\frac{C_z}{n^2}$、第五电容的电容值为$\frac{C_z}{n}$，较佳地，取n为大于 10 的整数，则附加电流的大小可以为环路电流的电流取值i_p。

第二电容两端仍输出$U_f(t)$。

实际应用中，如图 5 所示的锁相环装置中还包括：

第一 CP，用于提供环路电流i_p；

第二 CP，用于提供附加电流i_p'。

其中，在图 5 中，第一 CP 为一独立的装置。但实际应用中，第一 CP 可以位于 PD 中，即采用现有的 PD 即可实现本发明。

如图 5 所示的锁相环装置中，还进一步包括分频器，用于对 VCO 输出的信号$U_f(t)$进行分频，并将分频后的信号作为反馈，输出至 PD。

实际应用中，也可以在输入参考信号电路中设置分频器，用于对输入参

考信号进行分频。

当然，本发明中设置的分频器是可选的，而非必需。

以上举较佳实施例，对本发明的目的、技术方案和优点进行了进一步详细说明，所应理解的是，以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

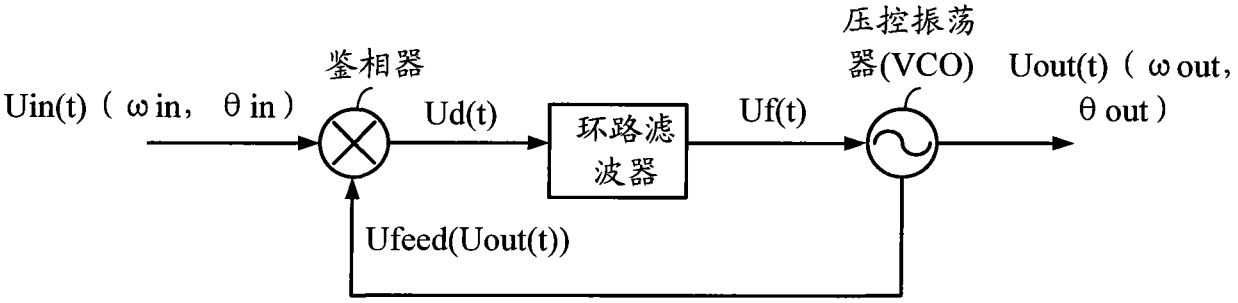

压控振荡
器(VCO)
鉴相器
Uin(t)（ω in， θ in）
Ud(t)
环路滤
波器
Uf(t)
Uout(t)（ω out，
θ out）
Ufeed(Uout(t))

图 1

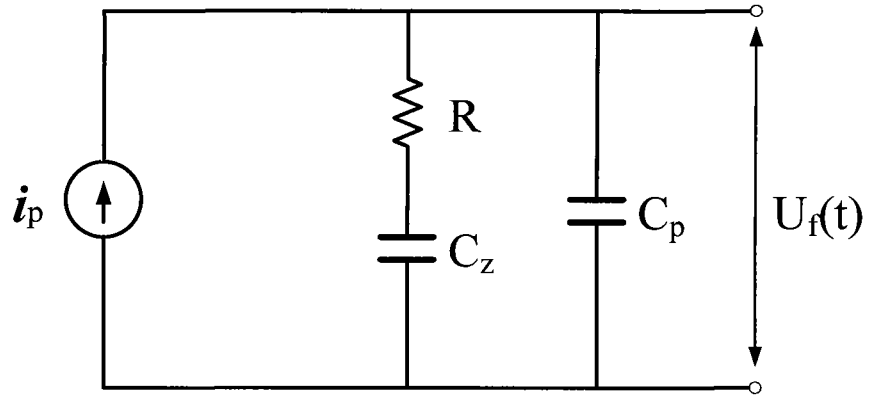

R
ip
Cz
Cp
Uf(t)

图 2

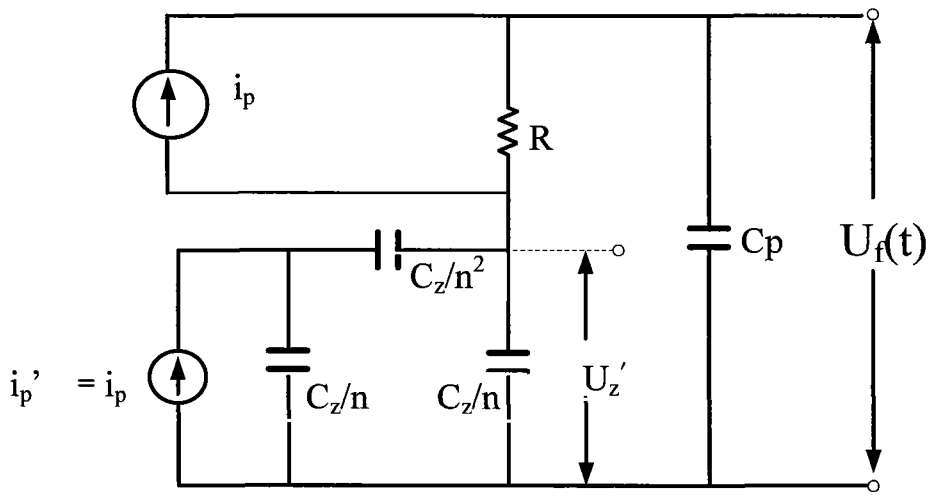

ip
R
Cz/n2
Cp
Uf(t)
ip' = ip
Cz/n
Cz/n
Uz'

图 3

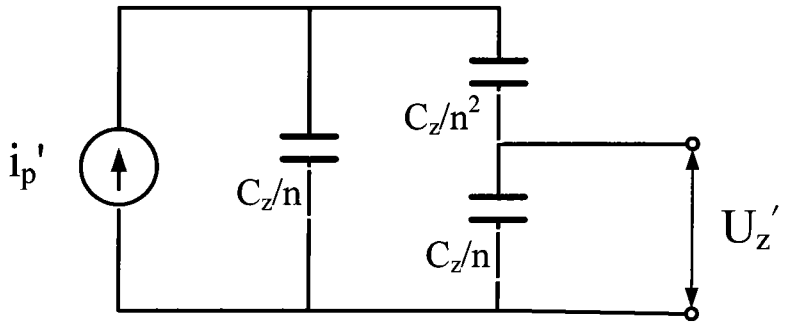

i_p'
C_z/n
C_z/n^2
C_z/n
U_z'

图 4

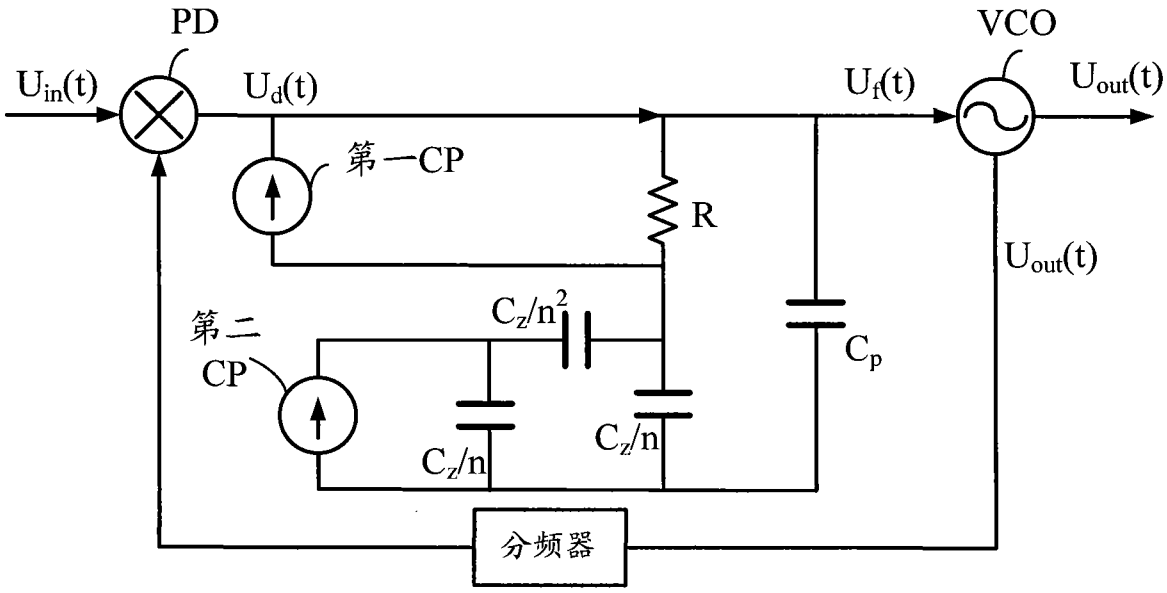

PD
VCO
$U_{in}(t)$
$U_d(t)$
$U_f(t)$
$U_{out}(t)$
第一CP
R
$U_{out}(t)$
第二
CP
C_z/n^2
C_p
C_z/n
C_z/n
分频器

图 5