

發明專利說明書 200405523

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92109213 92109213

※申請日期：920421 ※IPC 分類：H01L21/8244

壹、發明名稱：(中文/英文)

半導體記憶裝置及其製造方法

A SEMICONDUCTOR MEMORY DEVICE AND A MATHOD OF
MANUFACTURING THE SAME

貳、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 日商日立製作所股份有限公司

HITACHI, LTD.

2. 日商日立超愛爾·愛斯·愛系統股份有限公司

HITACHI ULSI SYSTEMS CO., LTD.

代表人：(中文/英文)

1. 庄山 悅彥

ETSUHIKO SHOYAMA

2. 小切間 正彥

MASAHIKO OGIRIMA

住居所或營業所地址：(中文/英文)

1. 日本國東京都千代田區神田駿河台四丁目6番地

6, KANDA SURUGADAI 4-CHOME, CHIYODA-KU, TOKYO
101-8010, JAPAN

2. 日本國東京都小平市上水本町5丁目22番1號

22-1, JOSUIHONCHO 5-CHOME, KODAIRA-SHI, TOKYO,
JAPAN

國籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

參、發明人：(共 4 人)

姓 名：(中文/英文)

1.茂庭 昌弘

2.茶木原 啟

3.奧山 幸祐

4.高橋 保彥

住居所地址：(中文/英文)

1.日本國東京都千代田區丸內一丁目5番1號新九大樓日立製作所
股份有限公司知的財產權本部

C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG, 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN

2.日本國東京都小平市上水本町五丁目22番1號日立超愛爾・愛斯
・愛系統股份有限公司

C/O HITACHI ULSI SYSTEMS CO., LTD. 22-1, JOSUIHONCHO
5-CHOME, KODAIRA-SHI, TOKYO, JAPAN

3.日本國東京都千代田區丸內一丁目5番1號新九大樓日立製作所
股份有限公司知的財產權本部

C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG, 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN

4.日本國東京都千代田區丸內一丁目5番1號新九大樓日立製作所
股份有限公司知的財產權本部

C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG, 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN

國 籍：(中文/英文)

1.日本 JAPAN

2.日本 JAPAN

3.日本 JAPAN

4.日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2002年07月08日；特願2002-199308

2. 日本；2003年02月28日；特願2003-054378

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002年07月08日；特願2002-199308

2. 日本；2003年02月28日；特願2003-054378

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關半導體記憶裝置及其製造技術，特別是有關適用於具有以4個MISFET構成記憶胞之SRAM(靜態隨機存取記憶體)之半導體記憶裝置之有效技術。

【先前技術】

一種廣泛使用之大容量半導體記憶裝置之SRAM(靜態隨機存取記憶體)如以4個n通道型MISFET(金屬絕緣體半導體場效電晶體)與2個p通道型MISFET構成記憶胞。但是，由於此種所謂完全CMOS(互補金氧半導體)型SRAM於半導體基板之主面上係平面配置6個MISFET，因此記憶胞尺寸之縮小困難。

發明所欲解決之問題

因而，以6個MISFET構成之SRAM胞，如對應於USP 5,364,810之特開平8-88328號公報及對應於USP 5,550,396之特開平5-206394號公報中所揭示，提出一種謀求記憶胞尺寸縮小之技術，其係藉由將構成記憶胞之數個MISFET之一部分，以於溝之側壁形成通道部，埋入該溝之方式形成閘極之MISFET構成。

再者，記憶胞之尺寸係藉由構成記憶胞之電晶體數來律定。如在半導體基板上並列配置前述4個n通道型MISFET與2個p通道型MISFET之完全CMOS型SRAM時，需要電晶體6個部分的空間，記憶胞尺寸更加擴大，並且製程複雜。此外，由於該完全CMOS型SRAM需要分離n通道型MISFET與

p通道型 MISFET 之井分離區域，因此記憶胞尺寸更加擴大。

此外，以使用薄膜電晶體之電晶體構成 SRAM 胞之技術，如揭示於特開平 6-104405 號公報中。如該公報所示，將薄膜電晶體之源極、通道區域、汲極在延伸於與位元線之延伸方向相同方向之多晶矽層內，配置於其延伸方向。

由於係將薄膜電晶體之源極、通道區域、汲極配置於與基板之主面平行之平面上，因此在其延伸方向上需要各個區域，此外，由於需要連接於薄膜電晶體之配線配置等之區域，因此記憶胞尺寸擴大。

此外，使用薄膜電晶體之 4 個電晶體之 SRAM 胞之電路構造，如揭示於特開平 5-62474 號公報中。但是，該公報中並未揭示薄膜電晶體之具體構造。

本發明之目的在提供一種可縮小 SRAM 之記憶胞尺寸之技術。

本發明之前述、其他目的與新特徵，從本說明書中內容及附圖即可瞭解。

【發明內容】

就本專利所揭示之主要發明之概要說明如下。

本發明之半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

前述第一縱型 MISFET 形成於半導體基板之主面上所形成之前述第一驅動 MISFET 之上部，前述第二縱型 MISFET

形成於前述半導體基板之主面上所形成之前述第二驅動 MISFET 之上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部。

前述縱型 MISFET 之各個閘極係以包圍前述積層體側壁部之周圍的方式，對前述積層體側壁自對準地形成側方間隔物狀。

前述縱型 MISFET 以完全空乏型 MISFET 構成。

於前述交叉結合之電荷存儲節點上連接有電容元件。

前述互補性資料線形成於前述縱型 MISFET 更上部，前述縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線，前述字元線電性連接於前述縱型 MISFET 之閘極。

前述互補性資料線以橫切前述積層體之方式延伸配置於前述積層體之上部，前述字元線電性連接於前述第一及第二縱型 MISFET 之閘極，且形成於前述互補性資料線之下層。

前述第一驅動 MISFET 之汲極區域上，以具有前述第一縱型 MISFET 之源極、汲極之一係平面重疊之部分的方式構成，前述第二驅動 MISFET 之汲極區域上，以具有前述第二縱型 MISFET 之源極、汲極之一係平面重疊之部分的方式構成。

此外，上述半導體記憶裝置係藉由如下之方法製造。

於前述交叉結合用之連接孔形成步驟中，形成一連接孔用之光蝕刻步驟及蝕刻步驟，與形成另一連接孔用之光蝕刻步驟與蝕刻步驟不同。

形成前述積層體之步驟包含：掩模層形成步驟，其係用於在構成前述積層體之膜上部蝕刻前述膜；光阻圖案形成步驟，其係形成於前述掩模層之上部；將前述光阻圖案予以細線化步驟；及前述掩模層蝕刻步驟，其係將前述經細線化之光阻圖案作為掩模來蝕刻前述掩模層。

此外，前述縱型 MISFET 之各個閘極係以包圍前述積層體側壁部周圍之方式，對前述積層體側壁自對準地形成側壁間隔物狀。

此外，藉由於配線溝內埋入導電膜，形成電性連接於前述第一及第二縱型 MISFET 之閘極之字元線。

【實施方式】

以下依據圖式詳細說明本發明之實施形態。另外，說明實施形態用之全部圖式中，具有相同功能之構件註記相同符號，並省略其重複說明。

(第一種實施形態)

圖 1 係本發明一種實施形態之 SRAM 之記憶胞之等價電路圖。如圖所示，該 SRAM 之記憶胞 (MC) 係藉由配置於一對互補性資料線 (BLT, BLB) 與字元線 (WL) 之交叉部之 2 個驅動 MISFET (DR_1 , DR_2) 及 2 個縱型 MISFET (SV_1 , SV_2) 構成。2 個驅動 MISFET (DR_1 , DR_2) 係以 n 通道型 MISFET 構成，2 個縱型 MISFET (SV_1 , SV_2) 係以後述之縱型構造之 p 通道型

MISFET構成。

縱型 MISFET (SV_1 , SV_2)之各個閘極連接於1條字元線(WL)。縱型 MISFET (SV_1)之源極、汲極之一連接於互補性資料線(BLT, BLB)之一(BLT)，源極、汲極之另一連接於驅動 MISFET (DR_1)之汲極與驅動 MISFET (DR_2)之閘極，而構成一存儲節點(A)。此外，縱型 MISFET (SV_2)之源極、汲極之一連接於互補性資料線(BLT, BLB)之另一(BLB)，源極、汲極之另一連接於驅動 MISFET (DR_2)之汲極與驅動 MISFET (DR_1)之閘極，而構成另一存儲節點(B)。記憶胞(MC)之存儲節點(A, B)中，一保持在H (High)位準，另一保持在L (Low)位準，記憶1位元之資訊。

因而，本實施形態之記憶胞(MC)之驅動 MISFET (DR_1 , DR_2)與縱型 MISFET (SV_1 , SV_2)交叉結合(close-coupled)，構成記憶1位元資訊之資訊存儲部。驅動 MISFET (DR_1 , DR_2)之各個源極如連接於0 V之基準電壓(V_{ss})。

本實施形態之記憶胞(MC)形成利用以p通道型 MISFET構成之縱型 MISFET (SV_1 , SV_2)切斷時之漏電流($I_{OFF}(P)$)保持電荷之構造。亦即，於待用時(資訊保持時)，字元線(WL)及互補性資料線(BLT, BLB)分別供給電位高於基準電壓(V_{ss})之電源電壓($V_{dd}(> V_{ss})$)。藉此，縱型 MISFET (SV_1 , SV_2)處於切斷狀態，切斷狀態之縱型 MISFET (SV_1 , SV_2)之各個源極、汲極之一通過互補性資料線(BLT, BLB)供給電源電壓(V_{dd})。此時，藉由使縱型 MISFET (SV_1 , SV_2)之漏電流($I_{OFF}(P)$)大於處於切斷狀態之驅動 MISFET (DR_1 或

DR₂)之漏電流($I_{OFF}(N)$)，經由縱型MISFET，自互補性資料線供給電流(漏電流($I_{OFF}(P)$))至H位準側之存儲節點，維持H位準(V_{dd})。

此外，H位準側之存儲節點上電性連接有閘極之驅動MISFET維持在接通狀態，L位準側之存儲節點保持在L位準(V_{ss})。因而於待用時(資訊保持時)保持電荷，並保持資訊。另外，以縱型MISFET(SV_1 ， SV_2)之漏電流($I_{OFF}(P)$)大於驅動MISFET(DR_1 ， DR_2)之漏電流($I_{OFF}(N)$)($I_{OFF}(N) < I_{OFF}(P)$)之方式構成縱型MISFET(SV_1 ， SV_2)及驅動MISFET(DR_1 ， DR_2)，如 $I_{OFF}(P)$ 與 $I_{OFF}(N)$ 之比為10比1以上時，可有效保持電荷，不過並無特別限定。

資訊讀取及寫入動作，基本上與以6個MISFET構成之一般完全CMOS型記憶胞相同。亦即，於讀取時，被選擇之字元線(WL)上如施加基準電壓(V_{ss})，接通縱型MISFET(SV_1 ， SV_2)，以互補性資料線(BLT，BLB)讀取一對存儲節點之電位差。此外，於寫入時，被選擇之字元線(WL)上如施加基準電壓(V_{ss})，接通縱型MISFET(SV_1 ， SV_2)，並且藉由將互補性資料線(BLT，BLB)之一連接於電源電壓(V_{dd})，將另一連接於基準電壓(V_{ss})，使驅動MISFET(DR_1 ， DR_2)之接通、切斷反相。

因而，本實施形態之記憶胞(MC)以縱型MISFET(SV_1 ， SV_2)兼用以6個MISFET構成之完全CMOS型記憶胞之轉移MISFET與負荷MISFET，形成於待用時，縱型MISFET(SV_1 ， SV_2)發揮負荷MISFET功能，於讀取及寫入時，縱型

MISFET (SV_1 , SV_2)發揮轉移MISFET功能之構造。該構造由於以4個MISFET構成記憶胞，因此可縮小記憶胞尺寸。此外，如後述，由於縱型MISFET (SV_1 , SV_2)形成於驅動MISFET (DR_1 , DR_2)之上部，因此可進一步縮小記憶胞尺寸。

圖2係顯示上述記憶胞(MC)之具體構造的平面圖，圖3之左側部分係沿著圖2之A-A'線之剖面圖，右側部分係沿著圖2之B-B'線之剖面圖。另外，圖2所示之被4個(+)符號包圍之矩形區域表示1個記憶胞之佔用區域，不過該(+)符號係便於瞭解圖式用而表示之符號，實際上並未形成於半導體基板上。此外，圖2僅顯示構成記憶胞之主要導電層與此等之連接區域，形成於導電層間之絕緣膜等之圖式省略。

如於包含p型之單晶矽之半導體基板(以下稱基板)1的主面上，形成有p型井4。藉由該p型井4之元件分離溝2定義周圍之活性區域(L)內形成有構成記憶胞(MC)之一部分的2個驅動MISFET (DR_1 , DR_2)。元件分離溝2內如埋入包含矽氧化膜等之絕緣膜3，而構成元件分離部。

如圖2所示，活性區域(L)具有延伸於圖之縱方向(Y方向)之長方形的平面圖案，於1個記憶胞之佔用區域內，彼此平行地配置有2個活性區域(L, L)。2個驅動MISFET (DR_1 , DR_2)中之一驅動MISFET (DR_1)形成於一活性區域(L)內，另一驅動MISFET (DR_2)形成於另一活性區域(L)內。

此外，一活性區域(L)與鄰接於Y方向之一記憶胞(圖之上側)之活性區域(L)之一一體地形成，另一活性區域(L)與鄰

接於Y方向之另一記憶胞(圖之下側)之活性區域(L)之一一體地形成，其使用圖4於後述。

再者，鄰接於Y方向之記憶胞之驅動MISFET (DR_1 , DR_2)間，其平面圖案以對圖之橫方向(X方向)之邊界線成線對稱之方式構成，鄰接於X方向之記憶胞之驅動MISFET (DR_1 , DR_2)間，其平面圖案以X方向上點對稱之方式構成。藉此，可縮小記憶胞尺寸，其使用圖9、圖28於後述。

如圖2所示，各個驅動MISFET (DR_1 , DR_2)主要藉由以下元件構成：閘極絕緣膜6，其係形成於p型井4之表面；閘極7A，其係形成於閘極絕緣膜6之上部；及 n^+ 型半導體區域14(源極、汲極)，其係形成於閘極7A之兩側之p型井4內。亦即，驅動MISFET (DR_1 , DR_2)係以n通道型MISFET構成。驅動MISFET (DR_1 , DR_2)之各個閘極7A如以將n型多晶矽作為主體之導電膜構成，具有延伸於與活性區域(L)之延伸方向(Y方向)垂直之X方向上之長方形的平面圖案。亦即，驅動MISFET (DR_1 , DR_2)係以通道寬方向與X方向一致，通道長方向與Y方向一致之方式構成。

如圖3所示，於 n^+ 型半導體區域14(源極、汲極)之一(源極)上部形成有基準電壓線34 (V_{ss})。基準電壓線34 (V_{ss})經由形成於其下部之接觸孔24內之插塞27，電性連接於 n^+ 型半導體區域(源極)14。基準電壓線34 (V_{ss})及插塞27如以將鎢(W)作為主體之金屬膜構成，來降低其電阻值。藉此，可提高記憶胞(MC)之讀取、寫入動作速度。另外，以下說明中，有時亦將以鎢(W)作為主體之金屬膜簡稱為鎢膜。

如圖2所示，基準電壓線34 (Vss)逐條配置於沿著1個記憶胞之佔用區域之Y方向之兩端部，並沿著與活性區域(L)之延伸方向(Y方向)垂直之X方向彼此平行地延伸。該圖所示之2條基準電壓線34 (Vss)，34 (Vss)之一(記憶胞之上端側)通過接觸孔24，電性連接於驅動MISFET (DR₂)之n⁺型半導體區域(源極)14，另一(記憶胞之下端側)通過接觸孔24電性連接於驅動MISFET (DR₁)之n⁺型半導體區域(源極)14。另外2條基準電壓線34 (Vss)內之一(記憶胞之上端側)與鄰接於Y方向(圖之上側)之記憶胞之基準電壓線34 (Vss)共用，另一(記憶胞之下端側)與鄰接於Y方向(圖之下側)之記憶胞之基準電壓線34 (Vss)共用。藉此可縮小記憶胞尺寸。

如圖2及圖3所示，構成記憶胞(MC)之其他一部分之2個縱型MISFET (SV₁, SV₂)形成於上述驅動MISFET (DR₁, DR₂)之上方。縱型MISFET (SV₁)形成於驅動MISFET (DR₁)之上方，並與驅動MISFET (DR₁)重疊之方式配置。此外，縱型MISFET (SV₂)形成於驅動MISFET (DR₂)之上方，並與驅動MISFET (DR₂)重疊之方式配置。

此外，記憶胞(MC)之縱型MISFET (SV₁)及驅動MISFET (DR₁)與縱型MISFET (SV₂)及驅動MISFET (DR₂)配置於對被4個(+)符號所包圍之矩形區域中心點對稱之位置。藉此可縮小記憶胞尺寸。

各個縱型MISFET (SV₁, SV₂)主要由以下元件構成：積層體(P)，其係對基板之主面，在垂直方向依序堆疊下部半導體層47、中間半導體層48及上部半導體層49，且平面圖案

為四方柱狀(橢圓柱狀)；閘極絕緣膜53，其係形成於積層體(P)側壁表面；及閘極54，其係以包圍積層體(P)側壁而覆蓋之方式形成。

閘極絕緣膜53如以矽氧化膜構成，並以800℃以下之低溫熱氧化(如wet氧化)或以CVD(化學汽相沉積)法所形成之單層膜，或低溫熱氧化膜與CVD膜之積層膜構成。因而藉由以低溫製程形成閘極絕緣膜53，可減少臨限值(V_{th})等之縱型MISFET (SV_1 ， SV_2)之不均一。

閘極54如以矽膜構成，包含n型多晶矽。積層體(P)之下部半導體層47包含p型之矽膜，如包含p型之多晶矽，而構成縱型MISFET (SV_1 ， SV_2)之源極、汲極之一。中間半導體層48包含非摻雜之矽膜，如包含非摻雜之多晶矽，實質地構成縱型MISFET (SV_1 ， SV_2)，其側壁構成通道區域，不過並無特別限定。上部半導體層49包含p型之矽膜，如包含p型之多晶矽膜，而構成縱型MISFET (SV_1 ， SV_2)之源極、汲極之另一。此外，上部半導體層49電性連接於互補性資料線(BLT，BLB)，其係形成於縱型MISFET (SV_1 ， SV_2)之上部，以橫切前述積層體(P)之方式延伸前述積層體(P)之上部。亦即，縱型MISFET (SV_1 ， SV_2)係以p通道型MISFET構成。另外，該縱型MISFET (SV_1 ， SV_2)之下部半導體層47構成源極、汲極之一，上部半導體層49構成源極、汲極之另一，不過在以下的說明中，為求方便而將下部半導體層47定義為源極，將上部半導體層49定義為汲極。

因而，縱型MISFET (SV_1 ， SV_2)構成源極、基板(通道區

域)、汲極對基板之主面在垂直方向堆疊，通道電流對基板之主面在垂直方向上流動之所謂縱型通道MISFET。亦即，縱型MISFET (SV_1, SV_2)之通道長方向係對基板之主面垂直之方向，通道長係以對基板之主面垂直方向上之下部半導體層47與上部半導體層49間之長度來定義。縱型MISFET (SV_1, SV_2)之通道寬係以四方柱狀之積層體側壁一周的長度來定義。藉此可擴大縱型MISFET (SV_1, SV_2)之通道寬。

此外，如後述地，縱型p通道MISFET (SV_1, SV_2)在閘極54上施加有電源電壓(Vdd)之切斷狀態下，由於縱型MISFET之基板之中間半導體層48以完全空乏化之完全空乏化SOI(矽半導體)-縱型MISFET構成，因此，與接通電流($I_{ON}(P)$)比較，可減少切斷漏電流($I_{OFF}(N)$)，可構成記憶胞(MC)。縱型p通道MISFET (SV_1, SV_2)之臨限值(V_{th})之控制係藉由閘極54之工作函數來執行，如可以p型矽膜(p型多晶矽)、p型鍍化矽膜、非摻雜鍍化矽膜、n型鍍化矽膜、高熔點金屬膜構成閘極54。此外，中間半導體層48係揭示非摻雜之矽膜，但是並不限定於此，藉由於中間半導體層48內導入(通道摻雜)n型或p型雜質，在對基板主面之垂直方向上，調整通道閘值之剖面，將縱型MISFET之基板之中間半導體層48完全予以空乏化，與接通電流($I_{ON}(P)$)比較，可減少切斷漏電流($I_{OFF}(N)$)。

如圖3所示，縱型MISFET (SV_1)之下部半導體層(源極)47經由形成於其下部之連接用導電層46與形成於更下部之接觸孔40內之插塞41，而電性連接於驅動MISFET (DR_1)之 n^+

型半導體區域(汲極)14。此外，連接縱型 MISFET (SV_1) 之下部半導體層(源極)47與驅動 MISFET (DR_1) 之 n^+ 型半導體區域(汲極)14之接觸孔40內之插塞41，如該圖右側部分所示，亦連接於驅動 MISFET (DR_2) 之閘極7A。連接縱型 MISFET (SV_2) 之下部半導體層(源極)47與驅動 MISFET (DR_2) 之 n^+ 型半導體區域(汲極)14之接觸孔40內之插塞41亦連接於驅動 MISFET (DR_1) 之閘極7A，不過圖3上並未顯示。亦即，形成於記憶胞之2個接觸孔40，40內之插塞41，41發揮交叉結合驅動 MISFET (DR_1 ， DR_2) 與縱型 MISFET (SV_1 ， SV_2) 之導電層的功能。連接用導電層46如以矽化鎢(WSi_2) 為主體之金屬膜構成，插塞41如以鎢為主體之金屬膜構成。連接用導電層46以矽化鎢(WSi_2) 為主體之導電膜，或在金屬膜上堆疊矽化鎢膜之導電膜構成，插塞41以鎢為主體之金屬膜構成。

另外，連接用導電層46亦可以在氮化鈦(TiN)膜上堆疊鎢膜之導電膜構成。此時，與以矽化鎢為主體之導電膜比較，具有耐氧化之範圍減少，另外電阻變小的優點。選擇此等導電膜中之哪一個，須依製品之規格來決定，如中低速動作規格時，宜選擇以生產性佳之矽化鎢為主體之導電膜，高速動作規格時，宜選擇優先性能之鎢為主體之積層膜。

此外，形成於記憶胞(MC)之2個接觸孔40，40內之插塞41，41構成電性連接一驅動 MISFET (DR_1 ， DR_2) 之閘極7A與另一驅動 MISFET (DR_1 ， DR_2) 之汲極(n^+ 型半導體區域14)之交叉結合(close-couple)配線41，以插塞41，41上重疊構

成縱型 MISFET (SV_1 , SV_2)之四方柱狀之積層體(P)之方式形成。

亦即，從平面觀察以驅動 MISFET (DR_1 , DR_2)之汲極(n^+ 型半導體區域14)上重疊四方柱狀之積層體(P)之方式形成，自驅動 MISFET (DR_1 , DR_2)之汲極(n^+ 型半導體區域14)至縱型 MISFET (SV_1 , SV_2)之下部半導體層(源極)47、中間半導體層48(基板、通道)及上部半導體層49(汲極)之電流路徑，主要以對基板之主面垂直方向上流動之方式形成。

藉此，可縮小記憶體胞尺寸。此外，自驅動 MISFET (DR_1 , DR_2)之汲極(n^+ 型半導體區域14)，經由縱型 MISFET (SV_1 , SV_2)而向互補性資料線(BLT, BLB)之電流路徑，主要係對基板之主面垂直方向上流動之方式形成，因此可提高記憶體胞(MC)之讀取、寫入動作速度。

縱型 MISFET (SV_1 , SV_2)之各個閘極54係以包圍四方柱狀之積層體(P)之各個側壁之方式形成，在該閘極54之更外側，與閘極54電性連接之字元線(WL)以包圍積層體(P)與其側壁之閘極54之方式形成。字元線(WL)如與閘極54相同，包含n型多晶矽等之導電膜。

如圖3所示，字元線(WL)係埋入形成於包含積層體(P)周圍之氧化矽膜55之絕緣膜上之溝56的內部。此外，如圖2所示，1條字元線(WL)從平面上觀察，係配置於2條基準電壓線34 (V_{ss}), 34 (V_{ss})之間，該2條基準電壓線係配置於1個記憶體胞之佔用區域上端側與下端側，與基準電壓線34 (V_{ss})相同，係沿著X方向延伸。

藉此，不擴大記憶胞尺寸而可擴大字元線(WL)之寬度，可以圍住構成縱型 MISFET (SV_1 , SV_2)之源極、基板(通道)、汲極區域之四方柱狀之積層體(P)之方式構成字元線(WL)。此外字元線(WL)如包含矽化鈷層 60 等之導電膜。此外，亦可以矽化膜、高熔點金屬膜、金屬膜等構成字元線(WL)。藉此，其電阻值降低，可使記憶胞(MC)之讀取、寫入動作速度提高。

在縱型 MISFET (SV_1 , SV_2)之上部，互補性資料線(BLT, BLB)係以橫切前述積層體(P)之方式延伸配置前述積層體(P)之上部。互補性資料線(BLT, BLB)之一(BLT)經由形成於一積層體(P)最上部之插塞 65，電性連接於縱型 MISFET (SV_1)之上部半導體層(汲極)49，另一(BLB)經由形成於另一積層體(P)最上部之插塞 65，電性連接於縱型 MISFET (SV_2)之上部半導體層(汲極)49。亦即，互補性資料線(BLT, BLB)係與前述積層體(P)重疊之方式配置，並與上部半導體層 49 (汲極)電性連接。

互補性資料線(BLT, BLB)如以銅(Cu)為主體之金屬膜構成，插塞 65 如以鎢為主體之金屬膜構成。藉此，可提高記憶胞(MC)之讀取、寫入動作速度。

如圖 2 所示，互補性資料線(BLT, BLB)之一(BLT)係以與形成有驅動 MISFET (DR_1)之活性區域(L)重疊之方式配置，並沿著 Y 方向延伸。此外，互補性資料線(BLT, BLB)之另一(BLB)係以與形成有驅動 MISFET (DR_2)之活性區域(L)重疊之方式配置，並沿著 Y 方向延伸。藉此可縮小記憶胞尺

寸。

因而，本實施形態之SRAM係以2個驅動MISFET (DR_1 ， DR_2)及2個縱型MISFET (SV_1 ， SV_2)構成記憶胞，以在驅動MISFET (DR_1)之上方形形成縱型MISFET (SV_1)，並且與驅動MISFET (DR_1)重疊之方式配置。此外，以在驅動MISFET (DR_2)之上方形形成縱型MISFET (SV_2)，並且與驅動MISFET (DR_2)重疊之方式配置。藉由該構造，記憶胞之佔用面積實質上等於2個驅動MISFET (DR_1 ， DR_2)之佔用面積，因此約為以6個MISFET構成之相同設計原則之完全CMOS型記憶胞的3分之1。

此外，由於本實施形態之SRAM係於n通道型之驅動MISFET (DR_1 ， DR_2)上方形成p通道型之縱型MISFET (SV_1 ， SV_2)，因此與在基板之n型井上形成p通道型之負荷MISFET之完全CMOS型記憶胞不同，1個記憶胞之佔用區域內不需要分離p型井與n型井之區域。因此記憶胞之佔用面積進一步縮小，而約為以6個MISFET構成之相同設計原則之完全CMOS型記憶胞的4分之1，因此可實現高速、大容量之SRAM。

其次，使用圖4至圖61，說明本實施形態之SRAM進一步詳細構造及其製造方法。另外，在說明SRAM之製造方法的各剖面圖中，註記符號A，A'之部分表示沿著前述圖2之A-A'線之記憶胞之剖面，註記符號B，B'之部分表示沿著前述圖2之B-B'線之記憶胞之剖面，其他部分表示周邊電路區域之一部分的剖面。此外，SRAM之周邊電路係以n通道型

MISFET與p通道型MISFET構成，不過此等兩種MISFET，除導電型相反之外，具有大致相同之構造，因此圖上僅顯示其一(p通道型MISFET)。此外，藉由構成周邊電路之n通道及p通道型MISFET，構成X及Y解碼電路、感測放大電路、輸入輸出電路、邏輯電路等，不過並不限定於此，亦可構成微處理器、CPU等之邏輯電路。再者，說明SRAM之製造方法之各平面圖(記憶體陣列之平面圖)上僅顯示構成記憶胞之主要導電層與此等之連接區域，而形成於導電層間之絕緣膜等的圖式原則上省略。

首先，如圖4及圖5所示，如於包含p型單晶矽之基板1主面之元件分離區域內形成元件分離溝2。元件分離部如乾式蝕刻基板1主面而形成溝，繼續在包含該溝2內部的基板1上，以CVD法堆積氧化矽膜3等之絕緣膜後，藉由以化學機械研磨(Chemical Mechanical Polishing; CMP)法研磨、除去溝2外部不需要之氧化矽膜3，藉由於元件分離溝2內埋入氧化矽膜3而形成。藉由形成該元件分離部，在記憶體陣列之基板1主面上形成藉由元件分離部定義周圍之島狀活性區域(L)。

如圖4所示，形成於記憶體陣列之基板1之活性區域(L)具有延伸於圖之縱方向(Y方向)之長方形的平面圖案。此等活性區域(L)分別藉由鄰接於Y方向之2個記憶胞共用。亦即，1個活性區域(L)內逐一形成1個記憶胞之驅動MISFET (DR₁或DR₂)與鄰接於Y方向之另1個記憶胞之驅動MISFET (DR₁或DR₂)。

圖 6 顯示形成於約 12 個記憶胞佔用區域之活性區域(L)的平面圖案。圖 4 及圖 6 上顯示之以 4 個 (+) 符號包圍之矩形區域表示 1 個記憶胞的佔用區域，其縱方向(Y 方向)尺寸如為 $0.78\ \mu\text{m}$ ，橫方向(X 方向)之尺寸如為 $0.72\ \mu\text{m}$ 。亦即，1 個記憶胞之佔用面積為 $0.72\ \mu\text{m} \times 0.78\ \mu\text{m} = 0.5616\ \mu\text{m}^2$ 。

其次，如圖 7 所示，如於基板 1 之一部分內佈植磷(P)離子，另一部分佈植硼(B)離子後，將基板 1 予以熱處理，藉由使磷及硼擴散於基板 1 中，而形成 p 型井 4 及 n 型井 5。如圖所示，於記憶體陣列之基板 1 上，僅形成有 p 型井 4 而未形成 n 型井 5。另外，於周邊電路區域之基板 1 上形成 n 型井 5 與無圖式之 p 型井。

其次，如圖 8 所示，將基板 1 予以熱氧化，而在 p 型井 4 及 n 型井 5 之各個表面形成如包含氧化矽之膜厚約 3 nm 至 4 nm 之閘極絕緣膜 6。繼續，如在 p 型井 4 之第一閘極絕緣膜 6 上形成 n 型多晶矽膜 7n，在 n 型井 5 之第一閘極絕緣膜 6 上形成 p 型多晶矽膜 7p 後，分別於 n 型多晶矽膜 7n 及 p 型多晶矽膜 7p 之上部，以 CVD 法堆積膜厚約 40 nm 之氧化矽膜 8。

形成 n 型多晶矽膜 7n 及 p 型多晶矽膜 7p 時，在閘極絕緣膜 6 上以 CVD 法堆積膜厚約 180 nm 之非摻雜多晶矽膜(或非晶矽膜)，繼續，於 p 型井 4 上之多晶矽膜(或非晶矽膜)內佈植磷(或砷)離子，於 n 型井 5 上之多晶矽膜(或非晶矽膜)內佈植硼離子。

其次，如圖 9 及圖 10 所示，如藉由乾式蝕刻 n 型多晶矽膜 7n 及 p 型多晶矽膜 7p，在記憶體陣列之 p 型井 4 上形成包含 n

型多晶矽膜7n之閘極7A，在周邊電路區域之n型井5上形成包含p型多晶矽膜7p之閘極7B。此時，於周邊電路區域之p型井4上形成包含n型多晶矽膜7n之閘極，不過圖上並未顯示。

形成閘極7A，7B時，如首先以將光阻膜作為掩模之乾式蝕刻，將氧化矽膜8以形成與閘極7A，7B相同平面形狀之方式予以圖案化，其次將經過圖案化之氧化矽膜8作為掩模，乾式蝕刻n型多晶矽膜7n及p型多晶矽膜7p。由於氧化矽對多晶矽之蝕刻選擇比大於光阻，因此，與將光阻膜作為掩模蝕刻多晶矽膜(7n，7p)，連續蝕刻氧化矽膜8與多晶矽膜(7n，7p)時比較，可以良好之精度將閘極7A，7B予以圖案化。

形成於記憶體陣列之閘極7A構成驅動MISFET(DR₁，DR₂)之閘極。如圖9所示，該閘極7A具有延伸於圖之X方向之長方形的平面圖案，Y方向之寬度，亦即閘長約為0.13至0.14 μm 。

此外，如圖9所示，形成於1個記憶胞佔用區域之2個閘極7A，7A之佈局，其沿著X方向鄰接之記憶胞彼此相同，沿著Y方向鄰接之記憶胞彼此反相。亦即，沿著X方向配置之數個記憶胞形成彼此相同之佈局。而沿著Y方向配置之數個記憶胞形成鄰接之各記憶胞彼此反相之佈局。

上述閘極7A，7B亦可採如下之方法形成。首先，如圖11及圖12所示，如將第一光阻膜16a作為掩模乾式蝕刻氧化矽膜8。此時，如圖11所示，係將氧化矽膜8圖案化成沿著X

方向之帶狀。其次，如圖 13 及圖 14 所示，將第二光阻膜 16b 作為掩模，以形成與閘極 7A，7B 相同平面形狀(長方形)之方式將氧化矽膜 8 予以圖案化。而後，如將該氧化矽膜 8 作為掩模，乾式蝕刻 n 型多晶矽膜 7n 及 p 型多晶矽膜 7p。

因而，上述蝕刻方法係將氧化矽膜 8 沿著 X 方向予以圖案化後，再沿著 Y 方向圖案化。或是，亦可沿著 Y 方向圖案化後，再沿著 X 方向圖案化。採用該蝕刻方法形成與閘極 7A 相同平面形狀(長方形)之氧化矽膜 8 時，雖需要進行使用兩片不同掩模之兩次蝕刻步驟，不過與以使用一片掩模之一次蝕刻形成與閘極 7A 相同平面形狀(長方形)之氧化矽膜 8 時比較，可減少圖案之變形。

亦即，閘極 7A 之閘長非常接近曝光之光的波長時，以一次蝕刻形成長方形圖案時，長方形之四個角因光之干擾而變圓。因而在閘極 7A 之端部附近圖案寬減少，此及於活性區域(L)之內側時，可能使驅動 MISFET (DR_1 ， DR_2) 之特性惡化。

因而，預先將閘極 7A 之端部遠離活性區域(L)時，即可避免該問題。但是，該方法對元件之配置密度低之邏輯電路及電源電路等周邊電路雖可行，但是不適用於記憶體陣列等需要提高元件之配置密度的電路。而以使用兩片掩模之兩次蝕刻形成長方形之閘極圖案時，長方形之四個角的圓度變小，閘極 7A 之端部向活性區域(L)之內側後退量變小，因此可抑制驅動 MISFET (DR_1 ， DR_2) 之特性的惡化。此外，此時由於可使閘極 7A 之端部靠近活性區域(L)，因此，該

部分可縮小相鄰之各活性區域(L)之間隔，可製作高積體之記憶晶片及系統晶片。

其次，如圖15所示，如藉由於p型井4內佈植磷或砷離子，而形成濃度較低之 n^- 型半導體區域9，藉由於n型井5內佈植硼離子，而形成濃度較低之 p^- 型半導體區域10。 n^- 型半導體區域9係為求將驅動MISFET (DR_1 , DR_2)及周邊電路之n通道型MISFET之各個源極、汲極形成LDD(輕微摻雜汲極)構造而形成， p^- 型半導體區域10係為求將周邊電路之p通道型MISFET之源極、汲極形成LDD構造而形成。

其次，如圖16所示，於基板1上，以CVD法堆積膜厚約20 nm之氧化矽膜11及膜厚約25 nm之氮化矽膜12後，如圖17所示，藉由異方性蝕刻氮化矽膜12及氧化矽膜11，在閘極7A，7B之各個側壁上形成側壁間隔物13。且此時，藉由蝕刻覆蓋閘極7A，7B之各個上面之氧化矽膜8及基板1表面之氧化矽膜(閘極絕緣膜6)，使閘極7A，7B之各個表面及 n^- 型半導體區域9、 p^- 型半導體區域10之各個表面露出。

其次，如圖18所示，藉由於p型井4內佈植磷或砷離子，而形成濃度較高之 n^+ 型半導體區域14，藉由於n型井5內佈植硼離子，而形成濃度較高之 p^+ 型半導體區域15。形成於記憶體陣列之p型井4內之 n^+ 型半導體區域14構成驅動MISFET (DR_1 , DR_2)之源極、汲極，形成於周邊電路區域之n型井5內之 p^+ 型半導體區域15構成周邊電路之p通道型MISFET之源極、汲極。且此時，藉由於周邊電路區域之圖上未顯示之p型井內佈植磷或砷離子，而形成構成n通道型

MISFET之源極、汲極之濃度較高之 n^+ 型半導體區域。

其次，如圖19所示，如以濺射法於基板1上堆積膜厚約8 nm之鈷(Co)膜17。繼續，如圖20所示，將基板1予以熱處理，使鈷膜17與閘極7A，7B及基板1反應後，藉由蝕刻除去未反應之鈷膜17，在閘極7A，7B之各個表面與源極、汲極(n^+ 型半導體區域14、 p^+ 型半導體區域15)之各個表面形成矽化層之矽化鈷層18。藉由前述之步驟，於記憶體陣列上形成n通道型之驅動MISFET (DR_1 ， DR_2)，於周邊電路區域內形成p通道型MISFET (Q_p)及n通道型MISFET (圖上未顯示)。

其次，如圖21所示，如以CVD法在基板1上堆積膜厚約50 nm之氮化矽膜20及膜厚約400 nm之氧化矽膜21，作為絕緣膜，繼續以化學機械研磨法將氧化矽膜21之表面予以平坦化後，於氧化矽膜21上部如以CVD法堆積膜厚約90 nm之氧化矽膜22作為絕緣膜。

其次，如圖22及圖23所示，藉由將光阻膜23作為掩模，乾式蝕刻上述氧化矽膜22，21及氮化矽膜20，於驅動MISFET (DR_1 ， DR_2)之 n^+ 型半導體區域14(源極、汲極)之一(源極)的上部形成接觸孔24，於周邊電路區域之p通道型MISFET (Q_p)之閘極7B及 p^+ 型半導體區域(源極、汲極)之上部形成接觸孔25，26。

其次，如圖24所示，於上述接觸孔24，25，26之內部形成插塞27。插塞27係藉由如在包含接觸孔24，25，26內部之氧化矽膜22上，以濺射法堆積鈦(Ti)膜及氮化鈦(TiN)膜

，繼續以CVD法堆積氮化鈦膜及作為金屬膜之鎢(W)膜後，藉由化學機械研磨法除去氧化矽膜22上部不需要之鎢膜、氮化鈦膜及鈦膜，埋入接觸孔24，25，26內而形成。插塞27亦可藉由包含氮化鈦膜與鎢膜之積層膜等構成，來取代上述之包含鈦膜、氮化鈦膜及鎢膜之積層膜。

其次，如圖25所示，如以CVD法在基板1上堆積膜厚約20 nm之氮化矽膜20及膜厚約400 nm之氧化矽膜21作為絕緣膜後，藉由將光阻膜30作為掩模，乾式蝕刻氧化矽膜21及氮化矽膜20，形成通過接觸孔24，25，26之上部而延伸於特定方向之配線溝31，32，33。

氧化矽膜21下層之氮化矽膜20係用作蝕刻氧化矽膜21時之阻止膜。亦即，在形成接觸孔24，25，26時，首先蝕刻氧化矽膜21，在下層之氮化矽膜20表面停止蝕刻後，蝕刻氮化矽膜20。藉此，即使因光罩未對準造成配線溝31與其下層之接觸孔24之位置產生偏差時，配線溝31下層之氧化矽膜22，21仍不致被過度蝕刻。

其次，如圖26及圖27所示，於形成在記憶體陣列內之配線溝31內部形成基準電壓線34 (Vss)，在形成於周邊電路區域之配線溝32，33內部形成包含導電膜之第一層配線35，36。基準電壓線34 (Vss)及第一層配線35，36係藉由如在包含配線溝31，32，33內部之氧化矽膜29上，以濺射法堆積氮化鈦膜，繼續以CVD法堆積金屬膜之鎢膜後，藉由化學機械研磨法除去氧化矽膜29上部不需要之鎢膜及氮化鈦膜，埋入配線溝31，32，33內而形成。

因而，以記憶胞形成區域內之第一層配線之基準電壓線34 (Vss)及與插塞27相同配線層及插塞層，構成電性連接構成周邊電路之n通道型MISFET及p通道型MISFET之源極區域、汲極區域、閘極間之配線35，36與插塞27。藉此，構成周邊電路之n通道型MISFET及p通道型MISFET之源極區域、汲極區域、閘極間之連接中，可縮短電流路徑之長度，可提高半導體記憶裝置之電路動作特性。

如圖26所示，形成於記憶體陣列之基準電壓線34 (Vss)配置於鄰接於Y方向之記憶胞之邊界區域，並沿著X方向彼此平行地延伸。基準電壓線34 (Vss)經由接觸孔24內之插塞27而電性連接於驅動MISFET (DR_1 ， DR_2)之源極(n^+ 型半導體區域14)。基準電壓線34 (Vss)連接之源極(n^+ 型半導體區域14)為鄰接於Y方向之2個驅動MISFET (DR_1 ， DR_1 或 DR_2 ， DR_2)內共用之源極。亦即，各個基準電壓線34 (Vss)由鄰接於Y方向之2個記憶胞之驅動MISFET (DR_1 ， DR_1 或 DR_2 ， DR_2)共用，在驅動MISFET (DR_1 ， DR_1 或 DR_2 ， DR_2)內共用之源極(n^+ 型半導體區域14)上供給電路之基準電壓(Vss，如0 V)。

其次，如圖28及圖29所示，如以CVD法在基板1上堆積膜厚約100 nm之氮化矽膜38，作為絕緣膜後，將光阻膜39作為掩模，藉由依序乾式蝕刻氮化矽膜38、氧化矽膜29、氮化矽膜28、氧化矽膜22，21及氮化矽膜20，形成露出驅動MISFET (DR_1 ， DR_2)之各個閘極7A之一端部及汲極(n^+ 型半導體區域14)之一部分的接觸孔40。

如圖 28 所示，接觸孔 40 在各個記憶胞上各形成 2 個。亦即，一接觸孔 40 形成於橫跨驅動 MISFET (DR_1) 之閘極 7A 與驅動 MISFET (DR_2) 之汲極 (n^+ 型半導體區域 14) 之區域，另一接觸孔 40 形成於橫跨驅動 MISFET (DR_2) 之閘極 7A 與驅動 MISFET (DR_1) 之汲極 (n^+ 型半導體區域 14) 之區域。

因而，接觸孔 40 需要同時露出閘極 7A 之一端部與鄰接其之汲極 (n^+ 型半導體區域 14) 之一部分，因此係以大於連接源極 (n^+ 型半導體區域 14) 與基準電壓線 34 (V_{ss}) 之前述接觸孔 24 之面積形成。因而，如圖 28 所示，形成於同一記憶胞內之 2 個接觸孔 40，40 彼此距離 (d) 非常短。因而 2 個接觸孔 40，40 可能因用於光阻膜 39 曝光之光之干擾而彼此連繫。

其因應對策，亦可將形成於同一個記憶胞內之 2 個接觸孔 40，40，以使用兩片不同之光罩之兩次蝕刻來形成。亦即，首先如圖 30 所示，如以將第一光阻膜作為掩模之蝕刻形成一接觸孔 40a，其次，如圖 31 所示，以將第二光阻膜作為掩模之蝕刻形成另一接觸孔 40b。如此，接觸孔 40a，40b 之四個角因光之干擾而變圓，同樣地，接觸孔 40b 之四個角亦因光之干擾而變圓，因此接觸孔 40a 與接觸孔 40b 之距離 (d) 有效地變長，可防止兩者之連繫。

其次，如圖 32 所示，於接觸孔 40 內部形成插塞 41。插塞 41 如藉由在包含接觸孔 40 內部之氮化矽膜 38 上，以濺射法堆積鈦膜及氮化鈦膜，繼續以 CVD 法堆積氮化鈦膜及作為金屬膜之鎢膜後，藉由化學機械研磨法除去氮化矽膜 38 上部不需要之鎢膜、氮化鈦膜及鈦膜，埋入接觸孔 40 內而形

成。插塞41亦可藉由如包含氮化鈦膜與鎢膜之積層膜及摻雜雜質之n型或p型之多晶矽膜構成。另外，插塞41，41構成電性連接一驅動MISFET (DR_1 ， DR_2)之閘極7A與另一驅動MISFET (DR_1 ， DR_2)之汲極(n^+ 型半導體區域14)之交叉耦合配線41。此外，藉由以其他步驟進行插塞41，40a，40b之形成步驟，與基準電壓線34 (V_{ss})、31及插塞27，24之形成步驟，可縮短此等間之間隔，可縮小記憶胞尺寸。亦即，插塞41，40a，40b係以與插塞27，24不同之插塞層構成，並且以亦與基準電壓線34 (V_{ss})，31不同之層構成，因此可縮小記憶胞尺寸。

其次，如圖33及圖34所示，如以CVD法在基板1上堆積膜厚約150 nm之氧化矽膜42作為絕緣膜後，藉由將光阻膜44作為掩模，乾式蝕刻氧化矽膜42，形成插塞41之表面露出於底部之溝45。

如圖33所示，溝45在各個記憶胞上各形成2個。一溝45具有通過一接觸孔40上部而延伸於Y方向之長方形的平面圖案，另一溝45具有通過另一接觸孔40上部而延伸於Y方向之長方形的平面圖案。

其次，如圖35及圖36所示，在溝45之內部形成連接用導電層46。連接用導電層46如後述，係以耐氧化性之導電膜構成。連接用導電層46如藉由在包含溝45內部之氧化矽膜42上，以濺射法堆積矽化鎢(WSi_2)膜後，藉由化學機械研磨法除去氧化矽膜42上部不需要之矽化鎢膜，埋入溝45內部而形成。連接用導電層46亦可以在鎢膜等金屬膜上堆疊

矽化鎢膜之導電膜構成。此外，亦可以在氮化鎢膜上堆疊鎢膜之導電膜構成，此時與使用矽化鎢膜時比較，連接用導電層46之表面耐氧化性雖降低，但是可降低電阻。

各個記憶胞上形成有各2個之上述連接用導電層46，46之一經由插塞41而電性連接於驅動MISFET (DR_1)之閘極7A及驅動MISFET (DR_2)之汲極(n^+ 型半導體區域14)，另一經由插塞41而電性連接於驅動MISFET (DR_2)之閘極7A及驅動MISFET (DR_1)之汲極(n^+ 型半導體區域14)。

上述連接用導電層46係為求電性連接驅動MISFET (DR_1 ， DR_2)之汲極(n^+ 型半導體區域14)與爾後步驟所形成之縱型MISFET (SV_1 ， SV_2)之源極或汲極而形成。亦即連接用導電層46係以從平面上觀察，與插塞41重疊，且沿著Y方向延伸至另一驅動MISFET之閘極7A上部的方式配置。

驅動MISFET (DR_1 ， DR_2)之汲極(n^+ 型半導體區域14)與縱型MISFET (SV_1 ， SV_2)之源極或汲極亦可不經由連接用導電層46連接。亦即，亦可於電性連接於驅動MISFET (DR_1 ， DR_2)之汲極(n^+ 型半導體區域14)之插塞41上，直接形成縱型MISFET (SV_1 ， SV_2)之源極或汲極。此時，於後述之形成縱型MISFET (SV_1 ， SV_2)之閘極絕緣膜用之熱氧化步驟中，需要採取防止於插塞41表面形成絕緣性之氧化物的對策。

另外，在插塞41與縱型MISFET (SV_1 ， SV_2)之間設置上述連接用導電層46時，在形成縱型MISFET (SV_1 ， SV_2)之閘極絕緣膜用之熱氧化步驟中，插塞41之表面不致被氧化。但是，此時，為求避免在上述熱氧化步驟中造成連接用導電

層 46 異常氧化，須使用前述矽化鎢(WSi_2)等氧化控制性良好之導電材料來形成連接用導電層 46。氧化控制性良好之導電材料，除矽化鎢(WSi_2)之外，亦可採用如多晶矽。

此外，因矽化鎢(WSi_2)與氧化矽之密著性低，因此以矽化鎢(WSi_2)膜構成連接用導電層 46 時，在化學機械研磨步驟中，在與氧化矽膜 42 之界面上產生剝離。其因應對策亦可，如在矽化鎢(WSi_2)膜之下層設置對氧化矽密著性佳之氮化鈦膜等接著層，或是在氧化矽膜 42 上部堆積較薄之對矽化鎢(WSi_2)密著性佳之絕緣膜之氮化矽膜等。

其次，如圖 37 所示，於氧化矽膜 42 及連接用導電層 46 之上部形成如膜厚約 100 nm 之 p 型矽膜 47p、膜厚約 400 nm 之矽膜 48i 及膜厚約 200 nm 之 p 型矽膜 49p。形成此等三層之矽膜(47p, 48i, 49p)時，係以 CVD 法依序堆積摻雜硼之非晶矽膜、非摻雜之非晶矽膜及摻雜硼之非晶矽膜，繼續藉由熱處理，將此等非晶矽膜予以晶化。非晶矽膜之晶化，亦可利用後述之形成閘極絕緣膜用之熱氧化步驟等來進行。

此外，三層之矽膜(47p, 48i, 49p)亦可以 CVD 法依序堆積摻雜硼之非晶矽膜及非摻雜之非晶矽膜後，進行熱處理，將此等非晶矽膜予以晶化，繼續於非摻雜之非晶矽膜內佈植 n 型或 p 型雜質離子(通道摻雜)後，以 CVD 法堆積摻雜硼之非晶矽膜，進一步進行熱處理，藉由將該非晶矽膜予以晶化而形成。

藉此，於非摻雜之非晶矽膜晶化中，可形成大的結晶粒，可提高縱型 MISFET (SV_1 , SV_2)之特性。此外，藉由調整

對基板1主面垂直方向上之通道雜質的剖面，將縱型 MISFET之基板之中間半導體層48予以完全空乏化，與接通電流($I_{ON}(P)$)比較，可減少切斷漏電流($I_{OFF}(P)$)。另外，進行通道摻雜時，亦可在非摻雜之非晶矽膜上形成氧化矽膜，作為通過絕緣膜，以通過通過絕緣膜之離子佈植法，於中間半導體層48內導入(通道摻雜)雜質。此時，於通道摻雜後，除去通過絕緣膜，而後，以CVD法堆積摻雜硼之非晶矽膜49p。

其次，如圖38所示，如以CVD法在p型矽膜47p之上部堆積膜厚約400 nm之氮化矽膜50，作為絕緣膜。該氮化矽膜50係用作蝕刻三層之矽膜(47p, 48i, 49p)時之掩模。由於氮化矽之對矽蝕刻選擇比大於光阻，因此比將光阻膜作為掩模之蝕刻，可將矽膜(47p, 48i, 49p)精度良好地予以圖案化。

其次，如圖39所示，於氮化矽膜50上部形成光阻膜51，繼續如圖40所示，在該光阻膜51上實施細線化(slimming)處理。具體而言，係利用臭氧熱分解而產生之氧自由基，藉由將光阻膜51予以局部灰化，使光阻膜51之圖案寬比曝光之光的波長微細化。此時藉由該細線化處理，將光阻膜51之圖案寬度微細化至約0.1 μm 。

其次，如圖41所示，將微細化之光阻膜51作為掩模，乾式蝕刻氮化矽膜50。藉此，可獲得包含X方向之圖案寬度微細化至約0.1 μm 之氮化矽膜50的蝕刻掩模。

其次，如圖42及圖43所示，將氮化矽膜50作為掩模，乾

式蝕刻三層之矽膜(47p, 48i, 49p)。藉此，於連接用導電層46上部形成藉由包含p型矽膜47p之下部半導體層47、包含矽膜48i之中間半導體層48、及包含p型矽膜49p之上部半導體層49構成之四方柱狀之積層體(P)。積層體(P)從平面上觀察，係以驅動MISFET (DR_1 , DR_2)之汲極(n^+ 型半導體區域14)與下部半導體層47、中間半導體層48及上部半導體層49重疊之方式形成。

上述積層體(P)之下部半導體層47構成縱型MISFET (SV_1 , SV_2)之源極，上部半導體層49構成汲極。位於下部半導體層47與上部半導體層49之間之中間半導體層48實質上構成縱型MISFET (SV_1 , SV_2)，其側壁構成通道區域。

由於上述積層體(P)係將X方向之圖案寬微細化至約0.1 μm 之氮化矽膜50作為蝕刻掩模而形成，因此構成縱型MISFET (SV_1 , SV_2)基板之中間半導體層48之X方向的尺寸微細化至約0.1 μm 。藉此，將中間半導體層48作為基板之縱型MISFET (SV_1 , SV_2)成為完全空乏型。

亦即，以包圍縱型MISFET (SV_1 , SV_2)基板(通道)之四方柱狀之中間半導體層48側壁之方式而形成閘極54，因此經微細化之中間半導體層48完全被空乏化，而成為完全空乏型之縱型MISFET (SV_1 , SV_2)。藉此，與縱型MISFET (SV_1 , SV_2)之接通電流($I_{ON}(P)$)比較，可減少漏電流($I_{OFF}(P)$)，可擴大通道寬。由於完全空乏型之MISFET之特性較不易因基板中之雜質而變動，因此可抑制因構成下部半導體層47及上部半導體層49之p型多晶矽膜中之雜質擴散至中間半

導體層 48 而引起縱型 MISFET (SV_1 , SV_2) 之特性的變動。

另外，為求防止構成下部半導體層 47 及上部半導體層 49 之 p 型多晶矽膜中之雜質擴散至中間半導體層 48，亦可於上部半導體層 49 與中間半導體層 48 之界面近旁、下部半導體層 47 與中間半導體層 48 之界面近旁、及中間半導體層 48 之一部分等上設置以氮化矽膜等構成之一層或數層隧道絕緣膜。亦即，藉由設置無法觀察出縱型 MISFET (SV_1 , SV_2) 之隧道電流 (I_{ds}) 損失 (Loss) 程度之薄隧道絕緣膜，可防止雜質擴散，並且提高縱型 MISFET (SV_1 , SV_2) 之性能。

其次，如圖 44 所示，藉由熱氧化基板 1，於積層體 (P) (下部半導體層 47、中間半導體層 48、上部半導體層 49) 之側壁表面形成包含氧化矽之膜厚約 10 nm 之閘極絕緣膜 53。此外，藉由該氧化，在露出於積層體 (P) 底部周圍之連接用導電層 46 的表面形成主要包含矽化鎢之氧化物的氧化層。閘極絕緣膜 53 如以 800°C 以下之低溫熱氧化 (如 wet 氧化) 形成，不過並不限定於此，如亦可以 CVD 法堆積之氧化矽膜構成。此外，亦可以 CVD 法堆積之氧化鈦 (HfO_2) 及氧化鉭 (Ta_2O_5) 等高電介質膜構成。因而，可藉由以低溫製程形成之閘極絕緣膜 53，減少因熱處理引起之縱型 MISFET (SV_1 , SV_2) 之臨限值 (V_{th}) 等之特性不均一的問題。

其次，如圖 45 及圖 46 所示，於積層體 (P) 之側壁形成縱型 MISFET (SV_1 , SV_2) 之閘極 54。形成閘極 54 時，如於基板 1 上，以 CVD 法堆積摻雜磷之 n 型多晶矽膜，繼續，藉由異方性蝕刻該 n 型多晶矽膜，而保留於積層體 (P) 之側壁上。

亦即，閘極54係經由閘極絕緣膜53，對積層體(P)自對準地形成側壁間隔物狀，且自對準地圍住積層體(P)(中間半導體層48)側壁周圍之方式而形成。藉此，可減少製程，可使記憶胞尺寸微細化。閘極54亦可以摻雜硼之p型多晶矽膜等構成。

其次，如圖47所示，在包含閘極54之基板1上部，以CVD法堆積氧化矽膜55，作為絕緣膜。氧化矽膜55係以比積層體(P)高度更厚之膜厚堆積。

其次，如圖48及圖49所示，藉由將光阻膜(圖上未顯示)作為掩模，乾式蝕刻氧化矽膜55，形成將積層體(P)周圍予以開口之溝56。如圖49所示，溝56形成於彼此鄰接之基準電壓線34(V_{ss})，34(V_{ss})之間，並沿著X方向延伸成帶狀。

溝56之Y方向之線寬構成大於側壁間隔物狀之閘極54之Y方向之寬度，並將側壁間隔物狀之閘極54之整個周圍予以開口之方式形成。

溝56之深度以形成於積層體(P)側壁之閘極54露出某種程度之方式來形成深度。如後述，溝56之內部形成電性連接於沿著X方向配置之縱型MISFET(SV₁，SV₂)之各個閘極54的字元線(WL)。

其次，如圖50所示，於溝56之內部形成與閘極54相同導電型之多晶矽膜57。具體而言，在包含溝56內部之氧化矽膜55上，以CVD法堆積n型(或p型)多晶矽膜57，繼續藉由化學機械研磨或回蝕，除去氧化矽膜55上之多晶矽膜57。埋入溝56內部之多晶矽膜57係構成字元線(WL)之導電膜。

因而，構成字元線(WL)之導電膜57係以在側壁間隔物狀之閘極54與其整個周圍接觸之方式構成。藉此，可減少字元線(WL)之電阻值，且可降低與閘極54之接觸電阻。

其次，如圖51所示，藉由回蝕溝56內部之多晶矽膜57及閘極54，使多晶矽膜57及閘極54之各個上面後退於氧化矽膜55之上面更下方。

其次，如圖52所示，在位於多晶矽膜57上面更上方之氧化矽膜55及積層體(P)之各個側壁上形成包含絕緣膜之側壁間隔物58後，在包含多晶矽膜57表面之基板1上，如以濺射法堆積膜厚約8 nm之鈷膜59。形成側壁間隔物58時，係以CVD法在基板1上堆積氧化矽膜，繼續異方性蝕刻該氧化矽膜。

其次，如圖53所示，熱處理基板1，使鈷膜59與多晶矽膜(多晶矽膜57及閘極54)反應後，藉由以蝕刻除去未反應之鈷膜59，而在多晶矽膜57及閘極54之各個表面形成矽化鈷層60。矽化鈷層60係為求降低字元線(WL)與上層之金屬配線之接觸電阻而形成。

藉由前述之步驟，於溝56內部形成藉由多晶矽膜57構成之字元線(WL)。如圖54所示，字元線(WL)形成於彼此鄰接之基準電壓線34 (V_{ss})，34 (V_{ss})之間，並沿著X方向延伸成帶狀。此外，藉由前述之步驟，於n通道型之驅動MISFET (DR_1)上部形成p通道型之縱型MISFET (SV_1)，同樣地於n通道型之驅動MISFET (DR_2)上部形成p通道型之縱型MISFET (SV_2)，大致完成以2個驅動MISFET (DR_1 ， DR_2)與

2個縱型 MISFET (SV_1 , SV_2)構成之記憶胞。

其次，如圖55所示，在形成有字元線(WL)之溝56內部如埋入氧化矽膜61作為絕緣膜。具體而言，係在包含溝56內部之氧化矽膜55上，以CVD法堆積氧化矽膜61，繼續以化學機械研磨法除去溝56外部不需要之氧化矽膜61。氧化矽膜61之研磨係進行至形成於積層體(P)最上部之氮化矽膜50的表面露出為止。

其次，如圖56所示，在形成於周邊電路區域之第一層配線35，36上部形成通過孔62，63，繼續，在通過孔62，63內部形成插塞64。形成插塞64時，首先藉由將光阻膜(圖上未顯示)作為掩模，乾式蝕刻周邊電路區域之氧化矽膜55、其下層之氧化矽膜42及氮化矽膜38，在第一層配線35，36上部形成通過孔62，63。其次，在包含通過孔62，63內部之氧化矽膜55上，以濺射法堆積氮化鈦膜，進一步以CVD法堆積金屬膜之鎢膜後，以化學機械研磨法除去通過孔62，63外部不需要之鎢膜及氮化鈦膜，而形成埋入通過孔62，63內之插塞64。插塞64亦可以鈦膜或包含氮化鈦膜與鎢膜之積層膜等構成。

其次，如圖57所示，藉由除去形成於積層體(P)最上部之氮化矽膜50，使上部半導體層49之表面露出，此處形成插塞65。形成插塞65時，首先藉由以使用熱磷酸等之濕式蝕刻除去氮化矽膜50，使上部半導體層49之表面露出。其次，在包含因除去氮化矽膜50而產生之溝內部之氧化矽膜55，61上，以濺射法堆積氮化鈦膜，進一步以CVD法堆積鎢

膜後，以化學機械研磨法除去溝外部不需要之氮化鈦膜及鎢膜，形成埋入因除去氮化矽膜50產生之溝內之插塞65。插塞65亦可以鈦膜或包含氮化鈦膜與鎢膜之積層膜等構成。形成於上部半導體層49上部之插塞65係為求電性連接下一步驟中形成之互補性資料線(BLT, BLB)與半導體層49而形成。

另外，亦可在上部半導體層49上部形成插塞65步驟之前，如圖58所示，在上部半導體層49表面形成矽化鈷層73，而後，在矽化鈷層73上部形成插塞65。形成矽化鈷層73時，首先除去氮化矽膜50，使上部半導體層49表面露出，繼續在包含上部半導體層49表面之基板1上，以濺射法堆積鈷膜厚，熱處理基板1，使包含鈷膜與多晶矽膜之上部半導體層49反應，而後，蝕刻除去未反應之鈷膜。矽化鈷層73係為求降低互補性資料線(BLT, BLB)與半導體層49之接觸電阻而形成。

其次，如圖59所示，以CVD法在基板1上堆積膜厚約25 nm之碳化矽膜66與膜厚約300 nm之氧化矽膜67後，藉由將光阻膜(圖上未顯示)作為掩模，乾式蝕刻氧化矽膜67與碳化矽膜66，在形成於記憶體陣列之上部半導體層49上部形成配線溝68，在形成於周邊電路區域之插塞64上部形成配線溝69，70。

其次，如圖60及圖61所示，在配線溝68內部形成互補性資料線(BLT, BLB)，在配線溝69，70內部形成周邊電路之第二層配線71，72。互補性資料線(BLT, BLB)及第二層配

線 71，72 係藉由在包含配線溝 68，69，70 內部之氧化矽膜 67 上，以濺射法堆積氮化鈮 (TaN) 膜，進一步以濺射法或電鍍法堆積金屬膜之銅膜後，以化學機械研磨法除去溝外部不需要之銅膜及氮化鈮膜，埋入配線溝 68，69，70 內而形成。如圖 60 所示，互補性資料線 (BLT，BLB) 之一 (BLT) 係形成於沿著 Y 方向配置之縱型 MISFET (SV_1) 上部，另一 (BLB) 係形成於沿著 Y 方向配置之縱型 MISFET (SV_2) 上部。

藉由前述之步驟，完成前述圖 2、圖 3 所示之本實施形態之 SRAM。而後，在互補性資料線 (BLT，BLB) 及第二層配線 71，72 之各個上部，經由層間絕緣膜形成包含金屬膜之上層配線，不過省略此等之圖式。

(第二種實施形態)

圖 62 係顯示本實施形態之 SRAM 之記憶胞之等價電路圖。本實施形態之 SRAM 構成為求抑制如因 α 射線造成記憶胞之軟體錯誤，而於前述第一種實施形態之記憶胞 (MC) 之一對電荷存儲節點 (A，B) 上形成電容元件 (CS_1 ， CS_2)。

亦即，電容元件 (CS_1 ， CS_2) 之各個一電極電性連接於電荷存儲節點 (A，B) 之驅動 MISFET (DR_1 ， DR_2) 之汲極區域，電容元件 (CS_1 ， CS_2) 之各個另一電極上施加基準電位 (V_{ss})。此外，於電容元件 (CS_1 ， CS_2) 之電極間形成如氮化矽等具有高於矽氧化膜之介電常數之電容絕緣膜。

上述電容元件 (CS_1 ， CS_2) 如可藉由以下的方法形成。首先，如圖 63 所示，蝕刻驅動 MISFET (DR_1 ， DR_2) 上部之絕緣膜，在 n^+ 型半導體區域 14 (源極) 上部形成接觸孔 24 後，在

接觸孔24內部埋入插塞27。之前的步驟與前述第一種實施形態之圖4至圖24所示的步驟相同。

其次，如圖64所示，藉由蝕刻氧化矽膜22，21及氮化矽膜20，在驅動MISFET (DR_1 , DR_2)之各個閘極7A上部形成接觸孔19。

其次，如圖65所示，在接觸孔19側壁，如形成鈦膜80作為導電膜，繼續，在接觸孔19側壁及底部形成包含氮化矽等之電容絕緣膜81後，如埋入金屬膜之鎢膜82。藉由於接觸孔19側壁形成鈦膜80，可擴大以閘極7A上面與鈦膜80構成之電容元件(CS_1 , CS_2)之一電極的面積。此外，亦可使用氮化鈦膜、多晶矽膜等之導電膜來取代鈦膜80。

其次，如圖66所示，按照前述第一種實施形態之圖25至圖27所示之步驟，在接觸孔19上部之氧化矽膜29及氮化矽膜28上形成配線溝31，繼續在配線溝31內部形成基準電壓線34 (V_{ss})。此時，藉由將配線溝31之一部分延伸至接觸孔19之上部，電性連接接觸孔19內部之鎢膜82與基準電壓線34 (V_{ss})，而形成電容元件(CS_1 , CS_2)。爾後之步驟與前述第一種實施形態相同。

亦即，電容元件(CS_1 , CS_2)之各個一電極經由鈦膜80及驅動MISFET (DR_1 , DR_2)之各個閘極7A，電性連接於驅動MISFET (DR_1 , DR_2)之汲極區域，電容元件(CS_1 , CS_2)之各個另一電極經由埋入接觸孔19內部之導電膜82而電性連接於基準電壓線34 (V_{ss})。

此外，藉由以形成於接觸孔19內之側壁及底面之導電膜

80構成電容元件(C_{s1} , C_{s2})之一電極，以埋入接觸孔19內部之導電膜82構成另一電極，可將接觸孔19內之側壁及底面積用作電容元件。

因而，藉由利用接觸孔19內之側壁及底面構成電容元件(C_{s1} , C_{s2})，可擴大電容元件(C_{s1} , C_{s2})之電極面積，可增加電容元件(C_{s1} , C_{s2})之電容。

此外，如圖67所示，電容元件(C_{s1} , C_{s2})亦可藉由在 n^+ 型半導體區域14(源極)下部之基板上形成溝83，其內部形成包含氮化矽等之電容絕緣膜81與多晶矽等之導電膜85來製造。此時，於溝83周圍之基板1內設置供電用之埋入井86，通過該埋入井86，在電容元件(C_{s1} , C_{s2})上供給基準電壓(V_{ss})。

埋入井86之雜質濃度高於井4之雜質濃度以降低其電阻值。此外，埋入井86如形成於記憶胞形成區域內所形成之井4之整個下部。另外，埋入井86亦可形成於包含周邊電路區域之井4的整個下部。藉此，可提高井4之電位穩定度，可提高半導體記憶裝置之特性。

因而，電容元件(C_{s1} , C_{s2})之各個一電極係以經由電容絕緣膜81埋入溝83之導電膜85構成，並經由插塞41電性連接於驅動MISFET(DR_1 , DR_2)之汲極區域。此外，電容元件(C_{s1} , C_{s2})之各個另一電極藉由以包圍溝83底面及側壁周圍之方式而形成之埋入井86構成，可將溝83底面及側壁之周圍用作電容元件(C_{s1} , C_{s2})，因此可擴大電容元件(C_{s1} , C_{s2})之電極面積，可增加電容元件(C_{s1} , C_{s2})之電容。

(第三種實施形態)

如前述第一種實施形態之說明，於形成驅動 MISFET (DR_1 , DR_2)之閘極 7A時，藉由以使用兩片不同掩模之兩次蝕刻，將閘極材料(多晶矽膜)予以圖案化，可抑制因曝光之光之干擾造成閘極 7A端部的變形。

此外，SRAM之周邊電路中，包含閘長短之 MISFET之電路及高密度地配置 MISFET之電路，形成構成此等電路之 MISFET之閘極時，宜使用兩片不同掩模之兩次蝕刻將閘極材料(多晶矽膜)予以圖案化。以下說明構成周邊電路之 MISFET之閘極形成方法。

如圖 68所示，SRAM除將多數個記憶胞(MC)配置成矩陣狀之記憶體陣列之外，還包含將稱為胞之單位電路配置成矩陣狀之周邊電路，於各個胞內形成 AND、OR等基本閘，及圖 69所示之正反饋之保持電路等。

使用圖 70至圖 73說明構成上述保持電路之 n通道型 MISFET Q_n 及 p通道型 MISFET之形成方法。圖 70係形成於 1個胞部分區域之井(p型井 4及 n型井 5)與沿著胞之高度方向(圖之上下方向)帶狀圖案化之氧化矽膜 8之平面圖。該氧化矽膜 8之下層形成有圖上未顯示之閘極材料(n型多晶矽膜 7n及 p型多晶矽膜 7p)。

將上述氧化矽膜 8予以圖案化之步驟，係將前述第一種實施形態之圖 11及圖 12所示之第一光阻膜 16a作為掩模，乾式蝕刻氧化矽膜 8之步驟。亦即，於基板 1上形成閘極材料(n型多晶矽膜 7n及 p型多晶矽膜 7p)，進一步於其上部堆積氧

化矽膜8後，將第一光阻膜16a作為掩模，乾式蝕刻記憶體陣列之氧化矽膜8，並且亦乾式蝕刻周邊電路區域之氧化矽膜8。藉此，於記憶體陣列內形成具有圖11所示之帶狀平面圖案之氧化矽膜8，於周邊電路區域內形成具有圖70所示之帶狀平面圖案之氧化矽膜8。

其次，如前述圖13及圖14所示，將第二光阻膜16b作為掩模，以形成與閘極相同平面形狀(長方形)之方式將記憶體陣列之氧化矽膜8予以圖案化。此時，將上述第二光阻膜16b作為掩模，以形成與閘極相同平面形狀(長方形)之方式將周邊電路之氧化矽膜8予以圖案化。

而後，將長方形圖案化之上述氧化矽膜8作為掩模，乾式蝕刻閘極材料(n型多晶矽膜7n及p型多晶矽膜7p)。藉此，在記憶體陣列上形成驅動MISFET(DR_1 , DR_2)之閘極7A(圖9)，在周邊電路區域內形成n通道型MISFET Q_n 之閘極7A及p通道型MISFET之閘極7B(圖71)。

因而，以使用兩片掩模之兩次蝕刻形成n通道型MISFET Q_n 之閘極7A及p通道型MISFET之閘極7B時，如圖72(a)所示，閘極7A(及閘極7B)之四個角的圓度變小，其端部後退於活性區域(L)內側之量減少。

而後，如圖73所示，藉由形成配線73，74及通過孔75等，完成以2個n通道型MISFET Q_n 與2個p通道型MISFET Q_p 構成之保持電路。

採用上述閘極7A，7B之形成方法，可縮小沿著閘極7A，7B之延伸方向之胞之高度方向之閘極7A，7B的間隔，因此

可沿著胞之高度方向將4個MISFET (2個n通道型MISFETQ_n與2個p通道型MISFETQ_p)配置成一行。

反之，以1次蝕刻形成n通道型MISFETQ_n之閘極7A及p通道型MISFET之閘極7B時，如圖72(b)所示，閘極7A(及閘極7B)之四個角的圓度變大。因此，此時若未將閘極7A，7B之端部遠離活性區域(L)，則因閘極7A，7B之端部的圓度到達活性區域(L)內側，致使n通道型MISFETQ_n及p通道型MISFET之特性惡化。

但是，將閘極7A，7B之端部遠離活性區域(L)時，由於沿著閘極7A，7B之延伸方向之胞之高度方向之閘極7A，7B的間隔擴大，因此無法沿著胞之高度方向將4個MISFET (2個n通道型MISFETQ_n與2個p通道型MISFETQ_p)配置成一行。亦即，此時如圖74所示，須將4個MISFET (2個n通道型MISFETQ_n與2個p通道型MISFETQ_p)配置成二行。因而胞之寬度擴大，1個胞之面積變大，而影響周邊電路之高積體化。

因而，藉由使用兩片掩模之兩次蝕刻，形成構成周邊電路之n通道型MISFETQ_n及p通道型MISFET之閘極7A，7B，可實現SRAM之周邊電路之高積體化。

另外，SRAM之周邊電路的一部分亦具有如電源電路等較低密度地配置閘長較長之MISFET的電路。此種電路之MISFET即使將閘極之端部遠離活性區域(L)仍問題，因此亦可以一次蝕刻形成閘極。亦即，只須以前述之使用兩片掩模之兩次蝕刻步驟中之任何一的步驟形成閘極即可。

(第四種實施形態)

縱型 MISFET (SV_1 , SV_2)之閘極 54及字元線(WL)亦可採以下方法形成。

首先，如圖 75 所示，採用與前述第一種實施形態相同之方法在基板 1 上形成驅動 MISFET (DR_1 , DR_2)，繼續在驅動 MISFET (DR_1 , DR_2)之上部形成包含下部半導體層 47、中間半導體層 48 及上部半導體層 49 之積層體(P)後，在積層體(P)之側壁表面形成包含氧化矽之閘極絕緣膜 53。之前之步驟與前述第一種實施形態之圖 4 至圖 44 所示之步驟相同。

其次，如圖 76 所示，以 CVD 法在基板 1 上堆積多晶矽膜 54a。多晶矽膜 54a 係藉由於其成膜中摻雜磷而將其導電型形成 n 型。此外，多晶矽膜 54a 之膜厚係形成於沿著字元線(WL)之延伸方向(圖 B-B' 線方向)彼此鄰接之兩個積層體(P)之側壁上之多晶矽膜 54a 接觸之膜厚，亦即係該兩個積層體(P)之間隔之二分之一以上之膜厚，且為形成於沿著與字元線(WL)之延伸方向垂直之方向(圖之 A-A' 線方向)彼此鄰接之兩個積層體(P)之側壁上之多晶矽膜 54a 不接觸之膜厚。藉此，可獲得覆蓋積層體(P)之整個側壁，且沿著字元線(WL)之延伸方向延伸成帶狀之多晶矽膜 54a。另外，摻雜於多晶矽膜 54a 內之雜質亦可使用硼來取代磷。

其次，如圖 77 所示，藉由回蝕多晶矽膜 54a 使其後退至下方，可獲得與字元線(WL)一體構成之縱型 MISFET (SV_1 , SV_2)之閘極 54。

採用上述方法，比前述第一種實施形態之方法，可大幅

減少形成縱型 MISFET (SV_1 , SV_2)之閘極 54 及字元線 (WL) 的步驟數。

與字元線 (WL) 一體構成之上述閘極 54 亦可以兩層多晶矽膜構成。此時，首先如圖 78 所示，以 CVD 法在基板 1 上堆積薄的非晶矽膜 54b，繼續如圖 79 所示，以 CVD 法在非晶矽膜 54b 之上部堆積多晶矽膜 54a。而後熱處理基板 1，將多晶矽膜 54a 作為晶種，將非晶矽膜 54b 予以多晶化。

堆疊元件構成電路時，為避免下層元件特性上的惡化，需要將形成上層元件之製程儘可能予以低溫化。因此在非晶狀態下堆積上層元件之矽製閘極時，須儘可能減少將其予以晶化用之退火溫度及時間。但是，將退火予以低溫化或短時間化時，又須避免造成矽之晶化不足的副作用。亦即須消除低溫化與晶化的矛盾。

預先以多晶狀態堆積時，由於不需要晶化退火，因此可解決矛盾。但因係多晶，而產生藥劑容易浸染至晶界的新問題。尤其是薄膜中，下一個步驟之洗淨液浸染至多晶膜下的閘極氧化膜，極可能對元件造成嚴重性損傷。此時又須面對低溫化與藥劑造成元件損壞的矛盾。

上述之矛盾無法以單層膜解決。但是，形成非晶膜與多晶膜之兩層膜堆積時，即可解決任何的矛盾。非晶膜防止藥劑浸染至元件，第二層之多晶膜成為第一層非晶矽之晶種，即使少量熱負荷仍可充分地晶化。另外，由於多晶膜成為晶種，而將非晶膜予以多晶化，因此以透過型電子顯微鏡進行剖面觀察時，於膜積層之界面可觀察出晶粒之結

晶方位連續的狀態。

(第五種實施形態)

以2個驅動MISFET (DR_1 , DR_2)與2個縱型MISFET (SV_1 , SV_2)構成記憶胞之SRAM，係形成於H位準側之存儲節點中，利用縱型MISFET (SV_1 , SV_2)切斷時之漏電流來保持電荷的構造。因而在資料線上施加0V之基準電壓(V_{ss})，進行L位準(0V)寫入時，容易產生電荷自非選擇記憶胞之H位準側之存儲節點洩漏至資料線的干擾。

作為其因應對策，本實施形態於構成縱型MISFET (SV_1 , SV_2)之基板之中間半導體層48內佈植通道雜質離子時，如圖80所示，係使雜質濃度之最大峰值深度低於中間半導體層48之中央。

於記憶胞內進行L位準(0 V)之寫入時，由於資料線側之電位降至0 V，因此資料線側之半導體層之上部半導體層49成為汲極，下部半導體層47成為源極。一般而言，MISFET之臨限值電壓係依源極附近之雜質濃度來決定，因而使雜質濃度之最大峰值深度低於中間半導體層48之中央時，寫入動作時之臨限值電壓提高，自存儲節點至資料線之電荷洩漏減少。藉此，可有效抑制電荷自非選擇記憶胞之存儲節點洩漏至資料線的干擾。

另外，於記憶保持時，係提高資料線電位，自資料線供給電荷至H位準側之存儲節點，因此資料線側之半導體層之上部半導體層49成為源極，下部半導體層47成為汲極。

因此，使雜質濃度之最大峰值深度低於中間半導體層48

之中央時，源極(上部半導體層49)附近之雜質濃度低，因此臨限值電壓降低，足夠之漏電流可自資料線流入存儲節點。

因而，由於本實施形態於寫入動作時可提高非選擇記憶胞之臨限值電壓，於記憶保持時可降低臨限值電壓，因此容易兼顧減少因干擾造成節點電位不穩定及保持穩定之記憶，可有效避免發生干擾不良，亦即可確保穩定之動作。

且藉此可設計更短之使因干擾而降低之節點電位復原用的等待時間，因此亦可實現SRAM的高速動作。

以上，係依據前述實施形態具體說明本發明人之發明，不過本發明並不限定於前述實施形態，在不脫離其要旨的範圍內當然可作各種變更。

如製造方法之特徵並不限定於前述之半導體記憶裝置，當然可適用於縱型MISFET之形成方法及具有MISFET之半導體積體電路裝置之形成方法。此外，就構造而言，當然亦可適用於具有縱型MISFET、MISFET之半導體積體電路裝置。

以上，本實施形態所揭示之主要發明簡單說明如下。

1.一種半導體記憶裝置，其具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動MISFET與第一及第二縱型MISFET，且前述第一驅動MISFET與前述第二驅動MISFET交叉結合，

前述第一及第二縱型MISFET形成於半導體基板主面上所形成之前述第一及第二驅動MISFET更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述互補性資料線形成於前述第一及第二縱型 MISFET 更上部，

前述第一及第二縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線，

前述半導體記憶裝置中，前述互補性資料線以橫切前述積層體之方式延伸前述積層體之上部，與前述積層體(P)重疊之方式配置，前述字元線電性連接於前述第一及第二縱型 MISFET 之閘極，且形成於前述互補性資料線之下層。

2. 一種半導體記憶裝置，其具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述第一及第二縱型 MISFET 以完全空乏型 MISFET 構成。

3. 一種半導體記憶裝置，其具有記憶胞，其係具備：配

置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；前述第一及第二縱型 MISFET 之各個閘極以包圍前述積層體側壁部周圍之方式形成。

4. 一種半導體記憶裝置，其具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述第一驅動 MISFET 之汲極區域上，以具有前述第一縱型 MISFET 之源極、汲極之一係平面重疊之部分的方式構成，

前述第二驅動 MISFET 之汲極區域上，以具有前述第二縱型 MISFET 之源極、汲極之一係平面重疊之部分的方式構成。

5. 一種半導體記憶裝置，其具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述第一及第二縱型 MISFET 之積層體彼此在第一方向隔離配置，

前述字元線電性連接於前述第一及第二縱型 MISFET 之閘極，且以覆蓋前述第一及第二縱型 MISFET 之積層體側壁之方式延伸配置於前述第一向，

前述互補性資料線形成於前述字元線、前述第一及第二縱型 MISFET 更上部，且延伸配置於與前述第一方向垂直之第二方向，

前述第一及第二縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線。

6. 一種半導體記憶裝置，其具有記憶胞，其係具備：配

置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，

交叉結合形成於半導體基板主面之前述第一驅動 MISFET 與前述第二驅動 MISFET 之一對交叉耦合配線形成於前述第一及第二驅動 MISFET 之上部，

前述第一及第二縱型 MISFET 形成於前述交叉耦合配線更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述互補性資料線形成於前述第一及第二縱型 MISFET 之更上部，

前述第一及第二縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線。

7. 一種半導體記憶裝置，其具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣

膜形成於前述積層體之側壁部；

前述交叉結合之電荷存儲節點上連接電容元件。

前述半導體記憶裝置中，於前述驅動MISFET之汲極區域下部形成有前述電容元件，前述電容元件之一電極電性連接於前述驅動MISFET之汲極區域。

前述半導體記憶裝置中，於前述電容元件上部形成有前述縱型MISFET，前述電容元件之一電極電性連接於前述驅動MISFET之汲極區域。

8.一種半導體記憶裝置，其具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動MISFET與第一及第二縱型MISFET，且前述第一驅動MISFET與前述第二驅動MISFET交叉結合，

一對基準電壓線以延伸於第一向配置，

前述第一及第二驅動MISFET在與前述第一向垂直之第二方向上，配置於前述一對基準電壓線間，

前述第一驅動MISFET之源極電性連接於一基準電壓線，

前述第二驅動MISFET之源極電性連接於另一基準電壓線，

前述第一及第二縱型MISFET形成於半導體基板主面上所形成之前述第一及第二驅動MISFET更上部，

前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部。

前述半導體記憶裝置中，前述字元線以延伸於前述第一向之方式配置，且電性連接於前述第一及第二縱型MISFET之閘極，前述字元線在前述第二方向上，配置於前述一對基準電壓線間。

前述半導體記憶裝置中，前述互補性資料線以延伸於前述第二方向之方式配置，且前述第一及第二縱型MISFET之各個源極、汲極之一電性連接於前述互補性資料線。

9.一種半導體記憶裝置，其具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動MISFET與第一及第二縱型MISFET，且前述第一驅動MISFET與前述第二驅動MISFET交叉結合，

一對基準電壓線以延伸於第一向配置，

前述第一及第二驅動MISFET在與前述第一向垂直之第二方向上，配置於前述一對基準電壓線間，

前述第一驅動MISFET之源極電性連接於一基準電壓線，

前述第二驅動MISFET之源極電性連接於另一基準電壓線，

前述第一及第二縱型MISFET形成於前述基準電壓線、前述第一及第二驅動MISFET更上部，

前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部。

前述半導體記憶裝置中，前述字元線以延伸於前述第一

向之方式配置，且電性連接於前述第一及第二縱型MISFET之閘極，前述字元線形成於前述基準電壓線之更上部，且在前述第二方向上，配置於前述一對基準電壓線間。

前述半導體記憶裝置中，前述基準電壓線分別由沿著前述第二方向鄰接之2個記憶胞共用。

前述半導體記憶裝置中，前述互補性資料線以延伸於前述第二方向之方式配置，且形成於前述第一及第二縱型MISFET之更上部，

前述第一及第二縱型MISFET之各個源極、汲極之一電性連接於前述互補性資料線。

10.一種半導體記憶裝置，其具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動MISFET與第一及第二縱型MISFET，且前述第一驅動MISFET與前述第二驅動MISFET交叉結合，

於半導體基板主面之記憶胞形成區域內形成第一及第二驅動MISFET，於周邊電路形成區域內形成周邊MISFET，

連接於前述第一及第二驅動MISFET之源極區域之配線，與連接前述周邊MISFET間之配線以同層之配線層構成，

於記憶胞形成區域中，前述第一及第二縱型MISFET形成於前述第一及第二驅動MISFET及前述配線之更上部。

連接前述第一驅動MISFET之汲極區域與前述第二驅動MISFET之閘極之插塞，以與連接前述第一MISFET之源極區域及前述配線之插塞不同之插塞層構成。

前述第1至10項之半導體記憶裝置中，前述基準電壓線分

別由沿著前述第二方向鄰接之2個記憶胞共用。

前述半導體記憶裝置中，沿著前述字元線延伸之第一向配置之數個記憶胞在前述第一向上，以彼此相同之佈局形成。

前述半導體記憶裝置中，沿著與前述字元線延伸之第一向垂直之第二方向配置之數個記憶胞，對沿著前述第一向之記憶胞間之邊界線，以線對稱之佈局形成。

前述半導體記憶裝置中，前述第一及第二縱型MISFET、前述第一及第二驅動MISFET於記憶胞形成區域中，對其中心點以點對稱形成。

前述半導體記憶裝置中，前述字元線埋入形成於覆蓋前述第一及第二縱型MISFET之絕緣膜之配線溝內而形成，

前述字元線包含電阻低於前述第一及第二縱型MISFET之閘極之導電層。

前述半導體記憶裝置中，前述第一及第二縱型MISFET之閘極對前述積層體之側壁自對準地形成側方間隔物狀。

前述半導體記憶裝置中，各個前述第一及第二縱型MISFET與各個前述第一及第二驅動MISFET經由包含形成於前述積層體下部之耐氧化性導電膜之連接用導電層電性連接。

前述半導體記憶裝置中，前述第一及第二驅動MISFET以n通道型MISFET構成，前述第一及第二縱型MISFET以p通道型MISFET構成，前述積層體之膜厚在 $0.1\text{ }\mu\text{m}$ 以下，前述第一及第二縱型MISFET之各個閘極以包圍前述積層體側

壁部周圍之方式形成，前述第一及第二縱型 MISFET 以完全空乏型 MISFET 構成。

資訊保持時，分別於前述字元線上施加第一電壓，在前述一對互補性資料線上施加第二電壓，前述字元線電性連接於前述第一及第二縱型 MISFET 之閘極，前述第一及第二縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線，前述第一及第二驅動 MISFET 之源極區域內施加第三電壓，前述第一電壓及第二電壓高於前述第三電壓。

前述第一及第二縱型 MISFET 切斷時之漏電流大於前述第一及第二驅動 MISFET 切斷時之漏電流。

11. 一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二 MISFET，且前述第一 MISFET 與前述第二 MISFET 交叉結合，該製造方法包含：

(a) 第一及第二 MISFET 形成步驟，其係形成於半導體基板之主面上；

(b) 第一絕緣膜形成步驟，其係形成於前述第一及第二 MISFET 之各個上部；及

(c) 電性連接步驟，其係於前述第一絕緣膜上形成第一及第二連接孔，通過前述第一連接孔電性連接前述第一 MISFET 之汲極與前述第二 MISFET 之閘極，並且通過前述第二連接孔電性連接前述第二 MISFET 之汲極與前述第一 MISFET 之閘極；

於前述 (c) 步驟中，形成前述第一連接孔用之光蝕刻步驟

及蝕刻步驟，與形成前述第二連接孔用之光蝕刻步驟及蝕刻步驟不同。

前述製造方法中，前述(c)步驟包含於前述第一連接孔及前述第二連接孔內埋入插塞之步驟。

12.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET，且前述第一MISFET與前述第二MISFET交叉結合，

形成前述第一及第二MISFET之各個閘極之步驟包含：第一步驟，其係將構成前述閘極之導電膜，沿著前述半導體基板主面之第一向予以圖案化；及第二步驟，其係將前述導電膜沿著與前述第一向交叉之第二方向予以圖案化。

13.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET，且前述第一MISFET與前述第二MISFET交叉結合，該製造方法包含：

(a)第一及第二MISFET形成步驟，其係形成於半導體基板之主面上；

(b)耐氧化性之連接用導電層形成步驟，其係經由第一絕緣膜形成於前述第一及第二MISFET之各個上部；

(c)積層體形成步驟，其係在前述連接用導電層上，包含縱型MISFET之源極、通道區域及汲極，延伸於垂直方向而形成於前述半導體基板主面上；及

(d)閘極絕緣膜形成步驟，其係形成於前述積層體之側壁

部。

前述製造方法中，前述連接用導電層包含矽化鎢，前述閘極絕緣膜藉由熱氧化形成。

14.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二 MISFET 與第一及第二縱型 MISFET，且前述第一 MISFET 與前述第二 MISFET 交叉結合，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

形成前述積層體之步驟包含：掩模層形成步驟，其係用於在構成前述積層體之膜上部蝕刻前述膜；光阻圖案形成步驟，其係形成於前述掩模層之上部；將前述光阻圖案予以細線化步驟；及前述掩模層蝕刻步驟，其係將前述經細線化之光阻圖案作為掩模來蝕刻前述掩模層。

15.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二 MISFET 與第一及第二縱型 MISFET，且前述第一 MISFET 與前述第二 MISFET 交叉結合，前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣

膜形成於前述積層體之側壁部；該製造方法包含：

(a)前述第一及第二MISFET形成步驟，其係形成於前述半導體基板之主面上；

(b)第一絕緣膜形成步驟，其係形成於前述第一及第二MISFET之各個上部；

(c)非晶矽膜堆積步驟，其係在前述第一絕緣膜之上部堆積摻雜有雜質之第一非晶矽膜，及濃度低於前述第一非晶矽膜之第二非晶矽膜；

(d)在前述第一及第二非晶矽膜上實施第一退火處理予以晶化之步驟；

(e)積層膜形成步驟，其係於前述(d)步驟後，堆積摻雜有雜質之第三非晶矽膜，來形成積層膜；

(f)於前述第三非晶矽膜上實施第二退火處理予以晶化之步驟；及

(g)前述積層體形成步驟，其係於前述(f)步驟後，藉由將前述積層膜予以圖案化，來形成前述積層體。

前述製造方法中，於前述(e)步驟之前，包含於前述第二非晶矽膜內導入雜質之步驟。

16.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET，且前述第一MISFET與前述第二MISFET交叉結合，該製造方法包含：

(a)前述第一及第二MISFET形成步驟，其係形成於半導體基板之主面上；

(b)積層體形成步驟，其係於前述第一及第二MISFET之各個上部，經由第一絕緣膜，包含第一及第二縱型MISFET之源極、通道區域及汲極，形成延伸於與前述半導體基板主面垂直之方向；

(c)絕緣膜形成步驟，其係以覆蓋前述積層體之方式形成；

(d)配線溝形成步驟，其係形成於前述絕緣膜上；及

(e)前述字元線形成步驟，其係於前述配線溝內埋入導電膜，並電性連接於前述第一及第二縱型MISFET之閘極。

17.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET，且前述第一MISFET與前述第二MISFET交叉結合，該製造方法包含：

(a)前述第一及第二MISFET形成步驟，其係形成於半導體基板之主面上；

(b)積層體形成步驟，其係於前述第一及第二MISFET之各個上部，經由第一絕緣膜，包含縱型MISFET之源極、通道區域及汲極，形成延伸於與前述半導體基板主面垂直之方向；及

(c)閘極形成側方間隔物狀步驟，其係於前述積層體之側壁部，經由閘極絕緣膜，將前述縱型MISFET之閘極對前述積層體側壁自對準地形成。

前述製造方法中，進一步包含：絕緣膜形成步驟，其係以覆蓋前述積層體之方式形成；

配線溝形成步驟，其係形成於前述絕緣膜上，並露出前述縱型 MISFET 之閘極；及

字元線形成步驟，其係於前述配線溝內埋入導電膜，並電性連接於前述閘極。

18. 一種縱型 MISFET 之製造方法，該縱型 MISFET 具備：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；該製造方法包含：

(a) 前述積層體形成步驟，其係於前述半導體基板之主面上，經由第一絕緣膜，包含縱型 MISFET 之源極、通道區域及汲極，而形成於與前述半導體基板主面垂直之方向；及

(b) 閘極形成側方間隔物狀步驟，其係於前述積層體之側壁部，經由閘極絕緣膜，將前述縱型 MISFET 之閘極對前述積層體側壁自對準地形成。

19. 一種縱型 MISFET 之製造方法，該縱型 MISFET 具備：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；該製造方法包含：

(a) 非晶矽膜堆積步驟，其係於前述半導體基板之主面上堆積摻雜有雜質之第一非晶矽膜，及濃度低於前述第一非晶矽膜之第二非晶矽膜；

(b) 在前述第一及第二非晶矽膜上實施第一退火處理予

以晶化之步驟；

(c)積層膜形成步驟，其係於前述(b)步驟後，堆積摻雜有雜質之第三非晶矽膜，來形成積層膜；

(d)於前述第三非晶矽膜上實施第二退火處理予以晶化之步驟；及

(e)前述積層體形成步驟，其係於前述(d)步驟後，藉由將前述積層膜予以圖案化，來形成前述積層體。

前述製造方法中，於前述(c)步驟之前，包含於前述第二非晶矽膜內導入雜質之步驟。

20.一種縱型MISFET之製造方法，該縱型MISFET具備：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

形成前述積層體之步驟包含：掩模層形成步驟，其係用於在構成前述積層體之膜上部蝕刻前述膜；光阻圖案形成步驟，其係形成於前述掩模層之上部；將前述光阻圖案予以細線化步驟；及前述掩模層蝕刻步驟，其係將前述經細線化之光阻圖案作為掩模來蝕刻前述掩模層。

21.前述第11至20項之製造方法中，前述積層體之膜厚在 $0.1\text{ }\mu\text{m}$ 以下，前述縱型MISFET之各個閘極以包圍前述積層體側壁部周圍之方式形成，前述縱型MISFET以完全空乏型MISFET構成。

前述製造方法中，於前述積層體之側壁部，經由閘極絕緣膜，將前述縱型MISFET之閘極對前述積層體之側壁自對

準地形成側方間隔物狀。

22. 前述半導體記憶裝置中，前述第一及第二縱型 MISFET 之各個閘極以包含兩層之多晶矽膜構成，並在經由前述兩層多晶矽膜之界面之膜間連續晶粒之結晶方位。

縱型 MISFET 中，閘極以包含兩層之多晶矽膜構成，並在經由前述兩層多晶矽膜之界面之膜間連續晶粒之結晶方位。

23. 前述半導體記憶裝置中，形成於構成前述第一及第二縱型 MISFET 之前述積層體之前述通道區域中之雜質濃度峰值比前述通道區域中心，向上方或下方偏移。

24. 前述半導體記憶裝置中，前述雜質濃度峰值比前述通道區域中心，向前述記憶胞之存儲節點側偏移。

25. 前述半導體記憶裝置中，前述連接用導電層包含矽化鎢膜之單層膜，或於金屬膜上部堆疊有矽化鎢膜之多層膜。

26. 前述半導體記憶裝置進一步包含以數個 MISFET 構成之周邊電路，構成前述周邊電路之前述數個 MISFET 之至少一部分，其閘極端部之曲率半徑與前述第一及第二驅動 MISFET 之閘極端部之曲率半徑相同。

半導體積體電路裝置中，包含以數個 MISFET 構成之周邊電路，構成前述周邊電路之前述數個 MISFET 之至少一部分，其閘極端部之曲率半徑與記憶胞之 MISFET 之閘極端部之曲率半徑相同。

27. 前述半導體記憶裝置進一步包含以數個 MISFET 構成之周邊電路，構成前述周邊電路之前述數個 MISFET 之至少一部分，其閘極端部之曲率半徑大於前述第一及第二驅動

MISFET之閘極端部之曲率半徑。

半導體積體電路裝置中，包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分，其閘極端部之曲率半徑大於記憶胞之MISFET之閘極端部之曲率半徑。

28. 前述半導體記憶裝置進一步包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分之閘極，其延伸至活性區域外部之部分長度與前述第一及第二驅動MISFET之閘極之延伸至活性區域外部之部分長度相同。

半導體積體電路裝置中，包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分之閘極，其延伸至活性區域外部之部分長度與前述第一及第二驅動MISFET之閘極之延伸至活性區域外部之部分長度相同。

29. 前述半導體記憶裝置進一步包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分之閘極，其延伸至活性區域外部之部分長度大於前述第一及第二驅動MISFET之閘極之延伸至活性區域外部之部分長度。

半導體積體電路裝置中，包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分之閘極，其延伸至活性區域外部之部分長度大於記憶胞之MISFET之閘極之延伸至活性區域外部之部分長度。

30.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET與第一及第二縱型MISFET，且前述第一MISFET與前述第二MISFET交叉結合，前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

形成前述第一及第二MISFET之閘極之步驟包含：

(a)第一步驟，其係沿著前述半導體基板主面之第一向，將形成於閘極用導電膜上之薄膜予以圖案化；

(b)第二步驟，其係沿著與前述第一向交叉之第二方向，將前述薄膜予以圖案化；及

(c)第三步驟，其係將經前述第一及第二步驟圖案化之前述薄膜作為掩模，將前述閘極用導電膜予以圖案化。

一種半導體積體電路裝置之製造方法，形成MISFET之閘極之步驟包含：

(a)第一步驟，其係沿著前述半導體基板主面之第一向，將形成於閘極用導電膜上之薄膜予以圖案化；

(b)第二步驟，其係沿著與前述第一向交叉之第二方向，將前述薄膜予以圖案化；及

(c)第三步驟，其係將經前述第一及第二步驟圖案化之前述薄膜作為掩模，將前述閘極用導電膜予以圖案化。

31.前述半導體記憶裝置及半導體積體電路裝置之製造

方法，進一步包含形成以數個MISFET所構成之周邊電路之步驟，構成前述周邊電路之前述數個MISFET之至少一部分之閘極，係藉由將經前述第一步驟或前述第二步驟之任何一步驟圖案化後之前述薄膜作為掩模，將前述閘極用導電膜予以圖案化而形成。

32.前述半導體記憶裝置及半導體積體電路裝置之製造方法，進一步包含形成以數個MISFET所構成之周邊電路之步驟，構成前述周邊電路之前述數個MISFET之至少一部分之閘極，係藉由將經前述第一步驟及前述第二步驟之任何一步驟圖案化後之前述薄膜作為掩模，將前述閘極用導電膜予以圖案化而形成。

33.前述半導體記憶裝置及半導體積體電路裝置之製造方法中，前述薄膜包含無機系絕緣膜。

34.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET與第一及第二縱型MISFET，且前述第一MISFET與前述第二MISFET交叉結合，前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

形成前述第一及第二縱型MISFET之閘極之步驟包含：

(a)第一步驟，其係於前述半導體基板上堆積非晶質狀態之第一閘極用導電膜；

(b)第二步驟，其係於前述第一閘極用導電膜上堆積多晶狀態之第二閘極用導電膜；及

(c)第三步驟，其係熱處理前述半導體基板，將前述第二閘極用導電膜作為晶種，將前述第一閘極用導電膜予以多晶化。

35.一種半導體記憶裝置之製造方法，該半導體記憶裝置具有數個記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET與第一及第二縱型MISFET，且前述第一MISFET與前述第二MISFET交叉結合，前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘極，其係經由閘極絕緣膜形成於前述積層體之側壁部；其包含

藉由於前述半導體基板上堆積閘極用導電膜，該閘極用導電膜具有比沿著前述字元線之延伸方向彼此鄰接之前述積層體間隔之 $\frac{1}{2}$ 厚，且比沿著與前述字元線之延伸方向垂直之方向彼此鄰接之前述積層體之間隔薄之膜厚，同時形成前述第一及第二縱型MISFET之閘極與前述字元線之步驟。

發明之效果

本專利所揭示之主要發明所獲得之效果簡單說明如下。

藉由以2個驅動MISFET與形成於其上部之2個縱型MISFET構成SRAM之記憶胞，可大幅縮小記憶胞尺寸。

【圖式簡單說明】

圖1係顯示本發明一種實施形態之半導體記憶裝置之記憶胞之等價電路圖。

圖2係顯示本發明一種實施形態之半導體記憶裝置之記憶胞之平面圖。

圖3係沿著圖2之A-A'線及B-B'線之剖面圖。

圖4係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖5係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖6係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖7係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖8係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖9係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖10係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖11係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖12係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 13 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 14 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 15 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 16 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 17 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 18 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 19 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 20 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 21 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 22 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 23 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 24 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 25 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 26 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 27 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 28 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 29 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 30 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 31 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 32 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 33 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 34 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 35 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 36 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 37 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 38 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 39 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 40 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 41 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 42 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 43 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 44 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 45 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 46 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 47 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 48 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 49 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 50 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 51 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 52 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 53 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 54 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 55 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 56 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 57 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 58 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 59 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 60 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 61 係顯示本發明一種實施形態之半導體記憶裝置之製造方法之平面圖。

圖 62 係顯示本發明其他實施形態之半導體記憶裝置之記憶胞之等價電路圖。

圖 63 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 64 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 65 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 66 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 67 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 68 係說明本發明其他實施形態之半導體記憶裝置之記憶體陣列與周邊電路之構造之概略平面圖。

圖 69 係構成周邊電路之一部分之保持電路之電路圖。

圖 70 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之平面圖。

圖 71 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之平面圖。

圖 72(a) 係顯示以兩次蝕刻所形成之閘極平面圖案之平面圖，(b) 係顯示以一次蝕刻所形成之閘極之平面圖案之平面圖。

圖 73 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之保持電路之平面圖。

圖 74 係包含以一次蝕刻形成閘極之 MISFET 之保持電路之平面圖。

圖 75 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 76 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 77 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 78 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 79 係顯示本發明其他實施形態之半導體記憶裝置之製造方法之剖面圖。

圖 80 係顯示摻雜於縱型 MISFET 之中間半導體層內之雜質濃度剖面之說明圖。

【圖式代表符號說明】

- | | |
|--------|-------|
| 1 | 半導體基板 |
| 2 | 元件分離溝 |
| 3 | 氧化矽膜 |
| 4 | p 型井 |
| 5 | n 型井 |
| 6 | 閘極絕緣膜 |
| 7A, 7B | 閘極 |

7n	n型多晶矽膜
7p	p型多晶矽膜
8	氧化矽膜
9	n ⁻ 型半導體區域
10	p ⁻ 型半導體區域
11	氧化矽膜
12	氮化矽膜
13	側壁間隔物
14	n ⁺ 型半導體區域(源極、汲極)
15	p ⁺ 型半導體區域(源極、汲極)
16a, 16b	光阻膜
17	鈷膜
18	矽化鈷層
19	接觸孔
20	氮化矽膜
21, 22	氧化矽膜
23	光阻膜
24, 25, 26	接觸孔
27	插塞
28	氮化矽膜
29	氧化矽膜
30	光阻膜
31, 32, 33	配線溝
34(V _{ss})	基準電壓線

35 , 36	第一層配線
38	氮化矽膜
39	光阻膜
40 , 40a , 40b	接觸孔
41	插塞
42	氧化矽膜
44	光阻膜
45	溝
46	連接用導電層
47	下部半導體層
47p	p型矽膜
48	中間半導體層
48i	矽膜
49	上部半導體層
49p	p型矽膜
50	氮化矽膜
51	光阻膜
53	閘極絕緣膜
54	閘極
54a	多晶矽膜
54b	非晶矽膜
55	氧化矽膜
56	溝
57	多晶矽膜

58	側壁間隔物
59	鈷膜
60	矽化鈷層
61	氧化矽膜
62, 63	通過孔
64, 65	插塞
66	碳化矽膜
67	氧化矽膜
68, 69, 70	配線溝
71, 72	第二層配線
73, 74	配線
75	通過孔
80	鈦膜
81	電容絕緣膜
82	鎢膜
83	溝
84	電容絕緣膜
85	導電膜
86	埋入井
BLT、BLB	互補性資料線
C	電容元件
L	活性區域
DR ₁ , DR ₂	驅動 MISFET
DR ₃ , DR ₄	驅動 MISFET

MC	記憶胞
MP_1 , MP_2	負荷用 MISFET
P	積層體
Q_n	n通道型 MISFET
Q_p	p通道型 MISFET
SV_1 , SV_2	縱型 MISFET
WL	字元線

伍、中文發明摘要：

本發明在縮小SRAM之記憶胞尺寸。SRAM之記憶胞係由：2個驅動MISFET (DR_1, DR_2)及2個縱型MISFET (SV_1, SV_2)構成。p通道型之縱型MISFET (SV_1, SV_2)形成於n通道型之驅動MISFET (DR_1, DR_2)上方。各個縱型MISFET (SV_1, SV_2)主要藉由以下元件構成：四方柱狀之積層體(P)，其係依序堆疊有下部半導體層47、中間半導體層48及上部半導體層49；包含氧化矽之閘極絕緣膜53，其係形成於積層體(P)側壁之表面上；及閘極54，其係以覆蓋積層體(P)側壁的方式形成。縱型MISFET (SV_1, SV_2)係以完全空乏型MISFET構成。

陸、日文發明摘要：

【解決手段】 SRAMのメモリセルは、2個の驅動MISFET (DR_1, DR_2) および2個の縱型MISFET (SV_1, SV_2) で構成されている。pチャネル型の縱型MISFET (SV_1, SV_2) は、nチャネル型の驅動MISFET (DR_1, DR_2) の上方に形成されている。縱型MISFET (SV_1, SV_2) のそれぞれは、主として下部半導体層47、中間半導体層48および上部半導体層49がこの順に積層された四角柱状の積層体(P)と、積層体(P)の側壁の表面に形成された酸化シリコンからなるゲート絶縁膜53と、積層体(P)の側壁を覆うように形成されたゲート電極54とによって構成されている。縱型MISFET (SV_1, SV_2) は、完全空乏型MISFETで構成されている。

拾、申請專利範圍：

1. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：
配置於一對互補性資料線與字元線之交叉部之第一及第二驅動MISFET與第一及第二縱型MISFET，且前述第一驅動MISFET與前述第二驅動MISFET交叉結合，

且前述第一及第二縱型MISFET形成於半導體基板主面上所形成之前述第一及第二驅動MISFET更上部，

前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述互補性資料線形成於前述第一及第二縱型MISFET更上部，

前述第一及第二縱型MISFET之各個源極、汲極之一電性連接於前述互補性資料線。

2. 如申請專利範圍第1項之半導體記憶裝置，其中前述互補性資料線以橫切前述積層體之方式延伸配置於前述積層體之上部，

前述字元線電性連接於前述第一及第二縱型MISFET之閘電極，且形成於前述互補性資料線之下層。

3. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：
配置於一對互補性資料線與字元線之交叉部之第一及第二驅動MISFET與第一及第二縱型MISFET，且前述第一驅動MISFET與前述第二驅動MISFET交叉結合，

且前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述第一及第二縱型 MISFET 以完全空乏型 MISFET 構成。

4. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

且前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述第一及第二縱型 MISFET 之各個閘極以包圍前述積層體側壁部周圍之方式形成。

5. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

且前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述第一驅動 MISFET 之汲極區域上，以具有前述第一縱型 MISFET 之源極、汲極之一係平面重疊之部分的方式構成，

前述第二驅動 MISFET 之汲極區域上，以具有前述第二縱型 MISFET 之源極、汲極之一係平面重疊之部分的方式構成。

6. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

且前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述第一及第二縱型 MISFET 之積層體彼此在第一向隔離配置，

前述字元線電性連接於前述第一及第二縱型 MISFET 之閘電極，且以覆蓋前述第一及第二縱型 MISFET 之積層體側壁之方式延伸配置於前述第一向上，

前述互補性資料線形成於前述字元線、前述第一及第二縱型 MISFET 更上部，且延伸配置於與前述第一向垂直之第二方向，

前述第一及第二縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線。

7. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，

與形成於半導體基板主面之前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合之一對交叉耦合配線，係形成於前述第一及第二驅動 MISFET 之上部，

前述第一及第二縱型 MISFET 形成於前述交叉耦合配線更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述互補性資料線形成於前述第一及第二縱型 MISFET 之更上部，

前述第一及第二縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線。

8. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：
配置於一對互補性資料線與字元線之交叉部之第一及第二驅動MISFET與第一及第二縱型MISFET，且前述第一驅動MISFET與前述第二驅動MISFET交叉結合，

且前述第一及第二縱型MISFET形成於半導體基板主面上所形成之前述第一及第二驅動MISFET更上部，

前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

前述交叉結合之電荷存儲節點上連接電容元件。

9. 如申請專利範圍第8項之半導體記憶裝置，其中於前述驅動MISFET之汲極區域下部形成有前述電容元件，

前述電容元件之一電極電性連接於前述驅動MISFET之汲極區域。

10. 如申請專利範圍第8項之半導體記憶裝置，其中於前述電容元件上部形成有前述縱型MISFET，

前述電容元件之一電極電性連接於前述驅動MISFET之汲極區域。

11. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：
配置於一對互補性資料線與字元線之交叉部之第一及第二驅動MISFET與第一及第二縱型MISFET，且前述第一驅動MISFET與前述第二驅動MISFET交叉結合，

且一對基準電壓線係延伸於第一向配置，

前述第一及第二驅動 MISFET 在與前述第一向垂直之第二方向上，配置於前述一對基準電壓線間，

前述第一驅動 MISFET 之源極電性連接於一基準電壓線，

前述第二驅動 MISFET 之源極電性連接於另一基準電壓線，

前述第一及第二縱型 MISFET 形成於半導體基板主面上所形成之前述第一及第二驅動 MISFET 更上部，

前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部。

12. 如申請專利範圍第 11 項之半導體記憶裝置，其中前述字元線以延伸於前述第一向之方式配置，且電性連接於前述第一及第二縱型 MISFET 之閘極，在前述第二方向上，配置於前述一對基準電壓線間。
13. 如申請專利範圍第 11 或 12 項之半導體記憶裝置，其中前述互補性資料線以延伸於前述第二方向之方式配置，且前述第一及第二縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線。
14. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

且一對基準電壓線以延伸於第一向配置，

前述第一及第二驅動MISFET在與前述第一向垂直之第二方向上，配置於前述一對基準電壓線間，

前述第一驅動MISFET之源極電性連接於一基準電壓線，

前述第二驅動MISFET之源極電性連接於另一基準電壓線，

前述第一及第二縱型MISFET形成於前述基準電壓線、前述第一及第二驅動MISFET更上部，

前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部。

15. 如申請專利範圍第14項之半導體記憶裝置，其中前述字元線以延伸於前述第一向之方式配置，且電性連接於前述第一及第二縱型MISFET之閘極，並形成於前述基準電壓線之更上部，且在前述第二方向上，配置於前述一對基準電壓線間。

16. 如申請專利範圍第14或15項之半導體記憶裝置，其中前述基準電壓線分別由沿著前述第二方向鄰接之2個記憶胞共用。

17. 如申請專利範圍第14或16項之半導體記憶裝置，其中前述互補性資料線以延伸於前述第二方向之方式配置，且形成於前述第一及第二縱型MISFET之更上部，

前述第一及第二縱型 MISFET 之各個源極、汲極之一電性連接於前述互補性資料線。

18. 如申請專利範圍第 11 至 17 項中任一項之半導體記憶裝置，其中前述基準電壓線分別由沿著前述第二方向鄰接之 2 個記憶胞共用。
19. 如申請專利範圍第 1 至 18 項中任一項之半導體記憶裝置，其中沿著前述字元線延伸之第一向配置之數個記憶胞在前述第一向上，以彼此相同之佈局形成。
20. 如申請專利範圍第 1 至 19 項中任一項之半導體記憶裝置，其中沿著與前述字元線延伸之第一向垂直之第二方向配置之數個記憶胞，對沿著前述第一向之記憶胞間之邊界線，以線對稱之佈局形成。
21. 如申請專利範圍第 1 至 20 項中任一項之半導體記憶裝置，其中前述第一及第二縱型 MISFET、前述第一及第二驅動 MISFET 於記憶胞形成區域中，係對其中心點以點對稱之方式形成。
22. 如申請專利範圍第 1 至 21 項中任一項之半導體記憶裝置，其中前述字元線埋入形成於覆蓋前述第一及第二縱型 MISFET 之絕緣膜之配線溝內而形成，且包含電阻低於前述第一及第二縱型 MISFET 之閘電極之導電層。
23. 如申請專利範圍第 1 至 22 項中任一項之半導體記憶裝置，其中前述第一及第二縱型 MISFET 之閘電極對前述積層體之側壁自對準地形成側方間隔物狀。
24. 如申請專利範圍第 1 至 23 項中任一項之半導體記憶裝置

，其中各個前述第一及第二縱型 MISFET 與各個前述第一及第二驅動 MISFET 經由包含形成於前述積層體下部之耐氧化性導電膜之連接用導電層而電性連接。

25. 一種半導體記憶裝置，其特徵為具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二驅動 MISFET 與第一及第二縱型 MISFET，且前述第一驅動 MISFET 與前述第二驅動 MISFET 交叉結合，

且於半導體基板主面之記憶胞形成區域內形成前述第一及第二驅動 MISFET，於周邊電路形成區域內形成周邊 MISFET，

連接於前述第一及第二驅動 MISFET 之源極區域之配線，與連接前述周邊 MISFET 間之配線以同層之配線層構成，

於前述記憶胞形成區域中，前述第一及第二縱型 MISFET 形成於前述第一及第二驅動 MISFET 及前述配線之更上部。

26. 如申請專利範圍第 25 項之半導體記憶裝置，其中連接前述第一驅動 MISFET 之汲極區域與前述第二驅動 MISFET 之閘電極之插塞，以與連接前述第一驅動 MISFET 之源極區域及前述配線之插塞不同之插塞層構成。

27. 如申請專利範圍第 1 至 26 項中任一項之半導體記憶裝置，其中前述第一及第二驅動 MISFET 以 n 通道型 MISFET 構成，前述第一及第二縱型 MISFET 以 p 通道型 MISFET

構成，

前述積層體之膜厚在 $0.1\text{ }\mu\text{m}$ 以下，

前述第一及第二縱型MISFET之各個閘極以包圍前述積層體側壁部周圍之方式形成，

前述第一及第二縱型MISFET以完全空乏型MISFET構成。

28. 如申請專利範圍第1至27項中任一項之半導體記憶裝置，其中前述第一及第二驅動MISFET以n通道型MISFET構成，前述第一及第二縱型MISFET以p通道型MISFET構成，

資訊保持時，分別於前述字元線上施加第一電壓，在前述一對互補性資料線上施加第二電壓，

前述字元線電性連接於前述第一及第二縱型MISFET之閘電極，

前述第一及第二縱型MISFET之各個源極、汲極之一電性連接於前述互補性資料線，

前述第一及第二驅動MISFET之源極區域內施加第三電壓，

前述第一電壓及第二電壓高於前述第三電壓。

29. 如申請專利範圍第1至28項中任一項之半導體記憶裝置，其中前述第一及第二驅動MISFET以n通道型MISFET構成，前述第一及第二縱型MISFET以p通道型MISFET構成，

前述第一及第二縱型MISFET切斷時之漏電流大於前

述第一及第二驅動MISFET切斷時之漏電流。

30. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET，且前述第一MISFET與前述第二MISFET交叉結合，該製造方法包含：

- (a) 第一及第二MISFET形成步驟，其係形成於半導體基板之主面上；
- (b) 第一絕緣膜形成步驟，其係形成於前述第一及第二MISFET之各個上部；及
- (c) 電性連接步驟，其係於前述第一絕緣膜上形成第一及第二連接孔，通過前述第一連接孔電性連接前述第一MISFET之汲極與前述第二MISFET之閘極，並且通過前述第二連接孔電性連接前述第二MISFET之汲極與前述第一MISFET之閘電極；

於前述(c)步驟中，形成前述第一連接孔用之光蝕刻步驟及蝕刻步驟，與形成前述第二連接孔用之光蝕刻步驟及蝕刻步驟不同。

31. 如申請專利範圍第30項之半導體記憶裝置之製造方法，其中前述(c)步驟包含於前述第一連接孔及前述第二連接孔內埋入插塞之步驟。

32. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET，且前述

第一 MISFET 與前述第二 MISFET 交叉結合，

且形成前述第一及第二 MISFET 之各個閘極之步驟包含：第一步驟，其係將構成前述閘極之導電膜，沿著前述半導體基板主面之第一向予以圖案化；及第二步驟，其係將前述導電膜沿著與前述第一向交叉之第二方向予以圖案化。

33. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二 MISFET，且前述第一 MISFET 與前述第二 MISFET 交叉結合，該製造方法包含：

- (a) 第一及第二 MISFET 形成步驟，其係形成於半導體基板之主面上；
- (b) 耐氧化性之連接用導電層形成步驟，其係經由第一絕緣膜形成於前述第一及第二 MISFET 之各個上部；
- (c) 積層體形成步驟，其係在前述連接用導電層，包含縱型 MISFET 之源極、通道區域及汲極，延伸於與前述半導體基板主面垂直之方向上而形成上；及
- (d) 閘極絕緣膜形成步驟，其係形成於前述積層體之側壁部。

34. 如申請專利範圍第 33 項之半導體記憶裝置之製造方法，其中前述連接用導電層包含矽化鎢，

前述閘極絕緣膜藉由熱氧化形成。

35. 一種半導體記憶裝置之製造方法，其特徵為：該半導體

記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET與第一及第二縱型MISFET，且前述第一MISFET與前述第二MISFET交叉結合，

且前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

形成前述積層體之步驟包含：掩模層形成步驟，其係用於在構成前述積層體之膜上部蝕刻前述膜；光阻圖案形成步驟，其係形成於前述掩模層之上部；將前述光阻圖案予以細線化步驟；及前述掩模層蝕刻步驟，其係將前述經細線化之光阻圖案作為掩模來蝕刻前述掩模層。

36. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET與第一及第二縱型MISFET，且前述第一MISFET與前述第二MISFET交叉結合，前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；該製造方法包含：

(a) 前述第一及第二MISFET形成步驟，其係形成於前述半導體基板之主面上；

- (b) 第一絕緣膜形成步驟，其係形成於前述第一及第二 MISFET 之各個上部；
 - (c) 非晶矽膜堆積步驟，其係在前述第一絕緣膜之上部堆積摻雜有雜質之第一非晶矽膜，及濃度低於前述第一非晶矽膜之第二非晶矽膜；
 - (d) 在前述第一及第二非晶矽膜上實施第一退火處理予以晶化之步驟；
 - (e) 積層膜形成步驟，其係於前述(d)步驟後，堆積摻雜有雜質之第三非晶矽膜，來形成積層膜；
 - (f) 於前述第三非晶矽膜上實施第二退火處理予以晶化之步驟；及
 - (g) 前述積層體形成步驟，其係於前述(f)步驟後，藉由將前述積層膜予以圖案化，來形成前述積層體。
37. 如申請專利範圍第36項之半導體記憶裝置之製造方法，其中於前述(e)步驟之前，包含於前述第二非晶矽膜內導入雜質之步驟。
38. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二 MISFET，且前述第一 MISFET 與前述第二 MISFET 交叉結合，該製造方法包含：
- (a) 前述第一及第二 MISFET 形成步驟，其係形成於半導體基板之主面上；
 - (b) 積層體形成步驟，其係於前述第一及第二 MISFET

之各個上部，經由第一絕緣膜，包含第一及第二縱型 MISFET 之源極、通道區域及汲極，形成延伸於與前述半導體基板主面垂直之方向；

(c) 絕緣膜形成步驟，其係以覆蓋前述積層體之方式形成；

(d) 配線溝形成步驟，其係形成於前述絕緣膜上；及

(e) 前述字元線形成步驟，其係於前述配線溝內埋入導電膜，並電性連接於前述第一及第二縱型 MISFET 之閘電極。

39. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二 MISFET，且前述第一 MISFET 與前述第二 MISFET 交叉結合，該製造方法包含：

(a) 前述第一及第二 MISFET 形成步驟，其係形成於半導體基板之主面上；

(b) 積層體形成步驟，其係於前述第一及第二 MISFET 之各個上部，經由第一絕緣膜，包含縱型 MISFET 之源極、通道區域及汲極，形成延伸於與前述半導體基板主面垂直之方向；及

(c) 閘電極形成側方間隔物狀步驟，其係於前述積層體之側壁部，經由閘極絕緣膜，將前述縱型 MISFET 之閘電極對前述積層體側壁自對準地形成。

40. 如申請專利範圍第 39 項之半導體記憶裝置之製造方法

，其中進一步包含：絕緣膜形成步驟，其係以覆蓋前述積層體之方式形成；配線溝形成步驟，其係形成於前述絕緣膜上，並露出前述縱型MISFET之閘電極；及字元線形成步驟，其係於前述配線溝內埋入導電膜，並電性連接於前述閘電極。

41. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有縱型MISFET，該縱型MISFET具備：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；該製造方法包含：

(a) 前述積層體形成步驟，其係於前述半導體基板之主面上，經由第一絕緣膜，包含縱型MISFET之源極、通道區域及汲極，而形成於與前述半導體基板主面垂直之方向；及

(b) 閘電極形成側方間隔物狀步驟，其係於前述積層體之側壁部，經由閘極絕緣膜，將前述縱型MISFET之閘電極對前述積層體側壁自對準地形成。

42. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有縱型MISFET，該縱型MISFET具備：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；該製造方法包含：

- (a) 非晶矽膜堆積步驟，其係於前述半導體基板之主面上堆積摻雜有雜質之第一非晶矽膜，及濃度低於前述第一非晶矽膜之第二非晶矽膜；
 - (b) 在前述第一及第二非晶矽膜上實施第一退火處理予以晶化之步驟；
 - (c) 積層膜形成步驟，其係於前述(b)步驟後，堆積摻雜有雜質之第三非晶矽膜，以形成積層膜；
 - (d) 於前述第三非晶矽膜上實施第二退火處理予以晶化之步驟；及
 - (e) 前述積層體形成步驟，其係於前述(d)步驟後，藉由將前述積層膜予以圖案化，以形成前述積層體。
43. 如申請專利範圍第42項之半導體記憶裝置之製造方法，其中於前述(c)步驟之前，包含於前述第二非晶矽膜內導入雜質之步驟。
44. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有縱型MISFET，該縱型MISFET具備：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於前述半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；
- 且形成前述積層體之步驟包含：掩模層形成步驟，其係用於在構成前述積層體之膜上部蝕刻前述膜；光阻圖案形成步驟，其係形成於前述掩模層之上部；將前述光阻圖案予以細線化步驟；及前述掩模層蝕刻步驟，其係將前述經細線化之光阻圖案作為掩模來蝕刻前述掩模

層。

45. 如申請專利範圍第33至44項中任一項之半導體記憶裝置之製造方法，其中前述積層體之膜厚在 $0.1\ \mu\text{m}$ 以下，

前述縱型MISFET之各個閘極以包圍前述積層體側壁部周圍之方式形成，

前述縱型MISFET以完全空乏型MISFET構成。

46. 如申請專利範圍第30至32，41至45項中任一項之半導體記憶裝置之製造方法，其中於前述積層體之側壁部，經由閘極絕緣膜，將前述縱型MISFET之閘電極對前述積層體之側壁自對準地形成側方間隔物狀。

47. 如申請專利範圍第1項之半導體記憶裝置，其中前述第一及第二縱型MISFET之各個閘極以包含兩層之多晶矽膜構成，且在經由前述兩層多晶矽膜之界面之膜間，晶粒之結晶方位係連續者。

48. 如申請專利範圍第3項之半導體記憶裝置，其中形成於分別構成前述第一及第二縱型MISFET之前述積層體之前述通道區域中，其雜質濃度峰值比前述通道區域中心為向上方或下方偏移。

49. 如申請專利範圍第48項之半導體記憶裝置，其中前述雜質濃度峰值比前述通道區域中心為向前述記憶胞之存儲節點側偏移。

50. 如申請專利範圍第24項之半導體記憶裝置，其中前述連接用導電層包含矽化鎢膜之單層膜，或於金屬膜上部堆疊有矽化鎢膜之多層膜。

51. 如申請專利範圍第1項之半導體記憶裝置，其中進一步包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分，其閘電極端部之曲率半徑與前述第一及第二驅動MISFET之閘電極端部之曲率半徑相同。
52. 如申請專利範圍第1項之半導體記憶裝置，其中進一步包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分，其閘極端部之曲率半徑大於前述第一及第二驅動MISFET之閘電極端部之曲率半徑。
53. 如申請專利範圍第1項之半導體記憶裝置，其中進一步包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分之閘電極，其延伸至活性區域外部之部分長度與前述第一及第二驅動MISFET之閘極之延伸至活性區域外部之部分長度相同。
54. 如申請專利範圍第1項之半導體記憶裝置，其中進一步包含以數個MISFET構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分之閘電極，其延伸至活性區域外部之部分長度大於前述第一及第二驅動MISFET之閘電極之延伸至活性區域外部之部分長度。
55. 一種半導體記憶裝置之製造方法，其特徵為：該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET與第一及第二縱型MISFET，且前述第一MISFET與前述第二

MISFET交叉結合，前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

形成前述第一及第二MISFET之閘極之步驟包含：

- (a) 第一步驟，其係沿著前述半導體基板主面之第一向，將形成於閘電極用導電膜上之薄膜予以圖案化；
- (b) 第二步驟，其係沿著與前述第一向交叉之第二方向，將前述薄膜予以圖案化；及
- (c) 第三步驟，其係將經前述第一及第二步驟圖案化之前述薄膜作為掩模，將前述閘電極用導電膜予以圖案化。

56. 如申請專利範圍第55項之半導體記憶裝置之製造方法，其中進一步包含以數個MISFET所構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分之閘電極，係藉由將經前述第一步驟或前述第二步驟之任一步驟圖案化後之前述薄膜作為掩模，將前述閘電極用導電膜予以圖案化而形成。

57. 如申請專利範圍第55項之半導體記憶裝置之製造方法，其中進一步包含以數個MISFET所構成之周邊電路，構成前述周邊電路之前述數個MISFET之至少一部分之閘電極，係藉由將經前述第一步驟及前述第二步驟之任一步驟圖案化後之前述薄膜作為掩模，將前述閘電極用

導電膜予以圖案化而形成。

58. 如申請專利範圍第55項之半導體記憶裝置之製造方法，其中前述薄膜包含無機系絕緣膜。

59. 一種半導體記憶裝置之製造方法，該半導體記憶裝置具有記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET與第一及第二縱型MISFET，且前述第一MISFET與前述第二MISFET交叉結合，前述第一及第二縱型MISFET分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；

形成前述第一及第二縱型MISFET之閘電極之步驟包含：

(a) 第一步驟，其係於前述半導體基板上堆積非晶質狀態之第一閘電極用導電膜；

(b) 第二步驟，其係於前述第一閘電極用導電膜上堆積多晶狀態之第二閘電極用導電膜；及

(c) 第三步驟，其係熱處理前述半導體基板，將前述第二閘電極用導電膜作為晶種，將前述第一閘電極用導電膜予以多晶化。

60. 一種半導體記憶裝置之製造方法，該半導體記憶裝置具有數個記憶胞，其係具備：配置於一對互補性資料線與字元線之交叉部之第一及第二MISFET與第一及第二縱型MISFET，且前述第一MISFET與前述第二MISFET交

又結合，前述第一及第二縱型 MISFET 分別具有：源極、通道區域及汲極，其係形成於積層體上，該積層體係延伸於垂直於半導體基板主面之方向；及閘電極，其係經由閘極絕緣膜形成於前述積層體之側壁部；其包含下述步驟：

藉由於前述半導體基板上堆積閘電極用導電膜，該閘電極用導電膜之膜厚比沿著前述字元線之延伸方向彼此鄰接之前述積層體間隔之二分之一厚、且比沿著與前述字元線之延伸方向垂直之方向彼此鄰接之前述積層體之間隔薄，以同時形成前述第一及第二縱型 MISFET 之閘電極與前述字元線。

拾壹、圖式：

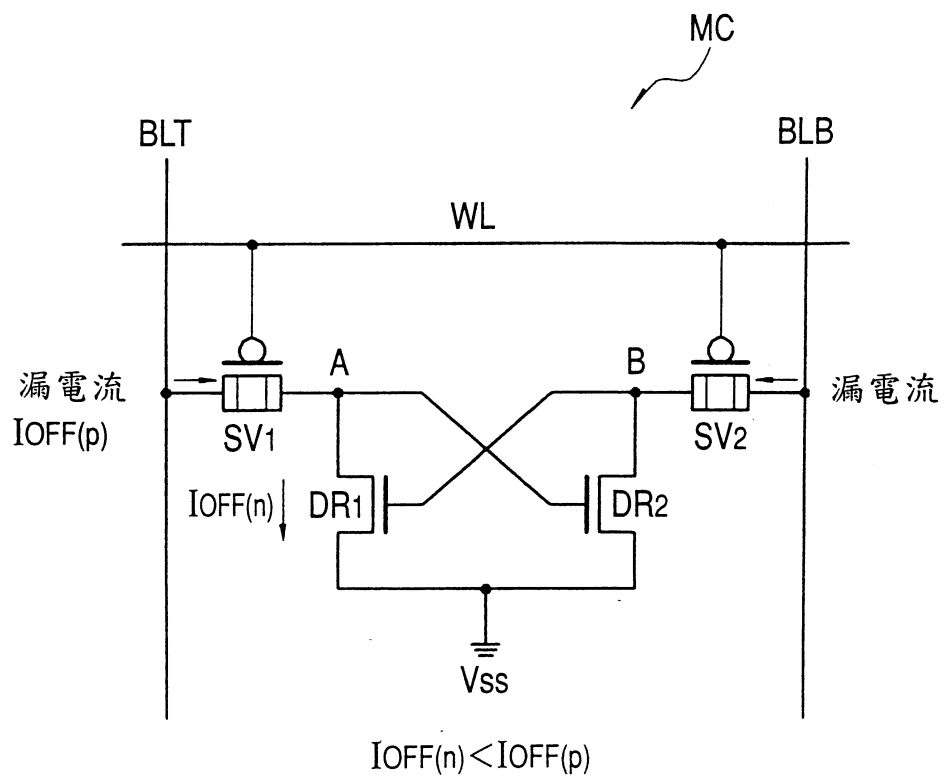


圖 1

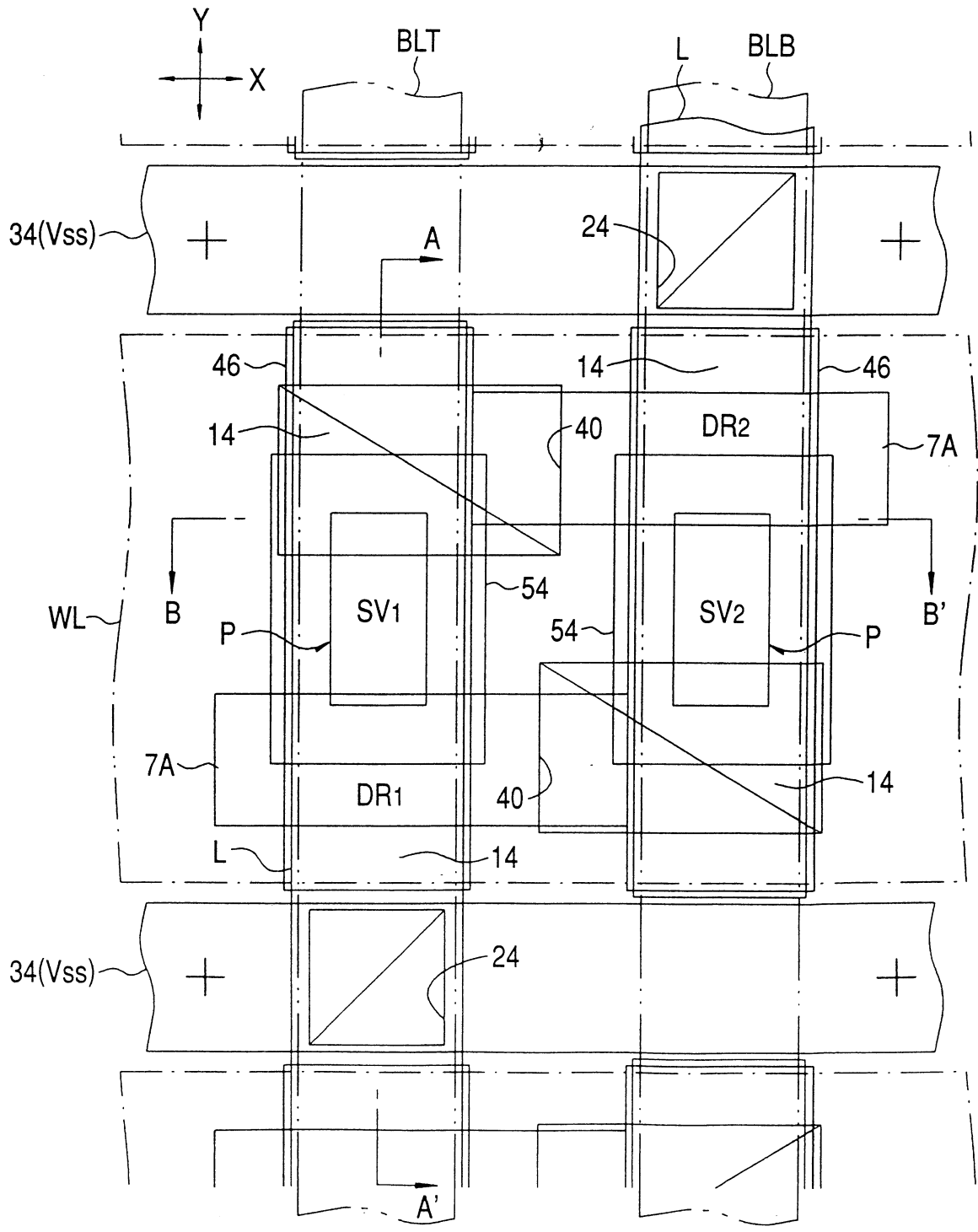


圖 2



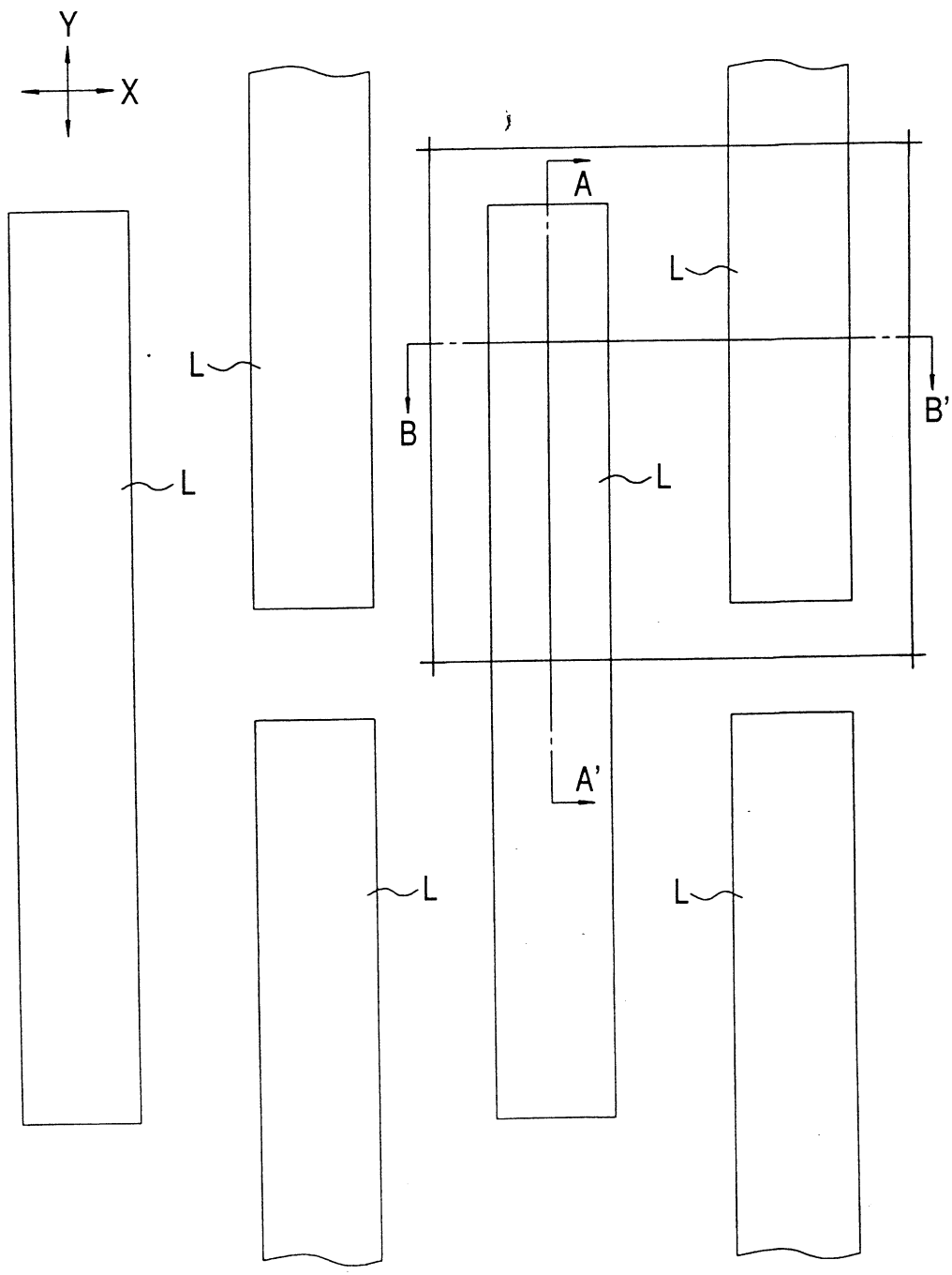


圖 4

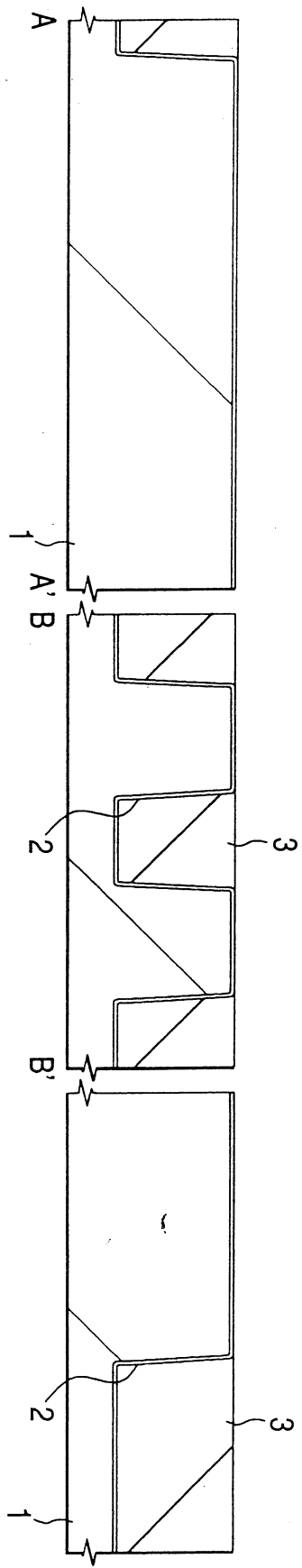


圖 5

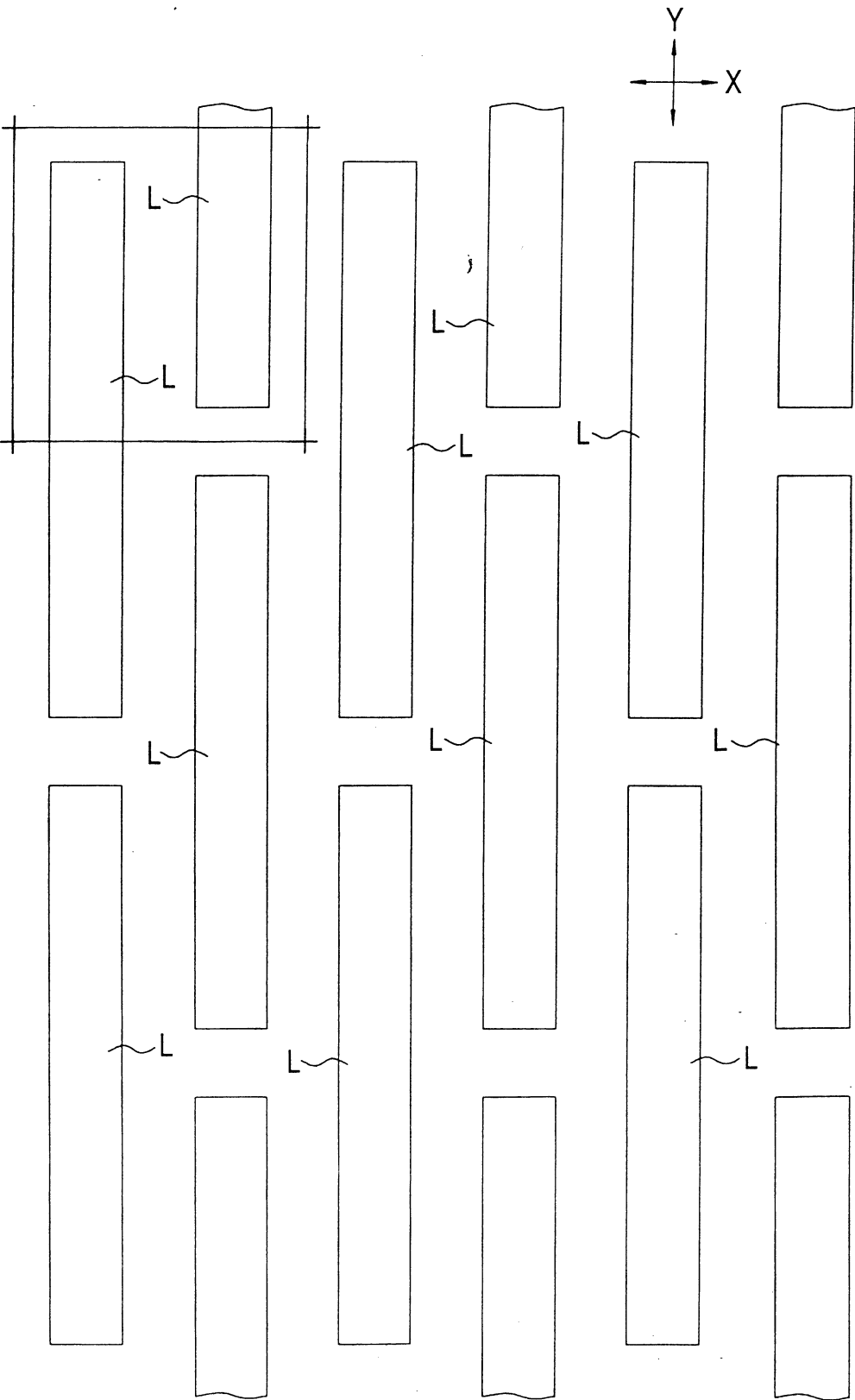


圖 6

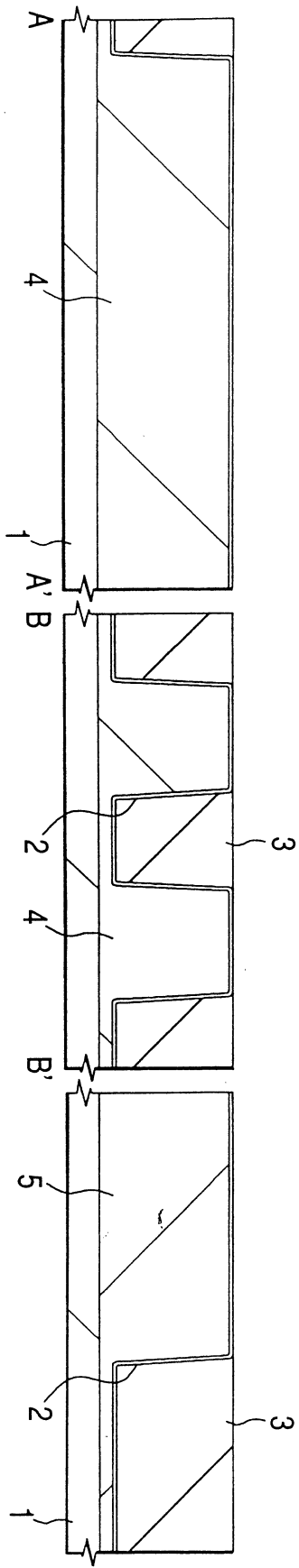


圖 7

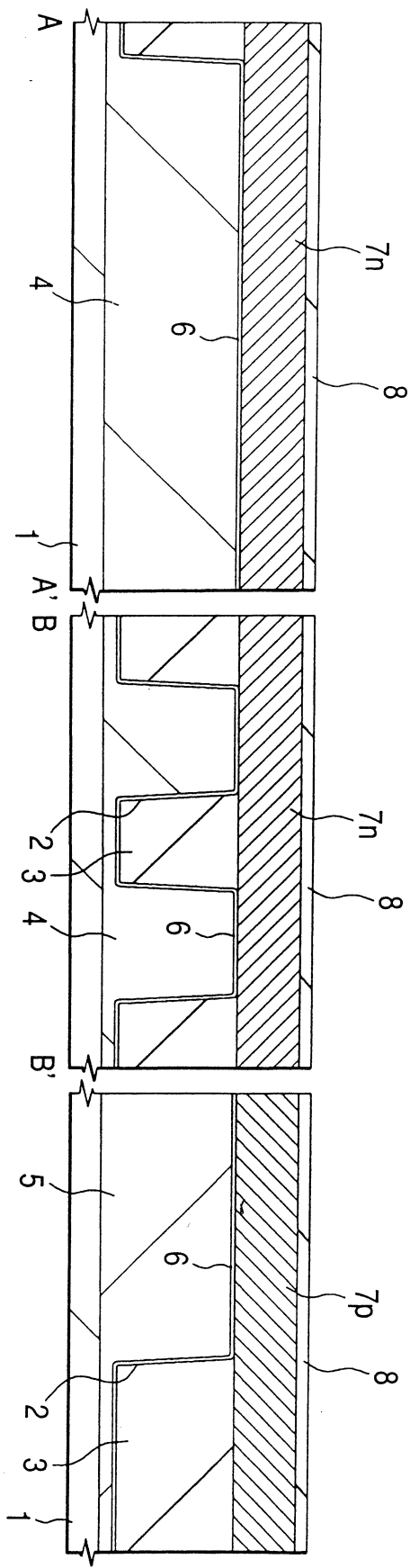


圖 8

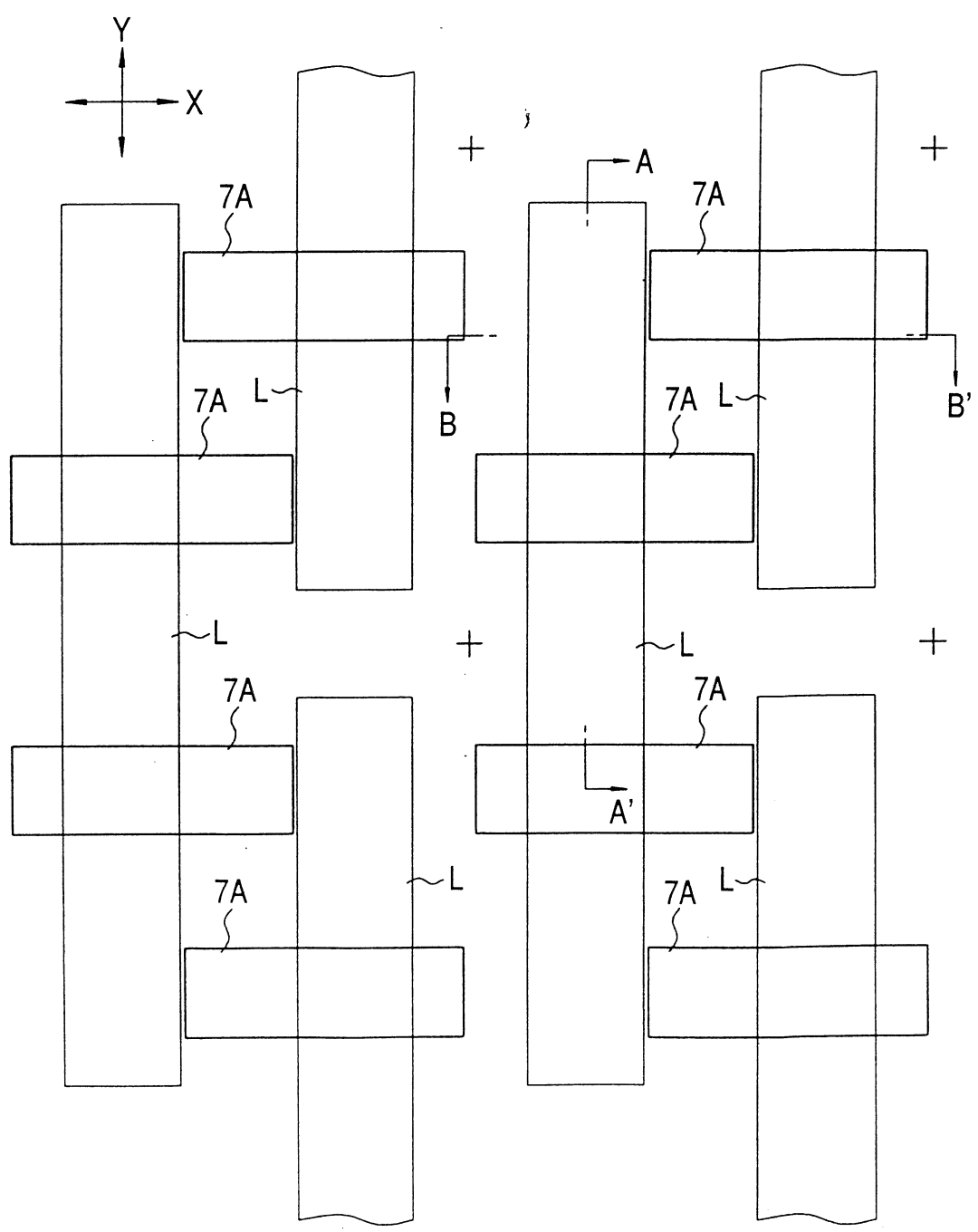


圖 9

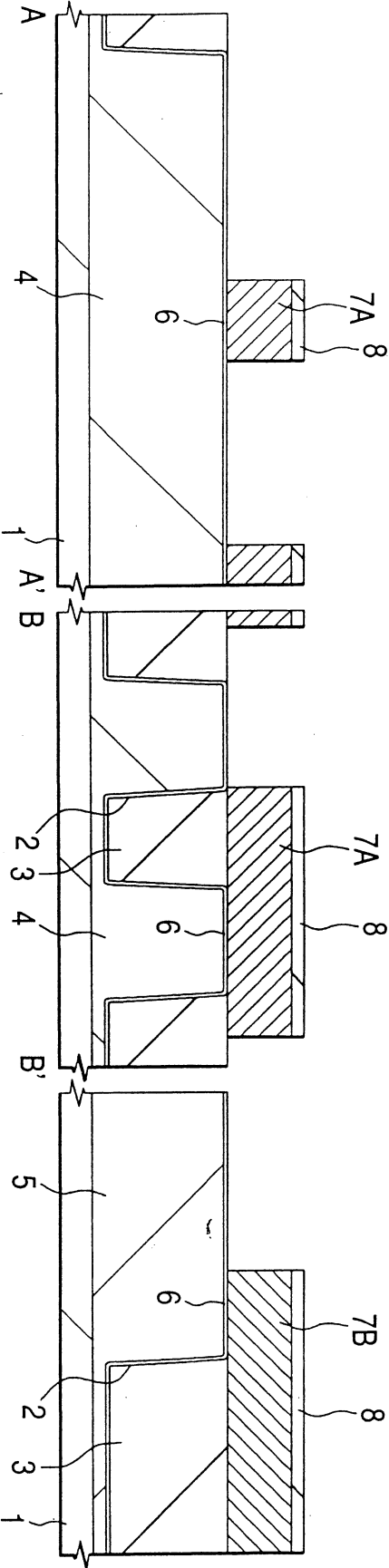


圖 10

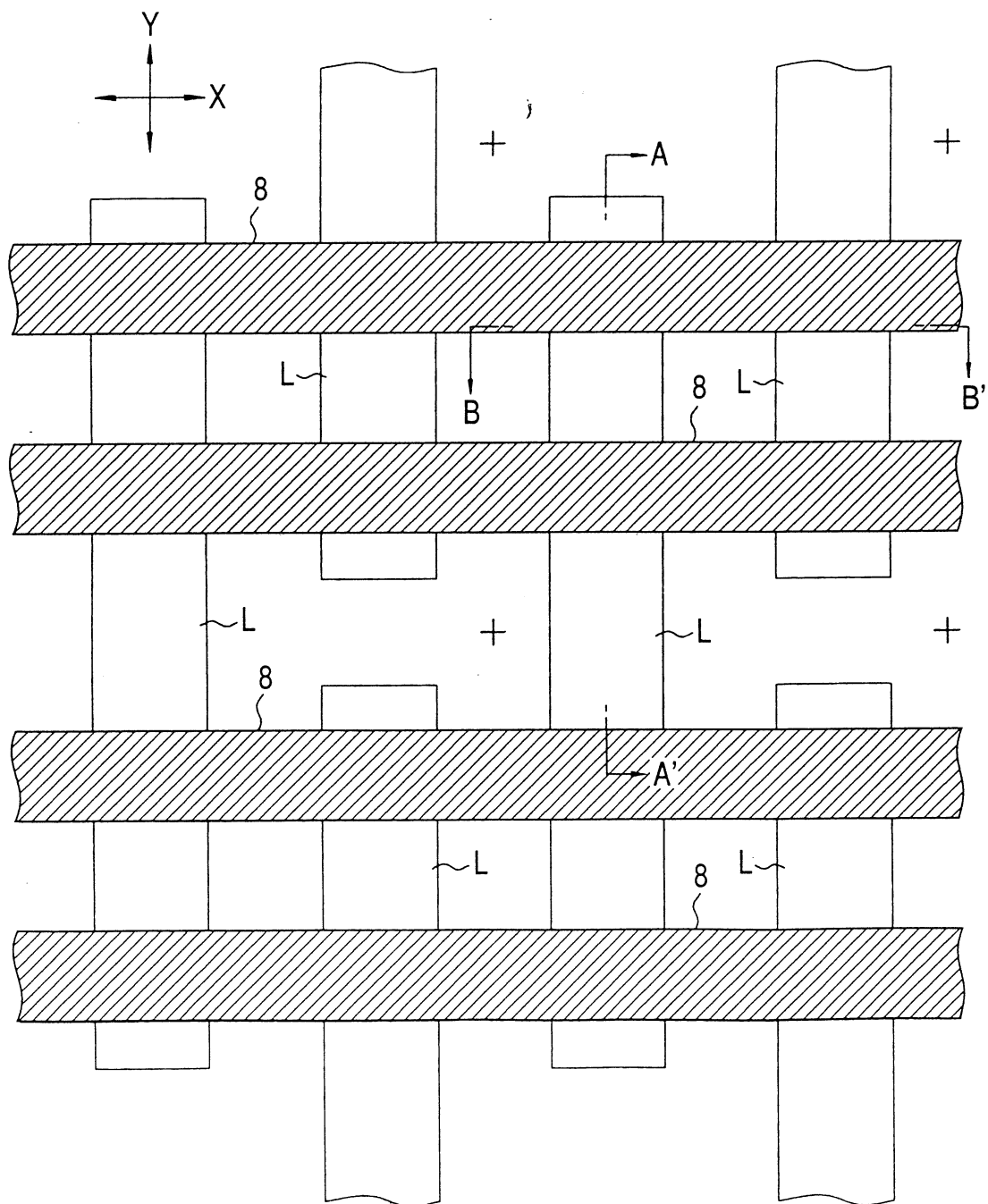


圖 11

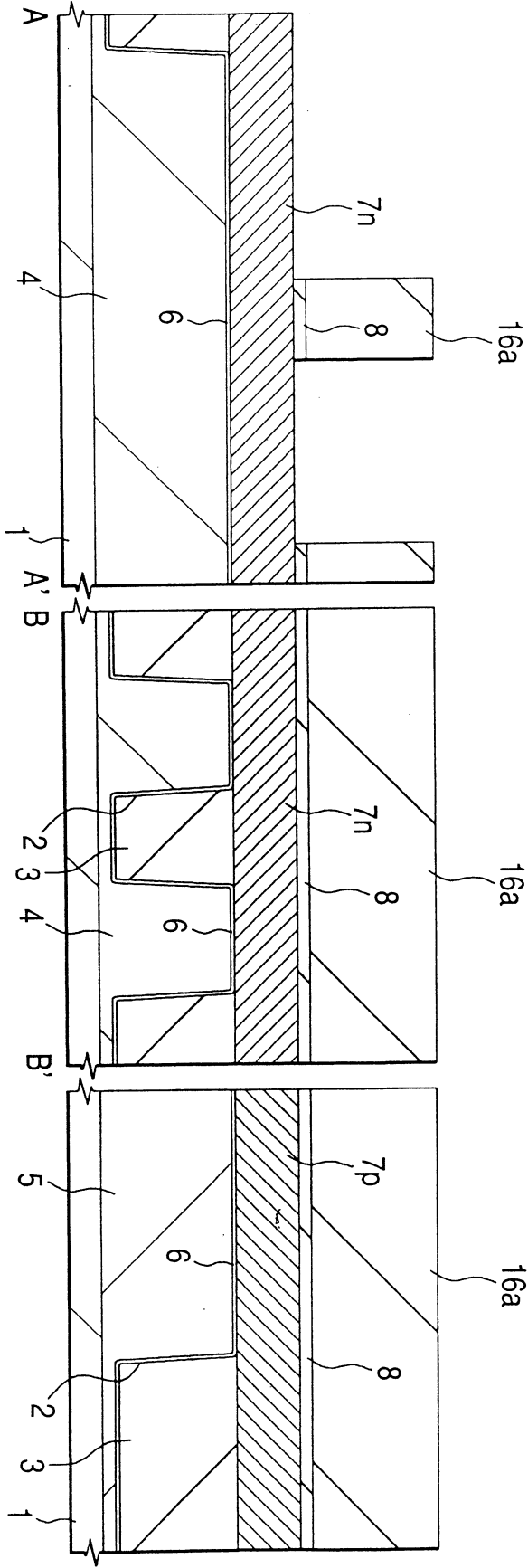


圖 12

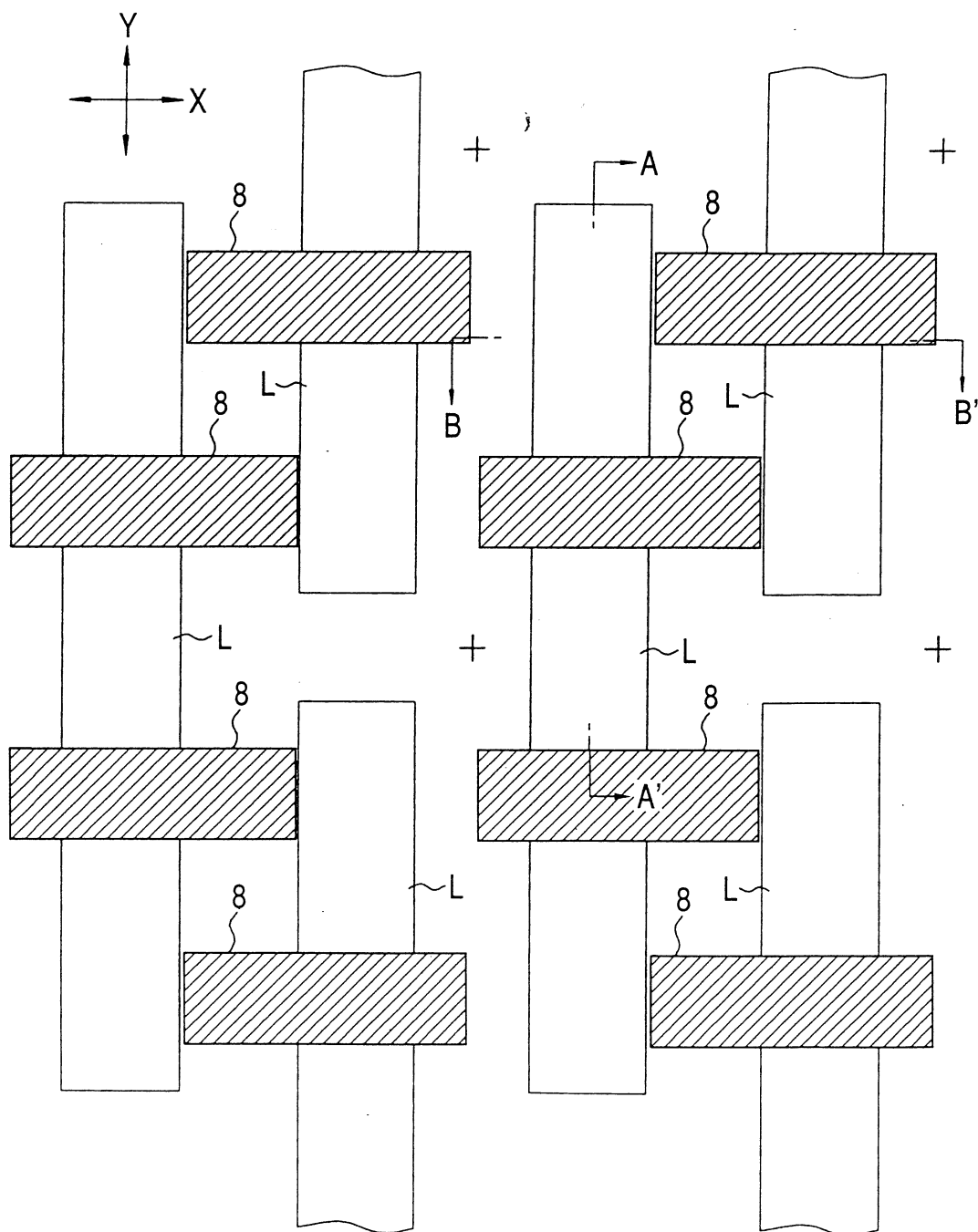


圖 13

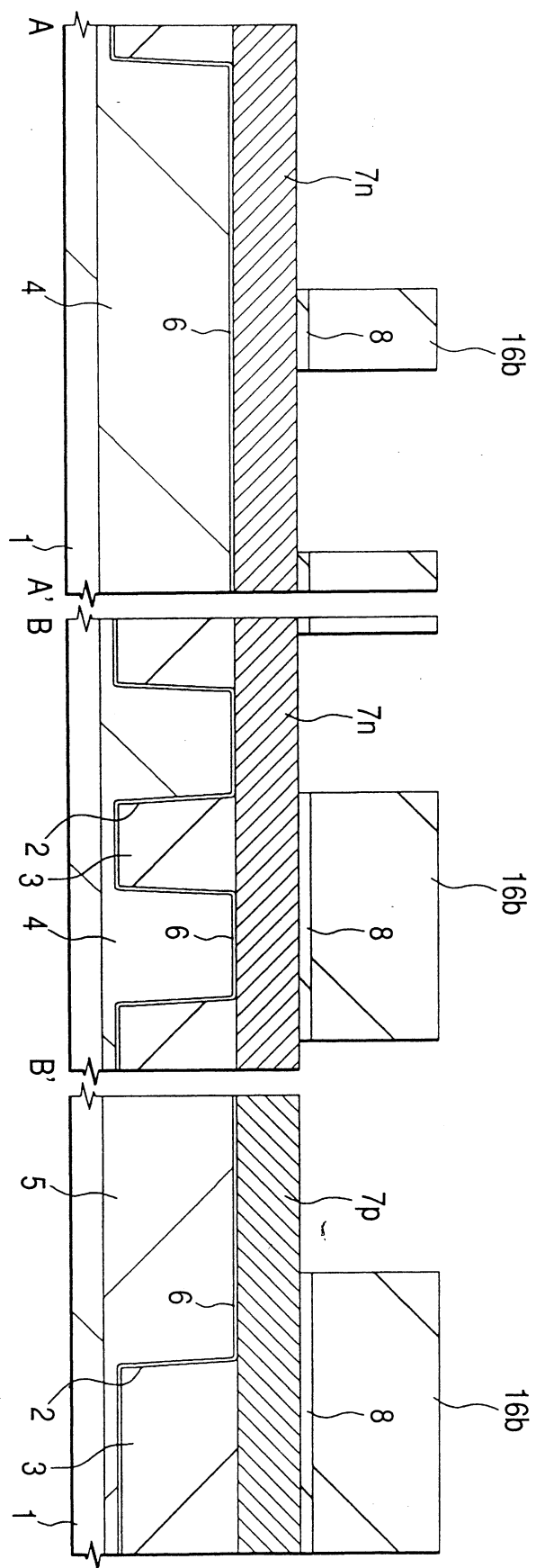


圖 14

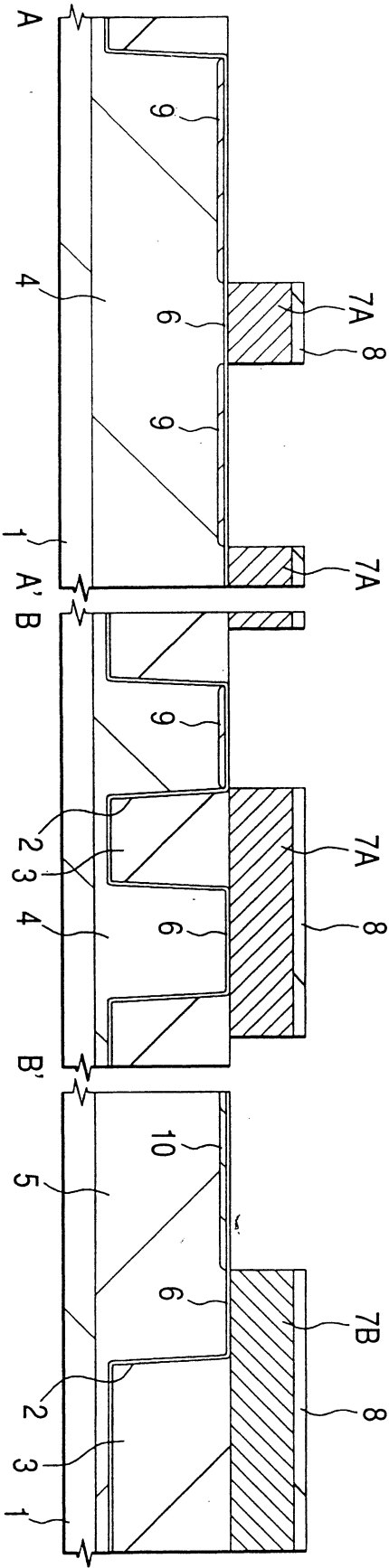


圖 15

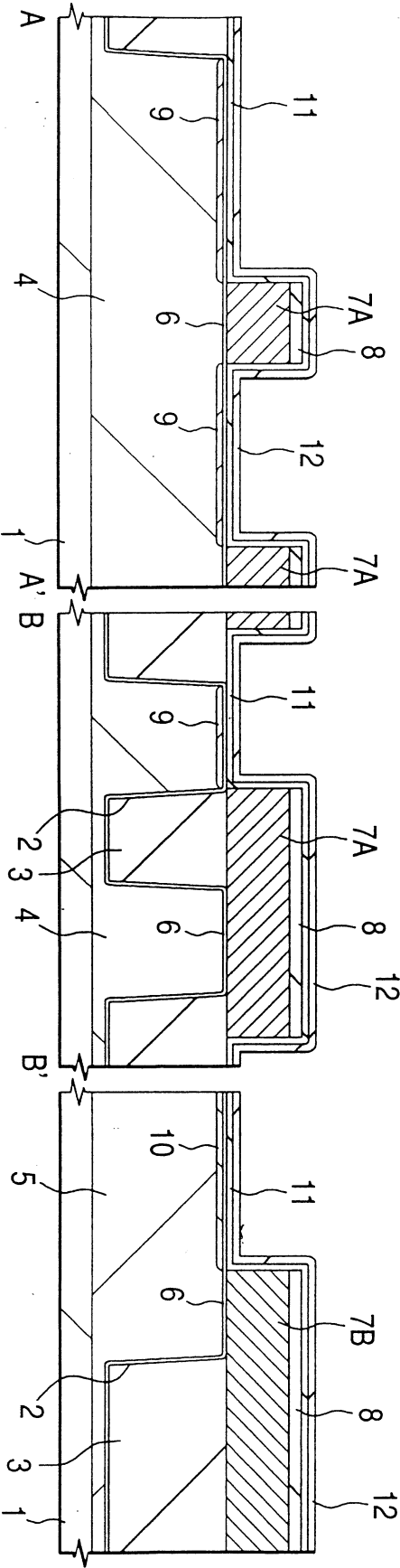


圖 16

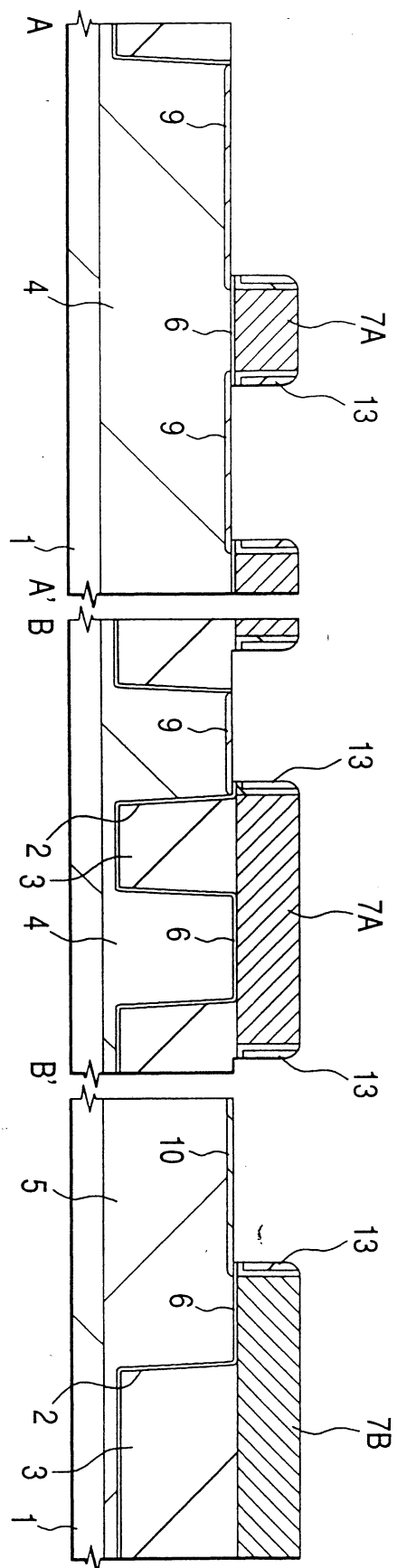


圖 17

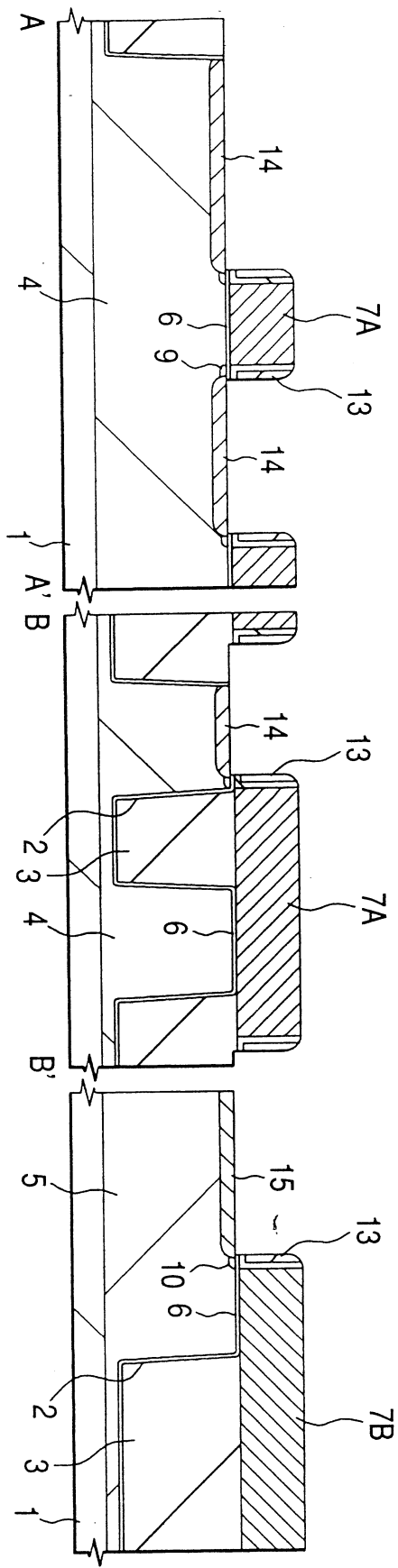


圖 18

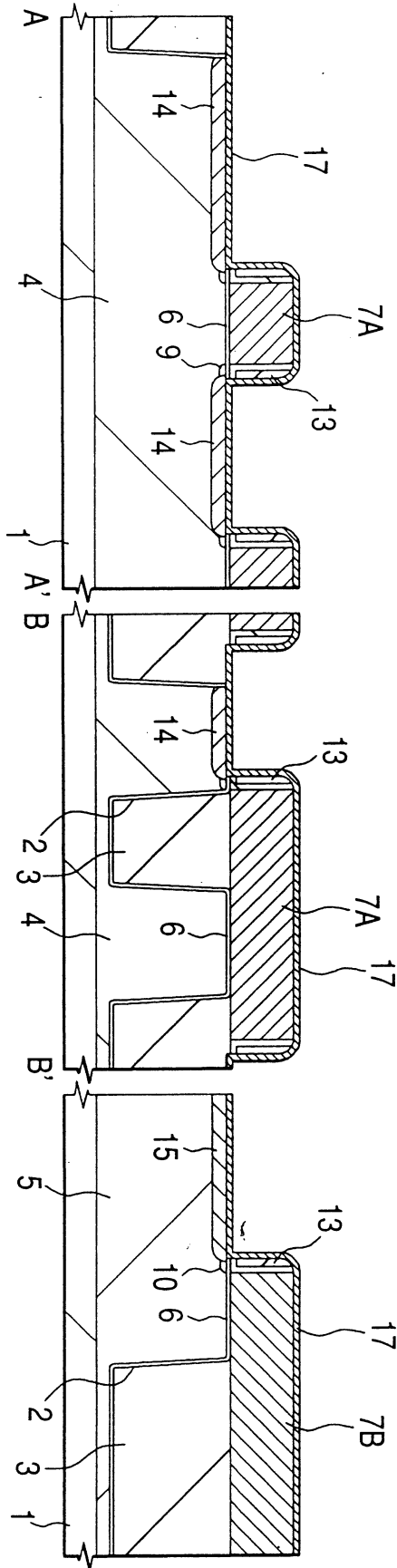
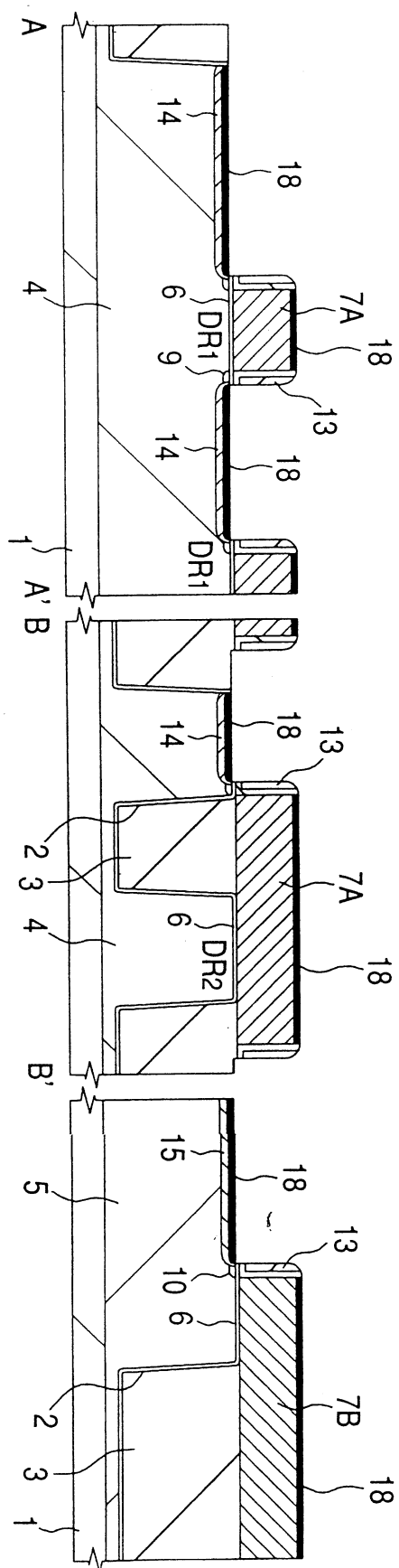


圖 19



20

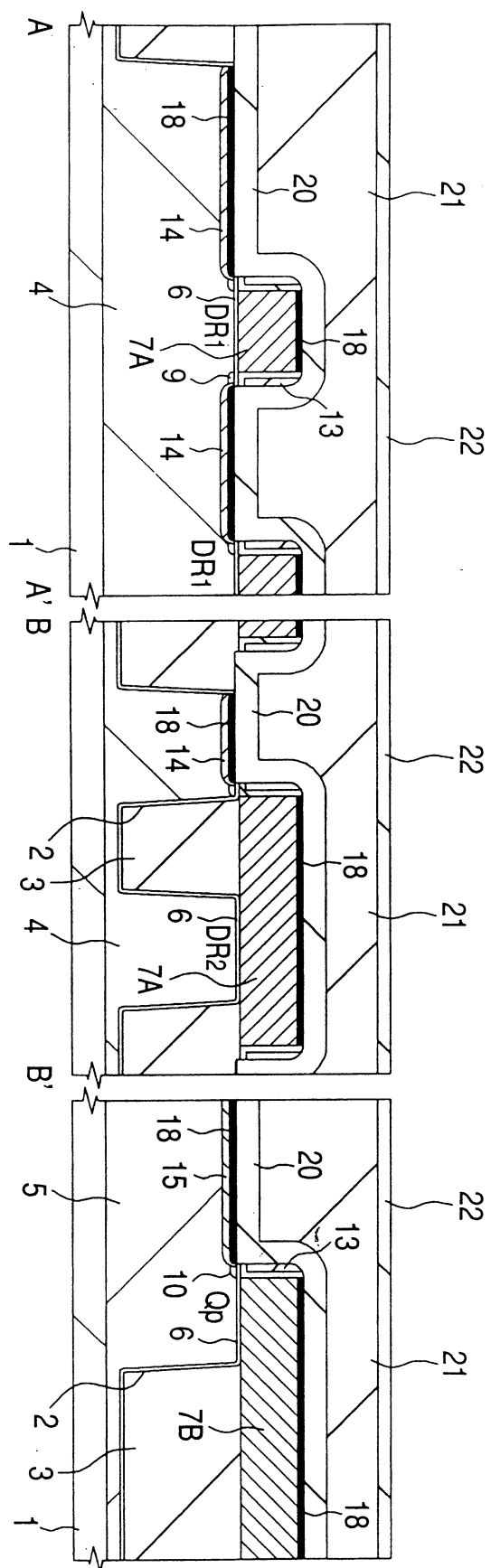
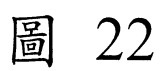


圖 21



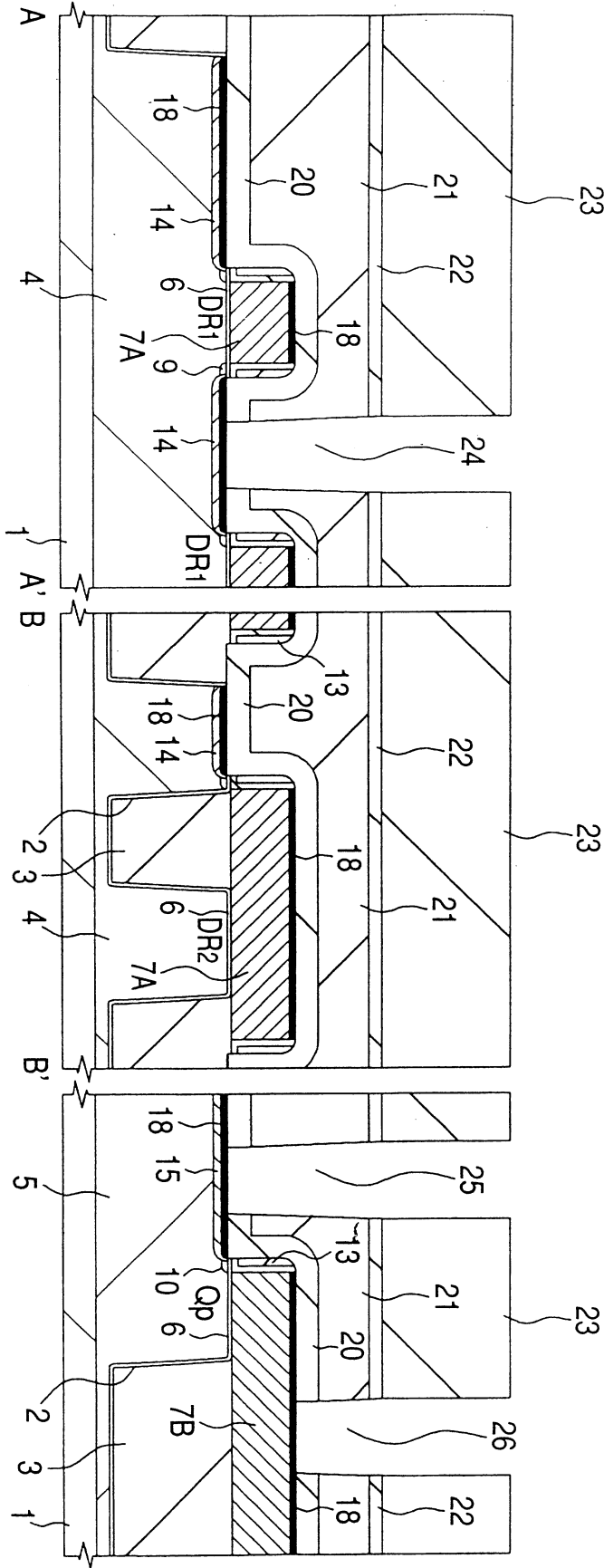
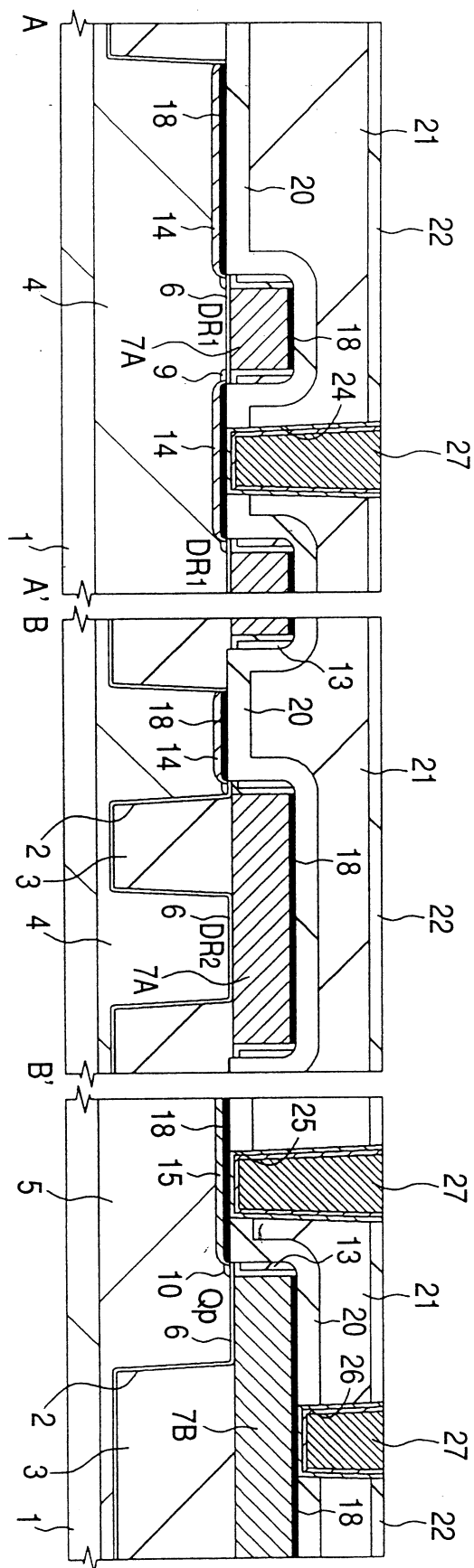


圖 23



24



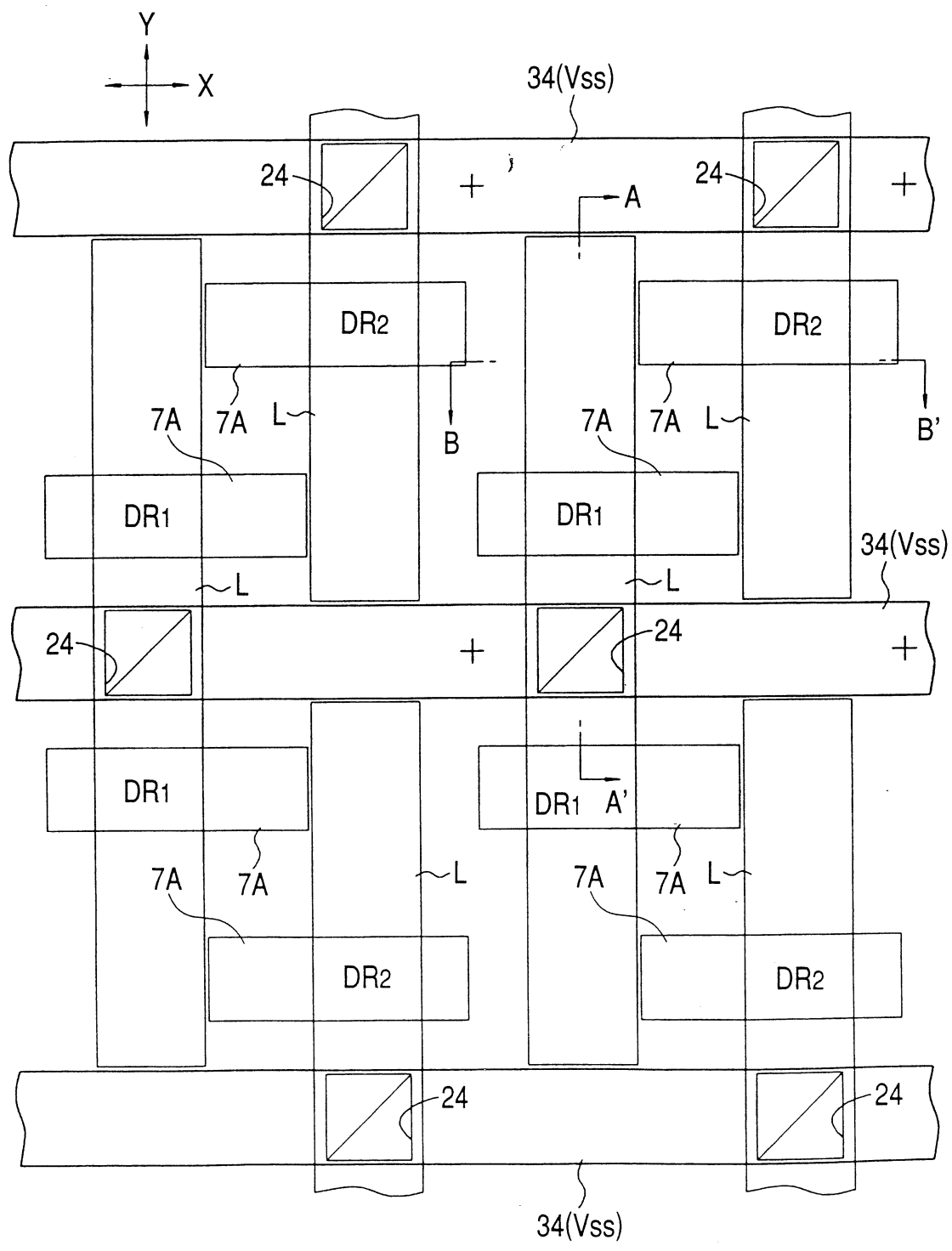
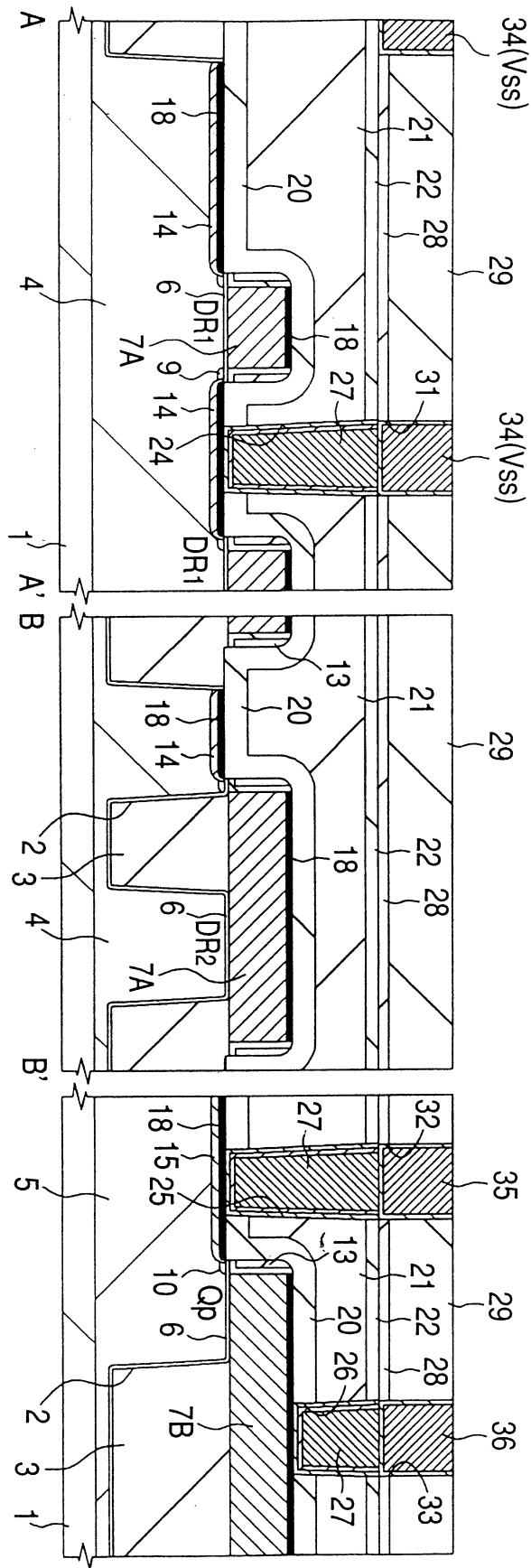


圖 26



27

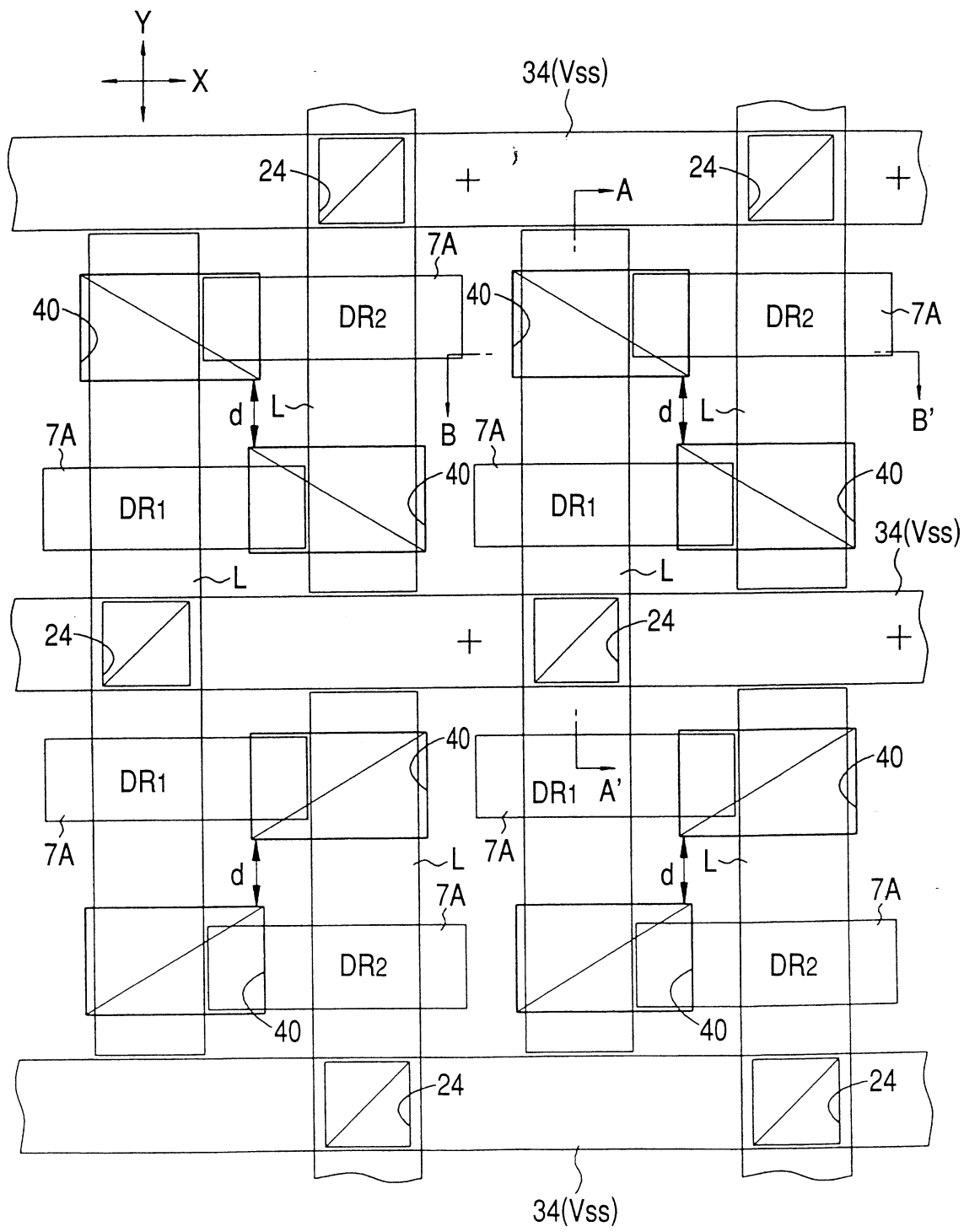


圖 28

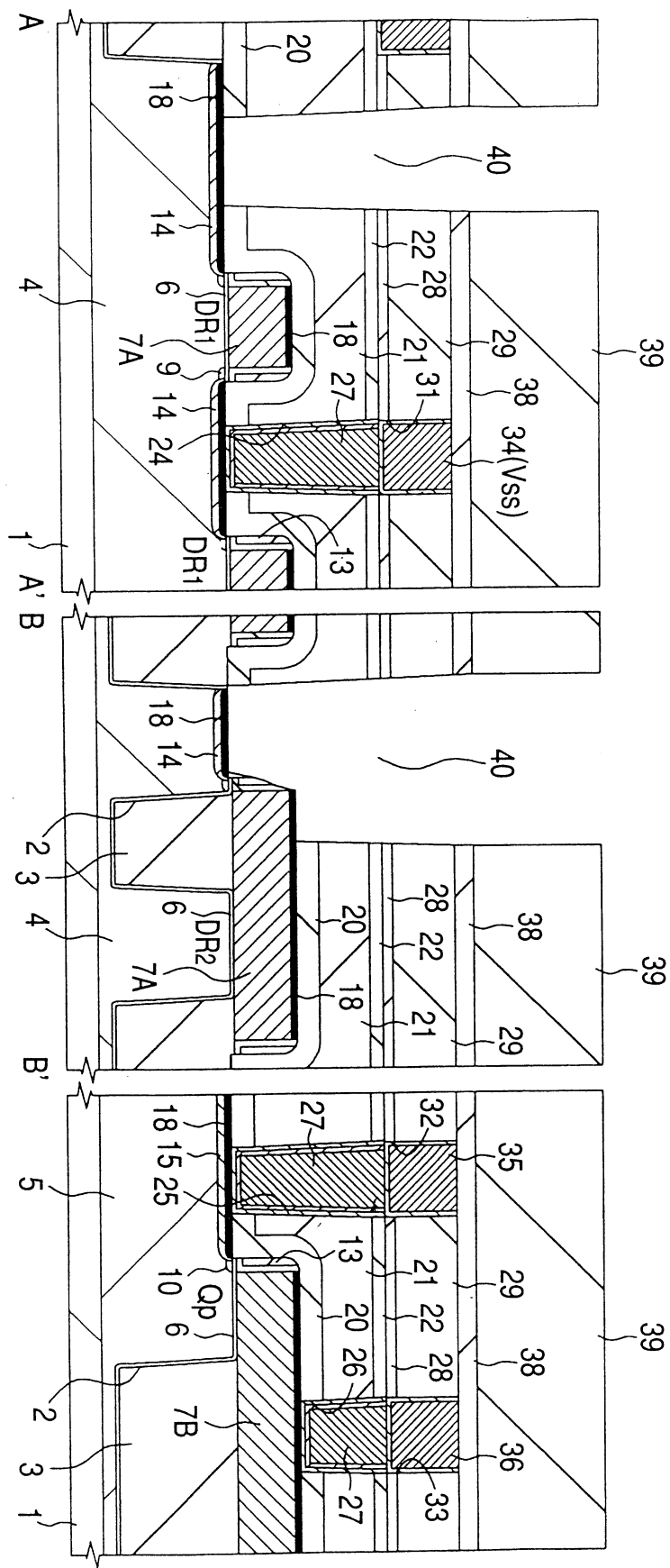


圖 29

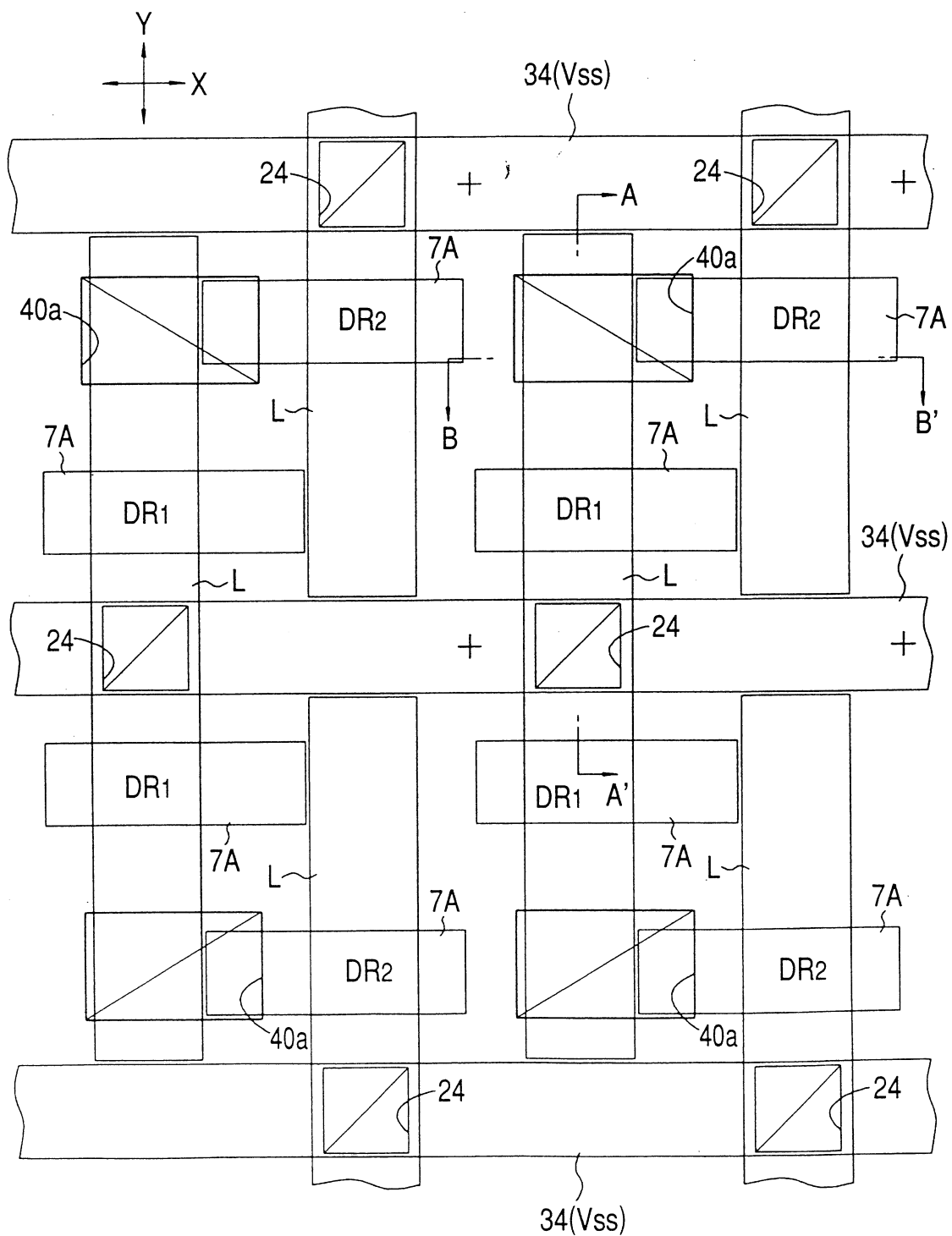


圖 30

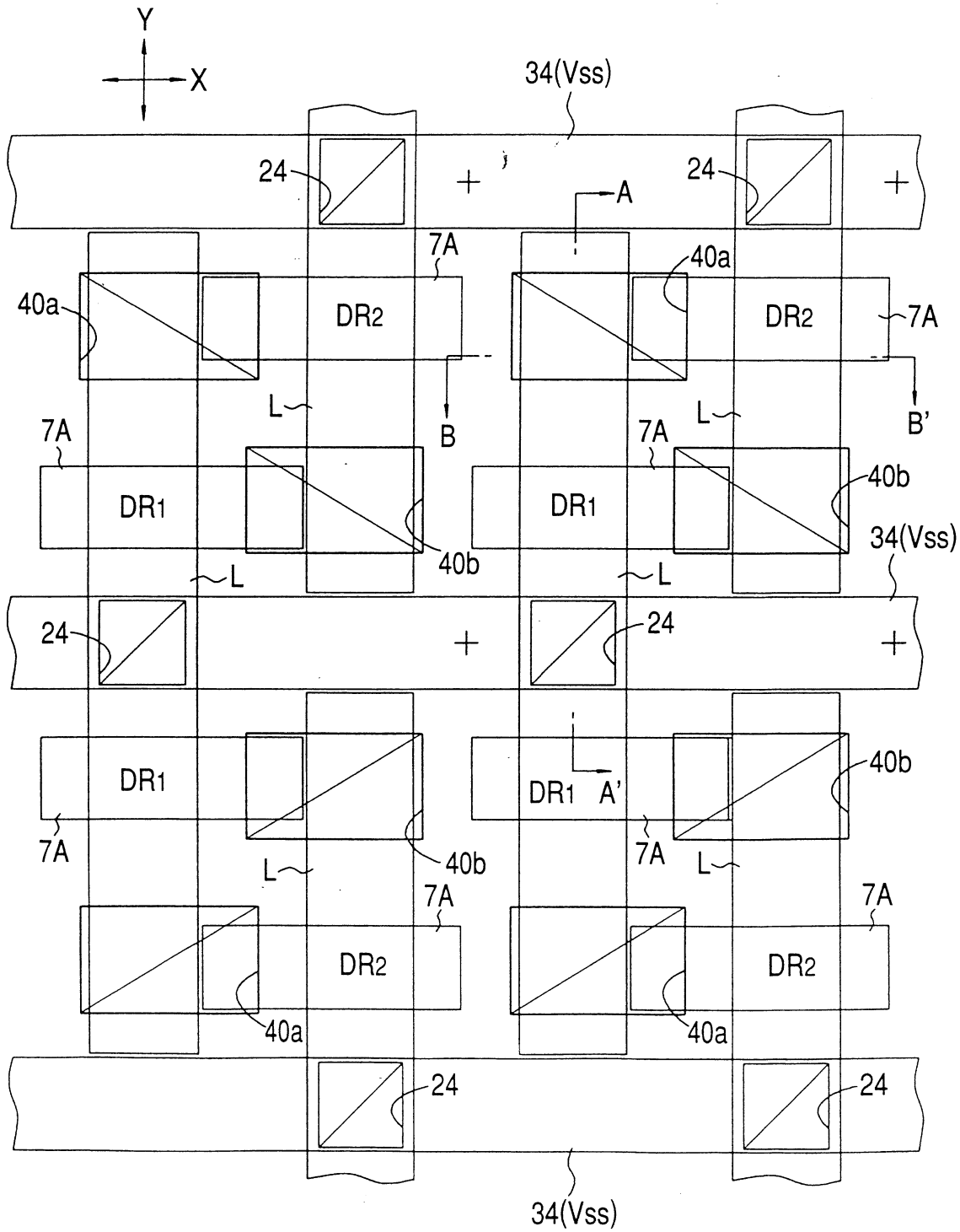


圖 31



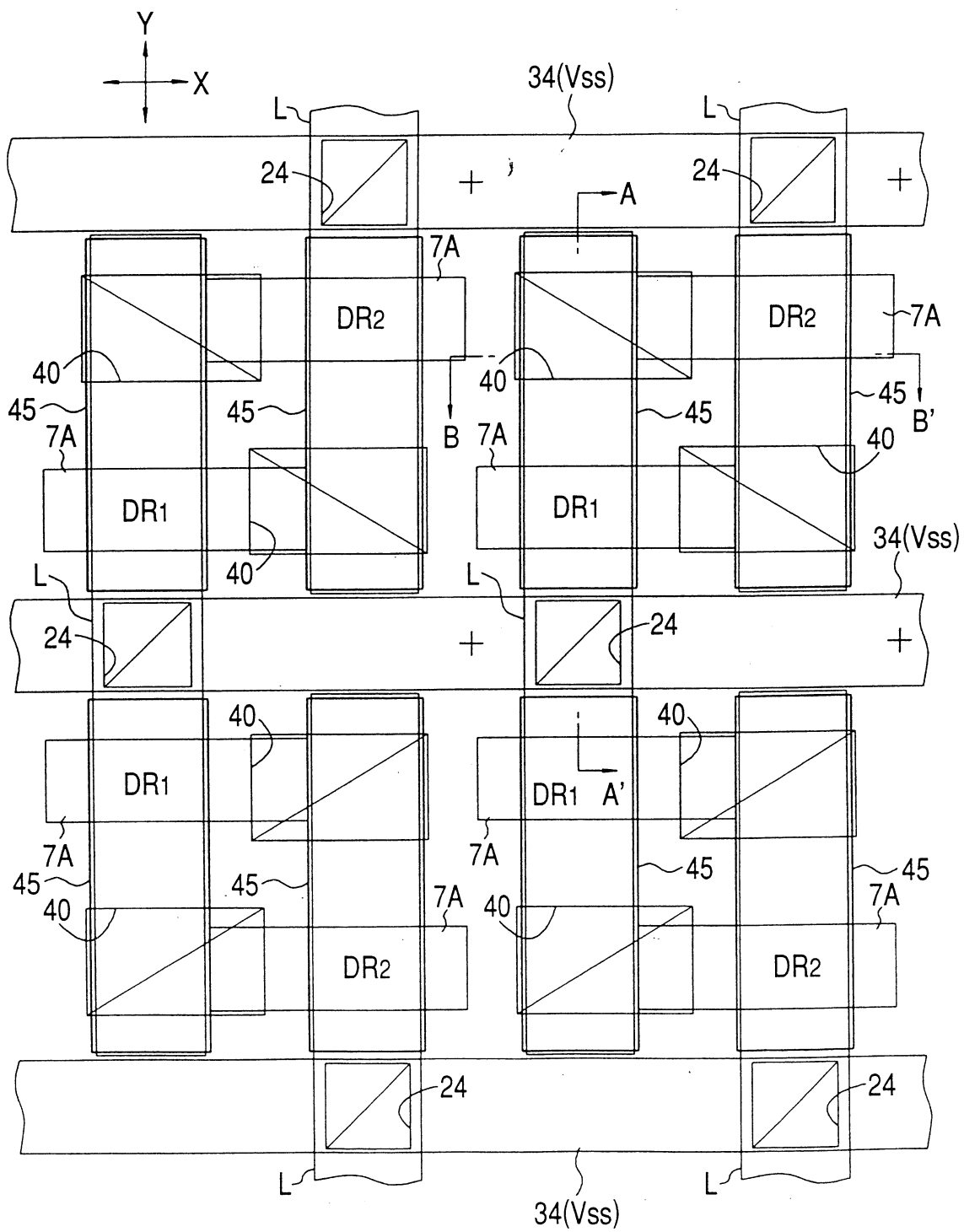
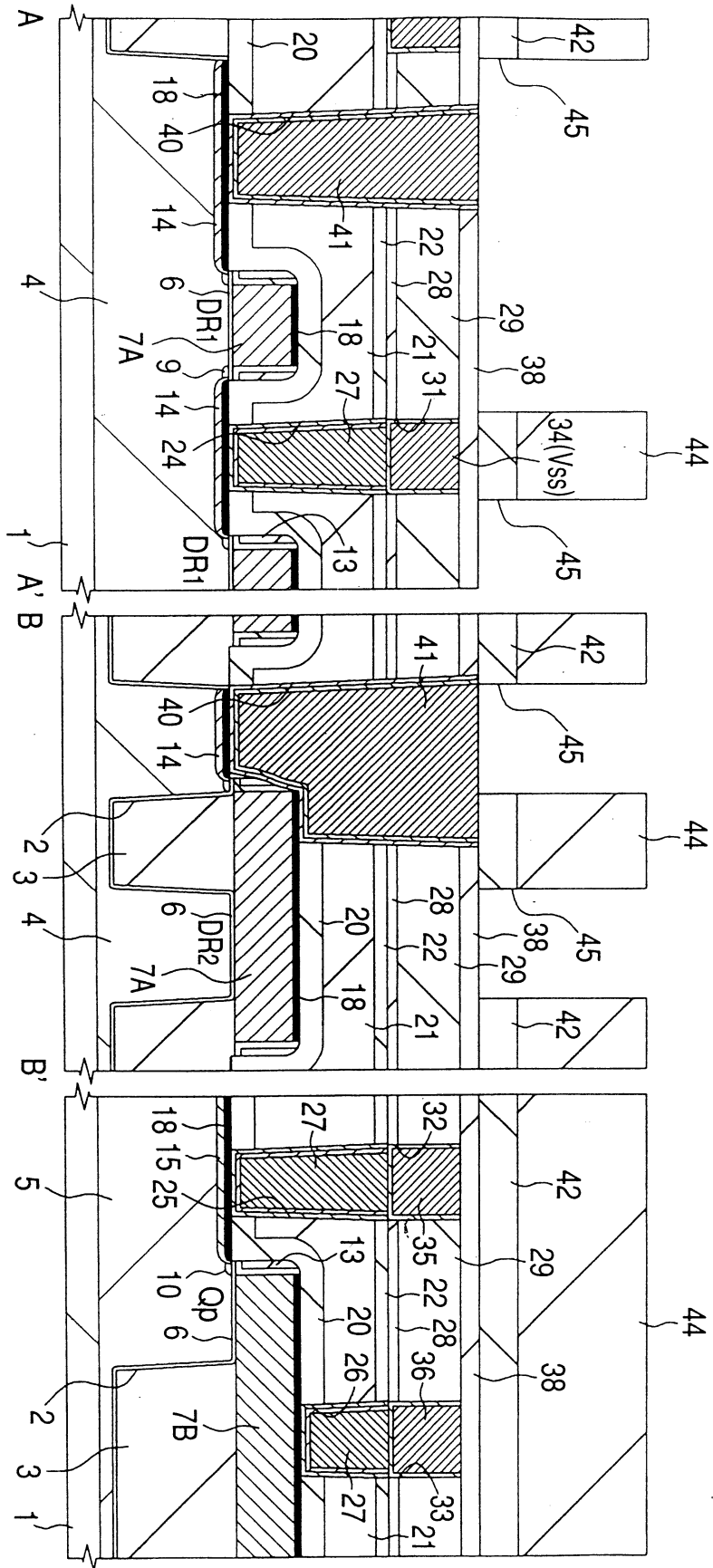


圖 33



34 圖

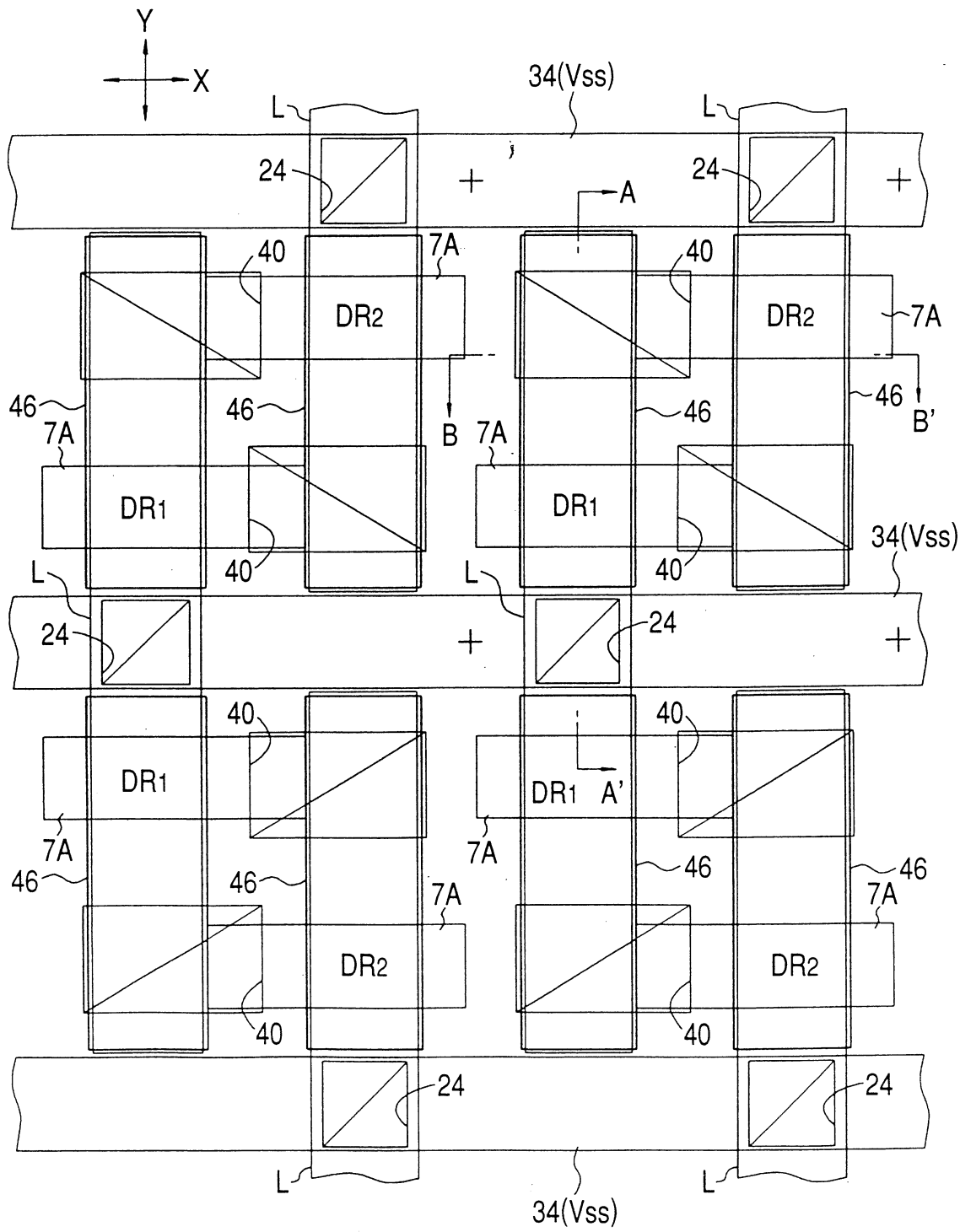


圖 35

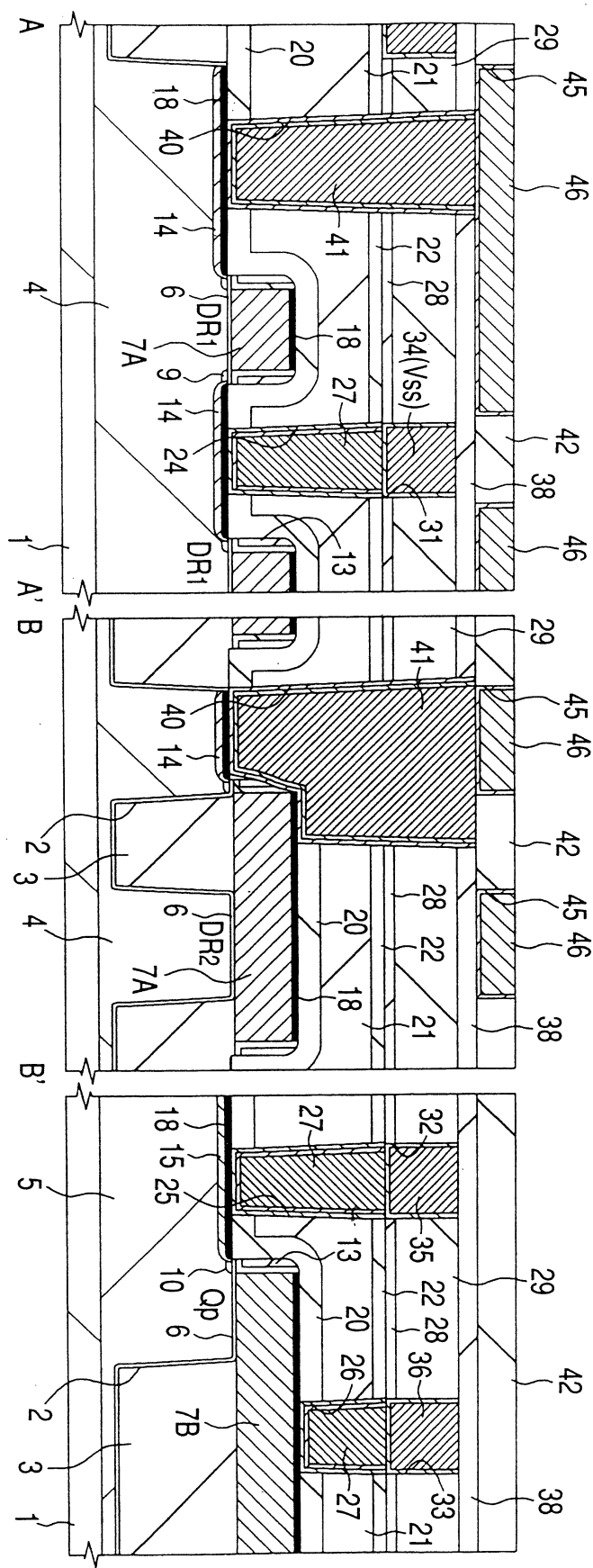


圖 36



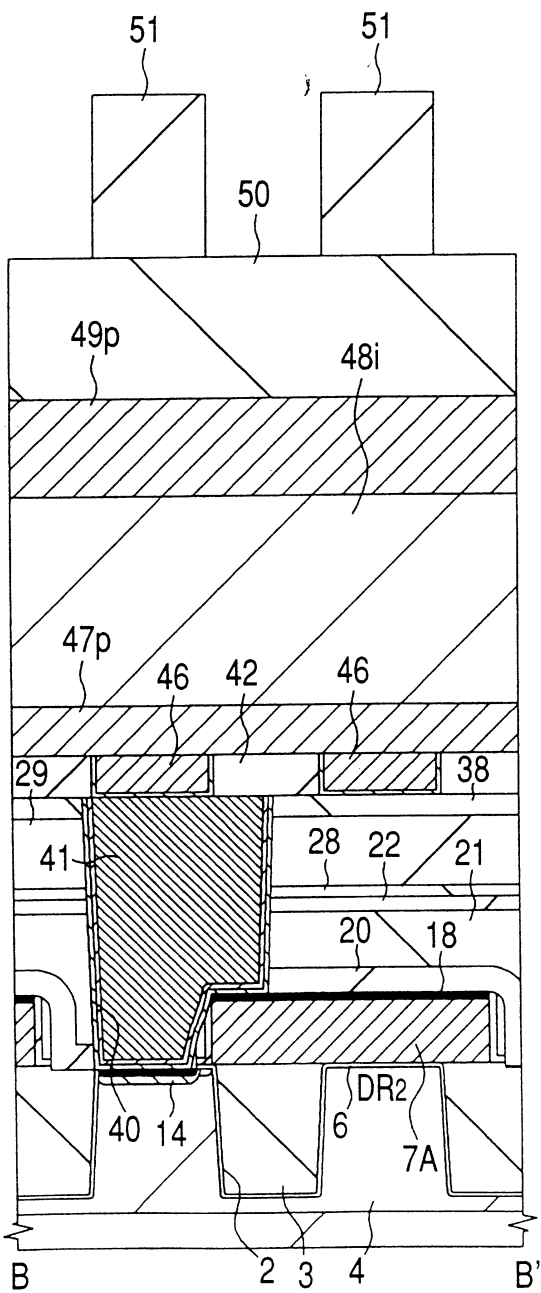


圖 39

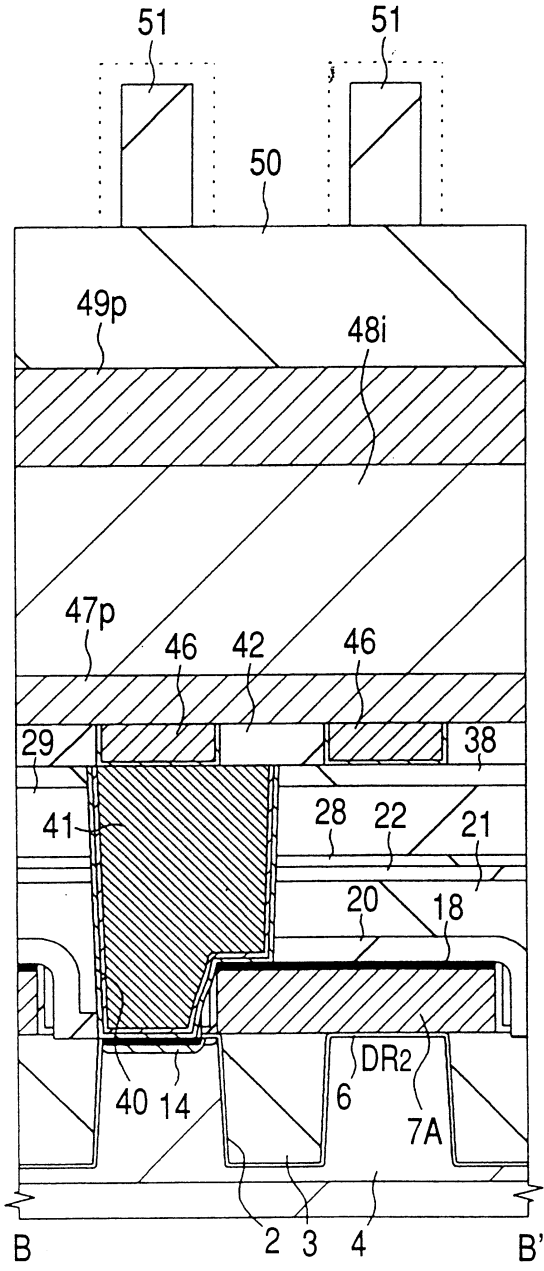


圖 40

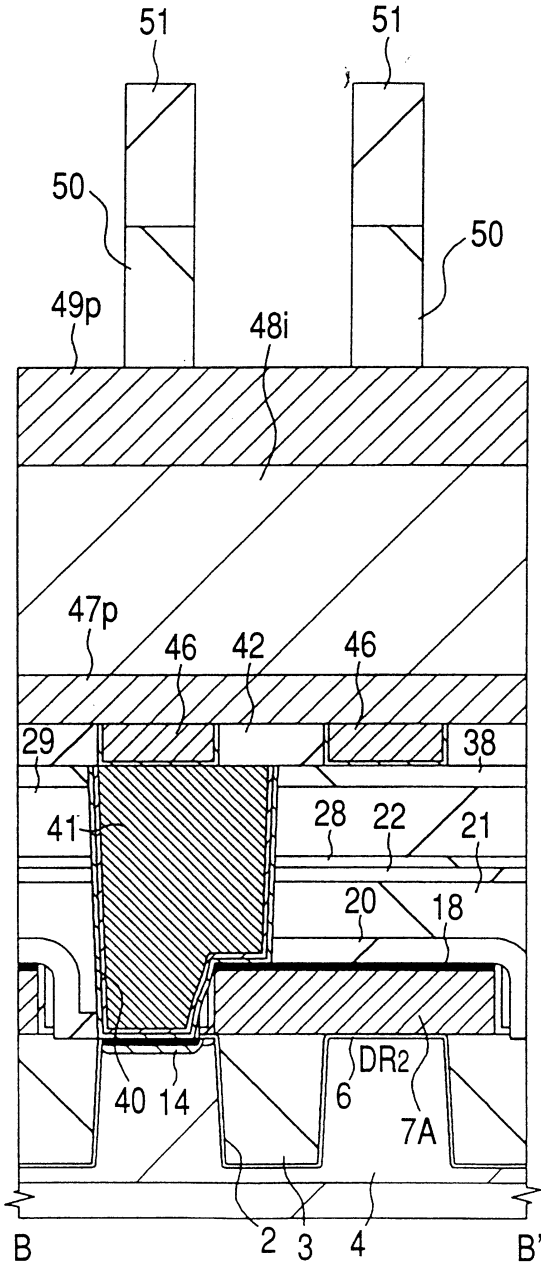


圖 41

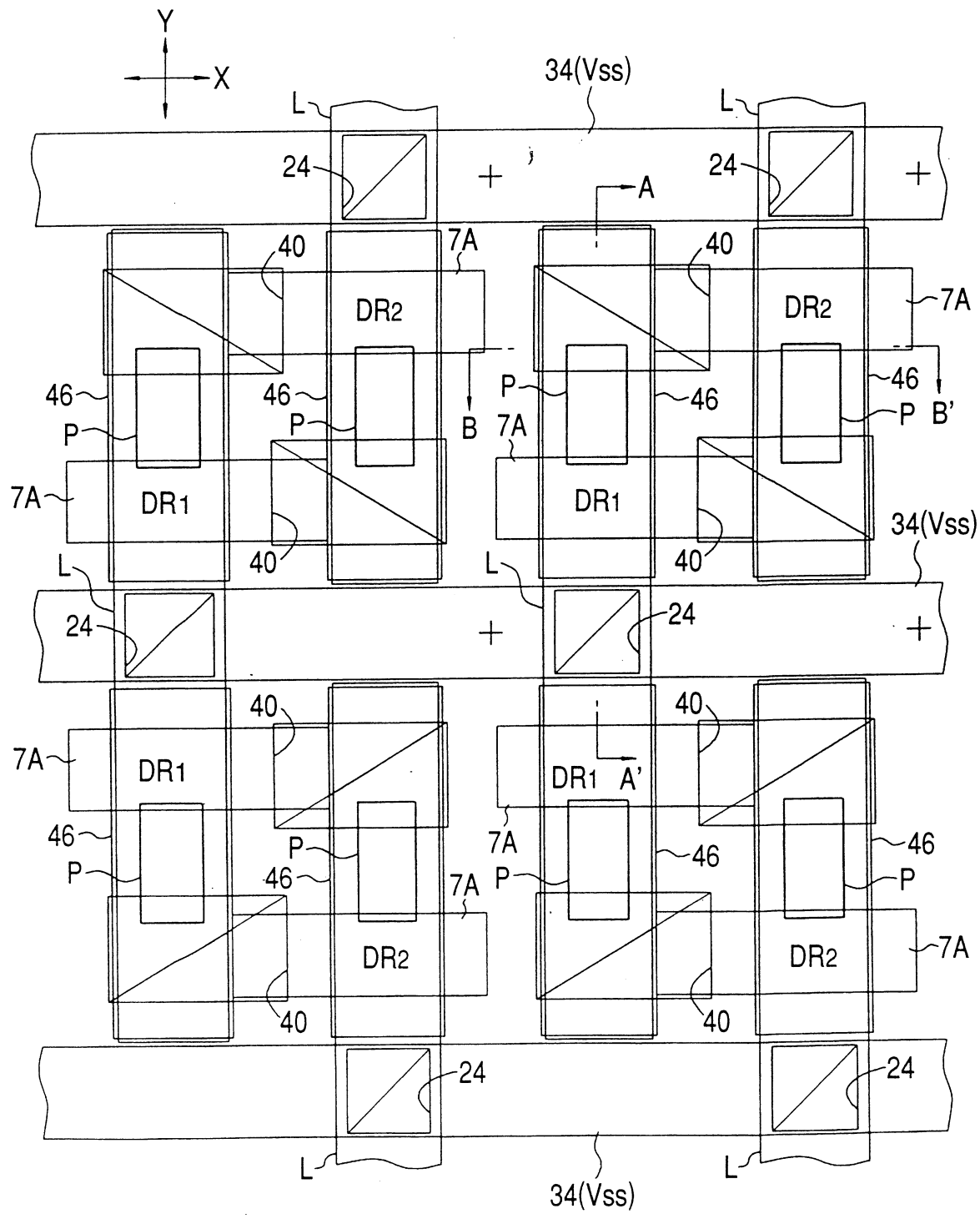


圖 42

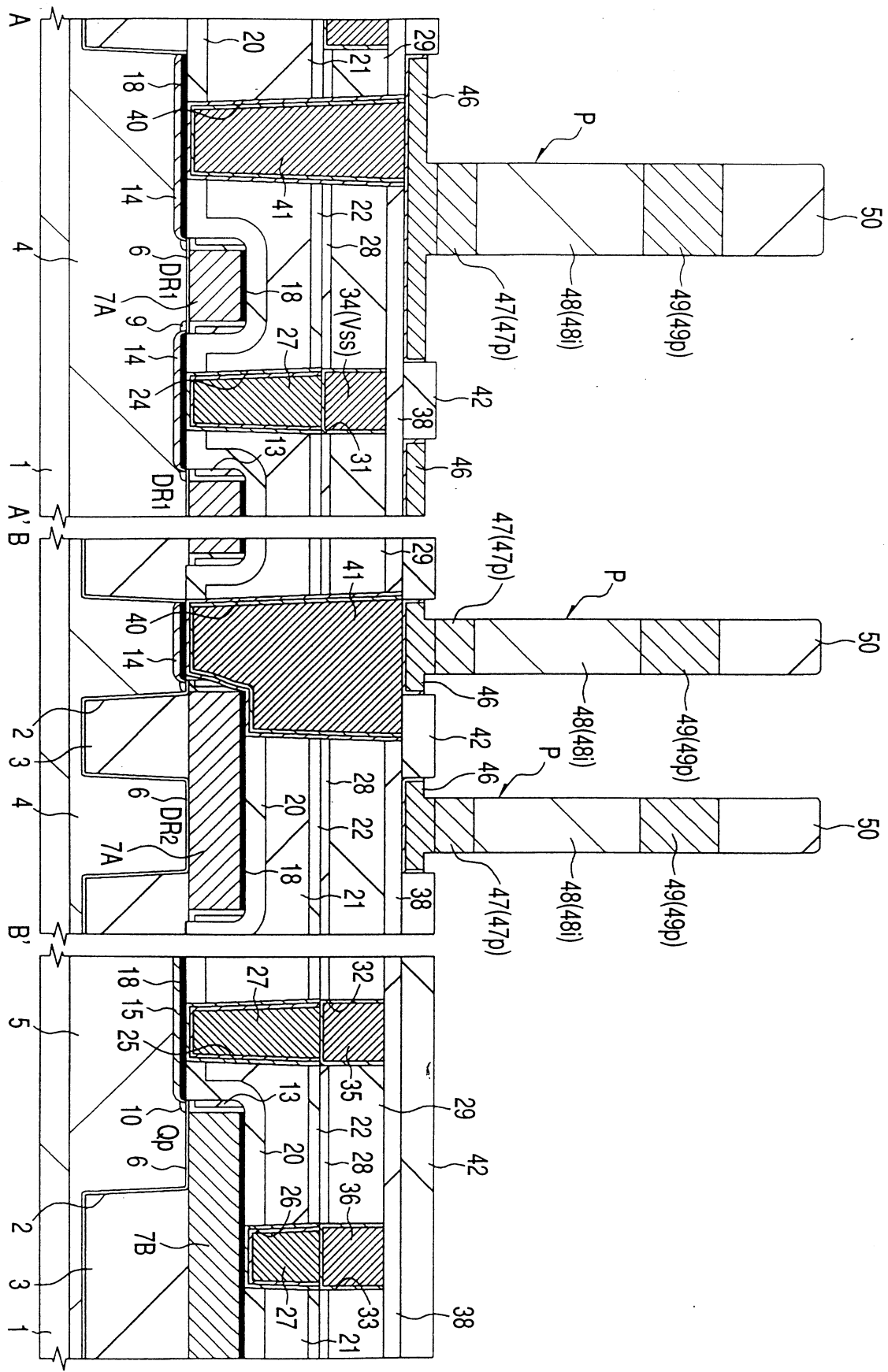


圖 43



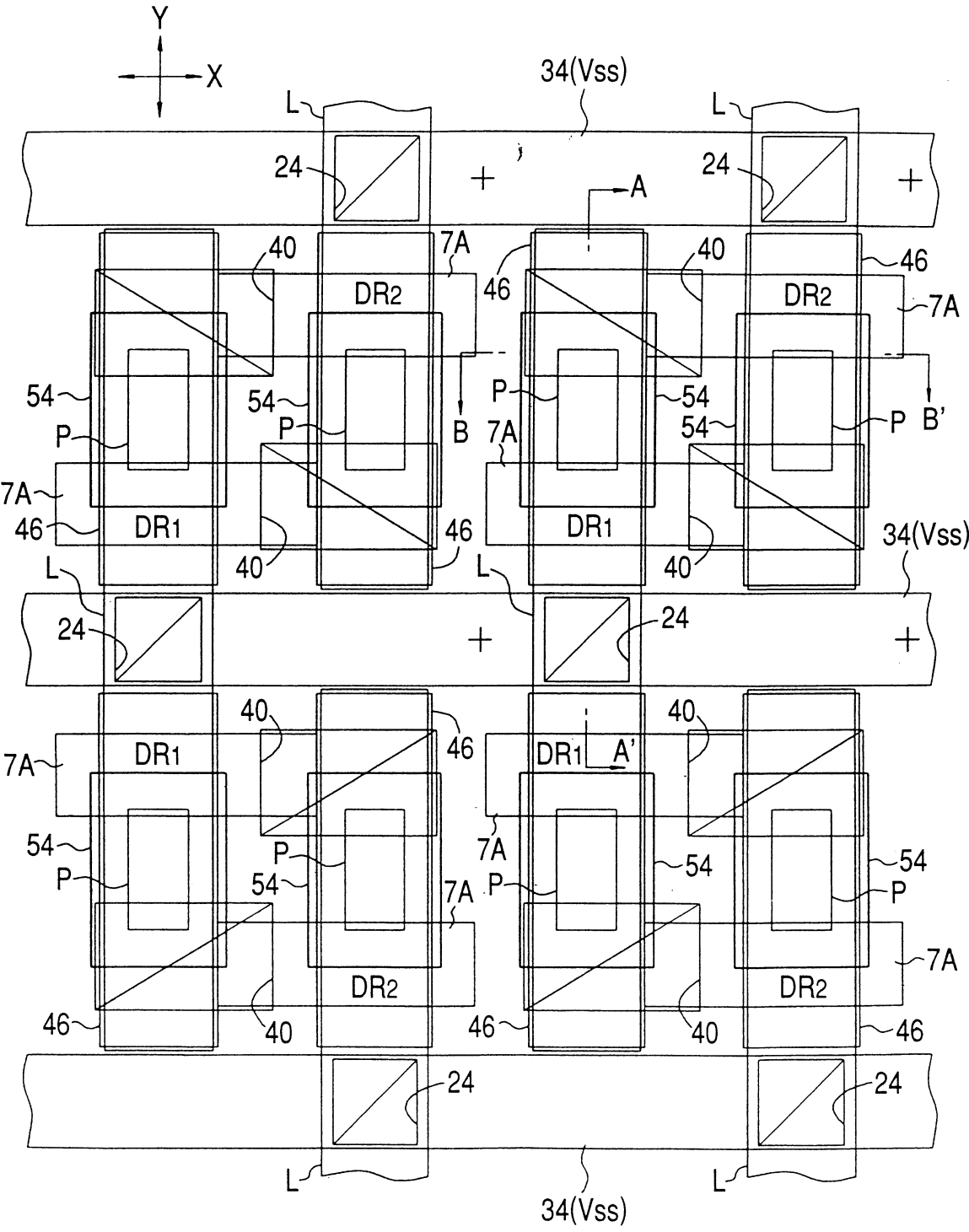


圖 45

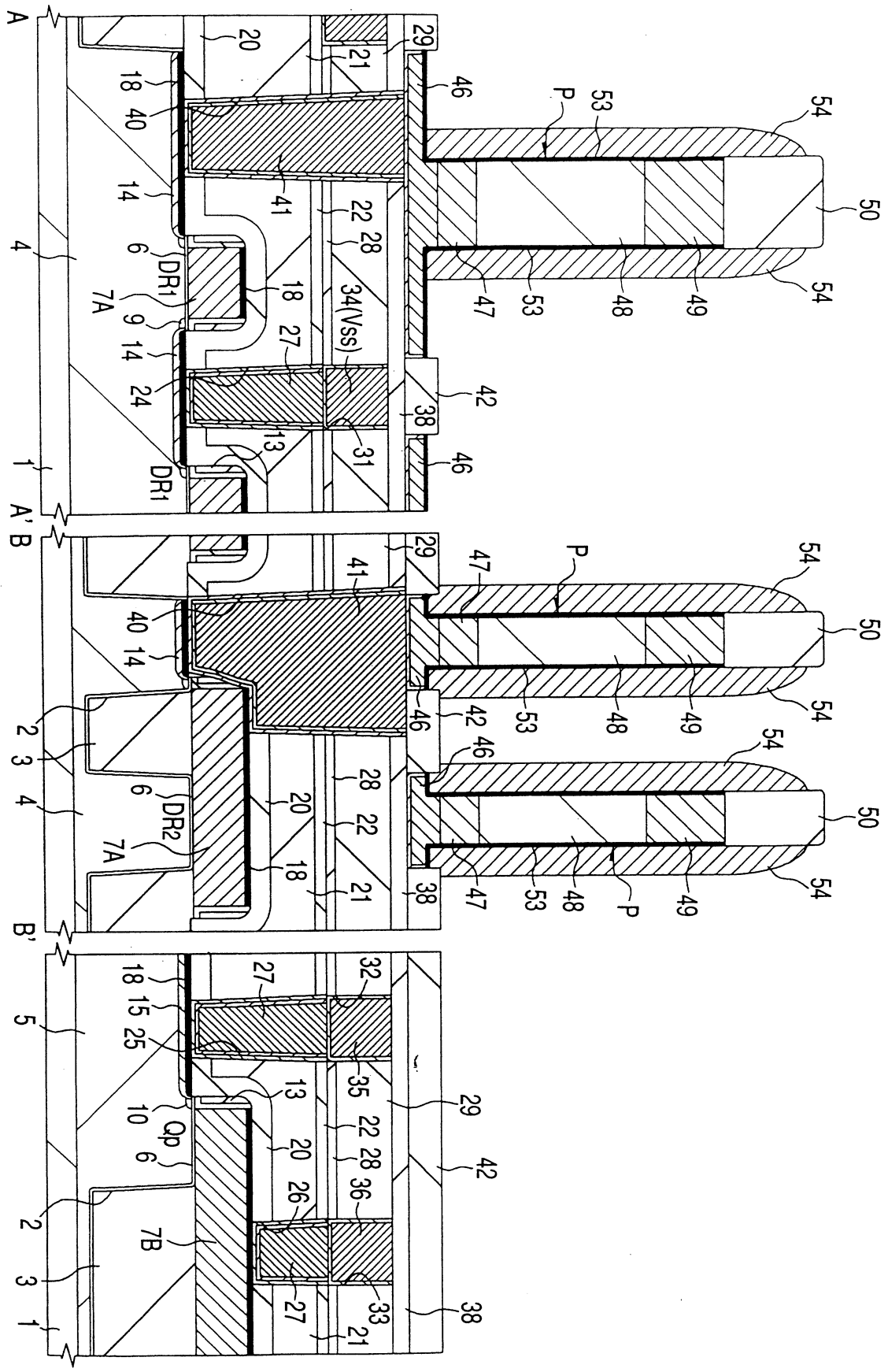


圖 46

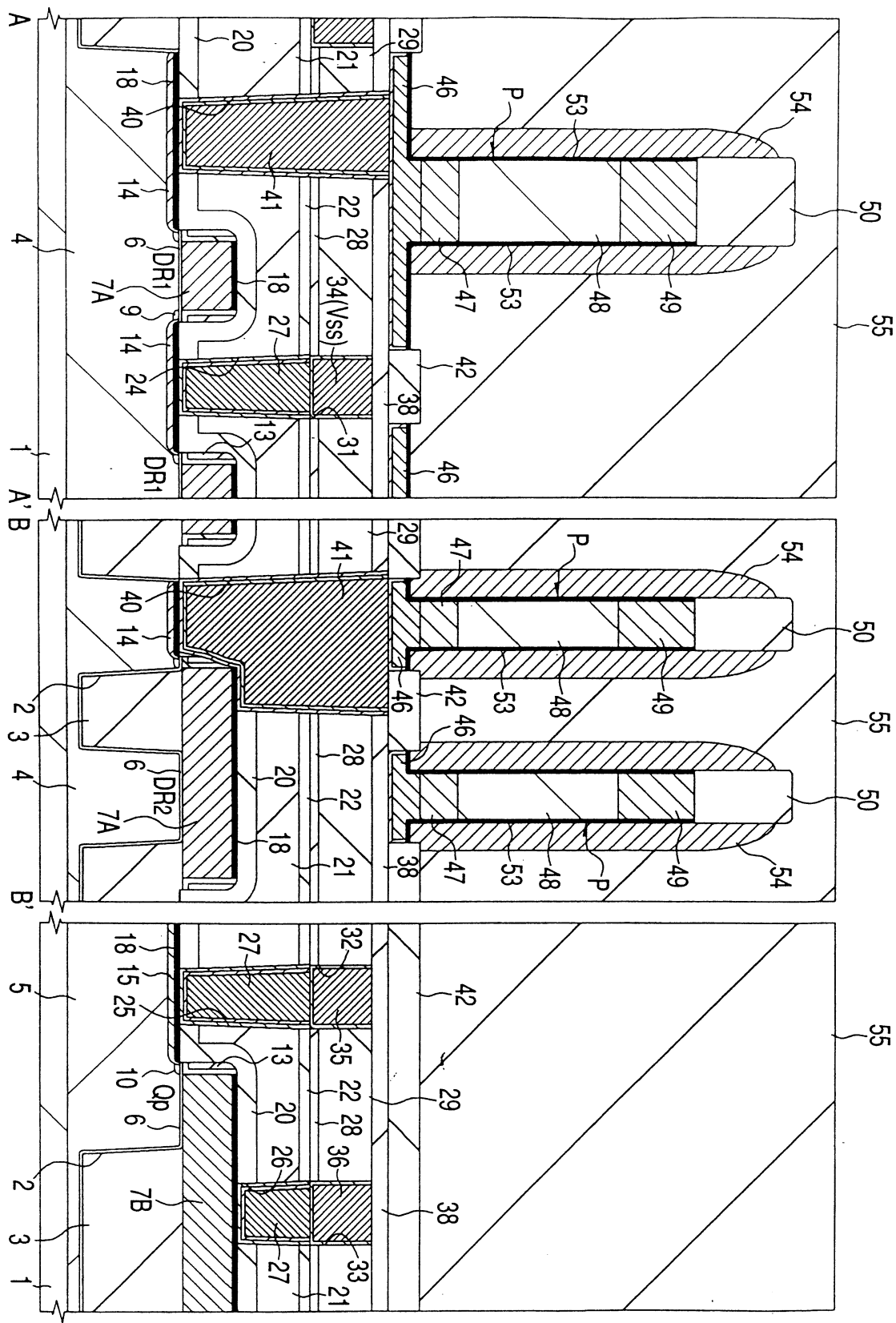


圖 47

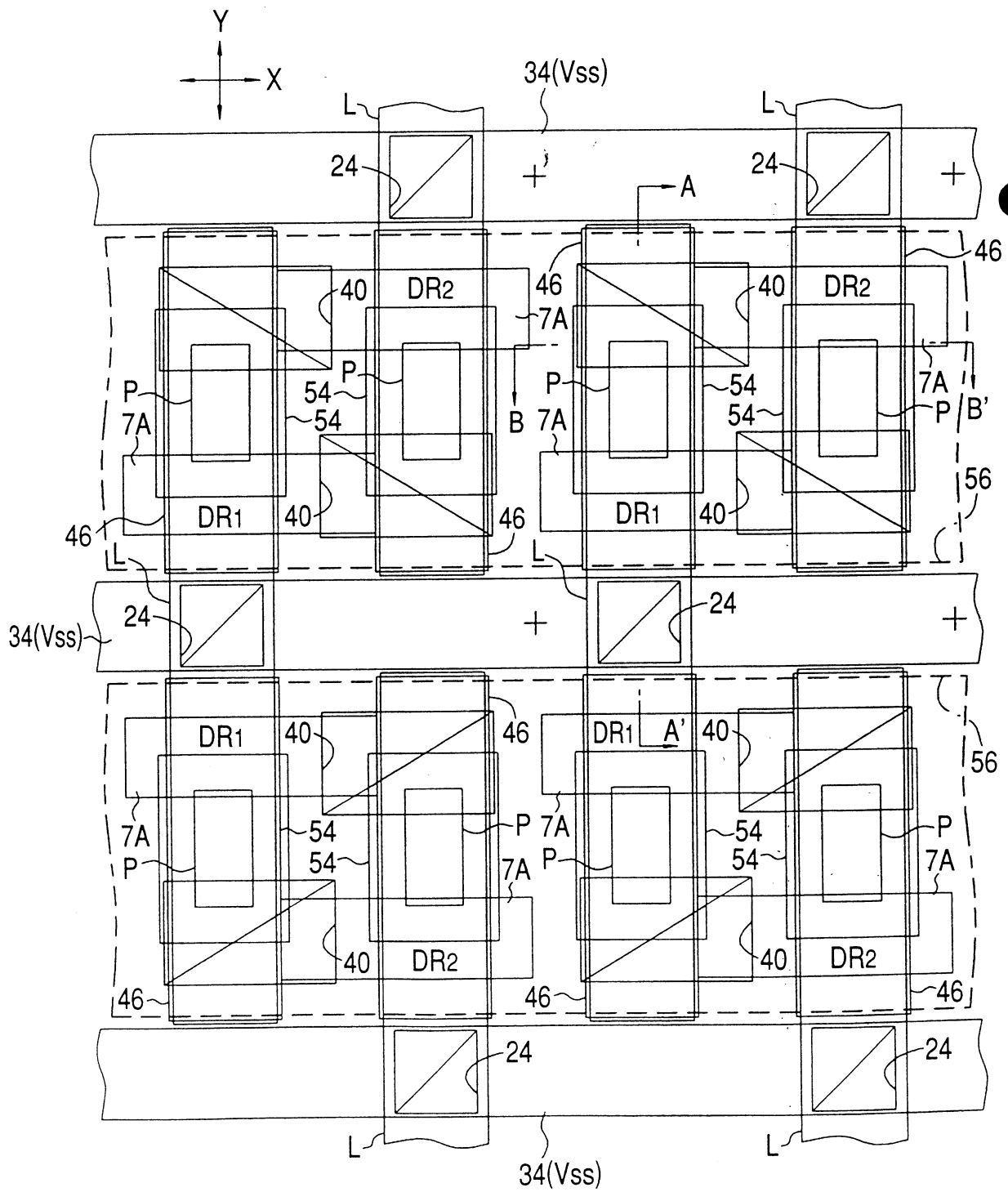


圖 48

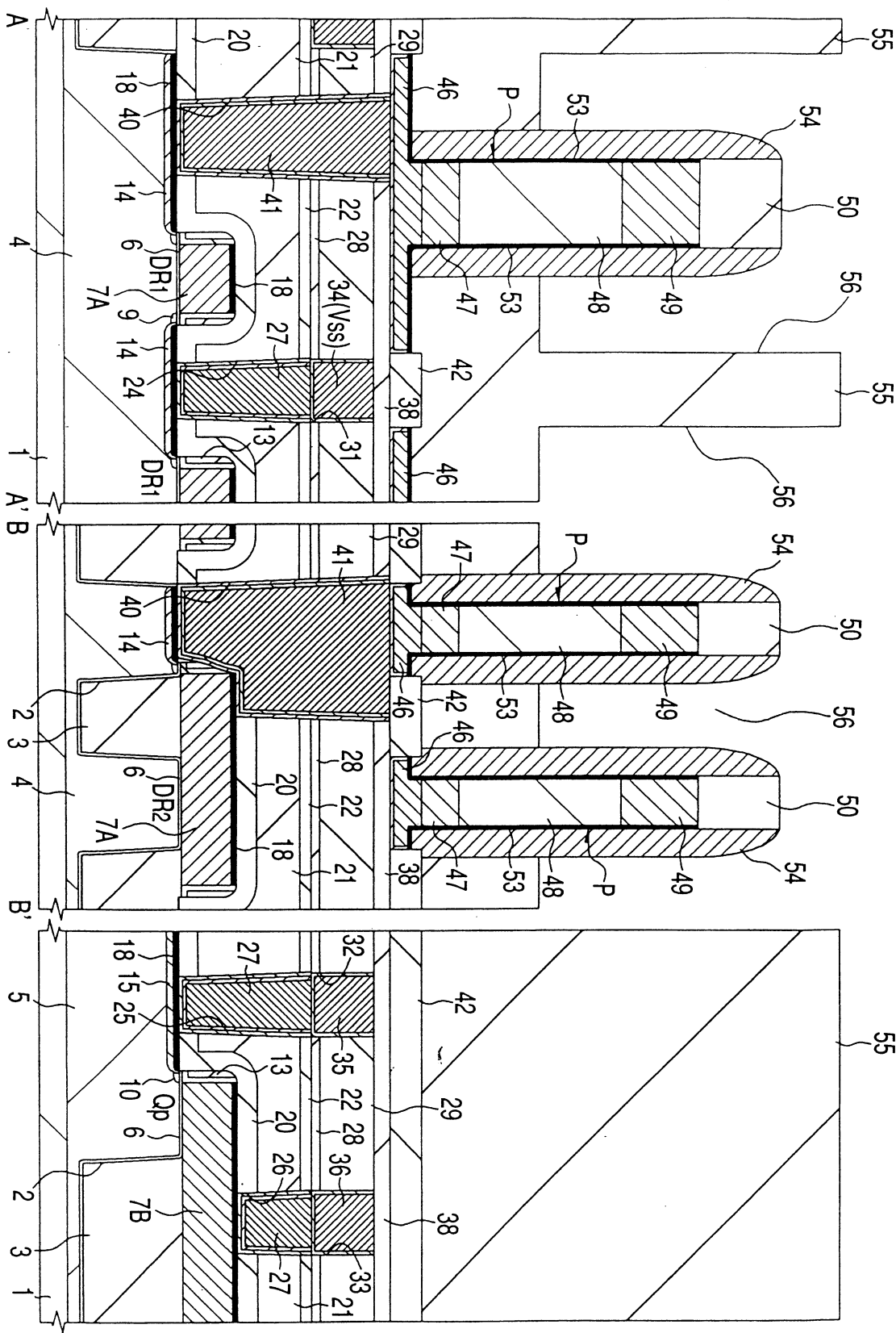


圖 49



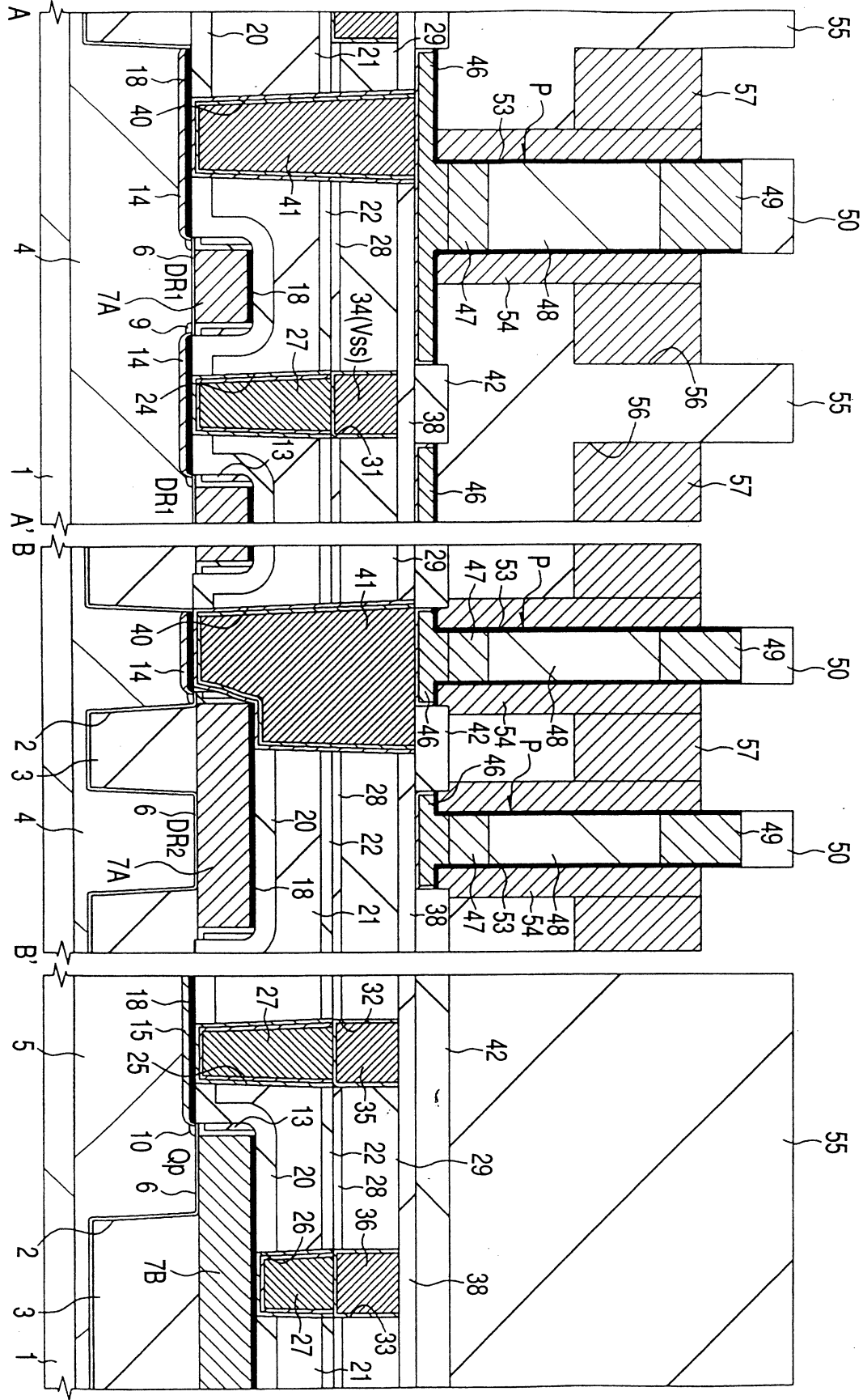
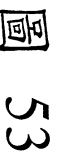


圖 51





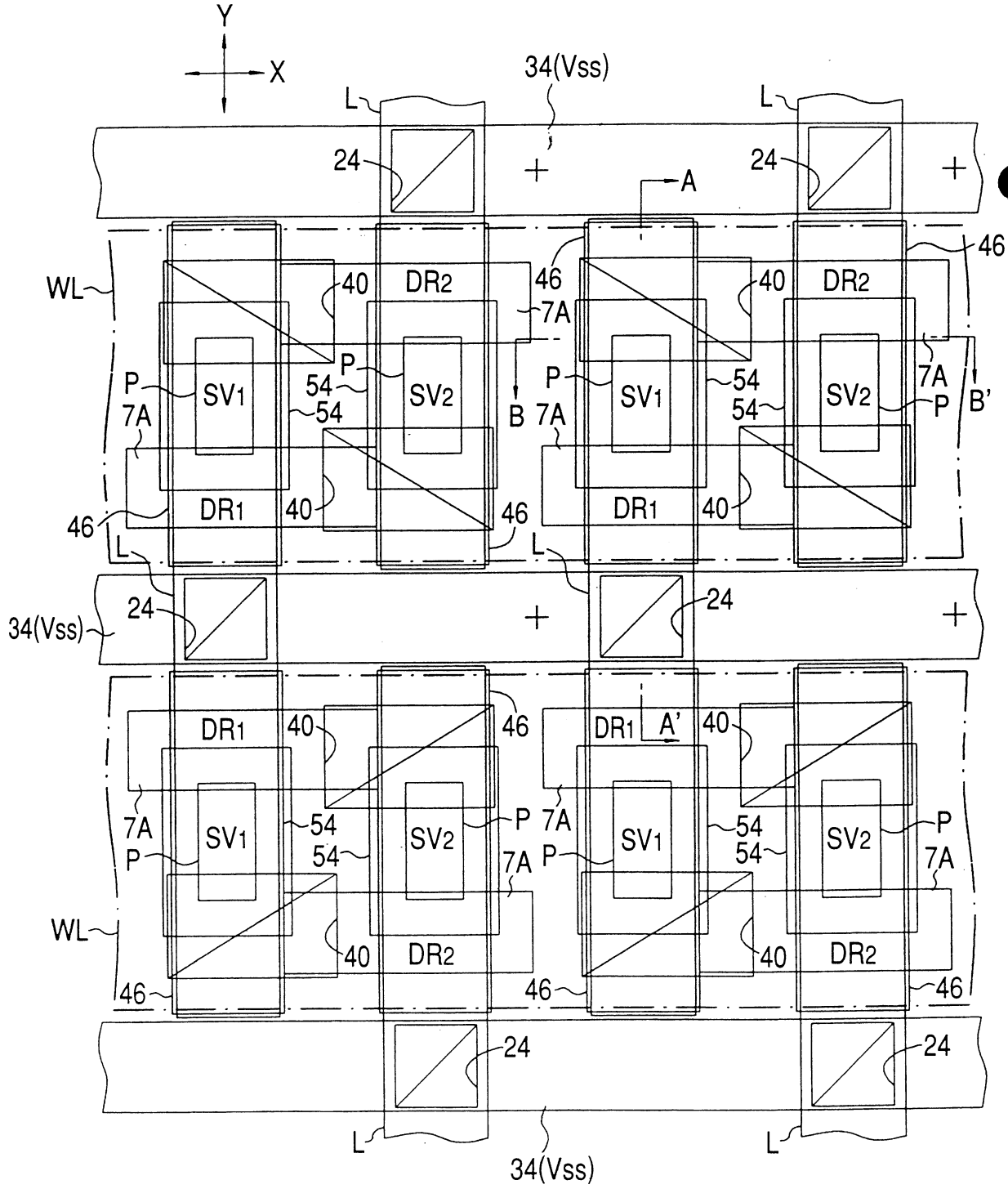


圖 54



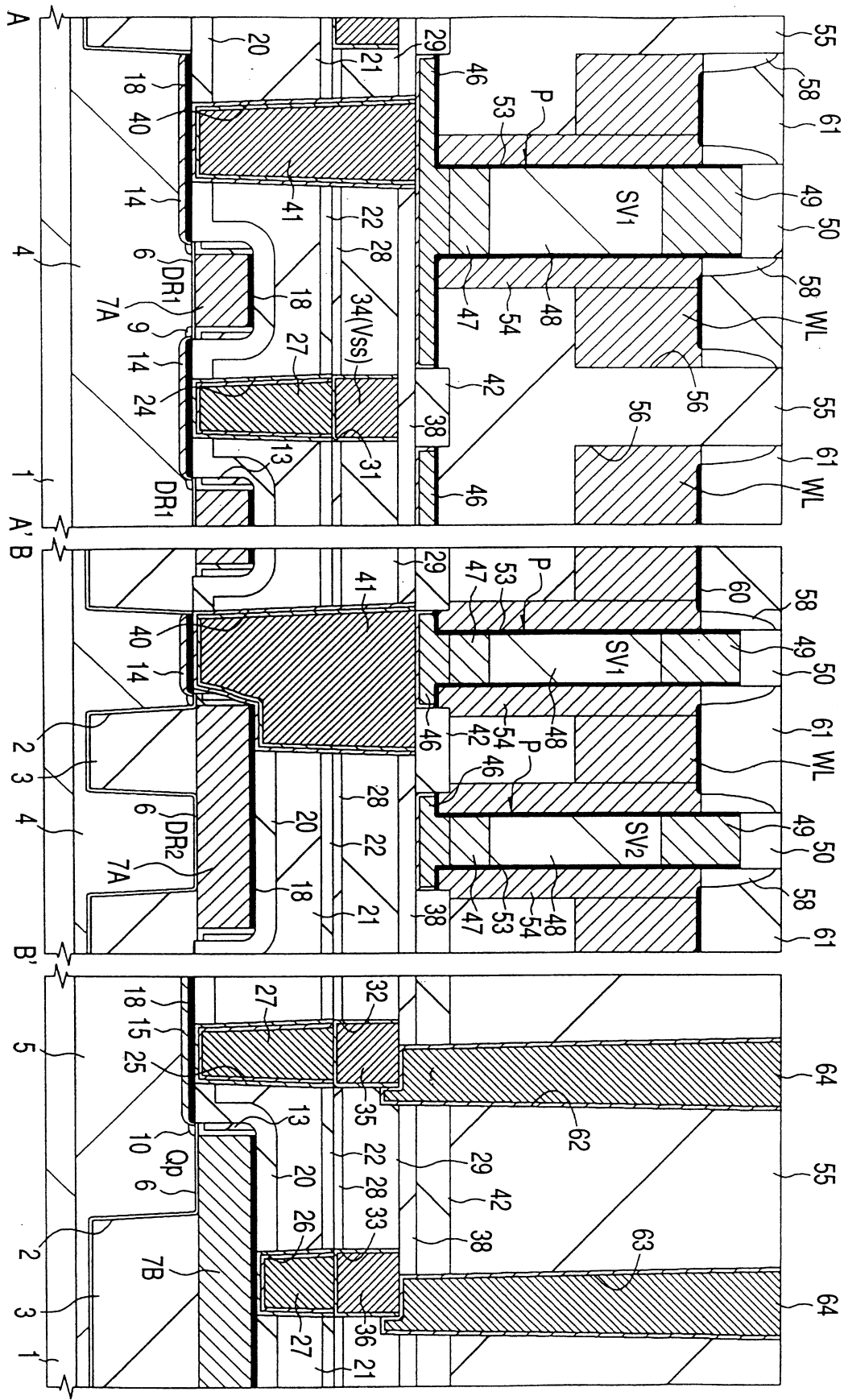


圖 56





58 圖

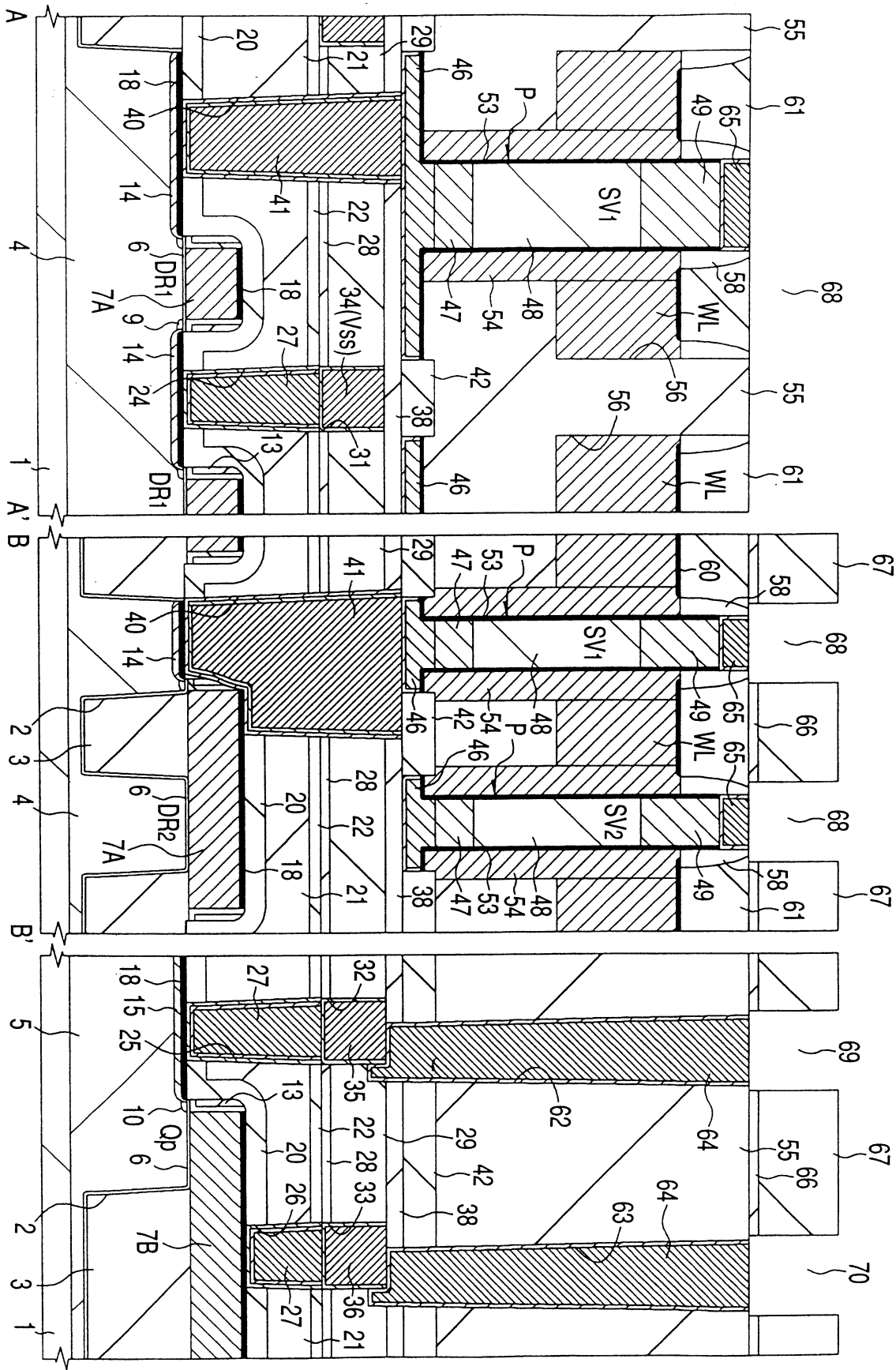


圖 59



60

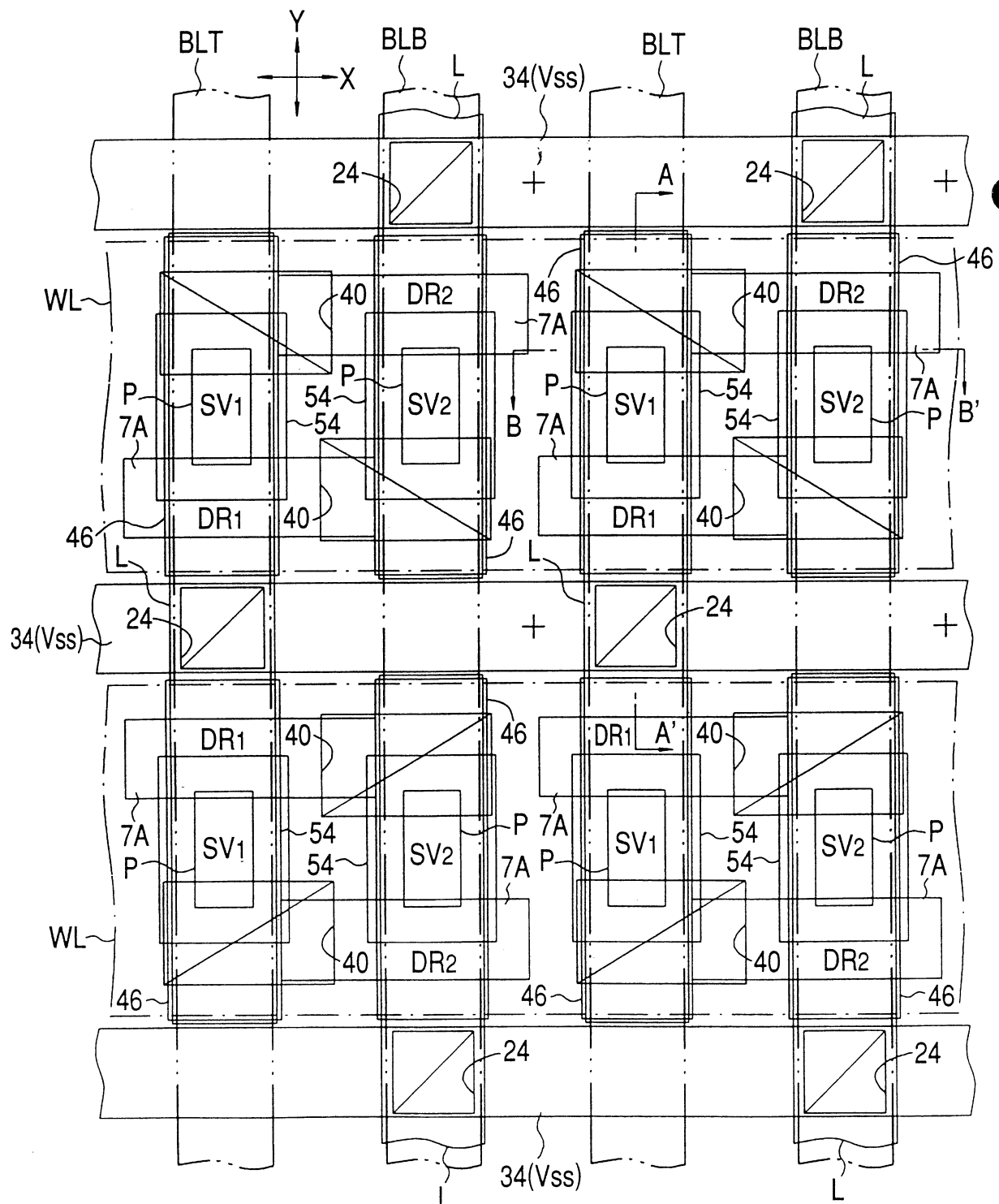
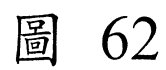
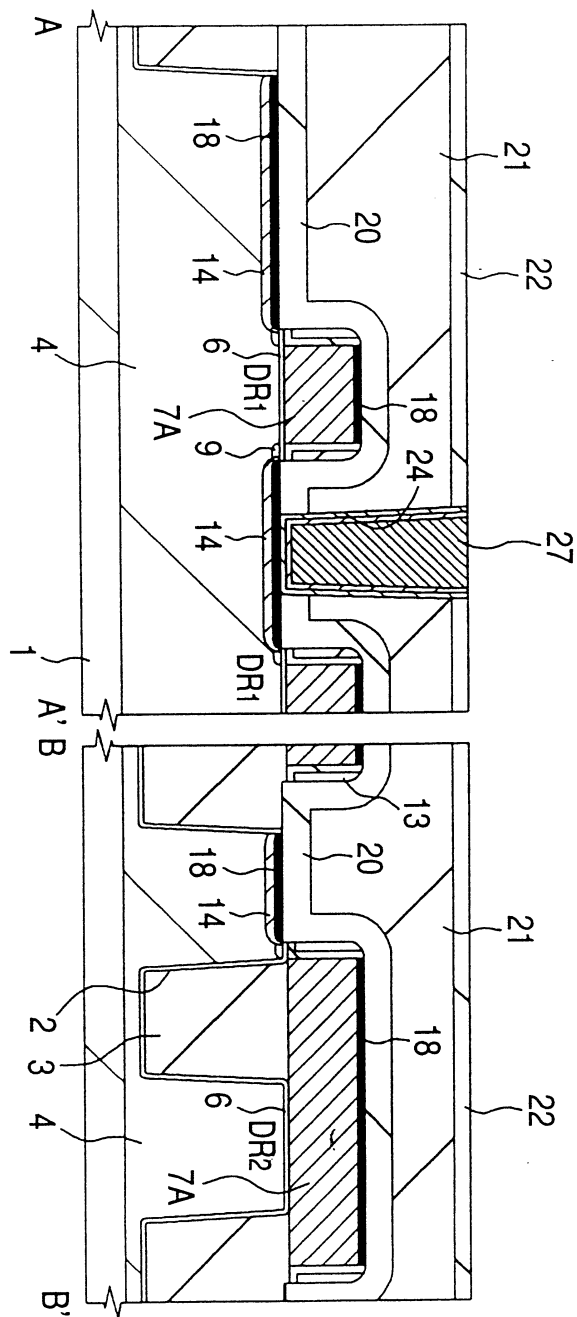


圖 61





63

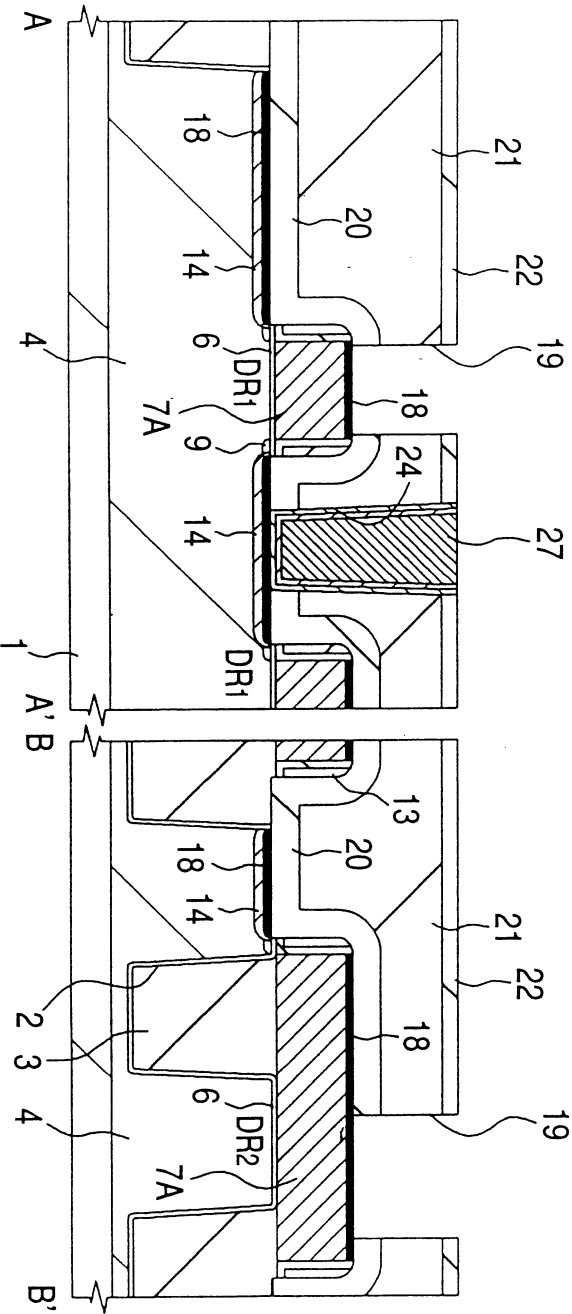
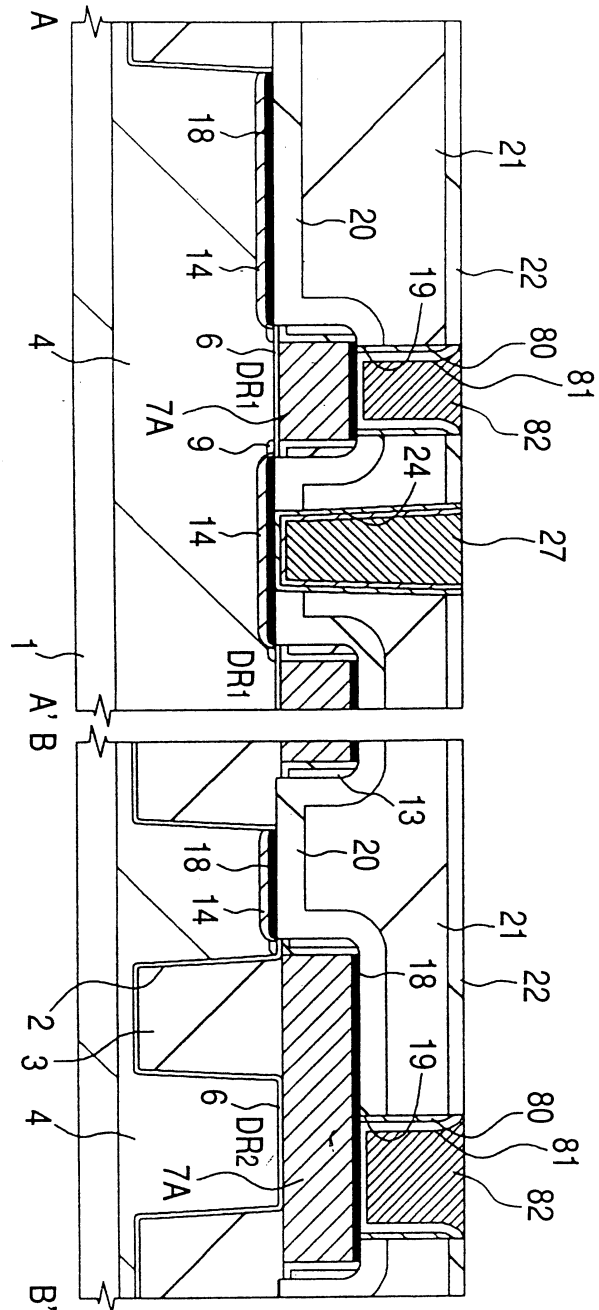
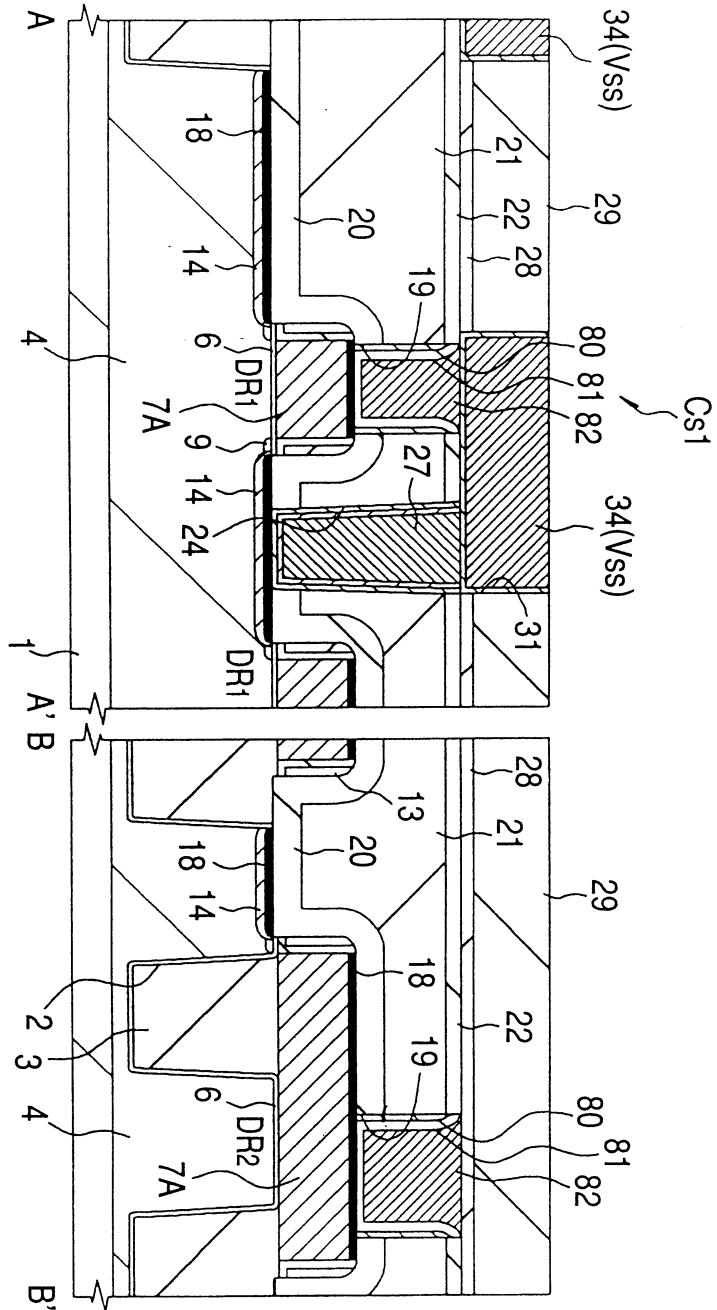


圖 64



65



66

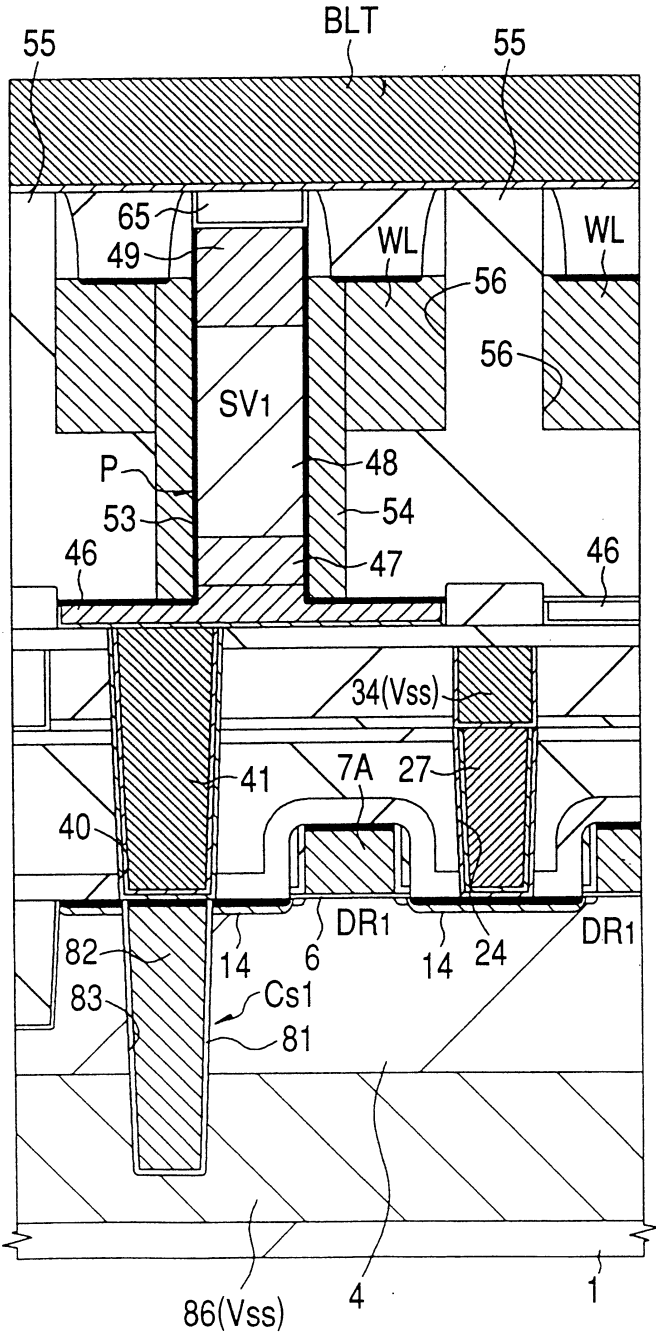


圖 67

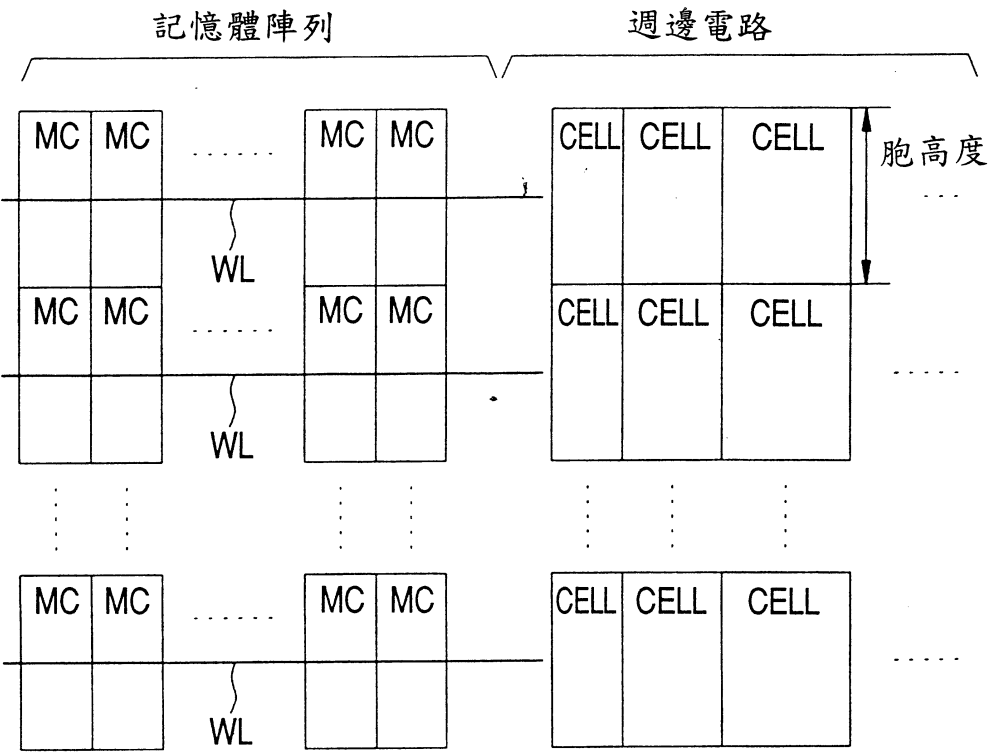
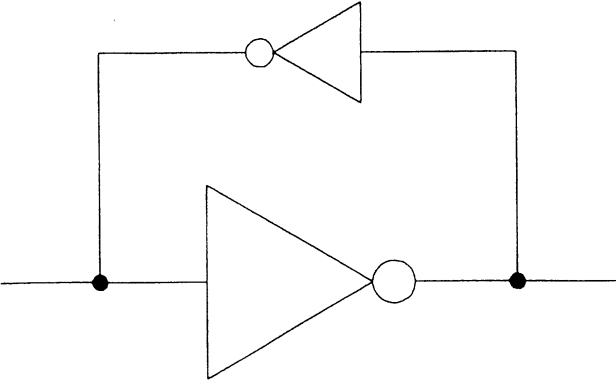


圖 68



門鎖
電路

圖 69

圖 70

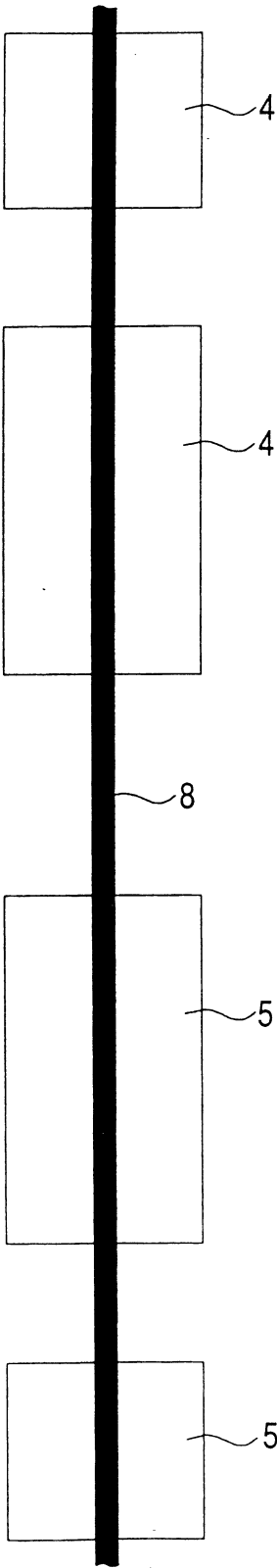


圖 71

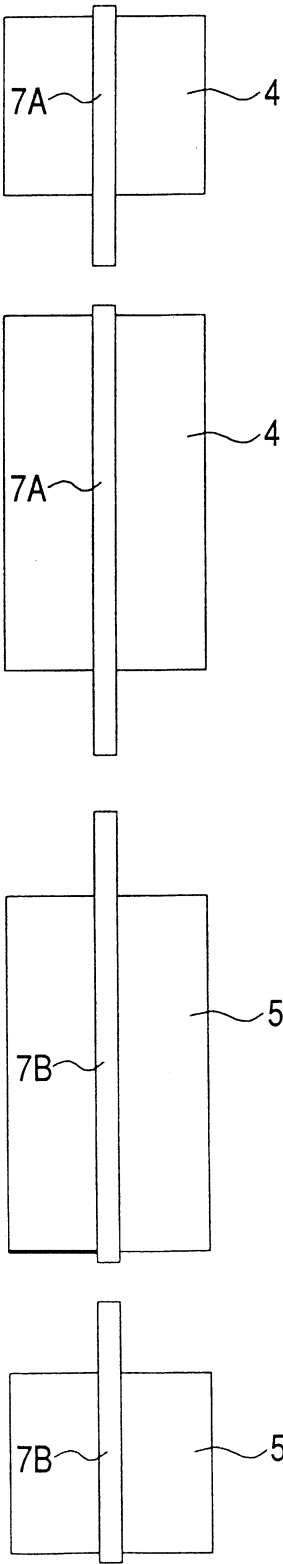


圖 72(a)

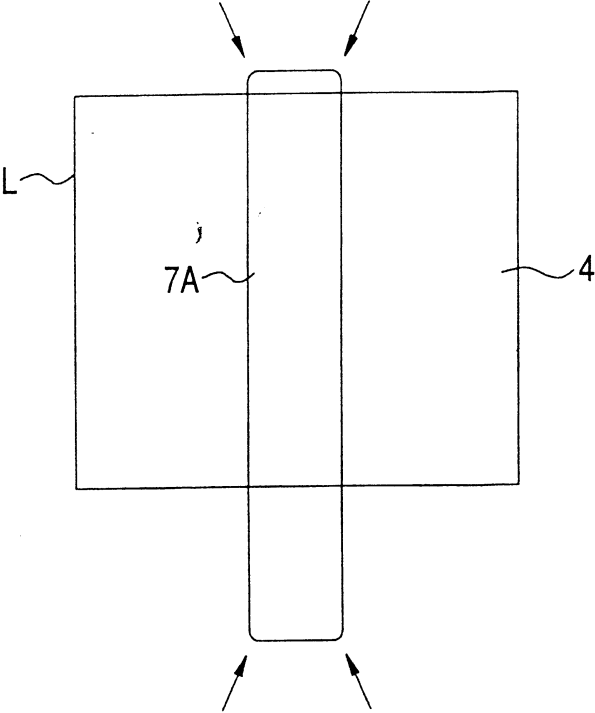


圖 72(b)

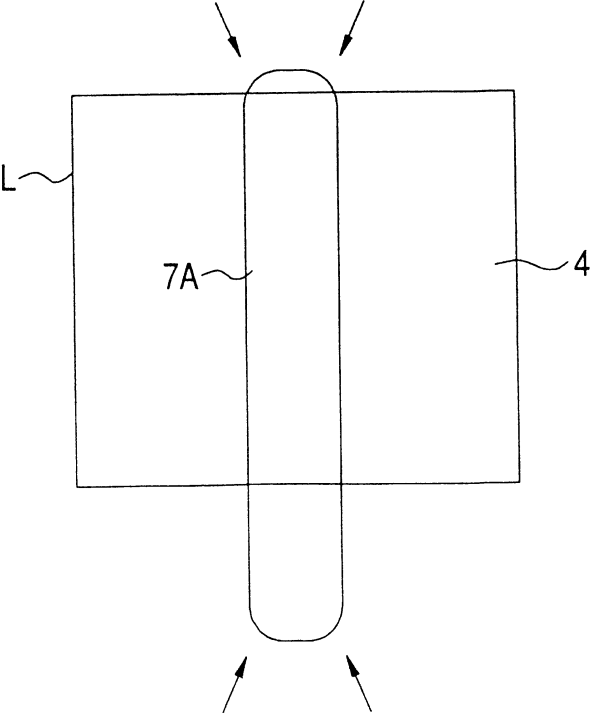


圖 73

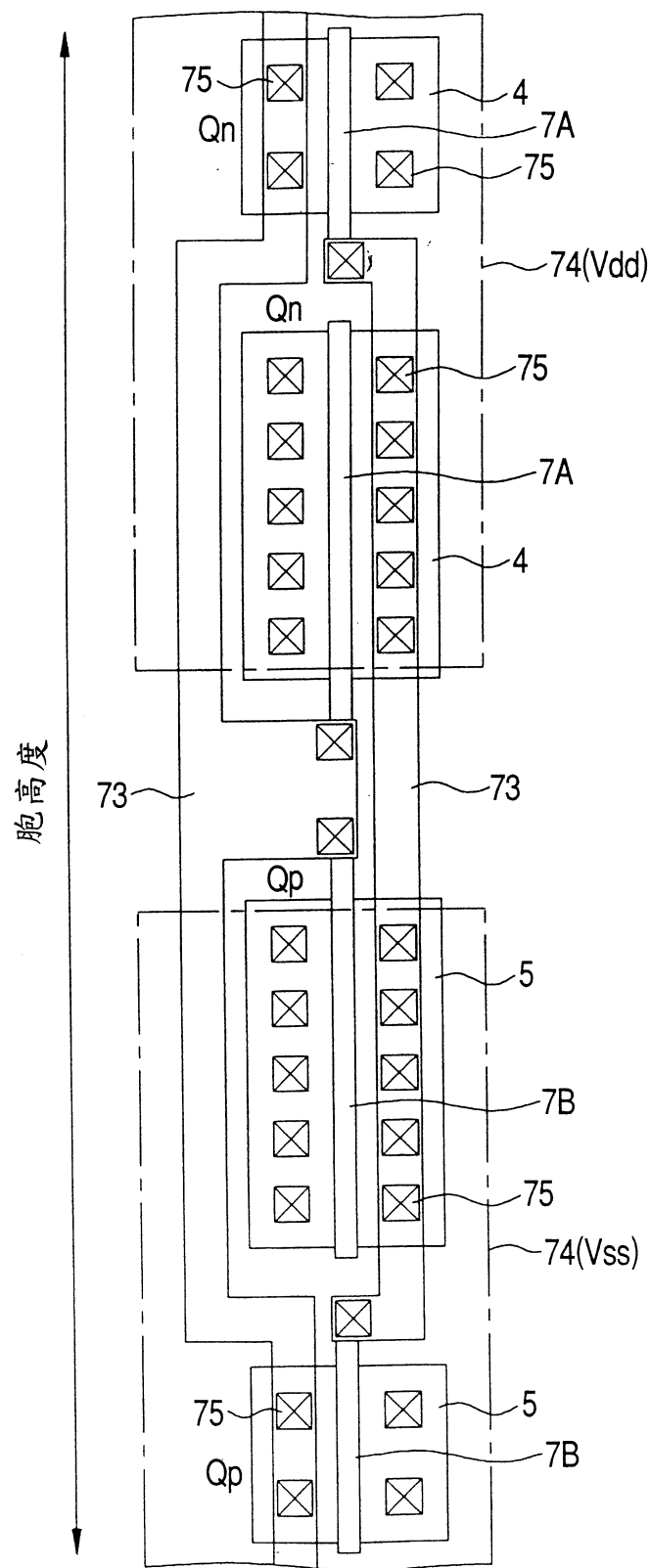
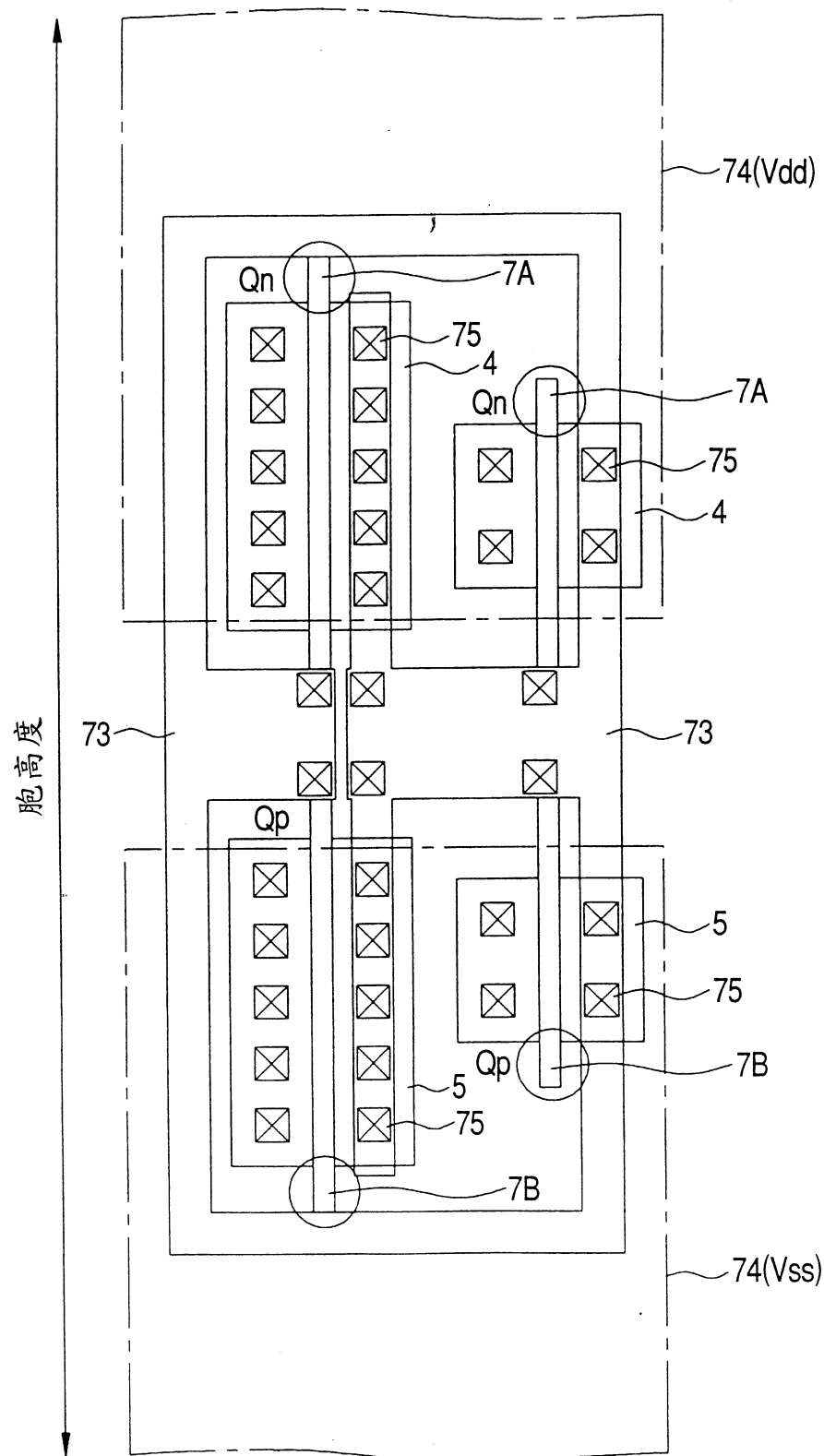
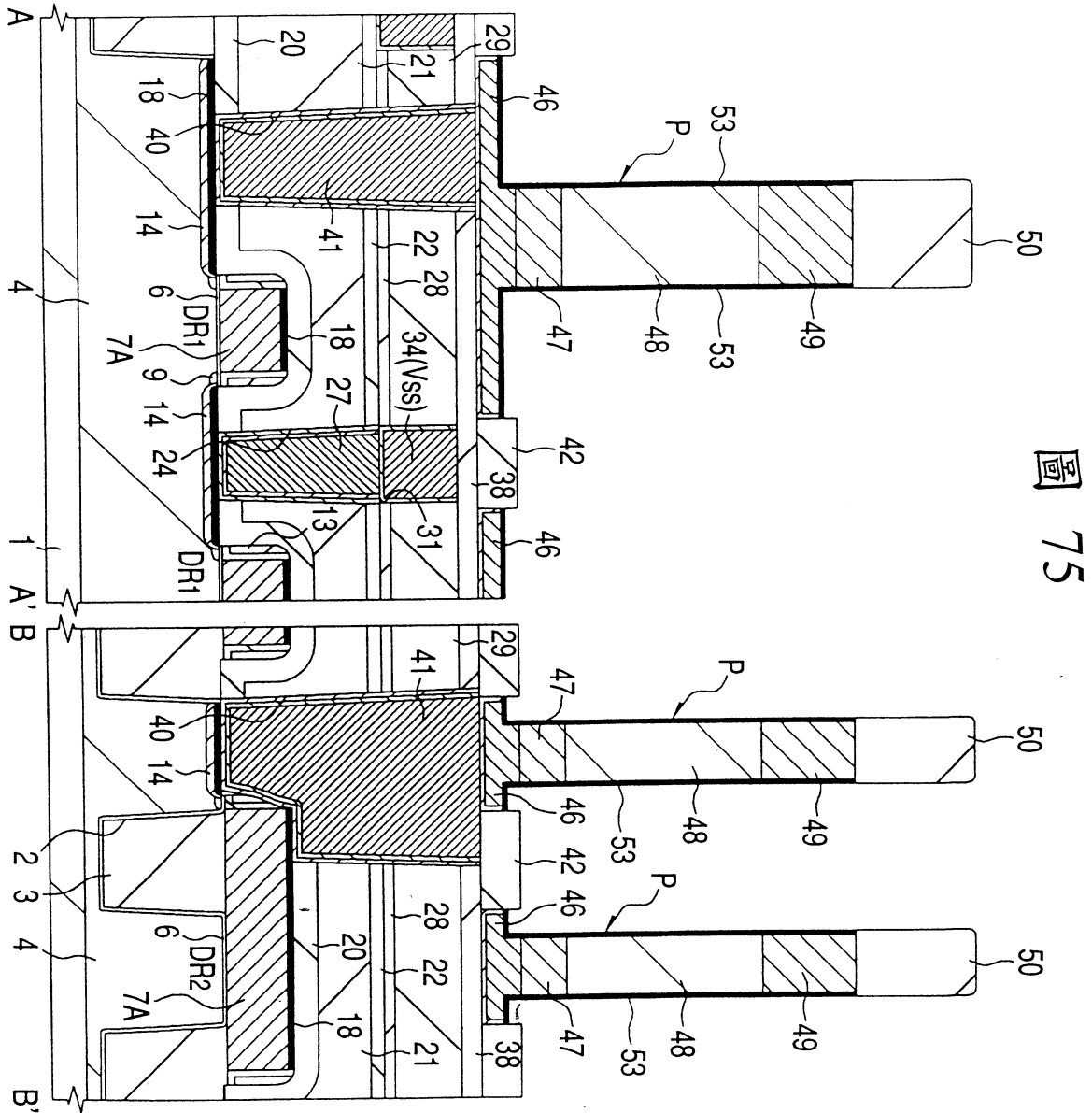


圖 74





76 圖

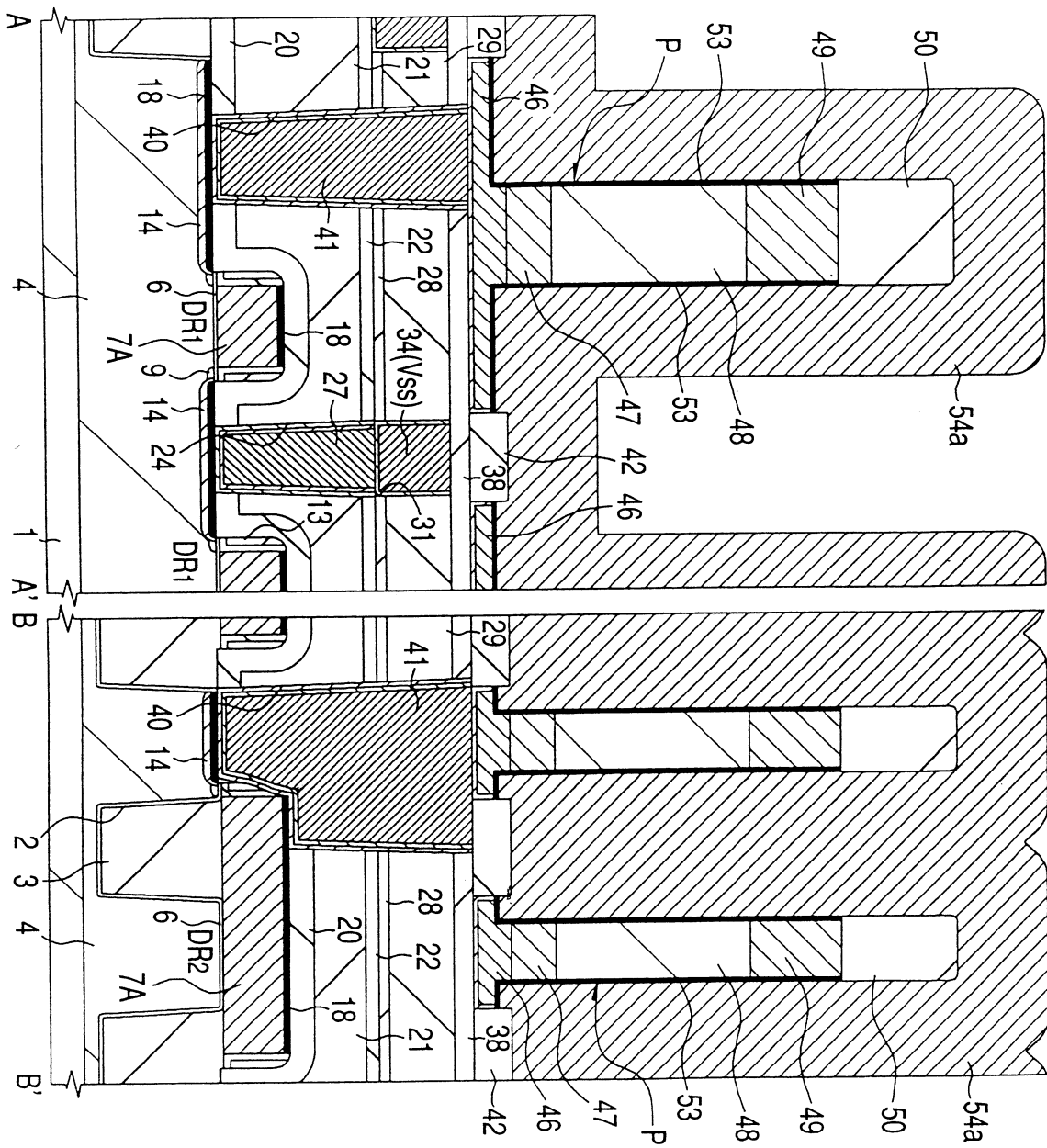
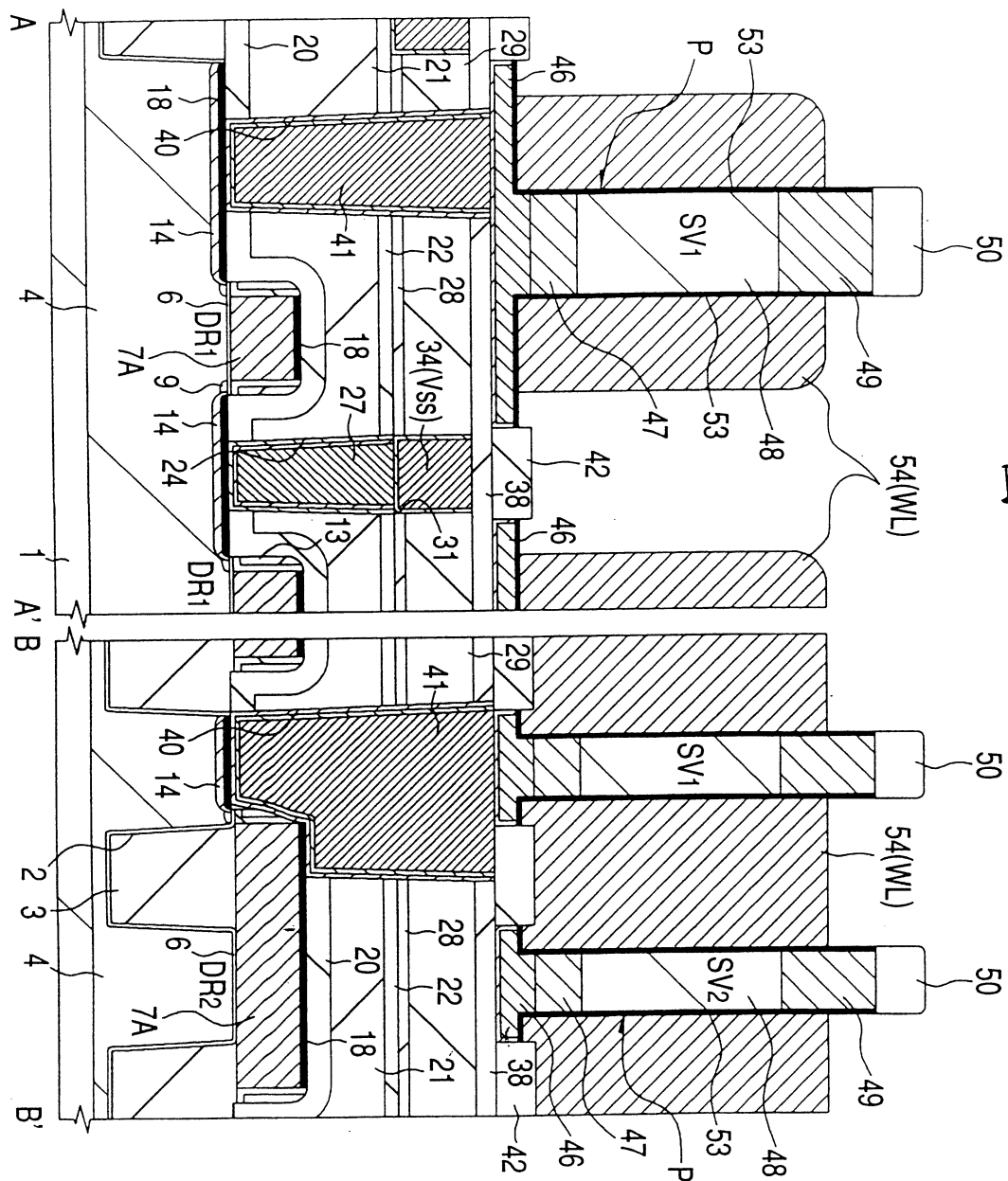
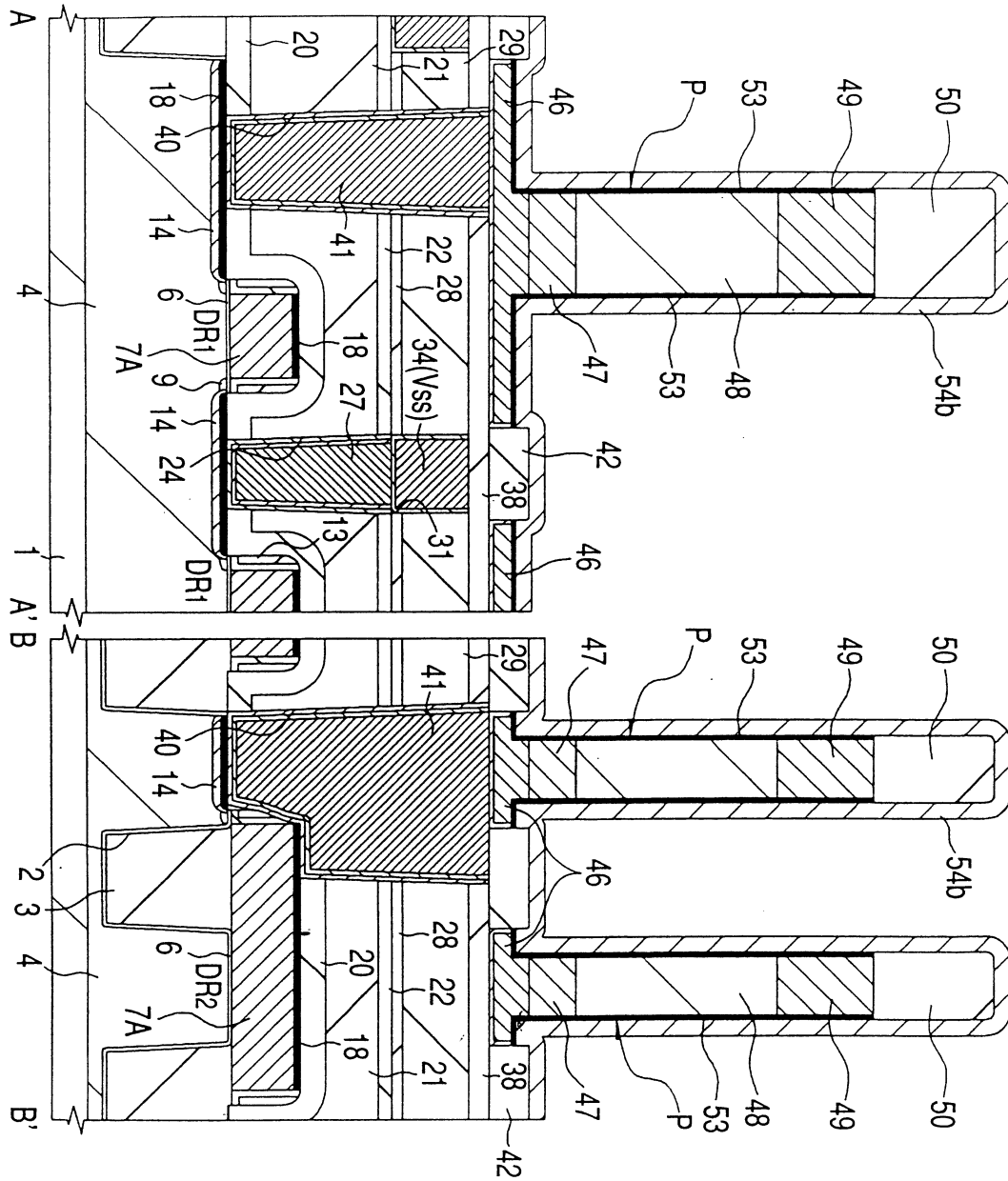


圖 77





78

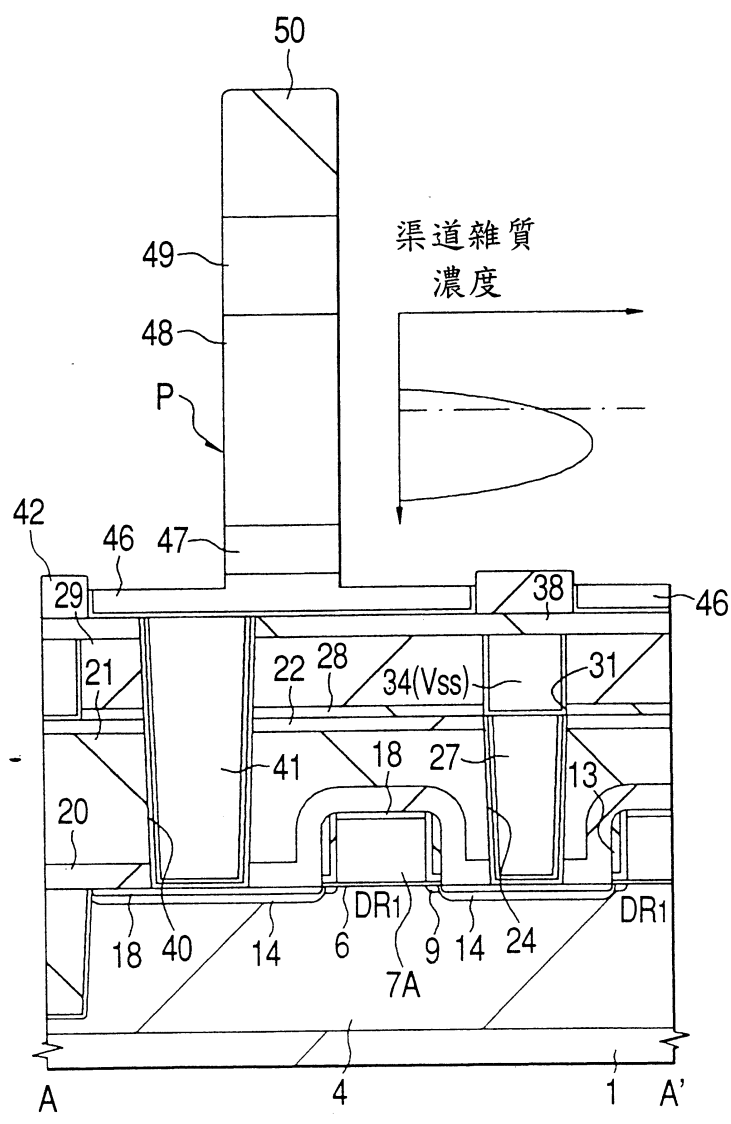


圖 80

柒、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件代表符號簡單說明：

1	半導體基板
2	元件分離溝
3	氧化矽膜
4	p型井
6	閘極絕緣膜
7A	閘極
9	n ⁻ 型半導體區域
13	側壁間隔物
14	n ⁺ 型半導體區域(源極、汲極)
18	矽化鈷層
20	氮化矽膜
21	氧化矽膜
22	氧化矽膜
24	接觸孔
27	插塞
28	氮化矽膜
29	氧化矽膜
31	配線溝
34	(Vss)基準電壓線
38	氮化矽膜
40	接觸孔
41	插塞
42	氧化矽膜
46	連接用導電層
47	下部半導體層
48	中間半導體層
49	上部半導體層
53	閘極絕緣膜
54	閘極

55	氧化矽膜
56	溝
57	多晶矽膜
58	側壁間隔物
60	矽化鈷層
61	氧化矽膜
65	插塞
66	碳化矽膜
67	氧化矽膜
68	配線溝
DR_1 , DR_2	驅動 MISFET
P	積層體
SV_1 , SV_2	縱型 MISFET
BLT	互補性資料線
BLB	互補性資料線
WL	字元線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：