(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

COURBEVOIE

(11) **N° de publication :** ***3 131 440***

(à n'utiliser que pour les commandes de reproduction)

(21) **N° d'enregistrement national :** **21 14480**

(51) Int Cl[8] : ***H 01 L 27/146*** *(2022.01)*

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 24.12.21.

(30) **Priorité :**

(43) **Date de mise à la disposition du public de la demande :** 30.06.23 Bulletin 23/26.

(56) **Liste des documents cités dans le rapport de recherche préliminaire :** *Se reporter à la fin du présent fascicule*

(60) **Références à d'autres documents nationaux apparentés :**

◯ **Demande(s) d'extension :**

(71) **Demandeur(s) :** *ISORG Société anonyme à conseil d'administration* — FR.

(72) **Inventeur(s) :** FLAMEIN François, MICHALLON Jérôme, BOUTHINON Benjamin et MURON Olivier.

(73) **Titulaire(s) :** ISORG Société anonyme à conseil d'administration.

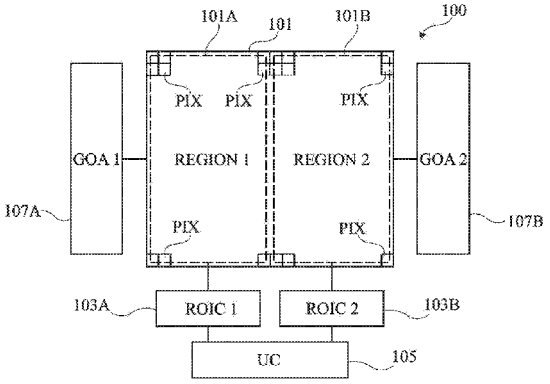
(74) **Mandataire(s) :** CABINET BEAUMONT.

(54) Capteur d'images et procédé de fabrication d'un tel capteur.

(57) Capteur d'images et procédé de fabrication d'un tel capteur

La présente description concerne un capteur d'images comprenant un substrat de support et une matrice (101) de pixels (PIX) formée sur le substrat de support, les pixels de la matrice étant arrangés de façon régulière, à pas constant, selon des lignes et des colonnes, chaque pixel (PIX) comportant au moins une photodiode et un transistor de transfert, dans lequel :A) chaque ligne de pixels est divisée en des première et deuxième portions de ligne adjacentes ; et/ou B) chaque colonne de pixels est divisée en des première et deuxième portions de colonne adjacentes.

Figure pour l'abrégé : Fig. 1



FR 3 131 440 - A1

Description

Titre de l'invention : *Capteur d'images et procédé de fabrication d'un tel capteur*

Domaine technique

[0001] La présente description concerne de façon générale le domaine des dispositifs électroniques. La présente description vise plus particulièrement un capteur d'images, par exemple un capteur d'images destiné à être intégré dans un dispositif électronique configuré pour acquérir des empreintes digitales, ou capteur d'empreintes digitales. La présente description vise en outre un procédé de fabrication d'un tel capteur d'images.

Technique antérieure

[0002] Diverses applications sont susceptibles de tirer profit d'un capteur d'images. Un tel capteur peut par exemple être intégré dans un téléphone mobile, une tablette tactile, une montre ou un bracelet connecté, etc.

Résumé de l'invention

[0003] Un objet d'un mode de réalisation est de pallier tout ou partie des inconvénients des capteurs d'images connus et de leurs procédés de fabrication. Un mode de réalisation vise plus particulièrement à réduire une durée d'acquisition d'images et à obtenir un capteur d'images de grande taille.

[0004] Pour cela, un mode de réalisation prévoit un capteur d'images comprenant un substrat de support et une matrice de pixels formée sur le substrat de support, les pixels de la matrice étant arrangés de façon régulière, à pas constant, selon des lignes et des colonnes, chaque pixel comportant au moins une photodiode et un transistor de transfert, dans lequel :

A) chaque ligne de pixels est divisée en des première et deuxième portions de ligne adjacentes, une première piste conductrice de ligne interconnectant des premières bornes des transistors des pixels de la première portion de ligne, et une deuxième piste conductrice de ligne isolée électriquement de la première piste conductrice de ligne interconnectant des premières bornes des transistors des pixels de la deuxième portion de ligne ; et/ou

B) chaque colonne de pixels est divisée en des première et deuxième portions de colonne adjacentes, une première piste conductrice de colonne interconnectant des deuxième bornes des transistors des pixels de la première portion de colonne, et une deuxième piste conductrice de colonne isolée électriquement de la première piste conductrice de colonne interconnectant des premières bornes des transistors des pixels de la deuxième portion de ligne.

[0005] Selon un mode de réalisation, dans l'option A), les pixels des premières portions de

ligne définissent une première région et les pixels des deuxièmes portions de ligne définissent une deuxième région, les pixels de la première région étant connectés à un même premier circuit de lecture du capteur et à un même premier circuit de commande du capteur, et les pixels de la deuxième région étant connectés à un même deuxième circuit de lecture du capteur et à un même deuxième circuit de commande du capteur.

[0006] Selon un mode de réalisation, chacune des première et deuxième régions comprend un nombre de pixels égal à environ une moitié du nombre total de pixels de la matrice.

[0007] Selon un mode de réalisation, dans les options A) et B), les pixels des premières portions de ligne et des premières portions de colonne définissent une première région, les pixels des deuxièmes portions de ligne et des premières portions de colonne définissent une deuxième région, les pixels des premières portions de ligne et des deuxièmes portions de colonne définissent une troisième région, et les pixels des deuxièmes portions de ligne et des deuxièmes portions de colonne définissent une quatrième région, les pixels de la première région étant connectés à un même premier circuit de lecture du capteur et à un même premier circuit de commande du capteur, les pixels de la deuxième région étant connectés à un même deuxième circuit de lecture du capteur et à un même deuxième circuit de commande du capteur, les pixels de la troisième région étant connectés à un même troisième circuit de lecture du capteur et à un même troisième circuit de commande du capteur, et les pixels de la quatrième région étant connectés à un même quatrième circuit de lecture du capteur et à un même quatrième circuit de commande du capteur.

[0008] Selon un mode de réalisation, chacune des première, deuxième, troisième et quatrième régions comprend un nombre de pixels égal à environ un quart du nombre total de pixels de la matrice.

[0009] Selon un mode de réalisation, les premières bornes des transistors de transfert sont des bornes de grille, et les deuxièmes bornes des transistors de transfert sont des bornes de source ou de drain.

[0010] Selon un mode de réalisation, les photodiodes des pixels sont des photodiodes organiques.

[0011] Selon un mode de réalisation, les transistors de transfert des pixels sont des transistors TFT.

[0012] Un mode de réalisation prévoit un capteur d'empreintes digitales comportant un capteur d'images tel que décrit.

[0013] Un mode de réalisation prévoit un procédé de fabrication d'un capteur d'images comprenant les étapes suivantes :

a) former une matrice de pixels arrangés de façon régulière, à pas constant, selon des lignes et des colonnes, chaque pixel comprenant au moins une photodiode et un transistor de transfert ; et

b)

- pour chaque ligne de pixels, former une piste conductrice de ligne interconnectant des premières bornes des transistors des pixels de la ligne puis graver localement ladite piste conductrice de ligne de façon à la diviser une première piste conductrice de ligne et une deuxième piste conductrice de ligne isolée électriquement de la première piste conductrice de ligne ; et/ou
- pour chaque colonne de pixels, former une piste conductrice de colonne interconnectant des deuxièmes bornes des transistors des pixels de la colonne puis graver localement ladite piste conductrice de colonne de façon à la diviser une première piste conductrice de colonne et une deuxième piste conductrice de colonne isolée électriquement de la deuxième piste conductrice de colonne.

Brève description des dessins

[0014] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0015] la [Fig.1] représente, de façon schématique et partielle, un capteur d'images selon un mode de réalisation ;

[0016] la [Fig.2] représente, de façon schématique et partielle, un autre capteur d'images selon un mode de réalisation ;

[0017] la [Fig.3] est un schéma électrique illustrant un exemple de réalisation du capteur d'images de la [Fig.1] ;

[0018] la [Fig.4] est un schéma électrique illustrant un exemple de réalisation du capteur d'images de la [Fig.2] ;

[0019] la [Fig.5] est une vue de dessus, schématique et partielle, illustrant un exemple de réalisation d'un réseau d'interconnexion des pixels du capteur d'images de la [Fig.1] ; et

[0020] la [Fig.6] est une vue de dessus, schématique et partielle, illustrant un exemple de réalisation d'un réseau d'interconnexion des pixels du capteur d'images de la [Fig.2].

Description des modes de réalisation

[0021] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0022] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, les diverses applications des capteurs d'images décrits n'ont pas été détaillées, les modes de réalisation décrits étant compatibles avec toutes ou la plupart des applications susceptibles de tirer profit d'un capteur d'images, notamment des applications dans lesquelles le

capteur d'images est intégré dans un capteur d'empreintes digitales.

[0023] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.

[0024] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.

[0025] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.

[0026] La [Fig.1] représente, de façon schématique et partielle, un capteur d'images 100 selon un mode de réalisation. Le capteur d'images 100 est par exemple destiné à être intégré dans un capteur d'empreintes digitales, non illustré en [Fig.1].

[0027] Dans l'exemple représenté, le capteur d'images 100 comporte une pluralité de pixels PIX. Les pixels PIX sont, dans cet exemple, agencés en matrice 101 selon des lignes et des colonnes. Les lignes sont par exemple sensiblement perpendiculaires aux colonnes. Chaque ligne de pixels PIX de la matrice 101 correspond par exemple à une rangée horizontale, dans l'orientation de la [Fig.1], de pixels PIX adjacents. Chaque colonne de pixels PIX de la matrice 101 correspond par exemple à une rangée verticale, dans l'orientation de la [Fig.1], de pixels PIX adjacents. Les pixels PIX de la matrice 101 du capteur d'images 100 présentent par exemple tous une forme sensiblement carrée. Les pixels PIX de la matrice 101 du capteur d'images 100 ont par exemple tous des dimensions latérales identiques, aux dispersions de fabrication près. La matrice 101 présente par exemple, selon les lignes et selon les colonnes de pixels PIX, un pas constant, aux dispersions de fabrication près. À titre d'exemple, la matrice 101 comporte au moins mille lignes de pixels PIX, par exemple au moins deux mille lignes de pixels PIX, et au moins mille colonnes de pixels PIX.

[0028] Dans l'exemple illustré en [Fig.1], la matrice 101 comporte un premier groupe 101A (REGION 1) de pixels PIX adjacents et un deuxième groupe 101B (REGION 2) de pixels PIX adjacents, distinct du premier groupe 101A de pixels PIX. Plus précisément, dans cet exemple, le premier groupe 101A de pixels PIX comprend un ensemble de colonnes de pixels PIX consécutives de la matrice 101, et le deuxième groupe 101B de pixels PIX comprend un autre ensemble de colonnes de pixels PIX consécutives de la matrice 101. En outre, le deuxième groupe 101B de pixels PIX est adjacent au premier groupe 101A de pixels PIX, aucune colonne de pixels PIX de la

matrice 101 n'étant située entre le premier groupe 101A et le deuxième groupe 101B de pixels PIX. À titre d'exemple, le premier groupe 101A de pixels PIX correspond aux colonnes de pixels PIX d'une moitié de la matrice 101 (la moitié gauche, dans l'orientation de la [Fig.1]) et le deuxième groupe 101B de pixels PIX correspond aux colonnes de pixels PIX de l'autre moitié de la matrice 101 (la moitié droite, dans l'orientation de la [Fig.1]), les groupes 101A et 101B présentant des nombres de pixels PIX sensiblement égaux. Chaque groupe 101A, 101B de pixels PIX comprend par exemple environ six cent colonnes de pixels PIX consécutives de la matrice 101.

[0029] Dans l'exemple représenté, les pixels PIX du premier groupe 101A sont connectés à un premier circuit de lecture 103A (ROIC 1) et les pixels PIX du deuxième groupe 101B sont connectés à un deuxième circuit de lecture 103B (ROIC 2) du capteur d'images 100. Plus précisément, comme cela sera décrit ultérieurement en détail en relation avec les figures 3 et 5, les pixels PIX d'une même colonne du premier groupe 101A sont par exemple interconnectés et connectés au premier circuit de lecture 103A, et les pixels PIX d'une même colonne du deuxième groupe 101B sont par exemple interconnectés et connectés au deuxième circuit de lecture 103B.

[0030] Dans l'exemple illustré en [Fig.1] les circuits de lecture 103A et 103B sont connectés à une même unité de commande 105 (UC), par exemple un microcontrôleur. L'unité de commande 105 est par exemple configurée pour commander les circuits de lecture 103A et 103B et pour analyser des données provenant des pixels PIX de la matrice 101.

[0031] En outre, dans l'exemple représenté, les pixels PIX du premier groupe 101A sont connectés à un premier circuit de commande 107A (GOA 1) et les pixels PIX du deuxième groupe 101B sont connectés à un deuxième circuit de commande 107B (GOA 2) du capteur d'images 100. Dans cet exemple, chaque ligne de pixels PIX de la matrice est scindée en des première et deuxième portions de ligne, dont les pixels font partie du premier groupe 101A et du deuxième groupe 101B, respectivement. Plus précisément, comme cela sera décrit ultérieurement en détail en relation avec les figures 3 et 5, les pixels PIX du premier groupe 101A faisant partie d'une même première portion de ligne sont par exemple interconnectés et connectés au premier circuit de commande 107A, et les pixels PIX du deuxième groupe 101B faisant partie d'une même deuxième portion de ligne sont par exemple interconnectés et connectés au deuxième circuit de commande 107B.

[0032] On a représenté en [Fig.1] un exemple de capteur d'images 100 dans lequel chaque groupe 101A, 101B de pixels PIX de la matrice 101 est relié à un seul circuit de commande 107A, 107B et à un seul circuit de lecture 103A, 103B. A titre d'exemple, les circuits 107A, 107B, 103A et 103b sont intégrés respectivement dans des puces de circuits intégrés distinctes. À titre d'exemple, chaque circuit de commande 107A, 107B

est intégré dans une seule puce de circuit intégré et chaque circuit de lecture 103A, 103B est intégré dans une seule puce de circuit intégré. Cet exemple n'est toutefois pas limitatif. A titre de variante, chaque circuit de commande 107A, 107B peut être divisé en plusieurs sous-circuits de commande, par exemple identiques ou similaires, reliés respectivement à différents sous-ensembles de portions de lignes de pixels PIX, et/ou chaque circuit de lecture 103A, 103B peut être divisé en plusieurs sous-circuits de lecture, par exemple identiques ou similaires, reliés respectivement à différents sous-ensembles de colonnes de pixels PIX. Chaque circuit de lecture 103A, 103B peut par exemple être divisé en plusieurs sous-circuits de lecture interfacés entre eux, chaque sous-circuit de lecture étant connecté à un sous-ensemble de colonnes consécutives de pixels PIX du groupe 101A, 101B auquel est connecté le circuit de lecture 103A, 103B. À titre d'exemple, les différents sous-circuits de commande sont intégrés dans des puces de circuit intégré distinctes et les différents sous-circuits de lecture sont intégrés dans des puces de circuit intégré distinctes.

[0033] Un avantage du capteur d'images 100 décrit ci-dessus en relation avec la [Fig.1] tient au fait que les groupes 101A, 101B de pixels PIX de la matrice 101 peuvent être commandés de façon séparée, par exemple dans un cas où un objet, par exemple un doigt d'un utilisateur, dont on souhaite capturer une image est situé à l'aplomb d'au moins une partie des pixels de l'un des groupes 101A, 101B et pas à l'aplomb des pixels de l'autre groupe 101B, 101A. Cela permet un gain de temps dans un cas où l'on souhaite acquérir une image en utilisant une partie seulement du capteur, par exemple les pixels PIX du premier groupe 101A, l'autre partie du capteur, les pixels PIX du deuxième groupe 101B, dans cet exemple, n'étant pas utilisés. En particulier, ceci permet de réduire le temps de transfert de l'image vers l'unité de commande 105. Cela permet en outre une consommation énergétique moindre.

[0034] La [Fig.2] représente, de façon schématique et partielle, un autre capteur d'images 200 selon un mode de réalisation. Le capteur d'images 200 est par exemple destiné à être intégré dans un capteur d'empreintes digitales, non illustré en [Fig.2]. Le capteur d'images 200 de la [Fig.2] comprend des éléments communs avec le capteur d'images 100 de la [Fig.1]. Ces éléments communs ne seront pas détaillés à nouveau ci-après.

[0035] Le capteur d'images 200 de la [Fig.2] diffère du capteur d'images 100 de la [Fig.1] principalement en ce que la matrice 101 de pixels PIX du capteur d'images 200 comporte des premier, deuxième, troisième et quatrième groupes 201A (REGION 1), 201B (REGION 2), 201C (REGION 3) et 201D (REGION 4) de pixels PIX adjacents. Dans l'exemple illustré en [Fig.2], chaque groupe 201A, 201B, 201C, 201D de pixels PIX est distinct des autres groupes 201A, 201B, 201C, 201D de pixels PIX. À titre d'exemple, chaque groupe 201A, 201B, 201C, 201D de pixels PIX correspond à un quart de la matrice 101 (les quarts supérieur gauche, supérieur droit, inférieur gauche

et inférieur droit, respectivement, dans l'orientation de la [Fig.2]). Dans l'exemple représenté, chaque ligne de pixels PIX de la matrice 101 est scindée en une première portion de ligne, dont les pixels PIX font partie du premier groupe 201A ou du troisième groupe 201C, et une deuxième portion de ligne, dont les pixels PIX font partie du deuxième groupe 201B ou du quatrième groupe 201D, respectivement. En outre, chaque colonne de pixels PIX est scindée en une première portion de colonne, dont les pixels PIX font partie du premier groupe 201A ou du deuxième groupe 201B, et une deuxième portion de colonne, dont les pixels PIX font partie du troisième groupe 201B ou du quatrième groupe 201D, respectivement.

[0036] Dans l'exemple représenté, les premier, deuxième, troisième et quatrième groupes 201A, 201B, 201C et 201D de pixels PIX sont connectés à des premier, deuxième, troisième et quatrième circuits de lecture 203A (ROIC 1), 203B (ROIC 2), 203C (ROIC 3) et 203D (ROIC 4), respectivement. Plus précisément, comme cela sera décrit ultérieurement en détail en relation avec les figures 4 et 6 :

– les pixels PIX du premier groupe 201A faisant partie d'une même première portion de colonne sont par exemple interconnectés et connectés au premier circuit de lecture 203A ;

– les pixels PIX du deuxième groupe 201B faisant partie d'une même première portion de colonne sont par exemple interconnectés et connectés au deuxième circuit de lecture 203B ;

– les pixels PIX du troisième groupe 201C faisant partie d'une même deuxième portion de colonne sont par exemple interconnectés et connectés au troisième circuit de lecture 203C ; et

– les pixels PIX du quatrième groupe 201D faisant partie d'une même deuxième portion de colonne sont par exemple interconnectés et connectés au quatrième circuit de lecture 203D.

[0037] Dans l'exemple illustré en [Fig.2] les circuits de lecture 203A, 203B, 203C et 203D sont connectés à l'unité de commande 105 (UC).

[0038] En outre, dans l'exemple représenté, les premier, deuxième, troisième et quatrième groupes 201A, 201B, 201C et 201D de pixels PIX sont connectés à des premier, deuxième, troisième et quatrième circuits de commande 207A (GOA 1), 207B (GOA 2), 207C (GOA 3) et 207D (GOA 4), respectivement. Plus précisément, comme cela sera décrit ultérieurement en détail en relation avec les figures 4 et 6 :

– les pixels PIX du premier groupe 201A faisant partie d'une même première portion de ligne sont par exemple interconnectés et connectés au premier circuit de commande 207A ;

– les pixels PIX du deuxième groupe 201B faisant partie d'une même deuxième portion de ligne sont par exemple interconnectés et connectés au deuxième circuit de

commande 207B ;

– les pixels PIX du troisième groupe 201C faisant partie d'une même première portion de ligne sont par exemple interconnectés et connectés au troisième circuit de commande 207C ; et

– les pixels PIX du quatrième groupe 201D faisant partie d'une même deuxième portion de ligne sont par exemple interconnectés et connectés au quatrième circuit de commande 207D.

[0039] On a représenté en [Fig.2] un exemple de capteur d'images 200 dans lequel chaque groupe 201A, 201B, 201C, 201D de pixels PIX de la matrice 101 est relié à un seul circuit de commande 207A, 207B, 207C, 207D et à un seul circuit de lecture 203A, 203B, 203C, 203D. A titre d'exemple, les circuits 207A, 207B, 207C, 207D, 203A, 203B, 203C et 203D sont intégrés respectivement dans des puces de circuits intégrés distinctes À titre d'exemple, chaque circuit de commande 207A, 207B, 207C, 207D est intégré dans une seule puce de circuit intégré et chaque circuit de lecture 203A, 203B, 203C, 203D est intégré dans une seule puce de circuit intégré. Cet exemple n'est toutefois pas limitatif. A titre de variante, chaque circuit de commande 207A, 207B, 207C, 207D peut être divisé en plusieurs sous-circuits de commande et/ou chaque circuit de lecture 203A, 203B, 203C, 203D peut être divisé en plusieurs sous-circuits de lecture, par exemple de façon similaire à ce qui a été décrit précédemment en relation avec la [Fig.1] pour les circuits de commande 107A, 107B et les circuits de lecture 103A, 103B du capteur d'images 100.

[0040] Le capteur d'images 200 de la [Fig.2] présente des avantages analogues à ceux du capteur d'images 100 de la [Fig.2]. Du fait de la présence des quatre groupes de pixels 201A, 201B, 201C et 201D reliés chacun à un circuit de lecture 203A, 203B, 203C, 203D et à un circuit de commande 207A, 207B, 207C, 207D, le capteur d'images 200 permet avantageusement de bénéficier de quatre zones d'acquisition d'images pouvant être commandées indépendamment les unes des autres.

[0041] La [Fig.3] est un schéma électrique illustrant un exemple de réalisation du capteur d'images 100 de la [Fig.1].

[0042] Dans l'exemple illustré en [Fig.1], chaque pixel PIX de la matrice 101 comporte un photodétecteur 303, par exemple une diode photosensible ou photodiode, dont une anode est connectée à un nœud 305 d'application d'un potentiel de polarisation VBIAS et une cathode connectée à un nœud 307 de stockage de charges photogénérées par le photodétecteur 303. Dans cet exemple, chaque pixel PIX de la matrice 101 présente une architecture de type "1T". Plus précisément, chaque pixel PIX comporte un transistor de transfert 309, par exemple un transistor à effet de champ, dont une borne de conduction (par exemple le drain) est connectée au nœud 307 et dont une autre borne de conduction (par exemple la source) est connectée à un nœud 311 de collecte

de charges. Dans l'exemple représenté, les nœuds 305 des pixels PIX faisant partie d'une même colonne de la matrice 101 sont interconnectés par une piste conductrice 313 portée au potentiel de polarisation VBIAS. En outre, dans cet exemple, les nœuds 311 des pixels PIX faisant partie d'une même colonne de la matrice 101 sont interconnectés par une piste conductrice 315.

[0043] À titre d'exemple, les photodétecteurs 303 sont des photodétecteurs organiques, c'est-à-dire des photodétecteurs comprenant au moins une couche de photoconversion, ou couche active, en au moins un matériau organique. Les transistors de transfert 309 sont par exemple des transistors en couches minces ("Thin-Film Transistor" - TFT, en anglais). Les photodétecteurs 303 et les transistors 309 sont par exemple formés sur un même substrat de support, sur lequel est en outre formé un réseau d'interconnexion des pixels PIX.

[0044] Le circuit de commande 107A du premier groupe 101A de pixels PIX et le circuit de commande 107B du deuxième groupe 101B de pixels PIX sont par exemple de type "grille sur réseau" ("Gate On Array" - GOA, en anglais). Dans cet exemple, le premier circuit de commande 107A comporte, pour chaque première portion de ligne de pixels PIX à laquelle il est connecté, un commutateur 321A connecté à une piste conductrice 323A interconnectant des bornes de commande (grilles) des transistors de transfert 309 des pixels PIX de la première portion de ligne. De façon analogue, le deuxième circuit de commande 107B comporte, pour chaque deuxième portion de ligne de pixels PIX à laquelle il est connecté, un commutateur 321B connecté à une piste conductrice 323B interconnectant des bornes de commande (grilles) des transistors de transfert 309 des pixels PIX de la deuxième portion de ligne. Les pistes conductrices 323A sont électriquement isolées des pistes conductrices 323B.

[0045] Dans l'exemple représenté, chaque commutateur 321A, 323B est par exemple de type unipolaire bidirectionnel ("Single Pole Double Throw" - SPDT, en anglais) et comporte plus précisément une borne d'entrée IN connectée à la piste conductrice 323A, une première borne de sortie OUT1 connectée à un nœud 325 d'application d'un potentiel VON, par exemple un potentiel haut, et une deuxième borne de sortie OUT2 connectée à un nœud 327 d'application d'un potentiel VOFF, par exemple un potentiel bas, par exemple la masse. Plus précisément, les valeurs des potentiels VON et VOFF sont par exemple respectivement choisies de sorte que les transistors 309 des pixels PIX d'une même portion de ligne soient à l'état passant lorsque la borne d'entrée IN du commutateur 321A, 321B de la portion de ligne est connectée à la première borne de sortie OUT1, portée au potentiel VON, et à l'état bloqué lorsque la borne d'entrée IN du commutateur 321A, 321B de la portion de ligne est connectée à la deuxième borne de sortie OUT2, portée au potentiel VOFF.

[0046] Dans l'exemple illustré en [Fig.3], le premier circuit de lecture 103A du capteur

d'images 100 comporte, pour chaque colonne de pixels PIX du premier groupe 101A de la matrice 101, un circuit 329A d'intégration des charges photogénérées, par exemple des électrons photogénérés, par les photodétecteurs 303 des pixels PIX de la colonne. De façon analogue, le deuxième circuit de lecture 103B du capteur d'images 100 comporte, pour chaque colonne de pixels PIX du deuxième groupe 101B de la matrice 101, un circuit 329B d'intégration des charges photogénérées, par exemple des électrons photogénérés, par les photodétecteurs 303 des pixels PIX de la colonne. Dans l'exemple représenté, chaque circuit 329A est connecté à la piste conductrice 315 interconnectant les bornes de conduction 311 des pixels PIX de la colonne correspondante du premier groupe 101A et chaque circuit 329B est connecté à la piste conductrice 315 interconnectant les bornes de conduction 311 des pixels PIX de la colonne correspondante du deuxième groupe 101A.

[0047] Des étapes de fonctionnement du capteur d'images 100 vont maintenant être décrites en relation avec la [Fig.3] dans un cas où l'on souhaite capturer une image en utilisant uniquement les pixels PIX du premier groupe 101A de la matrice 101 du capteur d'images 100.

[0048] Au cours d'une première étape d'exposition, des charges photogénérées par les photodétecteurs 303 des pixels PIX de la matrice 101 sont accumulées aux nœuds de stockage 307. La première étape d'exposition correspond par exemple à une situation où les photodétecteurs 303 des pixels PIX de la matrice 101 sont exposés à de la lumière, mais où l'on ne souhaite pas capturer une image. Au cours de la première étape d'exposition, les commutateurs 321A du circuit de commande 107A et les commutateurs 321B du circuit de commande 107B ont leur borne d'entrée IN connectée à leur deuxième borne de sortie OUT2, le potentiel VOFF étant ainsi appliqué, via les pistes conductrices 323A, 323B, respectivement, aux grilles des transistors 309 des premier et deuxième groupes 101A, 101B de pixels PIX de sorte que les transistors 309 soient à l'état bloqué.

[0049] Au cours d'une étape de réinitialisation, postérieure à la première étape d'exposition, les charges photogénérées, préalablement accumulées aux nœuds de stockage 307 lors de la première étape d'exposition, sont évacuées par les circuits d'intégration 329A du circuit de lecture 103A.

[0050] Pour cela, au cours de l'étape de réinitialisation, les commutateurs 321A du circuit de commande 107A sont commandés séquentiellement, les uns après les autres, pour connecter leur borne d'entrée IN à leur première borne de sortie OUT1, le potentiel VON étant ainsi appliqué, via les pistes conductrices 323A, aux grilles des transistors de transfert 309 d'une même première portion de ligne de pixels PIX du premier groupe 101A de sorte que les transistors 309 soient à l'état passant. On transfère ainsi successivement, par exemple portion de ligne après portion de ligne, les charges photo-

générées préalablement accumulées aux nœuds de stockage 307 des pixels PIX des différentes premières portions de lignes du premier groupe 101A de pixels PIX de la matrice 101 vers les circuits d'intégration 329A du circuit de lecture 103A.

[0051] Plus précisément, on commande par exemple d'abord le commutateur 321A connecté à la piste conductrice 323A de l'une des premières portions de lignes de pixels PIX de la matrice 101, par exemple la première portion de la ligne supérieure dans l'orientation de la [Fig.3], de sorte à appliquer le potentiel VON sur les grilles des transistors de transfert 309 de cette première portion de ligne. Cela a pour effet de transférer, ou vider, les charges photogénérées depuis les nœuds de stockage 307 des pixels PIX de la première portion de ligne vers les circuits d'intégration 329A, chaque nœud 307 étant relié à l'un des circuits 329A du premier circuit de lecture 103A durant cette opération. Les charges photogénérées en provenance des pixels PIX de la première portion de ligne sont alors évacuées via une sortie des circuits 329A. Une fois les charges évacuées, on commande par exemple le commutateur 321A connecté à la première portion de ligne de pixels PIX dont on vient de transférer les charges de sorte à appliquer le potentiel VOFF sur les grilles des transistors de transfert 309 de cette ligne, afin d'isoler les nœuds de stockage 307 des pixels PIX de cette première portion de ligne par rapport aux circuits d'intégration 329A. On répète ensuite les opérations ci-dessus sur une autre première portion de ligne de pixels PIX, par exemple une première portion de ligne adjacente à la première portion de ligne dont on vient de transférer les charges. Toutes les première portions de lignes de pixels PIX du premier groupe 101A de la matrice 101 sont ainsi balayées séquentiellement, par exemple de haut en bas dans l'orientation de la [Fig.3].

[0052] À titre d'exemple, l'étape de réinitialisation débute par exemple à un instant où au moins un doigt est placé sur le capteur d'images 100, à l'aplomb du premier groupe 101A de pixels PIX de la matrice 101.

[0053] Lors d'une deuxième étape d'exposition, des charges photogénérées par les photodétecteurs 303 des pixels PIX du premier groupe 101A de la matrice 101 sont à nouveau accumulées aux nœuds de stockage 307. À la différence de la première étape d'exposition précédemment décrite, la deuxième étape d'exposition correspond par exemple à une situation où les photodétecteurs 303 des pixels PIX de la matrice 101 sont exposés à de la lumière et où l'on souhaite capturer une image. La deuxième étape d'exposition présente par exemple une durée déterminée ajustée en fonction d'une luminosité ambiante, appelée durée d'intégration. Pour chaque portion de ligne de pixels PIX, la deuxième étape d'exposition débute au moment de l'ouverture (blocage) des transistors de transfert de la portion de ligne, suivant la réinitialisation.

[0054] Le procédé de commande du capteur d'images 100 comprend en outre une étape d'acquisition, postérieure à la deuxième étape d'exposition. À la différence de l'étape de

réinitialisation, durant laquelle les charges photogénérées accumulées aux nœuds de stockage 307 des pixels PIX de la matrice 101 sont évacuées sans être intégrées, on prévoit, lors de l'étape d'acquisition, d'intégrer les charges photogénérées provenant des pixels PIX des premières portions de lignes du premier groupe 101A de la matrice 101.

[0055] Au cours de l'étape d'acquisition, les commutateurs 321A du premier circuit de commande 107A sont commandés séquentiellement, portion de ligne après portion ligne, de façon à transférer les charges photogénérées préalablement accumulées aux nœuds de stockage 307 des pixels PIX des différentes premières portions de lignes du premier groupe 101A de la matrice 101 vers les circuits d'intégration 329A du premier circuit de lecture 103A. La commande des commutateurs 321A s'effectue par exemple de façon analogue à ce qui a été précédemment exposé ci-dessus en relation avec l'étape de réinitialisation.

[0056] Bien que l'on ait décrit ci-dessus en relation avec la [Fig.3] un cas dans lequel on souhaite capturer une image en utilisant uniquement les pixels PIX du premier groupe 101A de la matrice 101 du capteur d'images 100, les étapes ci-dessus sont bien entendu transposables par la personne du métier à un cas où l'on souhaite capturer une image en utilisant uniquement les pixels PIX du deuxième groupe 101B à partir des indications de la présente description.

[0057] À titre d'exemple, chaque circuit d'intégration 329A, 329B comporte un amplificateur opérationnel, non représenté en [Fig.3], dont une entrée inverseuse est connectée à une borne d'entrée connectée à la piste conductrice 315, dont une entrée non inverseuse est connectée à un nœud d'application d'un potentiel de référence, par exemple la masse, et dont une sortie est connectée à une borne de sortie du circuit 329A, 329B. Dans cet exemple, chaque circuit 329A, 329B comporte en outre une capacité, par exemple un condensateur, et un commutateur, non détaillés en [Fig.3]. La capacité et le commutateur sont par exemple associés en parallèle entre la borne d'entrée et la borne de sortie du circuit 329A, 329B.

[0058] Dans l'exemple où l'on utilise uniquement le premier groupe 101A de pixels PIX pour acquérir une image, les charges photogénérées par les photodétecteurs 303 des pixels PIX sont, lors de l'étape de réinitialisation, transférées depuis les nœuds de stockage 307 vers le circuit de lecture 103A par l'intermédiaire des transistors 309 et des pistes conductrices 315 connectées aux bornes d'entrée des circuits d'intégration 329A. Lorsque le commutateur du circuit 329A est à l'état fermé, les charges photogénérées ne s'accumulent pas aux bornes de la capacité et sont directement évacuées par la borne de sortie du circuit 329A. En revanche, lors de l'étape d'acquisition, le commutateur du circuit 329A est à l'état ouvert et les charges photogénérées s'accumulent aux bornes de la capacité. L'amplificateur opérationnel fournit alors, en sortie, un signal fonction d'une quantité de charges photogénérées accumulées aux

bornes de la capacité. Ce signal est par exemple ensuite transmis à un ou plusieurs autres circuits du capteur d'images 100, par exemple à des circuits de double échantillonnage corrélé ("Correlated Double Sampling" - CDS, en anglais) et de conversion analogique-numérique ("Analog-Digital Converter" - ADC, en anglais).

[0059] La [Fig.4] est un schéma électrique illustrant un exemple de réalisation du capteur d'images 200 de la [Fig.2]. L'exemple de réalisation du capteur d'images 200 de la [Fig.4] comprend des éléments communs avec l'exemple de réalisation du capteur d'images 100 de la [Fig.3]. Ces éléments communs ne seront pas détaillés à nouveau ci-après.

[0060] Dans cet exemple :

– le premier circuit de commande 207A comporte, pour chaque première portion de ligne de pixels PIX du premier groupe 201A à laquelle il est connecté, un commutateur 421A connecté à une piste conductrice 423A interconnectant les bornes de commande (grilles) des transistors de transfert 309 des pixels PIX de la première portion de ligne du premier groupe 201A ;

– le deuxième circuit de commande 207B comporte, pour chaque deuxième portion de ligne de pixels PIX du deuxième groupe 201B à laquelle il est connecté, un commutateur 421B connecté à une piste conductrice 423B interconnectant les bornes de commande des transistors de transfert 309 des pixels PIX de la deuxième portion de ligne du deuxième groupe 201B ;

– le troisième circuit de commande 207C comporte, pour chaque première portion de ligne de pixels PIX du troisième groupe 201C à laquelle il est connecté, un commutateur 421C connecté à une piste conductrice 423C interconnectant les bornes de commande des transistors de transfert 309 des pixels PIX de la première portion de ligne du troisième groupe 201C ; et

– le quatrième circuit de commande 207D comporte, pour chaque deuxième portion de ligne de pixels PIX du quatrième groupe 201D à laquelle il est connecté, un commutateur 421D connecté à une piste conductrice 423D interconnectant les bornes de commande des transistors de transfert 309 des pixels PIX de la deuxième portion de ligne du quatrième groupe 201D.

[0061] Les pistes conductrices 423A, 423B, 423C et 423D sont électriquement isolées entre elles.

[0062] Dans l'exemple représenté, chaque commutateur 421A, 423B, 423C, 423D est par exemple de type unipolaire bidirectionnel et comporte plus précisément une borne d'entrée IN connectée à la piste conductrice 423A, 423B, 423C et 423D, respectivement, une première borne de sortie OUT1 connectée au nœud 325 d'application du potentiel VON et une deuxième borne de sortie OUT2 connectée au nœud 327 d'application du potentiel VOFF.

[0063] Dans l'exemple de réalisation du capteur d'images 200 illustré en [Fig.4] :

– le premier circuit de lecture 203A comporte, pour chaque première portion de colonne de pixels PIX du premier groupe 201A, un circuit 429A d'intégration des charges photogénérées par les photodétecteurs 303 des pixels PIX de la première portion de colonne du premier groupe 201A ;

– le deuxième circuit de lecture 203B comporte, pour chaque première portion de colonne de pixels PIX du deuxième groupe 201B, un circuit 429B d'intégration des charges photogénérées par les photodétecteurs 303 des pixels PIX de la première portion de colonne du deuxième groupe 201B ;

– le troisième circuit de lecture 203C comporte, pour chaque deuxième portion de colonne de pixels PIX du troisième groupe 201C, un circuit 429C d'intégration des charges photogénérées par les photodétecteurs 303 des pixels PIX de la deuxième portion de colonne du troisième groupe 201C ; et

– le quatrième circuit de lecture 203D comporte, pour chaque deuxième portion de colonne de pixels PIX du quatrième groupe 201D, un circuit 429D d'intégration des charges photogénérées par les photodétecteurs 303 des pixels PIX de la deuxième portion de colonne du quatrième groupe 201D.

[0064] Les circuits 429A, 429B, 429C et 429D du capteur d'images 200 sont par exemple identiques ou similaires aux circuits 329A, 329B du capteur d'images 100.

[0065] Dans l'exemple représenté :

– chaque circuit 429A du premier circuit de lecture 203A est connecté à une piste conductrice 415A interconnectant les bornes de conduction 311 des pixels PIX d'une même première portion de colonne du premier groupe 201A ;

– chaque circuit 429B du deuxième circuit de lecture 203B est connecté à une piste conductrice 415B interconnectant les bornes de conduction 311 des pixels PIX d'une même première portion de colonne du deuxième groupe 201B ;

– chaque circuit 429C du troisième circuit de lecture 203C est connecté à une piste conductrice 415C interconnectant les bornes de conduction 311 des pixels PIX d'une même deuxième portion de colonne du troisième groupe 201C ; et

– chaque circuit 429D du quatrième circuit de lecture 203D est connecté à une piste conductrice 415D interconnectant les bornes de conduction 311 des pixels PIX d'une même deuxième portion de colonne du quatrième groupe 201D.

[0066] Dans l'exemple illustré en [Fig.4], les nœuds 305 des pixels PIX faisant partie d'une même colonne de la matrice 101 sont interconnectés par la piste conductrice 313 portée au potentiel de polarisation VBIAS. Dans cet exemple, les pistes conductrices 313 sont connectées au troisième circuit de lecture 203C, pour les colonnes de pixels faisant partie des premier et troisième groupes 201A et 201C, ou au quatrième circuit de lecture 203D, pour les colonnes de pixels faisant partie des deuxième et quatrième

groupes 201B et 201D.

[0067] À titre de variante, on pourrait prévoir un premier ensemble de pistes conductrices, interconnectant chacune les nœuds 305 des pixels PIX faisant partie d'une même première portion de colonne de la matrice 101, et un deuxième ensemble de pistes conductrices, électriquement isolées des pistes conductrices du premier ensemble, interconnectant chacune les nœuds 305 des pixels PIX faisant partie d'une même deuxième portion de colonne de la matrice 101. Dans ce cas, le potentiel VBIAS est par exemple appliqué par les circuits de lecture 203A, 203B, 203C et 203D aux portions des colonnes de pixels PIX des groupes 201A, 201B, 201C et 201D, respectivement.

[0068] La [Fig.5] est une vue de dessus, schématique et partielle, illustrant un exemple de réalisation d'un réseau d'interconnexion des pixels PIX du capteur d'images 100 de la [Fig.1]. À des fins de simplification, seule une partie du réseau d'interconnexion des pixels PIX de la matrice 101 a été représentée en [Fig.5] afin de ne pas surcharger le dessin.

[0069] Dans l'exemple représenté, le réseau d'interconnexion comprend deux niveaux métalliques conducteurs M1 et M2 superposés et séparés par un niveau isolant (non visible en [Fig.5]). Le réseau d'interconnexion peut en outre comporter des vias métalliques (non représentés) connectant les deux niveaux métalliques M1 et M2 à travers le niveau isolant.

[0070] La fabrication du réseau d'interconnexion comprend par exemple les étapes successives suivantes.

[0071] Lors d'une première étape de dépôt, on forme une pluralité de pistes conductrices 323 sensiblement parallèles à la direction des lignes de la matrice 101 de pixels PIX (direction horizontale, dans l'orientation de la [Fig.5]). Chaque piste conductrices 323 interconnecte par exemple les électrodes de commande de tous les pixels PIX d'une même ligne de la matrice. Les éléments conducteurs formés lors de cette première étape de dépôt définissent le premier niveau conducteur M1 du réseau d'interconnexion.

[0072] Lors d'une étape de gravure, on scinde les pistes conductrices 323, par exemple en retirant des portions des pistes conductrice 323 situées entre deux colonnes de pixels adjacentes de la matrice 101. On délimite ainsi les premier et deuxième groupes 101A, 101B de pixels PIX et on forme les pistes conductrices 323A et 323B électriquement isolées.

[0073] Lors d'une troisième étape de dépôt, on recouvre les pistes conductrices 323A et 323B d'un matériau isolant (non visible sur la figure).

[0074] Lors d'une troisième étape de dépôt, on forme sur le matériau isolant les pistes conductrices 315 sensiblement parallèles à la direction des colonnes de la matrice 101

de pixels PIX (direction verticale, dans l'orientation de la [Fig.5]).

[0075] Comme cela apparaît sur la [Fig.5], le pas des pixels est constant dans toute la matrice 101. En particulier, au niveau de la zone d'interruption des pistes conductrices 323, la distance, dans la direction des lignes, entre la dernière colonne du groupe 101A et la première colonne du groupe 101B est égale à la distance entre deux colonnes adjacentes quelconques du groupe 101A ou du groupe 101B.

[0076] La [Fig.6] est une vue de dessus, schématique et partielle, illustrant un exemple de réalisation d'un réseau d'interconnexion des pixels PIX du capteur d'images 200 de la [Fig.2]. À des fins de simplification, seule une partie du réseau d'interconnexion des pixels PIX de la matrice 101 a été représentée en [Fig.6] afin de ne pas surcharger le dessin.

[0077] Le réseau d'interconnexion de la [Fig.6] comprend des éléments communs avec le réseau d'interconnexion de la [Fig.5]. Ces éléments communs ne seront pas détaillés à nouveau ci-après. Le réseau d'interconnexion de la [Fig.6] diffère du réseau d'interconnexion de la [Fig.5] principalement en ce que les pistes conductrices 315, sensiblement parallèles à la direction des colonnes de la matrice 101 de pixels PIX (direction verticale, dans l'orientation de la [Fig.5]), sont scindées chacune en deux portions pour former les pistes 415A et 415C, pour les premier et troisième groupes 201A et 201C de pixels PIX, et les pistes 415B et 415D, pour les deuxième et quatrième groupes 201B et 201D de pixels PIX.

[0078] À titre d'exemple, le réseau d'interconnexion du capteur d'images 200 est obtenu par des étapes de fabrication similaires à celles précédemment décrites en relation avec la [Fig.5] pour le réseau d'interconnexion du capteur d'images 100, le procédé comprenant en outre une deuxième étape de gravure, par exemple postérieure à la troisième étape de dépôt, de sorte à scinder les pistes conductrices 315.

[0079] Comme cela apparaît sur la [Fig.6], le pas des pixels est constant dans toute la matrice 101. En particulier, au niveau de la zone d'interruption des pistes conductrices 323, la distance, dans la direction des lignes, entre la dernière colonne des groupes 201A et 201C et la première colonne des groupe 201B et 201D est égale à la distance entre deux colonnes adjacentes quelconques des groupes 201A et 201C ou des groupes 201B et 201D. De plus, au niveau de la zone d'interruption des pistes conductrices 315, la distance, dans la direction des colonnes, entre la dernière ligne des groupe 201A et 201B et la première ligne des groupes 201C et 201D est égale à la distance entre deux lignes adjacentes quelconques des groupes 201A et 201B ou des groupes 201C et 201D.

[0080] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du

métier. On a décrit en relation avec la [Fig.1] un exemple de réalisation dans lequel des pistes conductrices d'interconnexion horizontales sont interrompues de façon à diviser la matrice en deux groupes de colonnes distincts. A titre de variante, on pourra prévoir un capteur dans lequel les pistes conductrices d'interconnexion horizontales sont ininterrompues, et des pistes d'interconnexion verticales sont interrompues de façon à diviser la matrice en deux groupes de lignes distincts. Chaque groupe de ligne peut alors comprendre un circuit de lecture 103 spécifique et un circuit de commande 107 spécifique.

[0081] Enfin, la mise en œuvre pratique des modes de réalisation et variantes décrits est à la portée de la personne du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

[Revendication 1] Capteur d'images comprenant un substrat de support et une matrice (101) de pixels (PIX) formée sur le substrat de support, les pixels de la matrice étant arrangés de façon régulière, à pas constant, selon des lignes et des colonnes, chaque pixel (PIX) comportant au moins une photodiode (308) et un transistor de transfert (309), dans lequel :
A) chaque ligne de pixels est divisée en des première et deuxième portions de ligne adjacentes, une première piste conductrice de ligne (323A ; 423A, 423C) interconnectant des premières bornes des transistors des pixels de la première portion de ligne, et une deuxième piste conductrice de ligne (323B ; 423B, 423D) isolée électriquement de la première piste conductrice de ligne interconnectant des premières bornes des transistors des pixels de la deuxième portion de ligne ; et/ou
B) chaque colonne de pixels est divisée en des première et deuxième portions de colonne adjacentes, une première piste conductrice de colonne (415A, 415B) interconnectant des deuxième bornes des transistors des pixels de la première portion de colonne, et une deuxième piste conductrice de colonne (415C, 415D) isolée électriquement de la première piste conductrice de colonne interconnectant des premières bornes des transistors des pixels de la deuxième portion de ligne.

[Revendication 2] Capteur selon la revendication 1 dans son option A), dans lequel les pixels des premières portions de ligne définissent une première région (101A) et les pixels des deuxièmes portions de ligne définissent une deuxième région (101B), les pixels (PIX) de la première région (101A) étant connectés à un même premier circuit de lecture (103A) du capteur et à un même premier circuit de commande (107A) du capteur, et les pixels (PIX) de la deuxième région (101B) étant connectés à un même deuxième circuit de lecture (103B) du capteur et à un même deuxième circuit de commande (107B) du capteur.

[Revendication 3] Capteur selon la revendication 2, dans lequel chacune des première (101A) et deuxième (101B) régions comprend un nombre de pixels égal à environ une moitié du nombre total de pixels de la matrice (101).

[Revendication 4] Capteur selon la revendication 1 dans ses options A) et B), dans lequel les pixels (PIX) des premières portions de ligne et des premières portions de colonne définissent une première région (201A), les pixels (PIX) des deuxièmes portions de ligne et des premières portions de colonne définissent une deuxième région (201B), les pixels (PIX) des

premières portions de ligne et des deuxièmes portions de colonne définissent une troisième région (201C), et les pixels (PIX) des deuxièmes portions de ligne et des deuxièmes portions de colonne définissent une quatrième région (201D), les pixels (PIX) de la première région (201A) étant connectés à un même premier circuit de lecture (203A) du capteur et à un même premier circuit de commande (207A) du capteur, les pixels (PIX) de la deuxième région (201B) étant connectés à un même deuxième circuit de lecture (203B) du capteur et à un même deuxième circuit de commande (207B) du capteur, les pixels (PIX) de la troisième région (201C) étant connectés à un même troisième circuit de lecture (203C) du capteur et à un même troisième circuit de commande (207C) du capteur, et les pixels (PIX) de la quatrième région (201D) étant connectés à un même quatrième circuit de lecture (203D) du capteur et à un même quatrième circuit de commande (207D) du capteur.

[Revendication 5] Capteur selon la revendication 4, dans lequel chacune des première (201A), deuxième (201B), troisième (201C) et quatrième (201D) régions comprend un nombre de pixels égal à environ un quart du nombre total de pixels de la matrice (101).

[Revendication 6] Capteur selon l'une quelconque des revendications 1 à 5, dans lequel les premières bornes des transistors de transfert (309) sont des bornes de grille, et les deuxièmes bornes des transistors de transfert (309) sont des bornes de source ou de drain.

[Revendication 7] Capteur selon l'une quelconque des revendications 1 à 6, dans lequel les photodiodes (308) des pixels (PIX) sont des photodiodes organiques.

[Revendication 8] Capteur selon l'une quelconque des revendications 1 à 7, dans lequel les transistors de transfert (309) des pixels (PIX) sont des transistors TFT.

[Revendication 9] Capteur d'empreintes digitales comportant un capteur d'images selon l'une quelconque des revendications 1 à 8.

[Revendication 10] Procédé de fabrication d'un capteur d'images comprenant les étapes suivantes :

a) former une matrice (101) de pixels (PIX) arrangés de façon régulière, à pas constant, selon des lignes et des colonnes, chaque pixel (PIX) comprenant au moins une photodiode (308) et un transistor de transfert (309) ; et

b)

- pour chaque ligne de pixels, former une piste conductrice de ligne interconnectant des premières bornes des transistors des pixels de la ligne puis graver localement ladite piste conductrice de ligne de façon à la

diviser une première piste conductrice de ligne (323A ; 423A, 423C) et une deuxième piste conductrice de ligne (323B ; 423B, 423D) isolée électriquement de la première piste conductrice de ligne ; et/ou
- pour chaque colonne de pixels, former une piste conductrice de colonne interconnectant des deuxièmes bornes des transistors des pixels de la colonne puis graver localement ladite piste conductrice de colonne de façon à la diviser une première piste conductrice de colonne (415A, 415B) et une deuxième piste conductrice de colonne (415C, 415D) isolée électriquement de la deuxième piste conductrice de colonne.

[Fig. 1]

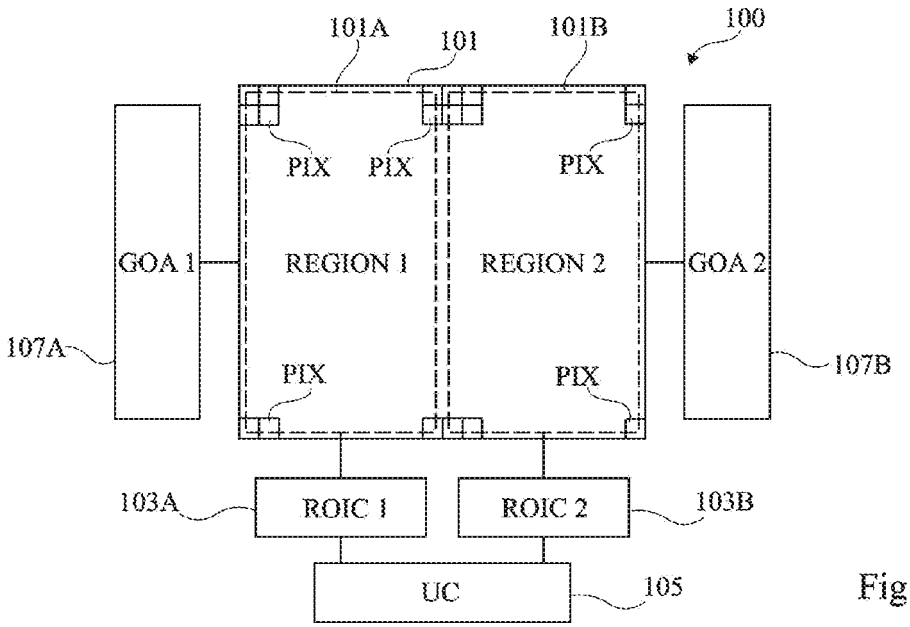


Fig 1

[Fig. 2]

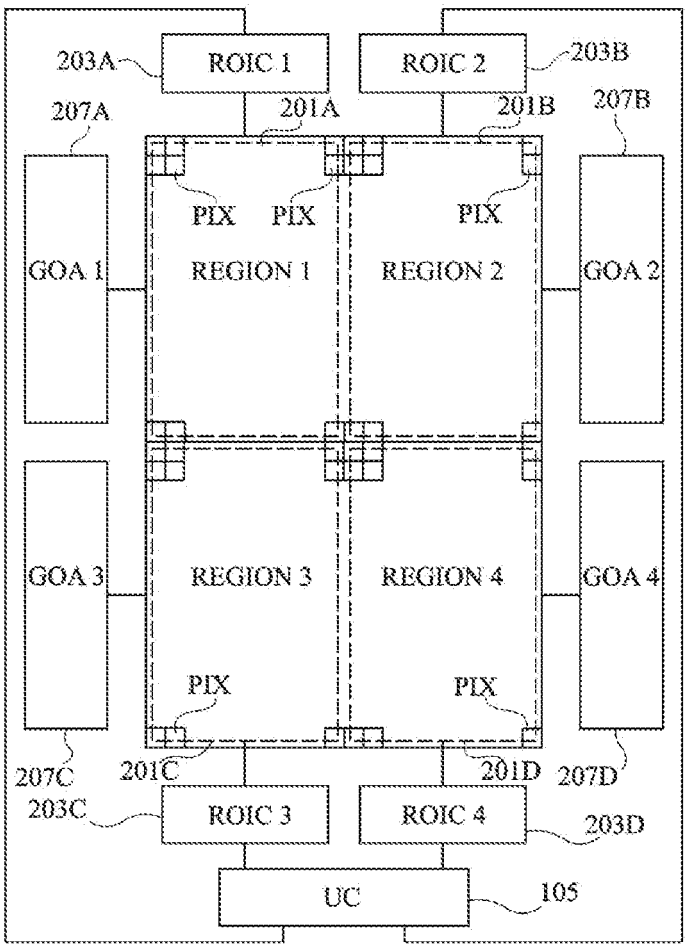


Fig 2

[Fig. 3]

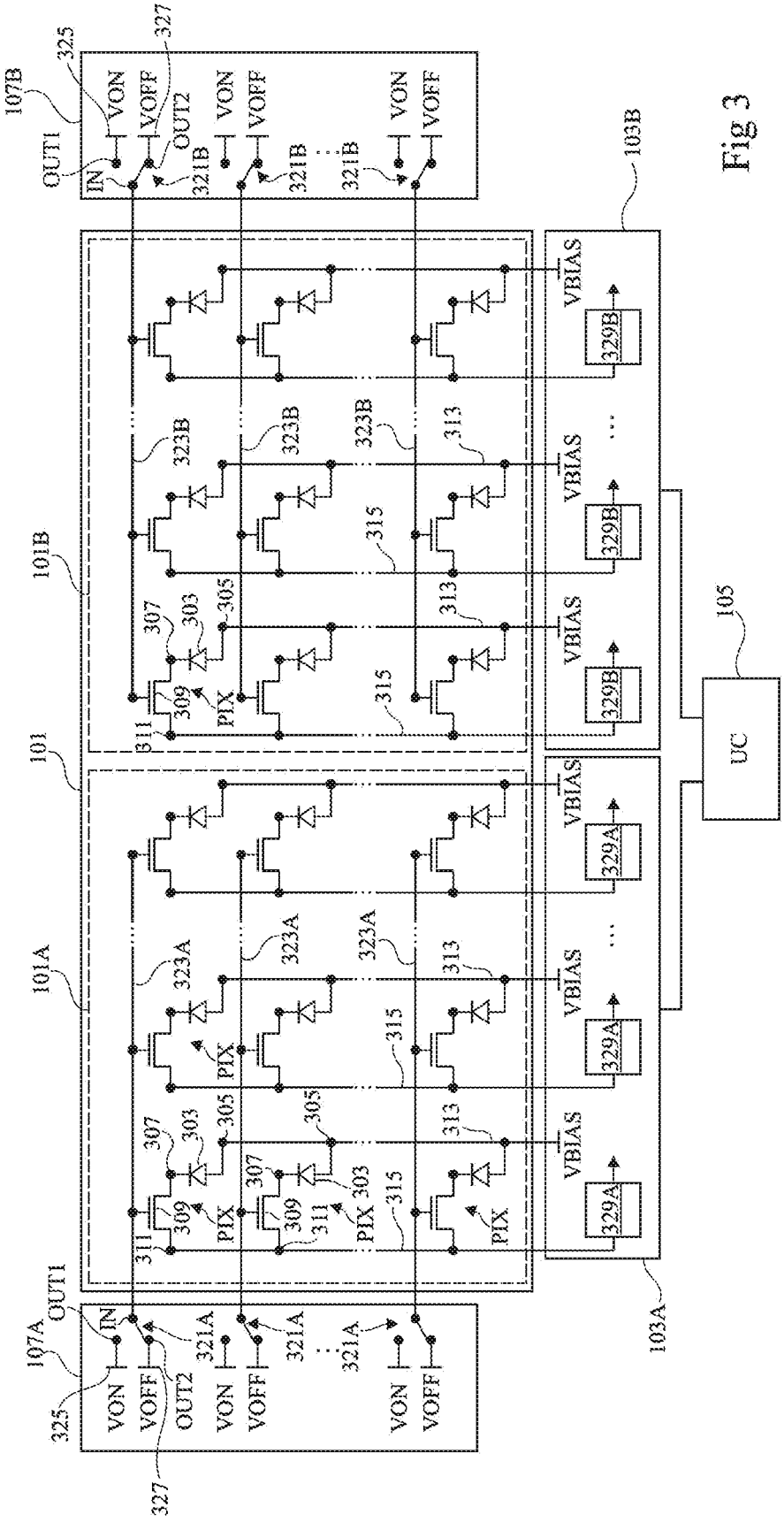
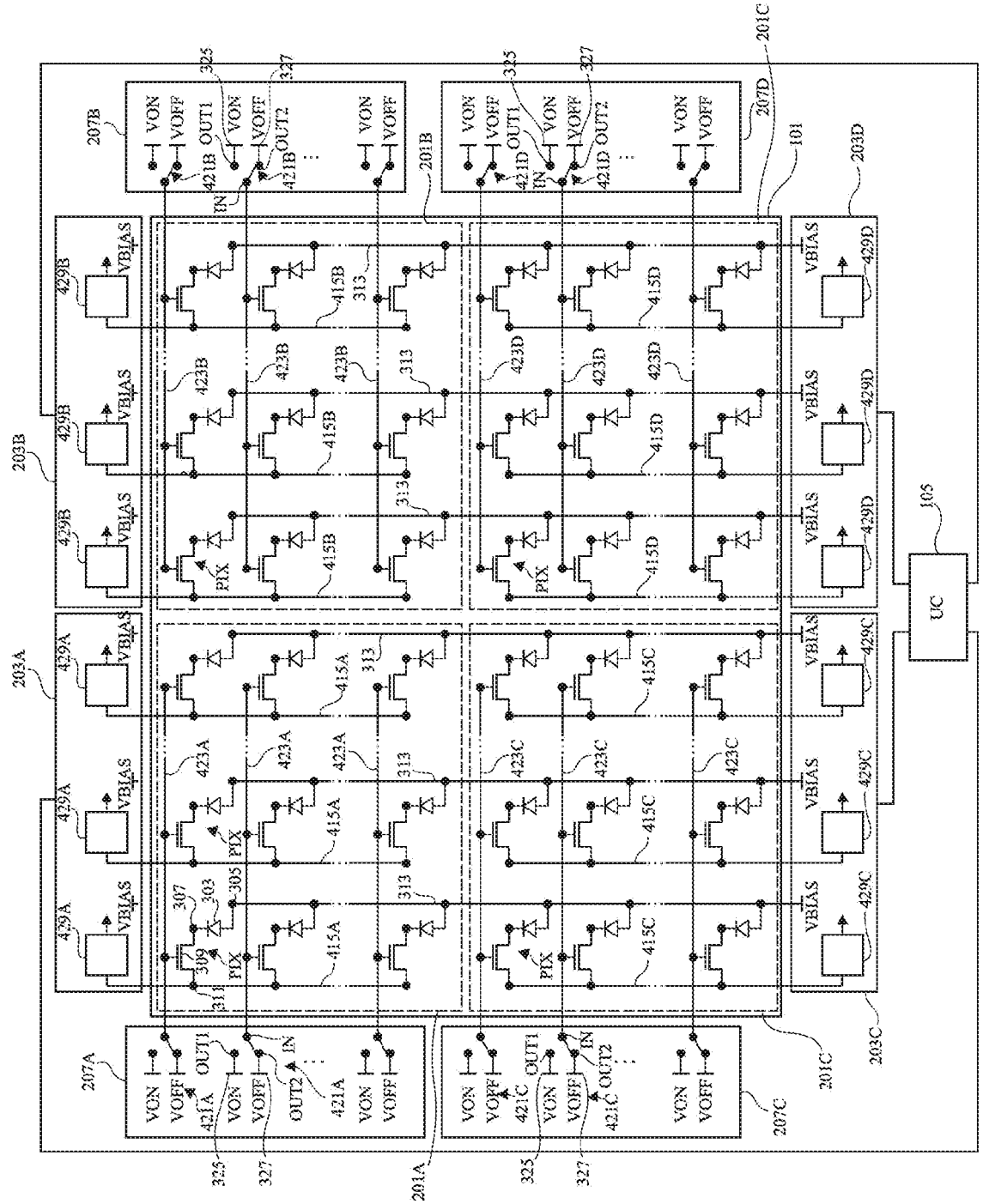

107B
325
327
OUT1
IN
VON
VOFF
OUT2
321B
101B
101
101A
323B
323A
315
313
307
303
305
309
311
PIX
VBIAS
329B
329A
103B
103A
105
UC
107A
321A

Fig 3

[Fig. 4]


Fig 4
UC
101
105
201A
201B
201C
203A
203B
203C
203D
207A
207B
207C
207D
VON
VOFF
OUT1
OUT2
IN
421A
421B
421C
421D
325
327
VBIAS
PIX
303
305
307
309
311
313
415A
415B
415C
415D
423A
423B
423C
423D
429A
429B
429C
429D

[Fig. 5]

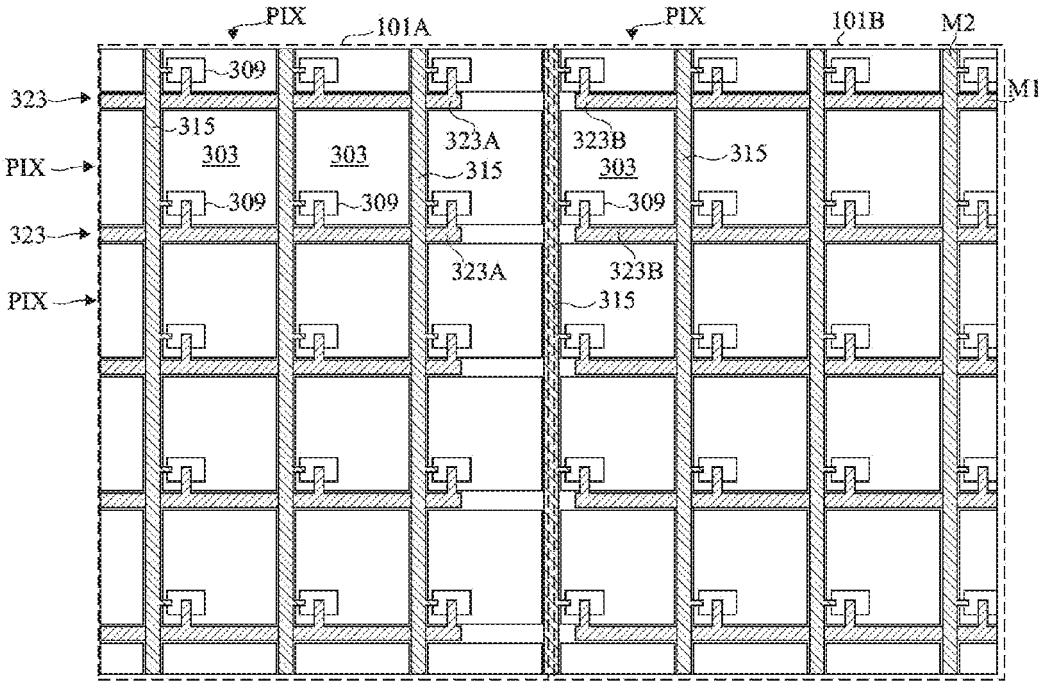


Fig 5

[Fig. 6]

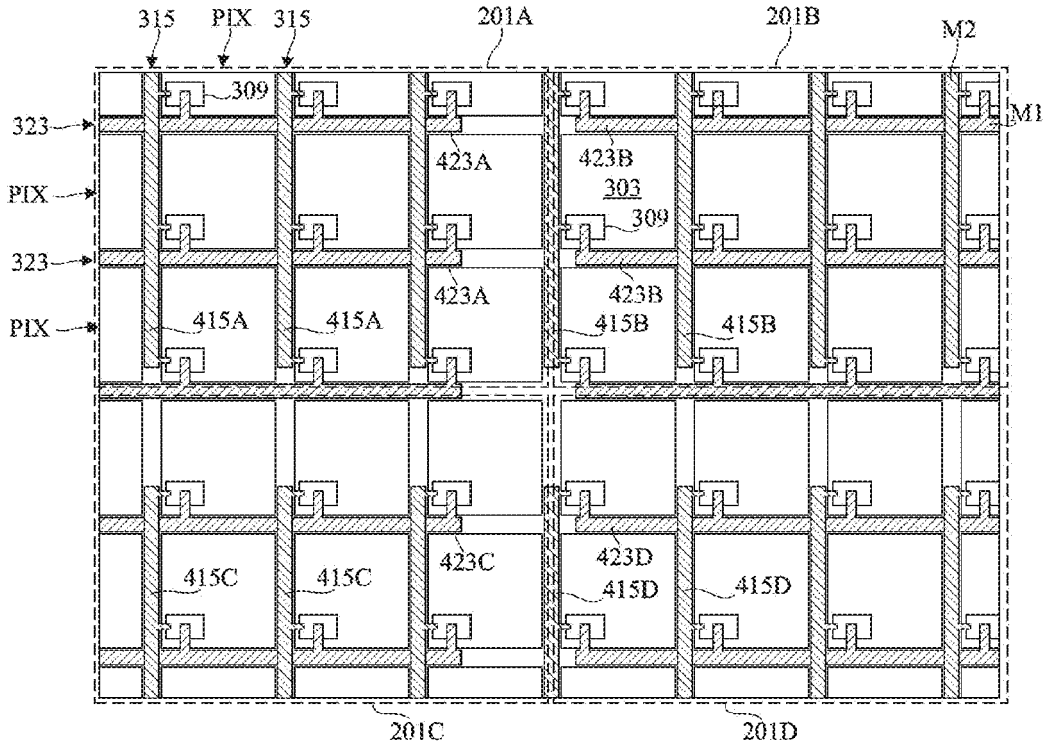


Fig 6

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

N° d'enregistrement national

FA 902989
FR 2114480

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	EP 2 871 835 A1 (SONY CORP [JP]) 13 mai 2015 (2015-05-13)	1,6-10	H01L27/146
Y	* figures 1,2,10 *	4,5	

X	EP 3 288 081 A1 (SONY CORP [JP]) 28 février 2018 (2018-02-28)	1-3,6-10	
Y	* figures 3,7 *	4,5	

X	US 2021/067711 A1 (TEZUKA SHIMPEI [JP] ET AL) 4 mars 2021 (2021-03-04) * alinéa [0072] * * figure 12 *	1,10	

X	EP 3 048 645 A1 (CANON KK [JP]) 27 juillet 2016 (2016-07-27) * figure 1 *	1,10	

X	WO 2020/153123 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP [JP]) 30 juillet 2020 (2020-07-30) * abrégé * & US 2022/086379 A1 (ASAKURA LUONGHUNG [JP]) 17 mars 2022 (2022-03-17) * figures 3,4,7,9 *	1-10	

			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L H04N

Date d'achèvement de la recherche	Examinateur
26 juillet 2022	Gijsbertsen, Hans

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons
.....
& : membre de la même famille, document correspondant

EPO FORM 1503 12.99 (P04C14)

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2114480 FA 902989

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 26-07-2022
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 2871835 A1	13-05-2015	CN 104429057 A	18-03-2015
		CN 107482027 A	15-12-2017
		EP 2871835 A1	13-05-2015
		JP 6308129 B2	11-04-2018
		JP WO2014007004 A1	02-06-2016
		KR 20150035722 A	07-04-2015
		TW 201404145 A	16-01-2014
		US 2015163403 A1	11-06-2015
		US 2017171482 A1	15-06-2017
		US 2018084212 A1	22-03-2018
		US 2020007765 A1	02-01-2020
		WO 2014007004 A1	09-01-2014
EP 3288081 A1	28-02-2018	CN 107534049 A	02-01-2018
		CN 113658967 A	16-11-2021
		EP 3288081 A1	28-02-2018
		JP 6773029 B2	21-10-2020
		JP WO2016170833 A1	15-02-2018
		KR 20170141661 A	26-12-2017
		US 2018109741 A1	19-04-2018
		US 2018109750 A1	19-04-2018
		US 2021409621 A1	30-12-2021
		WO 2016170833 A1	27-10-2016
US 2021067711 A1	04-03-2021	CN 112438746 A	05-03-2021
		JP 2021029749 A	01-03-2021
		US 2021067711 A1	04-03-2021
EP 3048645 A1	27-07-2016	CN 105828000 A	03-08-2016
		EP 3048645 A1	27-07-2016
		JP 6518071 B2	22-05-2019
		JP 2016138935 A	04-08-2016
		US 2016218127 A1	28-07-2016
WO 2020153123 A1	30-07-2020	JP WO2020153123 A1	25-11-2021
		US 2022086379 A1	17-03-2022
		WO 2020153123 A1	30-07-2020

EPO FORM P0465