(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7565236号
(P7565236)

(45)発行日　令和6年10月10日(2024.10.10)

(24)登録日　令和6年10月2日(2024.10.2)

(51)国際特許分類
H02M 3/28 (2006.01)

FI
H02M 3/28 H

請求項の数　3　（全12頁）

(21)出願番号　特願2021-38142(P2021-38142)
(22)出願日　令和3年3月10日(2021.3.10)
(65)公開番号　特開2022-138327(P2022-138327A)
(43)公開日　令和4年9月26日(2022.9.26)
審査請求日　令和5年9月7日(2023.9.7)

(73)特許権者　000004606
ニチコン株式会社
京都府京都市中京区烏丸通御池上る二条殿町５５１番地
(74)代理人　110000475
弁理士法人みのり特許事務所
(72)発明者　岡本 直久
京都府京都市中京区烏丸通御池上る二条殿町５５１番地 ニチコン株式会社内
審査官　清水 康

最終頁に続く

(54)【発明の名称】　スイッチング電源装置

(57)【特許請求の範囲】

【請求項１】

入力電圧を脈流電圧に変換する電圧変換回路と、

一次巻線および二次巻線を有するトランスと、

前記脈流電圧をスイッチングして前記一次巻線に印加する第１スイッチング素子と、

前記第１スイッチング素子を制御する第１制御部と、

前記二次巻線の誘起電圧を直流化した出力電圧を出力する直流化回路と、

を備えるスイッチング電源装置であって、

直列接続されたコンデンサおよび第２スイッチング素子からなり、一端が前記電圧変換回路の高電位側の出力端に接続され、他端が前記電圧変換回路の低電位側の出力端に接続される直列回路と、

前記第２スイッチング素子を制御する第２制御部と、

前記脈流電圧を検出する検出回路と、

前記出力電圧を検出して前記第１制御部にフィードバック信号を出力するフィードバック回路と、を備え、

前記第１制御部は、前記フィードバック信号が入力されるフィードバック端子を備え、

前記第２制御部は、

前記フィードバック端子の端子電圧の電圧値が所定の閾値以下となる第１状態時か、前記電圧値が前記閾値よりも大となる第２状態時かを判定する判定処理と、

前記第１状態時に、前記検出回路の検出値が最小値から所定の設定電圧値に達するまで

の第１期間は前記第２スイッチング素子をオン状態にする一方、前記検出値が前記設定電圧値を上回ってから前記最小値に達するまでの第２期間は前記第２スイッチング素子をオフ状態にする第１制御処理と、
　前記第２状態時に、前記第２スイッチング素子を連続オン状態にする第２制御処理と、を実行することを特徴とするスイッチング電源装置。
【請求項２】
　前記検出回路は、
　前記脈流電圧を分圧する抵抗分圧回路と、
　前記抵抗分圧回路の分圧点と前記第２制御部との間に設けられたヒステリシス回路と、を備え、
　前記ヒステリシス回路は、
　前記第１期間に第１レベルの信号を出力する一方、前記第２期間に第２レベルの信号を出力し、
　前記第２制御部は、
　前記第１レベルの信号が入力されている間は前記第２スイッチング素子をオン状態にする一方、前記第２レベルの信号が入力されている間は前記第２スイッチング素子をオフ状態にすることを特徴とする請求項１に記載のスイッチング電源装置。
【請求項３】
　前記抵抗分圧回路の一端は、
　前記電圧変換回路の前記高電位側の出力端に接続されるとともに、ダイオードを介して前記直列回路の前記一端に接続され、
　前記抵抗分圧回路の他端は、
　前記電圧変換回路の前記低電位側の出力端に接続されることを特徴とする請求項２に記載のスイッチング電源装置。
【発明の詳細な説明】
【技術分野】
【０００１】
　本発明は、スイッチング電源装置に関する。
【背景技術】
【０００２】
　スイッチング電源装置としては、例えば、特許文献１に記載の自励式のフライバックコンバータや、図５に示す他励式のフライバックコンバータ１Ｃが知られている。
【０００３】
　フライバックコンバータ１Ｃは、一次巻線Ｎ１および二次巻線Ｎ２を有するトランスＴＲ１を備え、一次巻線Ｎ１側にブリッジダイオードＤ１、コンデンサＣ１、スイッチング素子Ｑ１、制御部ＩＣ１を備え、二次巻線Ｎ２側にダイオードＤ２、コンデンサＣ２、フィードバック回路（抵抗Ｒ１～Ｒ４、シャントレギュレータＩＣ２、フォトカプラＰＣ１）を備える。
【０００４】
　フライバックコンバータ１Ｃは、交流電源Ｅから入力された交流電圧をブリッジダイオードＤ１で全波整流し、コンデンサＣ１で平滑することで直流電圧に変換し、変換した直流電圧をスイッチング素子Ｑ１でスイッチングしてトランスＴＲ１の一次巻線Ｎ１に印加する。スイッチング素子Ｑ１は、制御部ＩＣ１の制御下でＰＷＭ制御される。
【０００５】
　トランスＴＲ１の一次巻線Ｎ１に電圧が印加されると、トランスＴＲ１の二次巻線Ｎ２に電圧が誘起される。フライバックコンバータ１Ｃは、二次巻線Ｎ２の誘起電圧をダイオードＤ２で整流し、コンデンサＣ２で平滑することで、直流の電圧（出力電圧）に変換して出力する。
【０００６】
　フライバックコンバータ１Ｃは、出力電圧を抵抗Ｒ１、Ｒ２で分圧し、シャントレギュ

レータＩＣ２で分圧電圧と所定の基準電圧とを比較し、比較結果に関する信号をフォトカプラＰＣ１で制御部ＩＣ１のフィードバック端子ＦＢにフィードバックする。制御部ＩＣ１は、フィードバック端子ＦＢの端子電圧（以下、ＦＢ電圧）に基づいて、スイッチング素子Ｑ１のＰＷＭ制御信号を生成する。

【０００７】

具体的には、制御部ＩＣ１は、三角波電圧を発振する三角波発振器を備え、三角波電圧とＦＢ電圧とを比較することで、ＰＷＭ制御信号を生成する。図６（Ａ）は、待機時（軽負荷時）における三角波電圧とＦＢ電圧との関係を示し、図６（Ｂ）は、定格時（重負荷時）における三角波電圧とＦＢ電圧との関係を示す。制御部ＩＣ１は、ＦＢ電圧が三角波電圧よりも小さいときはスイッチング素子Ｑ１をオフさせ、ＦＢ電圧が三角波電圧以上のときはスイッチング素子Ｑ１をオンさせるようなＰＷＭ制御信号を生成する。

【０００８】

図６に示すように、定格時に比べて待機時はＦＢ電圧が低下するので、制御部ＩＣ１は、ＦＢ電圧に基づいて待機時か定格時かを判定する。待機時と判定した場合、制御部ＩＣ１は、例えば、三角波電圧の周波数を自動的に低下させることで、スイッチング素子Ｑ１のスイッチング周波数を自動的に低下させる。または、制御部ＩＣ１は、スイッチング素子Ｑ１のスイッチング動作を自動的に間欠動作に切り換える。これにより、待機時のスイッチングロスを低減し、待機電力を低減することができる。

【０００９】

しかしながら、入力電圧範囲が広い仕様の場合、例えば、入力電圧が全世界対応のＡＣ８５［Ｖ］～ＡＣ２６４［Ｖ］の場合、高い入力電圧時に高電圧スイッチングによるスイッチングロスが増加し、待機電力が増加するという問題がある。

【先行技術文献】

【特許文献】

【００１０】

【文献】特開２０１２－４４８２１号公報

【発明の概要】

【発明が解決しようとする課題】

【００１１】

本発明は上記事情に鑑みてなされたものであって、その課題とするところは、高入力電圧時における待機電力を改善することが可能なスイッチング電源装置を提供することにある。

【課題を解決するための手段】

【００１２】

上記課題を解決するために、本発明に係るスイッチング電源装置は、

入力電圧を脈流電圧に変換する電圧変換回路と、

一次巻線および二次巻線を有するトランスと、

前記脈流電圧をスイッチングして前記一次巻線に印加する第１スイッチング素子と、

前記第１スイッチング素子を制御する第１制御部と、

前記二次巻線の誘起電圧を直流化した出力電圧を出力する直流化回路と、

を備えるスイッチング電源装置であって、

直列接続されたコンデンサおよび第２スイッチング素子からなり、一端が前記電圧変換回路の高電位側の出力端に接続され、他端が前記電圧変換回路の低電位側の出力端に接続される直列回路と、

前記第２スイッチング素子を制御する第２制御部と、

前記脈流電圧を検出する検出回路と、

を備え、

前記第２制御部は、

第１状態時か前記第１状態時よりも前記出力電圧の電圧値が大となる第２状態時かを判定する判定処理と、

前記第１状態時に、前記検出回路の検出値が最小値から所定の設定電圧値に達するまでの第１期間は前記第２スイッチング素子をオン状態にする一方、前記検出値が前記設定電圧値を上回ってから前記最小値に達するまでの第２期間は前記第２スイッチング素子をオフ状態にする第１制御処理と、
前記第２状態時に、前記第２スイッチング素子を連続オン状態にする第２制御処理と、
を実行することを特徴とする。
【００１３】
この構成では、第１制御処理により、第１期間に脈流電圧がコンデンサにより平滑される一方で、第２期間は脈流電圧が平滑されない。コンデンサの電圧は第１期間の終了時点の低い電圧に維持されるので、第２期間において第１スイッチング素子の電流路に印加される電圧を低減することができ、第１スイッチング素子のスイッチングロスを低減することができる。したがって、この構成によれば、高入力電圧時における待機電力を改善することができる。
【００１４】
上記スイッチング電源装置において、
前記検出回路は、
前記脈流電圧を分圧する抵抗分圧回路と、
前記抵抗分圧回路の分圧点と前記第２制御部との間に設けられたヒステリシス回路と、
を備え、
前記ヒステリシス回路は、
前記第１期間に第１レベルの信号を出力する一方、前記第２期間に第２レベルの信号を出力し、
前記第２制御部は、
前記第１レベルの信号が入力されている間は前記第２スイッチング素子をオン状態にする一方、前記第２レベルの信号が入力されている間は前記第２スイッチング素子をオフ状態にするよう構成できる。
【００１５】
上記スイッチング電源装置において、
前記抵抗分圧回路の一端は、
前記電圧変換回路の前記高電位側の出力端に接続されるとともに、ダイオードを介して前記直列回路の前記一端に接続され、
前記抵抗分圧回路の他端は、
前記電圧変換回路の前記低電位側の出力端に接続されるよう構成できる。
【００１６】
上記スイッチング電源装置において、
前記出力電圧を検出して前記第１制御部にフィードバック信号を出力するフィードバック回路をさらに備え、
前記第１制御部は、前記フィードバック信号が入力されるフィードバック端子を備え、
前記第２制御部は、前記フィードバック端子の端子電圧に基づいて前記判定処理を実行するよう構成できる。
【発明の効果】
【００１７】
本発明によれば、高入力電圧時における待機電力を改善することが可能なスイッチング電源装置を提供することができる。
【図面の簡単な説明】
【００１８】
【図１】第１実施形態に係るスイッチング電源装置の回路図である。
【図２】ヒステリシス回路の回路図である。
【図３】待機時における第２スイッチング素子のオン／オフ期間を示す図である。
【図４】第２実施形態に係るスイッチング電源装置の回路図である。

【図５】従来のスイッチング電源装置の回路図である。
【図６】第１スイッチング素子のオン／オフ期間を示す図であって、（Ａ）は待機時の図、（Ｂ）は定格時の図である。
【発明を実施するための形態】
【００１９】
以下、添付図面を参照して、本発明に係るスイッチング電源装置の実施形態について説明する。
【００２０】
［第１実施形態］
図１に、本発明の第１実施形態に係るスイッチング電源装置１Ａを示す。スイッチング電源装置１Ａは、広い入力電圧範囲に対応した（例えば、入力電圧が全世界対応のＡＣ８５［Ｖ］～ＡＣ２６４［Ｖ］の）フライバックコンバータである。
【００２１】
スイッチング電源装置１Ａは、トランスＴＲ１と、電圧変換回路２と、第１スイッチ回路３と、直流化回路４と、フィードバック回路５と、検出回路６と、ダイオードＤ３と、第２スイッチ回路７とを備える。
【００２２】
トランスＴＲ１は、一次巻線Ｎ１および二次巻線Ｎ２を備える絶縁トランスである。一次巻線Ｎ１および二次巻線Ｎ２は、コイルの巻き方向が逆になっている。トランスＴＲ１は、一次巻線Ｎ１に電圧が印加されると、二次巻線Ｎ２に電圧が誘起される。
【００２３】
電圧変換回路２は、ブリッジダイオードＤ１を含む。ブリッジダイオードＤ１の入力端は交流電源Ｅに接続される。ブリッジダイオードＤ１の高電位側の出力端は、ダイオードＤ３を介してトランスＴＲ１の一次巻線Ｎ１の一端（黒丸側）に接続され、一次巻線Ｎ１の他端は、第１スイッチ回路３に含まれる第１スイッチング素子Ｑ１の電流路を介してブリッジダイオードＤ１の低電位側の出力端に接続される。ブリッジダイオードＤ１は、交流電源Ｅから供給された交流電圧（本発明の「入力電圧」に相当）を全波整流し、脈流電圧に変換して出力する。
【００２４】
第１スイッチ回路３は、第１スイッチング素子Ｑ１と、第１制御部ＩＣ１とを含む。第１スイッチング素子Ｑ１は、ＦＥＴ（本実施形態では、ＮチャネルＭＯＳＦＥＴ）であり、第１制御部ＩＣ１は、ＰＷＭ制御を行うためのフライバックコンバータ制御ＩＣである。
【００２５】
第１スイッチング素子Ｑ１は、ゲートが第１制御部ＩＣ１の出力端子に接続され、ドレインが一次巻線Ｎ１の他端に接続され、ソースがブリッジダイオードＤ１の低電位側の出力端に接続される。第１スイッチング素子Ｑ１は、ブリッジダイオードＤ１から出力された脈流電圧をスイッチングして一次巻線Ｎ１に印加する。
【００２６】
第１制御部ＩＣ１は、三角波発振器、出力端子およびフィードバック端子ＦＢを有する。第１制御部ＩＣ１は、三角波発振器で発振した三角波電圧とフィードバック端子ＦＢの端子電圧（以下、ＦＢ電圧）とを比較することでＰＷＭ制御信号を生成し、ＰＷＭ制御信号に基づいて第１スイッチング素子Ｑ１をオン／オフさせる。
【００２７】
また、第１制御部ＩＣ１は、ＦＢ電圧に基づいて待機時（軽負荷時）か定格時（重負荷時）かを判定する。第１制御部ＩＣ１は、ＦＢ電圧が所定の閾値以下の場合に待機時と判定し、ＦＢ電圧が上記閾値よりも大きい場合に定格時と判定する。待機時と判定した場合、第１制御部ＩＣ１は、第１スイッチング素子Ｑ１のスイッチング周波数を自動的に低下させるか、または第１スイッチング素子Ｑ１のスイッチング動作を自動的に間欠動作に切り換えることが好ましい。待機時（軽負荷時）は、本発明の「第１状態時」に相当し、定格時（重負荷時）は、本発明の「第２状態時」に相当する。

【００２８】
直流化回路４は、ダイオードＤ２と、コンデンサＣ２とを含む。ダイオードＤ２は、アノードがトランスＴＲ１の二次巻線Ｎ２の他端に接続され、カソードがコンデンサＣ２の一端（＋側）に接続される。コンデンサＣ２の他端（－側）は、トランスＴＲ１の二次巻線Ｎ２の一端（黒丸側）に接続される。直流化回路４は、二次巻線Ｎ２の誘起電圧をダイオードＤ２で整流し、コンデンサＣ２で平滑することで、直流の電圧（本発明の「出力電圧」に相当）に変換して出力する。
【００２９】
フィードバック回路５は、抵抗Ｒ１～Ｒ４と、シャントレギュレータＩＣ２と、フォトカプラＰＣ１とを含む。抵抗Ｒ１、Ｒ２は抵抗分圧回路を構成し、一端（抵抗Ｒ１側）がコンデンサＣ２の一端（＋側）に接続され、他端（抵抗Ｒ２側）がコンデンサＣ２の他端（－側）に接続される。シャントレギュレータＩＣ２は、リファレンス端子が抵抗Ｒ１、Ｒ２の接続点に接続され、アノード端子が抵抗Ｒ２とコンデンサＣ２との接続点に接続され、カソード端子がフォトカプラＰＣ１の発光素子に接続される。フォトカプラＰＣ１の受光素子は、第１制御部ＩＣ１のフィードバック端子ＦＢに接続される。
【００３０】
フィードバック回路５は、直流化回路４から出力された出力電圧を抵抗Ｒ１、Ｒ２で分圧し、シャントレギュレータＩＣ２で分圧電圧と所定の基準電圧とを比較し、比較結果に関する信号をフォトカプラＰＣ１で第１制御部ＩＣ１のフィードバック端子ＦＢにフィードバックする。
【００３１】
検出回路６は、抵抗Ｒ５、Ｒ６と、ヒステリシス回路５ａとを含む。抵抗Ｒ５、Ｒ６は抵抗分圧回路を構成し、ブリッジダイオードＤ１の出力端間に接続される。抵抗Ｒ５、Ｒ６からなる抵抗分圧回路の分圧点は、ヒステリシス回路５ａを介して第２スイッチ回路７の第２制御部ＩＣ３に接続される。分圧点における電圧値が、本発明の「検出値」に相当する。
【００３２】
図２に、ヒステリシス回路５ａの回路図を示す。ヒステリシス回路５ａは、ヒステリシスコンパレータであって、入力端Ｔ１と、出力端Ｔ２と、コンパレータＣＰ１と、抵抗Ｒ１１～Ｒ１４、抵抗Ｒｐとを備える。入力端Ｔ１は抵抗Ｒ５、Ｒ６からなる抵抗分圧回路の分圧点に接続され、出力端Ｔ２は第２制御部ＩＣ３に接続される。
【００３３】
ヒステリシス回路５ａは、入力端Ｔ１に入力される入力信号に応じて、第１レベル（ハイレベル）または第２レベル（ローレベル）の出力信号を出力する。具体的には、ヒステリシス回路５ａは、入力信号の電圧値（検出値）が所定の第１基準値を上回ると、出力信号を第１レベルから第２レベルに切り替え、検出値が所定の第２基準値を下回ると、出力信号を第２レベルから第１レベルに切り替える。第１基準値は、後述する「設定電圧値」に設定され、第２基準値は、ゼロ近辺の値、例えば、ゼロを含まない最小設定値に設定される。
【００３４】
再び図１を参照して、ダイオードＤ３は、アノードがブリッジダイオードＤ１の高電位側の出力端と抵抗Ｒ５との接続点に接続され、カソードが第２スイッチ回路７に含まれるコンデンサＣ１の一端（＋側）に接続される。
【００３５】
第２スイッチ回路７は、コンデンサＣ１および第２スイッチング素子Ｑ２からなる直列回路と、第２制御部ＩＣ３とを含む。第２スイッチング素子Ｑ２は、ＦＥＴ（本実施形態では、ＮチャネルＭＯＳＦＥＴ）であり、第２制御部ＩＣ３は、第２スイッチング素子Ｑ２の駆動回路である。
【００３６】
コンデンサＣ１は、一端（＋側）がダイオードＤ３のカソードおよび一次巻線Ｎ１の一

端に接続され、他端（－側）が第２スイッチング素子Ｑ２のドレインに接続される。第２スイッチング素子Ｑ２は、ゲートが第２制御部ＩＣ３の出力端子に接続され、ソースがブリッジダイオードＤ１の低電位側の出力端に接続される。

【００３７】

第２制御部ＩＣ３は、入力端子、出力端子およびフィードバック端子ＦＢ’を有する。入力端子はヒステリシス回路５ａの出力端Ｔ２に接続され、出力端子は第２スイッチング素子Ｑ２のゲートに接続され、フィードバック端子ＦＢ’は第１制御部ＩＣ１のフィードバック端子ＦＢに接続される。

【００３８】

第２制御部ＩＣ３は、判定処理と、第１制御処理と、第２制御処理とを実行する。判定処理において、第２制御部ＩＣ３は、第１制御部ＩＣ１のフィードバック端子ＦＢの端子電圧（ＦＢ電圧）に基づいて待機時か定格時かを判定する。第２制御部ＩＣ３は、ＦＢ電圧が所定の閾値（第１制御部ＩＣ１において設定された閾値）以下の場合に待機時と判定し、第１制御処理に移行する一方、ＦＢ電圧が上記閾値よりも大きい場合に定格時と判定して、第２制御処理に移行する。

【００３９】

第１制御処理において、第２制御部ＩＣ３は、ヒステリシス回路５ａから第１レベルの信号が入力されている間（第１期間）は第２スイッチング素子Ｑ２をオン状態にする一方、ヒステリシス回路５ａから第２レベルの信号が入力されている間（第２期間）は第２スイッチング素子Ｑ２をオフ状態にする。

【００４０】

換言すれば、図３に示すように、検出回路６で検出された検出値（抵抗Ｒ５、Ｒ６からなる抵抗分圧回路の分圧点における電圧値）が最小値（本実施形態では、ゼロ）から設定電圧値Ｖ１に達するまでの第１期間は、第２スイッチング素子Ｑ２がオン状態になる一方、検出値が設定電圧値Ｖ１を上回ってから再び最小値（本実施形態では、ゼロ）に達するまでの第２期間は、第２スイッチング素子Ｑ２がオフ状態になる。図３において、第１期間はｔ０～ｔ１、ｔ２～ｔ３、ｔ４～ｔ５の期間であり、第２期間はｔ１～ｔ２、ｔ３～ｔ４、ｔ５～ｔ６の期間である。

【００４１】

第１期間では、第２スイッチング素子Ｑ２がオン状態になってコンデンサＣ１は充電されるが、コンデンサＣ１の電圧はなだらかに上昇するため、コンデンサＣ１に対する急激な充電電流（突入電流）は発生しない。第１期間から第２期間に移行すると、コンデンサＣ１の電圧は、第２スイッチング素子Ｑ２がオフする直前の低い電圧に維持される。

【００４２】

第２期間では、第２スイッチング素子Ｑ２の寄生ダイオードにより、コンデンサＣ１に充電された電荷を放電するため放電経路が形成される（なお、第２スイッチング素子Ｑ２としてトランジスタを使用する場合は、コレクタ・エミッタ間にダイオードを接続する必要がある）。第２期間では、第１スイッチング素子Ｑ１がコンデンサＣ１の電圧をスイッチングして一次巻線Ｎ１に印加する。上記のとおり、コンデンサＣ１の電圧は第２スイッチング素子Ｑ２がオフする直前の低い電圧であるため、第１スイッチング素子Ｑ１の電流路（ドレイン・ソース間）に印加される電圧も低くなる。その結果、第１スイッチング素子Ｑ１のスイッチングロスが低減され、待機電力が改善される。

【００４３】

第２期間のうち、検出値が設定電圧値Ｖ１を下回ってからゼロに達するまでの期間に第２スイッチング素子Ｑ２をオン状態にしないのは、当該期間に第２スイッチング素子Ｑ２をオン状態にすると、コンデンサＣ１に対する急激な充電電流（突入電流）が発生し、電力損失が発生するためである。

【００４４】

第２制御処理において、第２制御部ＩＣ３は、第２スイッチング素子Ｑ２を連続オン状態にする。これにより、定格時（重負荷時）は、ブリッジダイオードＤ１の出力端間にコ

ンデンサＣ１が接続された状態となり、コンデンサＣ１が平滑用コンデンサとして機能する。

【００４５】

結局、本実施形態に係るスイッチング電源装置１Ａでは、待機時（軽負荷時）において、第２スイッチング素子Ｑ２がオン状態の第１期間に脈流電圧がコンデンサＣ１により平滑される一方で、第２スイッチング素子Ｑ２がオフ状態の第２期間は脈流電圧が平滑されない。コンデンサＣ１の電圧は第１期間の終了時点の低い電圧に維持されるので、第２期間において第１スイッチング素子Ｑ１の電流路に印加される電圧も低減される。

【００４６】

したがって、本実施形態に係るスイッチング電源装置１Ａによれば、第１スイッチング素子Ｑ１のスイッチングロスを低減することができ、高入力電圧時における待機電力を改善することができる。

【００４７】

［第２実施形態］

図４に、本発明の第２実施形態に係るスイッチング電源装置１Ｂを示す。スイッチング電源装置１Ｂは、ダイオードＤ３を有していない点、電圧変換回路２’がダイオードＤ４、Ｄ５を有している点において、第１実施形態と異なる。

【００４８】

ダイオードＤ４、Ｄ５は、カソード同士が接続されており、ブリッジダイオードＤ１の入力端間に設けられている。ダイオードＤ４、Ｄ５のカソード同士の接続点は、抵抗Ｒ５、Ｒ６からなる抵抗分圧回路の一端（抵抗Ｒ５側）に接続される。

【００４９】

本実施形態に係るスイッチング電源装置１Ｂによれば、第１実施形態と同様に、第１スイッチング素子Ｑ１のスイッチングロスを低減することができ、高入力電圧時における待機電力を改善することができる。

【００５０】

また、本実施形態に係るスイッチング電源装置１Ｂによれば、ダイオードＤ４、Ｄ５を有しているため、第１実施形態と比較して回路構成が大型化するものの、定格時（重負荷時）に、ダイオードＤ３による電力損失を回避することができる。

【００５１】

［変形例］

以上、本発明に係るスイッチング電源装置の実施形態について説明したが、本発明は上記実施形態に限定されるものではない。

【００５２】

本発明のスイッチング電源装置は、入力電圧を脈流電圧に変換する電圧変換回路と、トランスと、脈流電圧をスイッチングしてトランスの一次巻線に印加する第１スイッチング素子と、第１スイッチング素子を制御する第１制御部と、電圧変換回路の出力端間に接続されたコンデンサおよび第２スイッチング素子を含む直列回路と、第２スイッチング素子を制御する第２制御部と、脈流電圧を検出する検出回路と、を備えていればよい。

【００５３】

そして、第２制御部が、第１状態時か第１状態時よりも出力電圧の電圧値が大となる第２状態時かを判定する判定処理と、第１状態時に、検出回路の検出値が最小値から設定電圧値に達するまでの第１期間は第２スイッチング素子をオン状態にする一方、検出値が設定電圧値を上回ってから最小値に達するまでの第２期間は第２スイッチング素子をオフ状態にする第１制御処理と、第２状態時に、第２スイッチング素子を連続オン状態にする第２制御処理とを実行するのであれば、適宜構成を変更できる。

【００５４】

本発明のヒステリシス回路は、第１期間に第１レベルの信号を出力する一方、第２期間に第２レベルの信号を出力するのであれば、適宜構成を変更できる。

【００５５】

上記実施形態では、フライバックコンバータを例に挙げて説明したが、本発明は他の方式のスイッチング電源装置、例えば、フォワードコンバータ、ハーフブリッジコンバータ、フルブリッジコンバータ、プッシュプルコンバータ等にも適用できる。

【００５６】

上記実施形態では、第２制御部ＩＣ３と第１制御部ＩＣ１とを別の構成にしているが、単一の制御部として構成してもよい。また、第２制御部ＩＣ３がヒステリシス回路５ａの機能（ヒステリシス）を備えていてもよい。

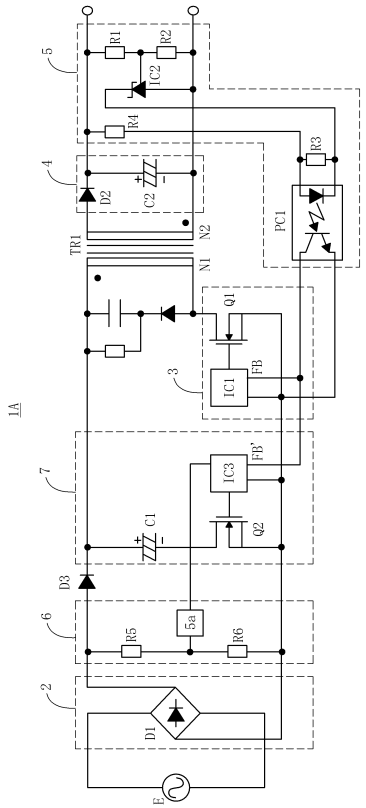
【符号の説明】

【００５７】

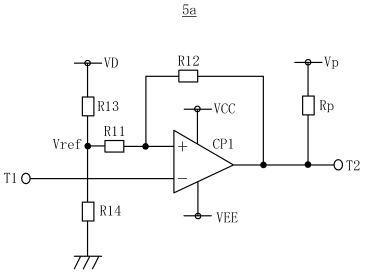
１Ａ、１Ｂ　スイッチング電源装置
２、２’　電圧変換回路
３　第１スイッチ回路
４　直流化回路
５　フィードバック回路
５ａ　ヒステリシス回路
６　検出回路
７　第２スイッチ回路

【図面】

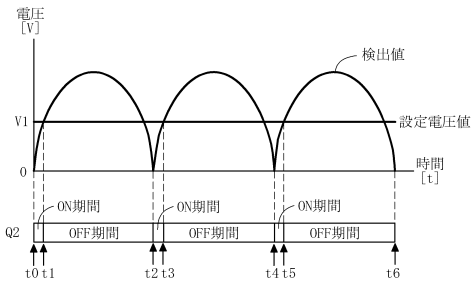
【図１】


R1
R2
IC2
R4
R3
D2
C2
PC1
TR1
N2
N1
Q1
FB
IC1
3
1A
7
IC3
FB'
C1
Q2
D3
6
5a
R5
R6
2
D1
E

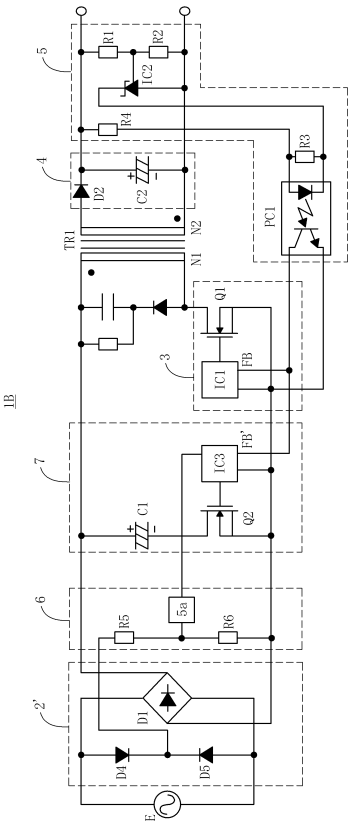
【図２】


5a
VD
R12
Vp
R13
VCC
Rp
Vref
R11
CP1
T1
T2
R14
VEE

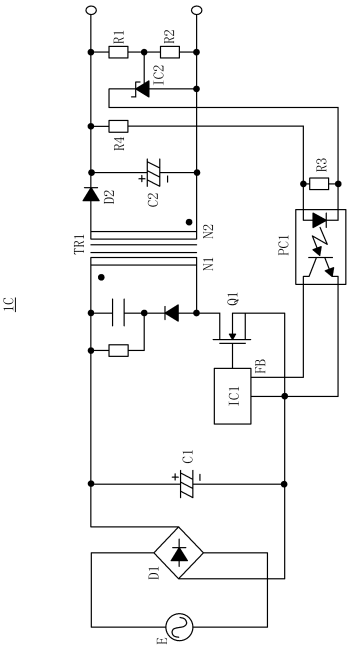
【図３】


電圧
[V]
検出値
V1
設定電圧値
0
時間
[t]
Q2
ON期間
ON期間
ON期間
OFF期間
OFF期間
OFF期間
t0 t1
t2 t3
t4 t5
t6

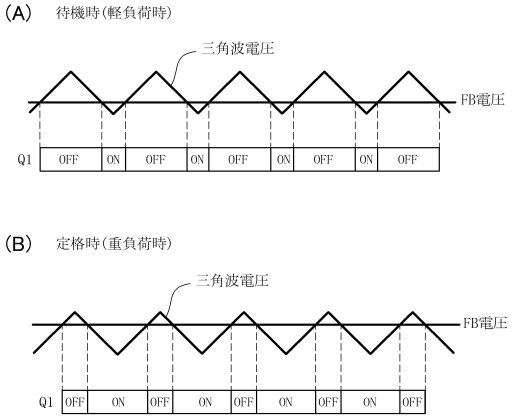
【図４】


R1
R2
5
IC2
R4
R3
4
D2
C2
PC1
TR1
N2
N1
Q1
FB
IC1
3
1B
7
IC3
FB'
C1
Q2
6
5a
R5
R6
2'
D1
D4
D5
E

【図５】


IC
R1
R2
IC2
R4
D2
C2
TR1
N2
N1
PC1
R3
Q1
FB
IC1
C1
D1
E

【図６】


(A) 待機時(軽負荷時)
三角波電圧
FB電圧
Q1
OFF
ON
OFF
ON
OFF
ON
OFF
ON
OFF
(B) 定格時(重負荷時)
三角波電圧
FB電圧
Q1
OFF
ON
OFF
ON
OFF
ON
OFF
ON
OFF

フロントページの続き

(56)参考文献　米国特許出願公開第２０１２／０２０１０５５（ＵＳ，Ａ１）
特開２００７－２０２３７０（ＪＰ，Ａ）
特開平１１－１８７６６５（ＪＰ，Ａ）
特開平０７－２８４２６９（ＪＰ，Ａ）
特開２０１４－１９２９５２（ＪＰ，Ａ）
米国特許出願公開第２０１７／０３５８９８８（ＵＳ，Ａ１）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　３／２８