



Patent dodatkowy
do patentu nr _____

Zgłoszono: 08.11.74 (P. 175449)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 03.07.76

Opis patentowy opublikowano: 15.06.1978

MKP H03k 21/06

Int. Cl.²
H03K 21/06

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Zdzisław Goleniewski, Mieczysław Bukowski, Jerzy Grela, Tomasz Andrzej Kachelski, Zygmunt Mirecki

Uprawniony z patentu: Centralne Biuro Konstrukcyjne Obrabiarek, Pruszków (Polska)

Układ dodajaco-odejmujący o wyjściu synchronicznym w przetworniku impulsowo-fazowym

1

Przedmiotem wynalazku jest układ dodajaco-odejmujący w przetworniku impulsowo-fazowym, mający zastosowanie w systemach sterowania numerycznego.

W znanych systemach sterowania numerycznego, jak Numeroblok, przetwornik impulsowo-fazowy zbudowany był z układu dodajaco-odejmującego i licznika. Na wejścia układu dodajaco-odejmującego podawane były dwa ciągi impulsów zegarowych α i β przesunięte względem siebie o pół okresu oraz impulsy sterujące z sygnałem znaku dodawania lub odejmowania. Na wejście licznika przychodziły impulsy z wyjścia układu dodajaco-odejmującego. Przy braku impulsów sterujących na wyjściu układu dodajaco-odejmującego występował ciąg impulsów zegarowych α .

W przypadku podawania impulsów sterujących z sygnałem znaku dodawania na wyjściu układu dodajaco-odejmującego pojawiał się ciąg impulsów stanowiący sumę ciągu impulsów zegarowych α i impulsów sterujących w fazie zgodnej z ciągiem impulsów β .

Natomiast przy podawaniu impulsów sterujących z sygnałem znaku odejmowania na wyjściu układu dodajaco-odejmującego pojawiał się ciąg impulsów stanowiących różnicę impulsów ciągu zegarowego α i impulsów sterujących.

Istota układu według wynalazku polega na tym, że składa się on z przerzutnika, elementu logicznego negującego, elementów iloczynu logicznego

2

oraz elementu sumy logicznej powiązanych w ten sposób, że wejście przyjmujące ciąg impulsów sterujących zanegowanych połączone jest z wejściami przerzutnika, z wejściem elementu logicznego negującego i z jednym z wejść elementu iloczynu logicznego, wejście wychodzące ze źródła ciągu impulsów zegarowych połączone jest z wejściem trigerowym przerzutnika i z wejściami elementów iloczynu logicznego, wejście podające sygnał znaku dodawania lub odejmowania połączone jest z wejściem elementu iloczynu logicznego, wyjście elementu logicznego negującego połączone jest z wejściem elementu iloczynu logicznego, wyjście przerzutnika połączone jest z wejściem elementu iloczynu logicznego, wejścia elementu sumy logicznej połączone są z wyjściami elementów iloczynu logicznego, a wyjście elementu sumy logicznej z wejściem licznika, przy czym wartość przesunięcia fazy impulsów na wyjściu licznika jest proporcjonalna do ilości impulsów sterujących na wejściu, zaś kierunek przesunięcia fazy impulsów na wyjściu licznika zależy od sygnału znaku dodawania lub odejmowania.

Zaletą techniczną układu dodajaco-odejmującego o wyjściu synchronicznym według wynalazku jest jego prostota, ponieważ wymaga on tylko jednego ciągu zegarowego, co wpływa na obniżenie częstotliwości generatora i zwiększenie pewności działania układu.

Układ według wynalazku jest przedstawiony w przykładzie wykonania przetwornika impulsowo-fazowego na rysunku w postaci schematu ideowego.

Składa się on z przerzutnika P typu J-K, elementu logicznego negującego N, elementu iloczyn logicznego I1, elementu iloczyn logicznego I2, elementu sumy logicznej S oraz licznika L. Wejście 1 połączone jest z wejściami J, K przerzutnika P, wejściem elementu logicznego negującego N i jednym z wejść elementu iloczyn logicznego I1. Wejście 2 połączone jest z wejściem triggerowym T przerzutnika P oraz z wejściami elementów iloczyn logicznego I1 i I2. Wyjście 4 elementu logicznego negującego N połączone jest z wejściem elementu iloczyn logicznego I2. Wyjście 5 przerzutnika P połączone jest z wejściem elementu iloczyn logicznego I1. Wejścia 6 i 7 elementu sumy logicznej S połączone są z wyjściami elementu iloczyn logicznego I1 i I2, a wyjście 8 elementu sumy logicznej S z wejściem licznika L. Na wejście 2 podawany jest ciąg impulsów zegarowych, natomiast na wejście 1 podawany jest ciąg impulsów sterujących zanegowanych o szerokości równej okresowi impulsów zegarowych na wejściu 2, oraz na wejście 3 sygnał znaku dodawania lub odejmowania.

Działanie przetwornika impulsowo-fazowego z układem dodajaco-odejmującym o wyjściu synchronicznym jest następujące:

— Jeżeli na wejściu 1 jest brak impulsów sterujących zanegowanych, to na wejściach J-K przerzutnika P i na wejściach elementów logicznych N i I1 występuje sygnał, który przyjmuje wartość logiczną „1” i niezależnie od wartości logicznej sygnału dodawania lub odejmowania przerzutnik P pracuje wówczas w układzie dwójki dzielącej, dzieląc ciąg impulsów zegarowych przez dwa. Spełniony jest wówczas iloczyn logiczny na elemencie I1 i na wyjściu 8 elementu sumy logicznej S otrzymujemy ciąg impulsów o częstotliwości o połowę mniejszej niż częstotliwość impulsów zegarowych na wejściu 2.

— Jeżeli na wejściu 1 występują impulsy sterujące zanegowane i jednocześnie na wejściu 3 sygnał znaku dodawania lub odejmowania przejmuje wartość logiczną „0” wówczas na czas trwania impulsu sterującego na wejściach J, K przerzutnika P i na wejściach elementów logicznych N i I1 występuje sygnał, który przyjmuje wartość logiczną „0” co powoduje, że wyjście 5 przerzutnika P nie zmienia stanu, nie są spełnione iloczyny logiczne na elementach I1 i I2 i dlatego na wyjściu 8 elementu sumy logicznej S otrzymujemy sygnał, który przyjmuje wartość logiczną „0”, co oznacza brak impulsów na wejściu licznika L na czas trwania każdego impulsu sterującego na wejściu 1, co odpowiada odejmowaniu impulsów sterujących od ciągu impulsów zegarowych.

— Jeżeli na wejściu 1 występują impulsy sterujące zanegowane i jednocześnie na wejściu 3 sygnał znaku dodawania lub odejmowania przyjmuje wartość logiczną „1” wówczas na czas trwania impulsu sterującego na wejściach J, K przerzutni-

ka P i na wejściach elementów logicznych N i I1 występuje sygnał, który przyjmuje wartość logiczną „0” co powoduje, że wyjście 5 przerzutnika P nie zmienia stanu, nie spełniony jest iloczyn logiczny na elemencie I1, natomiast spełniony jest iloczyn logiczny na elemencie I2 co powoduje, że na wyjściu 8 elementu sumy logicznej S otrzymujemy impuls zegarowy. To oznacza, że na wejściu 8 licznika L na czas trwania każdego impulsu sterującego otrzymujemy impulsy zegarowe nie podzielone przez dwa, co odpowiada dodawaniu impulsów sterujących na wejściu 1 do ciągu impulsów zegarowych na wejściu 2.

Przy braku impulsów sterujących na wejściu 1 na wyjściu 9 licznika L występują impulsy o częstotliwości impulsów zegarowych podzielonej przez podwójną wartość pojemności licznika L o stałej fazy. Przy podawaniu impulsów sterujących na wejście 1 w zależności od wartości logicznej sygnału znaku dodawania lub odejmowania następuje przesuwanie fazy impulsu na wyjściu 9 licznika L o wartość proporcjonalną do ilości impulsów sterujących na wejściu 1.

W przypadku dodawania impulsów sterujących do ciągu impulsów zegarowych następuje przyspieszenie fazy impulsów na wyjściu 9 licznika L, a w przypadku odejmowania impulsów sterujących od ciągu impulsów zegarowych następuje opóźnienie fazy impulsów na wyjściu 9 licznika L.

Zastrzeżenie patentowe

Układ dodajaco-odejmujący o wyjściu synchronicznym w przetworniku impulsowo-fazowym, mający zastosowanie w szczególności dla układów sterowania numerycznego i zawierający elementy logiczne kombinacyjne i pamięciowe, oraz licznik, znamienny tym, że składa się z przerzutnika (P), elementu logicznego negującego (N), elementów iloczyn logicznego (I1) i (I2) oraz elementu sumy logicznej (S) powiązanych w ten sposób, że wejście (1) przyjmujące ciąg impulsów sterujących zanegowanych połączone jest z wejściami (J-K) przerzutnika (P), z wejściem elementu logicznego negującego (N) i z jednym z wejść elementu iloczyn logicznego (I1), wejście (2) wychodzące ze źródła ciągu impulsów zegarowych połączone jest z wejściem triggerowym (T) przerzutnika (P) i z wejściami elementów iloczyn logicznego (I1) i (I2), wejście (3) podające sygnał znaku dodawania lub odejmowania połączone jest z wejściem elementu iloczyn logicznego (I2), wyjście (4) elementu logicznego negującego (N) połączone jest z wejściem elementu iloczyn logicznego (I2), wyjście (5) przerzutnika (P) połączone jest z wejściem elementu iloczyn logicznego (I1), wejścia (6) i (7) elementu sumy logicznej (S) połączone są z wyjściami elementów iloczyn logicznego (I1) i (I2), a wyjście (8) elementu sumy logicznej (S) z wejściem licznika (L), przy czym wartość przesunięcia fazy impulsów na wyjściu (9) licznika (L) jest proporcjonalna do ilości impulsów sterujących na wejściu (1), zaś kierunek przesunięcia fazy impulsów na wyjściu (9) licznika (L) zależy od sygnału znaku dodawania lub odejmowania na wejściu (3).

