

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 12 月 9 日(09.12.2010)

PCT

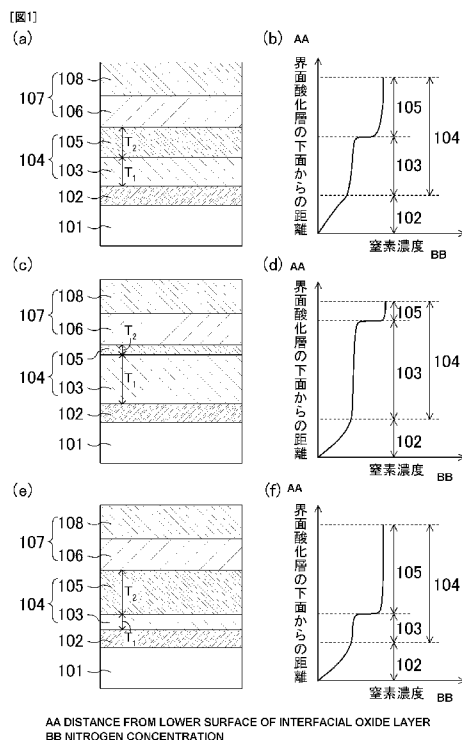
(10) 国際公開番号
WO 2010/140278 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 21/318 (2006.01)
- (21) 国際出願番号: PCT/JP2010/000103
- (22) 国際出願日: 2010 年 1 月 12 日(12.01.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-133473 2009 年 6 月 2 日(02.06.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中川博 (NAKAGAWA, Hiroshi). 鈴木純(SUZUKI, Jun).
- (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURE THEREOF

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: Disclosed is a semiconductor device comprising an interfacial oxide layer (102), a gate insulating film (104) and a gate electrode (107), provided in that order upon the upper surface of a semiconductor substrate (101). The gate insulating film (104) comprises a first highly dielectric film (103) and a second highly dielectric film (105). The first highly dielectric film (103) is provided on the interfacial oxide layer (102), and contains nitrogen. The second highly dielectric film (105) is provided on the first highly dielectric film (103), and contains nitrogen. The nitrogen concentration in the first highly dielectric film (103) is lower than that in the second highly dielectric film (105).

(57) 要約: 半導体基板(101)の上面上に、界面酸化層(102)、ゲート絶縁膜(104)及びゲート電極(107)が順に設けられている。ゲート絶縁膜(104)は、第1の高誘電体膜(103)と第2の高誘電体膜(105)とを有している。第1の高誘電体膜(103)は、界面酸化層(102)の上に設けられ、窒素を含有している。第2の高誘電体膜(105)は、第1の高誘電体膜(103)の上に設けられ、窒素を含有している。第1の高誘電体膜(103)における窒素濃度は、第2の高誘電体膜(105)における窒素濃度よりも低い。

WO 2010/140278 A1

WO 2010/140278 A1



NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, 添付公開書類:

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, — 国際調査報告 (条約第 21 条(3))
TD, TG).

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、詳細には高誘電体膜をゲート絶縁膜とする半導体装置及びその製造方法に関する。

背景技術

[0002] MOSFET (metal oxide semiconductor field-effect transistor) の高速化に伴い、電界一定スケーリング則に従ってトランジスタの微細化が進行している。MOSFETの性能は、電流駆動能力 G_m で表すことができ、キャリア移動度 μ 、ゲート幅 W 及びキャパシタ（ゲート電極、ゲート絶縁膜及びシリコン基板からなる）の静電容量 C_{ox} に比例し、ゲート長 L に反比例する。また、キャパシタの静電容量 C_{ox} は、 $C_{ox} = \epsilon_0 \cdot \epsilon \cdot (S/d)$ （ ϵ_0 ：真空の誘電率、 ϵ ：ゲート絶縁膜の比誘電率、 S ：ゲート面積、 d ：ゲート絶縁膜の膜厚）で表される。よって、ゲート絶縁膜の膜厚 d を薄くすれば、又は、ゲート長 L を短くすれば、MOSFETの性能を向上させることができる。従って、MOSFETの高性能化を実現させるために、シリコン酸化膜及びシリコン酸窒化膜等からなるゲート絶縁膜が薄膜化されており、ポリシリコン等からなるゲート電極のゲート長が短縮化されている。

[0003] しかし、MOSFETの高性能化には、以下の様な課題がある。ゲート絶縁膜の膜厚を2 nm以下まで薄くすると、直接トンネル電流が増加するので、ゲート電圧印加時におけるゲート絶縁膜の絶縁耐性が著しく劣化する。そのため、MOSFETの消費電力が増加する。このように、ゲート絶縁膜の膜厚を薄くすると、MOSFETの高性能化及び低消費電力化を図ることが難しい。

[0004] ここで、上述のように、キャパシタの静電容量 C_{ox} は $C_{ox} = \epsilon_0 \cdot \epsilon \cdot (S/d)$ で表される。よって、ゲート絶縁膜として従来のシリコン酸化膜（ ϵ ：3.9）及びシリコン酸窒化膜（ ϵ ：3.9～7）よりも比誘電率の大き

な高誘電率ゲート絶縁膜（H i g h - k 膜）を用いれば、実効ゲート容量を維持しつつゲート絶縁膜の物理的膜厚を厚くすることができるので、直接トンネル電流を抑制することができる。

[0005] H i g h - k 膜としては、ハフニウム酸化膜（H f O₂膜）、ジルコニウム酸化膜（Z r O₂膜）、アルミナ膜（A l₂O₃膜）及び希土類金属酸化物からなる膜等が注目されており、さらには、これらのシリケート膜及びアルミネート膜が注目されている。その中でも、H f O₂膜及びH f S i O膜は、比誘電率が比較的高く、バンドギャップが5 e V以上であり、シリコン基板との電子障壁高さが高いことから、次世代の高誘電率ゲート絶縁膜として最も有力である。

[0006] 更に、M O S F E Tの微細化に伴い、ポリシリコンからなるゲート電極の空乏化を無視することができず、よって、ゲート容量の増加を図ることが難しい。そこで、ゲート電極として、ポリシリコン電極からメタル電極（空乏層による影響が無視できる）への置換が図られている。このように、次世代のゲート構造としては、H i g h - k 膜の上にメタル電極が形成された構造が有力である。

先行技術文献

特許文献

[0007] 特許文献1：特開2004-031760号公報

発明の概要

発明が解決しようとする課題

[0008] 一般に、H i g h - k 膜は、低温で成膜される。そのため、H f O₂膜及びH f S i O膜が成膜されると、酸素及び窒素雰囲気中において高温熱処理（P D A、P D Aはpost-deposition annealの略語）が行われる。この高温熱処理により、H i g h - k 膜を緻密化させることができ、また、H i g h - k 膜における酸素欠損を補償することができる。

[0009] しかし、この高温熱処理時に、H i g h - k 膜の結晶化又はH i g h - k

膜における相分離の発生などの問題が招来する。この問題は、ゲート電極に打ち込まれたボロン又はリンを活性化させるときに行う高速熱処理時においても、起こりうる。H i g h - k 膜の結晶化又はH i g h - k 膜における相分離が進行すると、H i g h - k 膜中に存在する結晶粒界を介してリーク電流が流れる虞があり、また、ゲート絶縁膜における比誘電率の不均一に起因してゲート絶縁膜の静電容量にばらつきが生じる。このような不具合を解消させる手段としてH i g h - k 膜に窒素を混入させるという手段が知られており、これにより、H i g h - k 膜の熱安定性を向上させることができる。

[0010] ところが、H i g h - k 膜の窒化時に、その窒素原子は、H i g h - k 膜内から半導体基板との界面まで到達し、半導体基板を構成する半導体（多くの場合シリコン）と結合する。このことは、半導体基板に対して熱処理を行った場合にも起こり得る。そのため、半導体基板とH i g h - k 膜との界面における欠陥密度の増大、H i g h - k 膜中に存在する固定電荷による閾値電圧の変動及びキャリア移動度の劣化等が招来する。つまり、M O S F E T の特性劣化を招来する。

[0011] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、ゲート絶縁膜としてH i g h - k 膜を用いた半導体装置及びその製造方法において、半導体装置の性能劣化を伴うことなく装置の微細化を図ることにある。

課題を解決するための手段

[0012] 本発明の半導体装置では、半導体基板の上面上に、界面酸化層、ゲート絶縁膜及びゲート電極が順に設けられている。ゲート絶縁膜は、界面酸化層の上に設けられた第1の高誘電体膜と、第1の高誘電体膜の上に設けられた第2の高誘電体膜とを有している。第1及び第2の高誘電体膜は窒素を含有しており、第1の高誘電体膜における窒素濃度は第2の高誘電体膜における窒素濃度よりも低い。

[0013] このような半導体装置では、第1の高誘電体膜を備えていない半導体装置に比べて、窒素が半導体基板と界面酸化層との界面まで拡散することを防止

できる。

[0014] また、このような半導体装置では、第2の高誘電体膜を備えていない半導体装置に比べて、熱処理時における高誘電体膜の結晶化及び相分離を抑制することができる。

[0015] 本発明の半導体装置では、第1の高誘電体膜はハフニウムと酸素とを含有していることが好ましく、第2の高誘電体膜はハフニウムと酸素とを含有していることが好ましい。そして、第1の高誘電体膜におけるハフニウムに対する酸素の原子比を a とし第2の高誘電体膜におけるハフニウムに対する酸素の原子比を b としたとき、 $b/a \leq 1$ であることが好ましい。これにより、比較的簡便な手法を用いて、第1の高誘電体膜における窒素濃度を第2の高誘電体膜における窒素濃度よりも低くすることができる。

[0016] 後述の好ましい実施形態では、第1の高誘電体膜は、ハフニウムとは異なる第1の金属を含有している。第2の高誘電体膜は、ハフニウムとは異なる第2の金属を含有している。第1及び第2の金属は、Al、La、Zr、Ti、Ta、Mg、Ge及びYの少なくとも1つである。

[0017] 本発明の半導体装置の製造方法では、半導体基板の上面上に、界面酸化層、ゲート絶縁膜及びゲート電極を順に設ける。このとき、ゲート絶縁膜を設ける工程では、界面酸化層の上に第1及び第2の高誘電体材料膜を順に設けた後、第1の高誘電体材料膜に窒素を混入して第1の高誘電体膜を形成し、第2の高誘電体材料膜に窒素を混入して第1の高誘電体膜よりも窒素濃度が高い第2の高誘電体膜を形成する。

[0018] 本発明の半導体装置の製造方法では、ハフニウムを含む第1のガスと酸素を含む第1の酸化剤とを用いて第1の高誘電体材料膜を形成することが好ましく、ハフニウムを含む第2のガスと酸素を含む第2の酸化剤とを用いて第2の高誘電体材料膜を形成することが好ましい。このとき、第1の高誘電体材料膜におけるハフニウムに対する酸素の原子比を a とし第2の高誘電体材料膜におけるハフニウムに対する酸素の原子比を b としたときに $b/a \leq 1$ となるように、第1の高誘電体材料膜及び第2の高誘電体材料膜を形成する

ことが好ましい。これにより、第1の高誘電体材料膜における酸素濃度を第2の高誘電体材料膜における酸素濃度よりも高くすることができる。よって、第1の高誘電体材料膜に混入される窒素量を第2の高誘電体材料膜に混入される窒素量よりも少なくすることができる。

[0019] 本発明の半導体装置の製造方法では、第1の高誘電体材料膜を形成する工程では、界面酸化層の上面上に第1のガスを第1の時間供給する工程と、界面酸化層の上面上に第1の酸化剤を第2の時間供給する工程とを繰り返し行えば良く、第2の高誘電体材料膜を形成する工程では、第1の高誘電体材料膜の上面上に第2のガスを第3の時間供給する工程と、第1の高誘電体材料膜の上面上に第2の酸化剤を第4の時間供給する工程とを繰り返し行えば良い。このとき、 $b/a \leq 1$ とするためには次に示す2つの方法のうちの何れか1つを選択すれば良い。1つ目の方法では、第1のガスを第2のガスと同一のガスとし、第1の酸化剤を第2の酸化剤と同一の酸化剤とし、第2の時間を第4の時間よりも長くする。2つ目の方法では、第1のガスとしてテトラキスジメチルアミノハフニウムを用い、第1の酸化剤としてオゾンを用い、第2のガスとしてテトラクロロハフニウムを用い、第2の酸化剤として水を用いる。

発明の効果

[0020] 本発明によれば、半導体装置の性能劣化を伴うことなく半導体装置の微細化を図ることができる。

図面の簡単な説明

[0021] [図1]図1(a)、図1(c)及び図1(e)は、それぞれ、本発明の一実施形態に係る半導体装置の断面図であり、図1(b)、図1(d)及び図1(f)は、それぞれ、図1(a)、図1(c)及び図1(e)に示す半導体装置における窒素濃度プロファイルを示すグラフ図である。

[図2]図2(a)～(e)は、本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図3]図3は、HfSiO膜の膜厚とHfSiO膜中におけるO/Hf原子比

との関係を示すグラフ図である。

[図4] 図4は、H f S i O膜の膜厚とH f S i O膜中における窒素濃度との関係を示すグラフ図である。

[図5] 図5は、シリコン酸化膜換算膜厚とリーク電流 J_g との関係を示すグラフ図である。

発明を実施するための形態

[0022] 以下、本発明の実施形態に係る半導体製造装置及びその製造方法について、図面を参照しながら説明する。なお、本発明は、以下に示す実施形態に限定されない。

[0023] 図1(a)、図1(c)及び図1(e)は、それぞれ、本発明の実施形態に係る半導体装置の断面図であり、図1(b)、図1(d)及び図1(f)は、それぞれ、図1(a)、図1(c)及び図1(e)に示す半導体装置における窒素濃度プロファイルを示すグラフ図である。

[0024] 図1(a)、図1(c)及び図1(e)に示すように、本実施形態に係る半導体装置では、シリコン等からなる半導体基板101の上面上に、界面酸化層102、ゲート絶縁膜104及びゲート電極107がこの順に設けられている。

[0025] 界面酸化層102は、シリコン酸化膜又はシリコン酸窒化膜であり、1.5 nm以下の膜厚を有している。ゲート電極107は、メタルゲート電極106とポリシリコン電極108とで構成されている。メタルゲート電極106は、ゲート絶縁膜104の上面上に設けられており、例えばTiN、TiAlN、TaC又はTaCNからなる。ポリシリコン電極108は、メタルゲート電極106の上面上に設けられており、ヒ素又はボロンなどの不純物を含んでいる。ゲート絶縁膜104について以下に詳述する。

[0026] ゲート絶縁膜104は、第1の高誘電体膜103と第2の高誘電体膜105とで構成されている。第1の高誘電体膜103は、界面酸化層102の上面上に設けられており、HfO₂膜又はHfSiO膜に窒素が含有されたものである。第2の高誘電体膜105は、第1の高誘電体膜103の上面上に設

けられており、 HfO_2 膜又は HfSiO 膜に窒素が含有されたものである。

[0027] 第1の高誘電体膜103における窒素濃度は第2の高誘電体膜105における窒素濃度よりも低く、その差は1原子%以上であることが好ましい。これにより、窒素がゲート絶縁膜104から半導体基板101へ拡散することを防止できる。

[0028] 詳細には、ゲート絶縁膜が第2の高誘電体膜のみからなる場合、界面酸化層には第2の高誘電体膜（窒素濃度が高い高誘電体膜）が接することになる。そのため、このような半導体装置では、窒素がゲート絶縁膜から界面酸化層と半導体基板との界面まで拡散するので、半導体基板を構成する半導体と窒素とが結合する虞がある。よって、MOSFETの特性劣化を招来する。

[0029] また、ゲート絶縁膜が第1の高誘電体膜のみからなる場合、窒素が半導体基板へ拡散することを防止できる。しかし、この場合、ゲート絶縁膜を形成した後に熱処理を行うと、 HfSiO 膜の結晶化、 HfSiO 膜における相分離及び不純物の突き抜け等を招来する虞がある。また、この場合、 HfSiO 膜中の酸素欠損等を補償することが難しい。

[0030] 一方、本実施形態では、第1の高誘電体膜103が界面酸化層102と第2の高誘電体膜105との間に設けられている。つまり、界面酸化層102には第1の高誘電体膜103が接することになる。よって、本実施形態に係る半導体装置では、窒素がゲート絶縁膜104から界面酸化層102と半導体基板101との界面まで拡散することを抑制できるので、その窒素が半導体基板101を構成する半導体（本実施形態ではシリコン）と結合することを抑制できる。従って、半導体基板101とゲート絶縁膜104との界面における欠陥密度の増大を防止することができ、第1の高誘電体膜103及び第2の高誘電体膜105中に存在する固定電荷による閾値電圧の変動を防止することができ、キャリア移動度の劣化等を防止することができる。つまり、MOSFETの特性劣化を防止することができる。

[0031] また、本実施形態では、第2の高誘電体膜105が第1の高誘電体膜103の上面上に設けられている。よって、本実施形態に係る半導体装置では、

ゲート絶縁膜 104 を形成した後に熱処理を行っても、ゲート絶縁膜 104 において H f S i O 膜が結晶化することを防止でき、ゲート絶縁膜 104 において H f S i O 膜が相分離を起こすことを防止でき、不純物が半導体基板 101 へ突き抜けることを防止できる。また、ゲート絶縁膜 104 では、特に第 2 の高誘電体膜 105 では、H f S i O 膜中の酸素欠損等を補償することができる。

[0032] 窒素は、第 1 の高誘電体膜 103 内において均一に分布しており、第 2 の高誘電体膜 105 内において均一に分布している。そのため、窒素濃度は、第 1 の高誘電体膜 103 と第 2 の高誘電体膜 105 との界面において急激に変化する。第 1 の高誘電体膜 103 の膜厚と第 2 の高誘電体膜 105 の膜厚との比を変更すれば、ゲート絶縁膜 104 における窒素濃度プロファイルを変更することができる。

[0033] 例えば、図 1 (a) に示すように第 2 の高誘電体膜 105 の膜厚 T_2 に対する第 1 の高誘電体膜 103 の膜厚 T_1 の比率が 1 であれば ($T_1 \doteq T_2$)、窒素濃度は、図 1 (b) に示すように、ゲート絶縁膜 104 の膜厚方向における中央において急激に変化する。

[0034] また、図 1 (c) に示すように第 2 の高誘電体膜 105 の膜厚 T_2 に対する第 1 の高誘電体膜 103 の膜厚 T_1 の比率が 1 よりも大きければ ($T_1 > T_2$)、窒素濃度は、図 1 (d) に示すように、ゲート絶縁膜 104 の膜厚方向における中央よりもゲート電極 107 に近い位置において急激に変化する。この場合、ゲート絶縁膜 104 における第 1 の高誘電体膜 103 の占有率は、図 1 (a) に示す場合よりも高い。よって、図 1 (a) に示す場合に比べて、窒素がゲート絶縁膜 104 から界面酸化層 102 と半導体基板 101 との界面まで拡散することを抑制することができる。

[0035] また、図 1 (e) に示すように第 2 の高誘電体膜 105 の膜厚 T_2 に対する第 1 の高誘電体膜 103 の膜厚 T_1 の割合が 1 よりも小さければ ($T_1 < T_2$)、窒素濃度は、図 1 (f) に示すように、ゲート絶縁膜 104 の膜厚方向における中央よりも界面酸化層 102 に近い位置において急激に変化する。

- [0036] なお、第1の高誘電体膜103は、ハフニウム以外の金属（第1の金属）を含有していても良く、例えば、Al、La、Zr、Ti、Ta、Mg、Ge及びYの少なくとも一つを含んでいても良い。また、第2の高誘電体膜105は、ハフニウム以外の金属（第2の金属）を含有していても良く、例えば、Al、La、Zr、Ti、Ta、Mg、Ge及びYの少なくとも一つを含んでいても良い。
- [0037] 以下では、図2（a）～（e）を参照しながら、本実施形態に係る半導体装置の製造方法を説明する。図2（a）～（e）は、本実施形態に係る半導体装置の製造方法を工程順に示す断面図である。
- [0038] まず、図2（a）に示す工程では、 NH_4OH 、 H_2O_2 及び H_2O を用いて、シリコン等からなる半導体基板101の上面を洗浄する。その後、例えば熱酸化法を用いて、半導体基板101の上面上に、膜厚が1.5nm以下のシリコン酸化膜又はシリコン酸窒化膜を形成する。これにより、半導体基板101の上に界面酸化層102が形成される（工程（a））。このとき、 O_2 、 N_2O 又はNOガスを用い、且つ、処理温度を $700^\circ\text{C} \sim 1000^\circ\text{C}$ として、シリコン酸化膜又はシリコン酸窒化膜を形成すれば良い。
- [0039] 次に、図2（b）に示す工程では、界面酸化層102の上面上に HfO_2 膜又は HfSiO 膜からなる第1の高誘電体材料膜103Aを形成する（工程（b1））。
- [0040] 続いて、図2（c）に示す工程では、第1の高誘電体材料膜103Aの上面上に HfO_2 膜又は HfSiO 膜からなる第2の高誘電体材料膜105Aを形成する（工程（b2））。このとき、第2の高誘電体材料膜105AにおけるHfに対するOの原子比は、第1の高誘電体材料膜103AにおけるHfに対するOの原子比以下である。好ましくは、第1の高誘電体材料膜103AにおけるHfに対するOの原子比をaとし、第2の高誘電体材料膜105AにおけるHfに対するOの原子比をbとしたとき、 $b/a \leq 1$ を満たしている。
- [0041] 続いて、図2（d）に示す工程では、半導体基板101の温度が $20 \sim 1$

50℃下において、窒素を含有するプラズマ201を第2の高誘電体材料膜105Aの表面に照射する。これにより、第1の高誘電体材料膜103Aに窒素が添加されて第1の高誘電体膜103が形成され、第2の高誘電体材料膜105Aに窒素が添加されて第2の高誘電体膜105が形成され、第1の高誘電体膜103及び第2の高誘電体膜105からなるゲート絶縁膜104が形成される（工程（b3））。このとき、第1の高誘電体材料膜103Aには第2の高誘電体材料膜105Aよりも少量の窒素が添加されるので、第1の高誘電体膜103における窒素濃度は第2の高誘電体膜105における窒素濃度よりも低くなる。第2の高誘電体膜105中の窒素濃度は、20原子%以下であることが好ましい。

[0042] その後、酸素雰囲気中又は窒素雰囲気中において、熱処理温度を800～1100℃とする高温熱処理を行っても良い。これにより、第1及び第2の高誘電体膜103、105の緻密化を図ることができ、第1及び第2の高誘電体膜103、105からの窒素抜けを防止することができる。

[0043] それから、図2（e）に示す工程では、第2の高誘電体膜105の上面上にTiN膜、TiAlN膜、TaC膜又はTaCN膜を形成する。これにより、第2の高誘電体膜105の上面上にメタルゲート電極106が形成される。その後、メタルゲート電極106の上面上にリン、ヒ素又はボロン等の導電性を有する不純物を含んだシリコン膜を形成する。これにより、メタルゲート電極106の上面上にポリシリコン電極108が形成され、メタルゲート電極106及びポリシリコン電極108からなるゲート電極107が形成される。

[0044] 以下では、第1の高誘電体膜103及び第2の高誘電体膜105の成膜方法を詳細に説明する。まず、第1の高誘電体材料膜103A及び第2の高誘電体材料膜105Aの製造方法を説明する。

[0045] 第1の高誘電体材料膜103A及び第2の高誘電体材料膜105Aは、原子層蒸着（Atomic Layer Deposition）法を用いて作製されることが好ましい。具体的には、第1の高誘電体材料膜103AがHfO₂膜である場合には、

界面酸化層 102 の上面上に第 1 のガス（ハフニウムを含むガス）を第 1 の時間供給する工程と界面酸化層 102 の上面上に第 1 の酸化剤（酸素を含む）を第 2 の時間供給する工程とを交互に繰り返せば良い。また、第 1 の高誘電体材料膜 103 A が HfSiO 膜である場合には、第 1 のガスとシリコンガスとを同時に供給しても良く、第 1 のガスを供給する工程と第 1 の酸化剤を供給する工程との間にシリコンガスを第 1 の時間供給しても良い。

[0046] 同じく、第 2 の高誘電体材料膜 105 A が HfO₂ 膜である場合には、第 1 の高誘電体材料膜 103 A の上面上に第 2 のガス（ハフニウムを含むガス）を第 3 の時間供給する工程と第 1 の高誘電体材料膜 103 A の上面上に第 2 の酸化剤（酸素を含む）を第 4 の時間供給する工程とを交互に繰り返せば良い。また、第 2 の高誘電体材料膜 105 A が HfSiO 膜である場合には、第 2 のガスとシリコンガスとを同時に供給しても良く、第 2 のガスを供給する工程と第 2 の酸化剤を供給する工程との間にシリコンガスを第 3 の時間供給しても良い。ここで、第 1 のガスと第 2 のガスとが同じであり、且つ、第 1 の酸化剤と第 2 の酸化剤とが同じである場合、第 2 の時間を第 4 の時間よりも長くすれば良い。第 2 の時間及び第 4 の時間は酸素を供給する時間であるので、第 2 の時間を第 4 の時間よりも長くすれば $b/a \leq 1$ とすることができる。なお、 $b/a \leq 1$ とする方法はこの方法に限定されない。後述のように、第 1 のガス及び第 2 のガスのそれぞれの材料を最適化するとともに第 1 の酸化剤及び第 2 の酸化剤のそれぞれの材料を最適化しても良い。

[0047] 第 1 のガス及び第 2 のガスとしては、例えば、TDMAハフニウム（TDMAHf（テトラキスジメチルアミノハフニウム, tetrakis(dimethylamino) hafnium））、HfCl₄（四塩化ハフニウム）、TEMAハフニウム（テトラキスエチルメチルアミノハフニウム, tetrakis(ethylmethylamino) hafnium）及びハフニウム（MMP）₄〔テトラキス（1-メトキシ-2-メチル-2-プロポキシ）ハフニウム, (Tetrakis 1-Methoxy-2-methyl-2-propoxy hafnium)〕のうちの少なくとも一つを選択することが好ましい。

[0048] 第 1 の酸化剤及び第 2 の酸化剤としては、O₃（オゾン）及びH₂O（水）

の少なくとも一つを選択することが好ましい。

[0049] シリコンガスとしては、3 D M A S（トリスジメチルアミノシラン, trisd imethyl amino silane）、S i C l₄（四塩化ケイ素）及びS i（MMP）₄〔テトラキス（１－メトキシ－２－メチルー２－プロポキシ）シリコン〕のうちの少なくとも一つを選択することが好ましい。

[0050] 本実施形態では、第１の高誘電体材料膜１０３Ａと第２の高誘電体材料膜１０５Ａとにおいて酸素濃度が互いに異なるので、第１の高誘電体材料膜１０３Ａに添加される窒素の量と第２の高誘電体材料膜１０５Ａに添加される窒素の量とが互いに異なる。具体的には、高誘電体材料膜中におけるハフニウムに対する酸素の原子比が小さいほど（つまり、高誘電体材料膜中における酸素欠損量が大きいほど）、窒素を含有するプラズマを照射したときには多くの窒素の量が添加される。よって、高誘電体材料膜中におけるハフニウムに対する酸素の原子比を制御すれば、窒素を含有するプラズマを照射したときに添加される窒素の量を制御することができる。従って、ハフニウムに対する酸素の原子比が大きい高誘電体材料膜（つまり第１の高誘電体材料膜１０３Ａ）を下層に形成し、ハフニウムに対する酸素の原子比が小さい高誘電体材料膜（つまり第２の高誘電体材料膜１０５Ａ）を上層に形成すれば、ゲート絶縁膜１０４のうち半導体基板１０１の近くに位置する部分の窒素濃度をゲート絶縁膜１０４のうちゲート電極１０７の近くに位置する部分の窒素濃度よりも低くすることができる。よって、窒素がゲート絶縁膜１０４から半導体基板１０１と界面酸化層１０２との界面まで拡散することを防止できる。また、第１及び第２の高誘電体膜１０３、１０５が窒素を含有しているので、後の工程において半導体基板１０１に熱処理を施しても第１及び第２の高誘電体膜１０３、１０５の結晶化を抑制できるとともに第１及び第２の高誘電体膜１０３、１０５における相分離の発生を抑制できる。

[0051] 従来、高誘電体材料膜中のハフニウムに対する酸素の原子比を変更すれば高誘電体材料膜中への窒素の添加量を変更することができるということは、知られていなかった。本願発明者らは、高誘電体材料膜中のハフニウムに対

する酸素の原子比を制御するために高誘電体材料膜の成膜方法に着目して、本願発明を想到した。以下、その詳細について説明する。

[0052] 図3は、HfSiO膜の膜厚とHfSiO膜中におけるハフニウムに対する酸素の原子比との関係を示すグラフ図であり、EPMA (Electron Probe Micro Analyzer) を用いて測定された結果である。図3中の線(a)及び線(b)はどちらもALD法を用いてHfSiO膜を作製した場合の結果であり、線(a)と線(b)とでは材料ガスが互いに異なる。

[0053] 具体的には、図3中の線(a)は、ハフニウムを含むガスとしてTDMAハフニウムを用い、シリコンガスとして3DMA Sを用い、酸化剤としてオゾンを用いてHfSiO膜を作製した場合の結果である。図3中の線(b)は、ハフニウムを含むガスとしてHfCl₄を用い、シリコンガスとしてSiCl₄を用い、酸化剤としてH₂Oを用いてHfSiO膜を作製した場合の結果である。

[0054] なお、シリコンガスとして炭素を含むガス(3DMA S)を用いてHfSiO膜を形成すると、そのHfSiO膜中には3原子%以下程度の炭素が残留する場合がある。また、シリコンガスとして塩素を含むガス(SiCl₄)を用いてHfSiO膜を形成すると、そのHfSiO膜中には3原子%以下程度の塩素が残留する場合がある。シリコンガスとして塩素を含むガスを用いてHfSiO膜を形成するとき、そのHfSiO膜の堆積時に塩素の脱ガス化を行えば、HfSiO膜中には欠陥が形成される。ここで、塩素の原子半径は、窒素の原子半径よりも大きい。そのため、HfSiO膜中には窒素よりも大きな欠陥が形成されることになるので、このようなHfSiO膜には多くの窒素を添加することができる。

[0055] 図3に示す線(a)及び線(b)を比較すると、ハフニウムを含むガスとしてTDMAハフニウムを用い酸化剤としてオゾンを用いてHfSiO膜を作製した場合(線(a))、HfSiO膜中におけるハフニウムに対する酸素の原子比は5.5~6程度である。一方、ハフニウムを含むガスとして4塩化ハフニウムを用い酸化剤として水を用いてHfSiO膜を作製した場合

(線 (b))、H f S i O 膜中におけるハフニウムに対する酸素の原子比が 4.5 ～ 5 程度である。これにより、線 (a) に示す H f S i O 膜の方が線 (b) に示す H f S i O 膜よりも多くの酸素を含有している、つまり、線 (a) に示す H f S i O 膜の方が線 (b) に示す H f S i O 膜よりも酸素欠損が少ない、ということが分かる。このように H f S i O 膜の材料ガスを変更すれば、H f S i O 膜中におけるハフニウムに対する酸素の原子比を変更することができる。

[0056] 図 4 は、H f S i O 膜の膜厚と H f S i O 膜中における窒素濃度との関係を示すグラフ図であり、X 線電子分光法 (X-ray photoelectron spectroscopy) により測定された結果である。図 4 中の線 (a) 及び線 (b) には何れも、窒素を含有するプラズマを高誘電体材料膜に照射した後に窒素雰囲気中において 1000℃ 以上で熱処理を行うことにより得られた H f S i O 膜中の窒素濃度とその膜厚との関係を示している。図 4 中の線 (a) は高誘電体材料膜として図 3 中の線 (a) に示す高誘電体材料膜を使用した場合の結果であり、図 4 中の線 (b) は高誘電体材料膜として図 3 中の線 (b) に示す高誘電体材料膜を使用した場合の結果である。

[0057] 図 4 に示す線 (a) 及び線 (b) を比較すると、図 4 中の線 (b) に示す H f S i O 膜中には図 4 中の線 (a) に示す H f S i O 膜中よりも 1 ～ 2 原子% 程度多くの窒素が添加されている。この結果から、ハフニウムに対する酸素の原子比が低い H f S i O 膜、つまり、膜中の酸素欠損量が多い H f S i O 膜には多くの窒素原子が添加されるということが分かる。

[0058] 以上より、本願発明者らは、酸素欠損量が少ない H f S i O 膜 (図 3 の線 (a) に示す H f S i O 膜) を半導体基板 101 に近い位置に配置し、酸素欠損量が多い H f S i O 膜 (図 3 の線 (b) に示す H f S i O 膜) をゲート電極 107 に近い位置に配置すれば、半導体基板 101 に近い位置には窒素濃度が低い H f S i O 膜を形成することができ、ゲート電極 107 に近い位置には窒素濃度が高い H f S i O 膜を形成することができるということを見出した。

- [0059] 図5は、シリコン酸化膜換算膜厚（EOT, equivalent oxide thickness）とリーク電流 J_g との関係を示すグラフ図である。シリコン酸化膜換算膜厚とは、ゲート絶縁膜の材料がシリコン酸化物であると仮定してゲート容量から逆算して得られる絶縁膜の膜厚のことである。
- [0060] 図5中の点（A）には、本実施形態に係る半導体装置を用いた場合の結果を示している。具体的には、シリコンからなる半導体基板の表面上に、1.5 nm以下の膜厚を有するシリコン酸化膜と、第1及び第2の高誘電体膜からなるゲート絶縁膜と、TiNからなるメタルゲート電極及びリン等の不純物を含むポリシリコン電極からなるゲート電極とが順に設けられている。ここで、第1の高誘電体膜は、TDMAハフニウム及びオゾンを用いて形成された第1の高誘電体材料膜に窒素が添加されたものである。第2の高誘電体膜は、 $HfCl_4$ 及び H_2O を用いて形成された第2の高誘電体材料膜に窒素が添加されたものである。第1の高誘電体膜の膜厚と第2の高誘電体膜の膜厚との膜厚比は、1：1である。
- [0061] また、図5中の線（B）には、ゲート絶縁膜として $HfCl_4$ 及び H_2O を用いて形成された $HfSiO$ 膜のみを用いた場合の結果を示している。
- [0062] 図5において $EOT = 1.25$ nm付近に着目すると、リーク電流 J_g は、線（B）では $0.7 A/cm^2$ であるのに対して、点（A）では $0.1 A/cm^2$ である。このことから、窒素濃度が低い $HfSiO$ 膜の表面上に窒素濃度が高い $HfSiO$ 膜が形成されたものをゲート絶縁膜として使用すると、窒素濃度が高い $HfSiO$ 膜のみをゲート絶縁膜として使用した場合に比べて、リーク電流を約1／7倍に低減できるということが分かった。
- [0063] 本実施形態において得られる効果を以下にまとめる。
- [0064] 本実施形態では、ゲート絶縁膜104は第1の高誘電体膜103と第2の高誘電体膜105とで構成されており、第1の高誘電体膜103における窒素濃度は第2の高誘電体膜105における窒素濃度よりも低い。よって、ゲート絶縁膜が第2の高誘電体膜105のみからなる場合に比べて、窒素が半導体基板101へ拡散することを防止できる。従って、窒素が半導体基板1

１０１を構成する半導体と結合することを抑制できる。これにより、半導体装置の特性を向上させることができる。例えば図５に示すように、リーク電流の大幅な低減を図ることができる。

[0065] また、ゲート絶縁膜が第１の高誘電体膜１０３のみからなる場合に比べて、ゲート絶縁膜１０４の熱安定性を向上させることができる。従って、第１の高誘電体膜１０３及び第２の高誘電体膜１０５のそれぞれにおいて結晶化を抑制できるとともに相分離の発生を抑制できる。

[0066] 本実施形態は、以下に示す構成を有していても良い。

[0067] 本実施形態に係る半導体装置は、サイドウォール、エクステンション領域、ソースドレイン領域及びシリサイド層等を備えていることが好ましい。具体的には、ゲート電極１０７の側面上にサイドウォールが形成されていることが好ましく、半導体基板１０１内のうちゲート電極１０７の側方下にエクステンション領域が形成されていることが好ましく、半導体基板１０１内のうちサイドウォールの側方下にはソースドレイン領域が形成されていることが好ましく、ゲート電極１０７の上面上及びソースドレイン領域の上面上にはシリサイド層が形成されていることが好ましい。

[0068] 本実施形態に係る半導体装置の製造方法は、ゲート電極１０７の側面上にサイドウォールを形成する工程と、半導体基板１０１内のうちゲート電極１０７の側方下にエクステンション領域を形成する工程と、半導体基板１０１内のサイドウォールの側方下にソースドレイン領域を形成する工程と、ゲート電極１０７の上部及びソースドレイン領域の上部にシリサイド層を形成する工程とを更に備えていることが好ましい。

[0069] 本実施形態に係る半導体装置の製造方法では、有機金属気相成長法（metalorganic chemical vapor deposition 法）を用いて、第１及び第２の高誘電体材料膜を形成しても良い。

産業上の利用可能性

[0070] 以上説明したように、本発明に係る半導体装置及び半導体装置の製造方法は、半導体集積回路を用いる種々の電子機器に好ましく用いられる。

符号の説明

[0071]	101	半導体基板
	102	界面酸化層
	103	第 1 の高誘電体膜
	103A	第 1 の高誘電体材料膜
	104	ゲート絶縁膜
	105	第 2 の高誘電体膜
	105A	第 2 の高誘電体材料膜
	106	メタルゲート電極
	107	ゲート電極
	108	ポリシリコン電極

請求の範囲

[請求項1]

半導体基板と、

前記半導体基板の上面上に設けられた界面酸化層と、

前記界面酸化層の上面上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜の上面上に設けられたゲート電極とを備え、

前記ゲート絶縁膜は、

前記界面酸化層の上に設けられ、窒素を含有する第1の高誘電体膜と、

前記第1の高誘電体膜の上に設けられ、窒素を含有する第2の高誘電体膜とを有し、

前記第1の高誘電体膜における窒素濃度は、前記第2の高誘電体膜における窒素濃度よりも低い半導体装置。

[請求項2]

請求項1に記載の半導体装置であって、

前記第1の高誘電体膜は、ハフニウムと酸素とを含有しており、

前記第2の高誘電体膜は、ハフニウムと酸素とを含有しており、

前記第1の高誘電体膜における前記ハフニウムに対する前記酸素の原子比を a とし、前記第2の高誘電体膜における前記ハフニウムに対する前記酸素の原子比を b としたとき、 $b/a \leq 1$ である半導体装置。

[請求項3]

請求項2に記載の半導体装置であって、

前記第1の高誘電体膜は、前記ハフニウムとは異なる第1の金属を含有しており、

前記第2の高誘電体膜は、前記ハフニウムとは異なる第2の金属を含有しており、

前記第1及び前記第2の金属は、Al、La、Zr、Ti、Ta、Mg、Ge及びYの少なくとも1つである半導体装置。

[請求項4]

半導体基板の上面上に界面酸化層を設ける工程(a)と、

前記界面酸化層の上面上にゲート絶縁膜を設ける工程(b)と、

前記ゲート絶縁膜の上面上にゲート電極を設ける工程（c）とを備え、

前記工程（b）は、

前記界面酸化層の上に第1の高誘電体材料膜を設ける工程（b1）と、

前記第1の高誘電体材料膜の上に第2の高誘電体材料膜を設ける工程（b2）と、

前記第1の高誘電体材料膜に窒素を混入して第1の高誘電体膜を形成し、前記第2の高誘電体材料膜に窒素を混入して前記第1の高誘電体膜よりも窒素濃度が高い第2の高誘電体膜を形成する工程（b3）とを有する半導体装置の製造方法。

[請求項5]

請求項4に記載の半導体装置の製造方法であって、

ハフニウムを含む第1のガスと酸素を含む第1の酸化剤とを用いて、前記第1の高誘電体材料膜を形成し、

ハフニウムを含む第2のガスと酸素を含む第2の酸化剤とを用いて、前記第2の高誘電体材料膜を形成し、

前記第1の高誘電体材料膜における前記ハフニウムに対する前記酸素の原子比を a とし前記第2の高誘電体材料膜における前記ハフニウムに対する前記酸素の原子比を b としたときに $b/a \leq 1$ となるように、前記第1の高誘電体材料膜及び前記第2の高誘電体材料膜を形成する半導体装置の製造方法。

[請求項6]

請求項5に記載の半導体装置の製造方法であって、

前記工程（b1）では、前記界面酸化層の上面上に前記第1のガスを第1の時間供給する工程と、前記界面酸化層の上面上に前記第1の酸化剤を第2の時間供給する工程とを繰り返し行い、

前記工程（b2）では、前記第1の高誘電体材料膜の上面上に前記第2のガスを第3の時間供給する工程と、前記第1の高誘電体材料膜の上面上に前記第2の酸化剤を第4の時間供給する工程とを繰り返し

行い、

前記第 1 のガスと前記第 2 のガスとが同じであり、

前記第 1 の酸化剤と前記第 2 の酸化剤とが同じであり、

前記第 2 の時間は前記第 4 の時間よりも長い半導体装置の製造方法

。

[請求項 7]

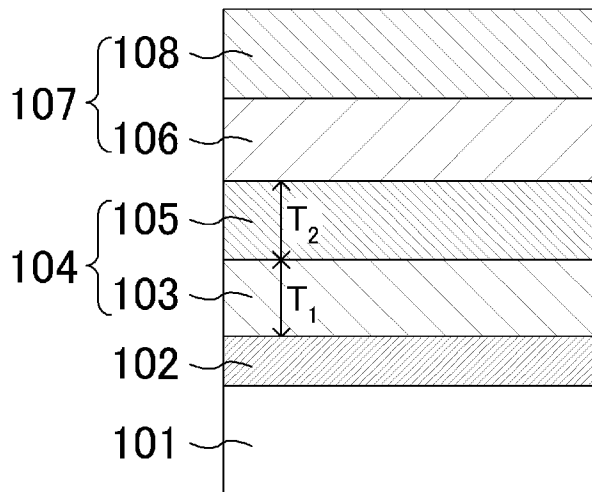
請求項 5 に記載の半導体装置の製造方法であって、

前記工程 (b 1) では、前記第 1 のガスとしてテトラキスジメチル
アミノハフニウムを用い、前記第 1 の酸化剤としてオゾンを用い、

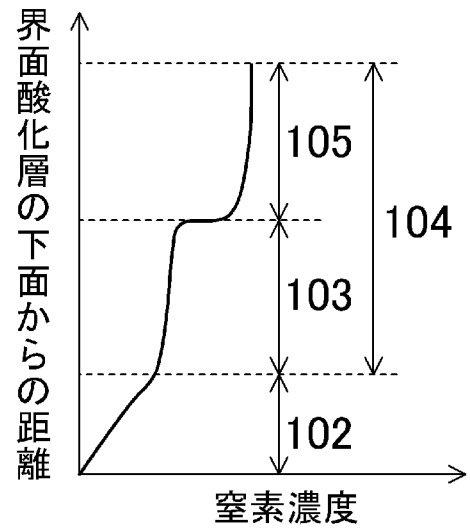
前記工程 (b 2) では、前記第 2 のガスとしてテトラクロロハフニ
ウムを用い、前記第 2 の酸化剤として水を用いる半導体装置の製造方
法。

[図1]

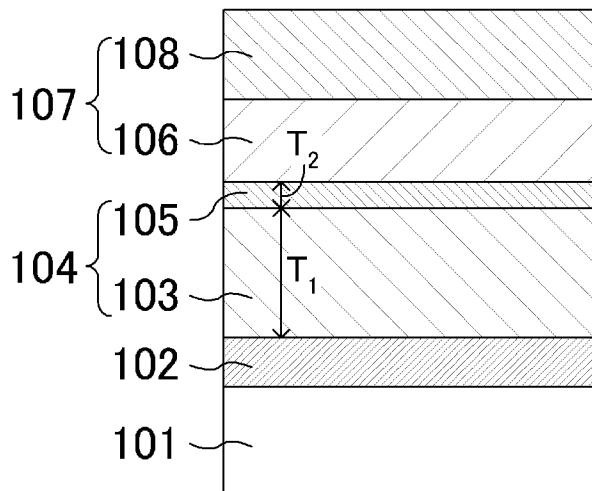
(a)



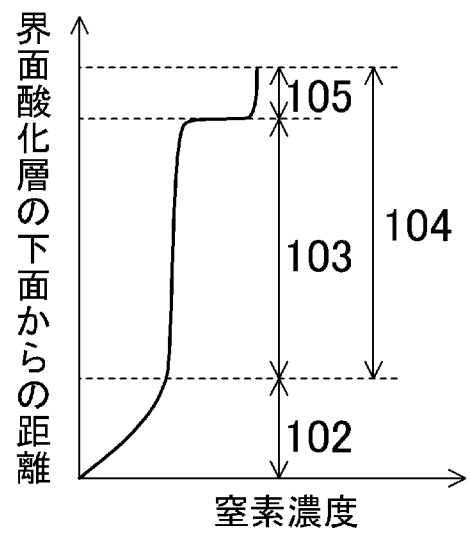
(b)



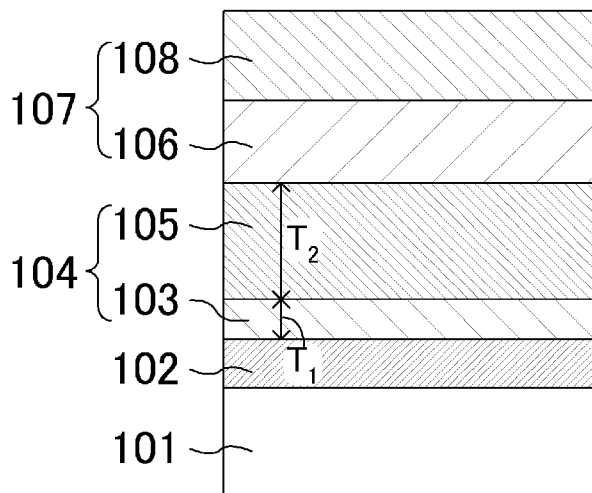
(c)



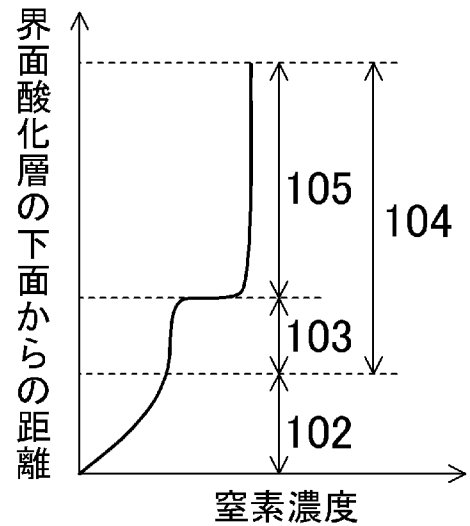
(d)



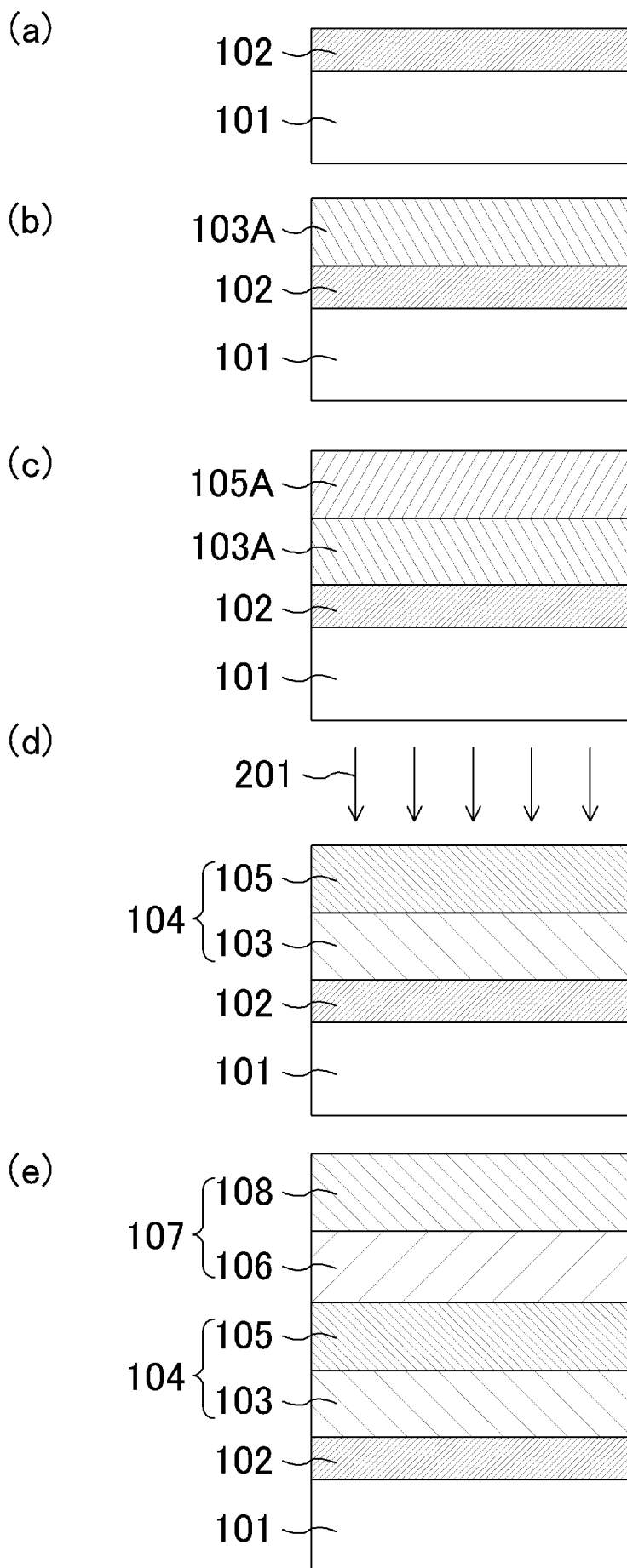
(e)



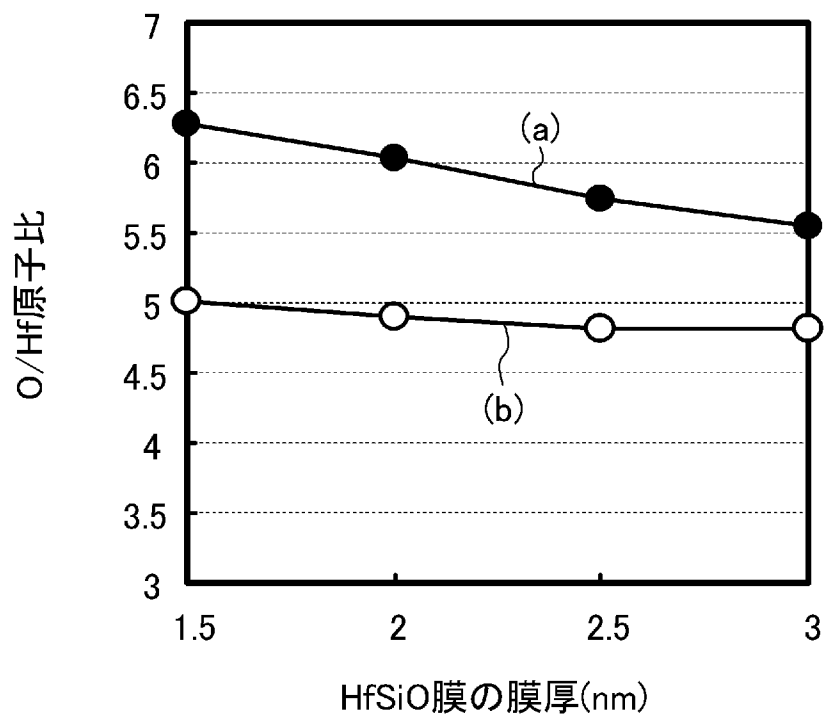
(f)



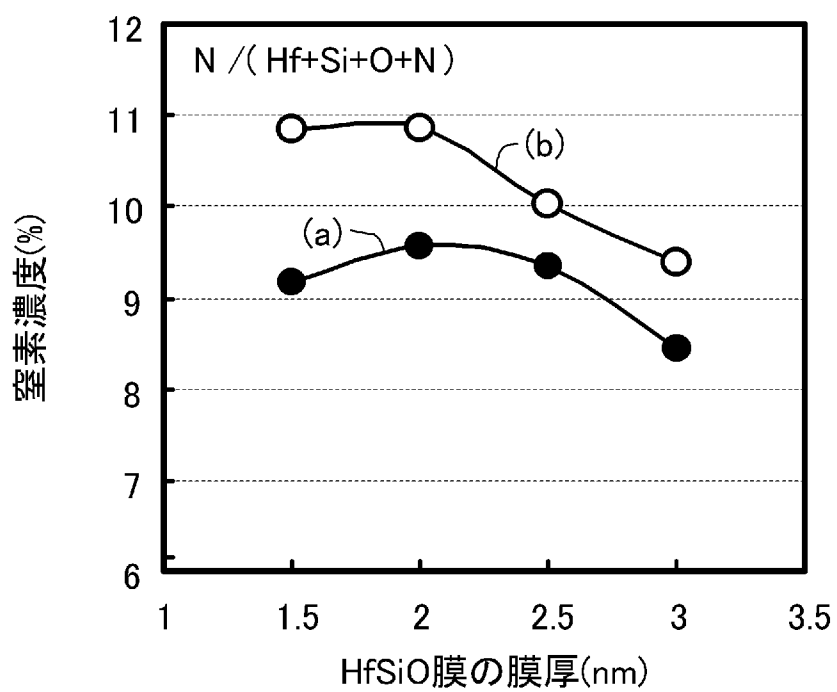
[図2]



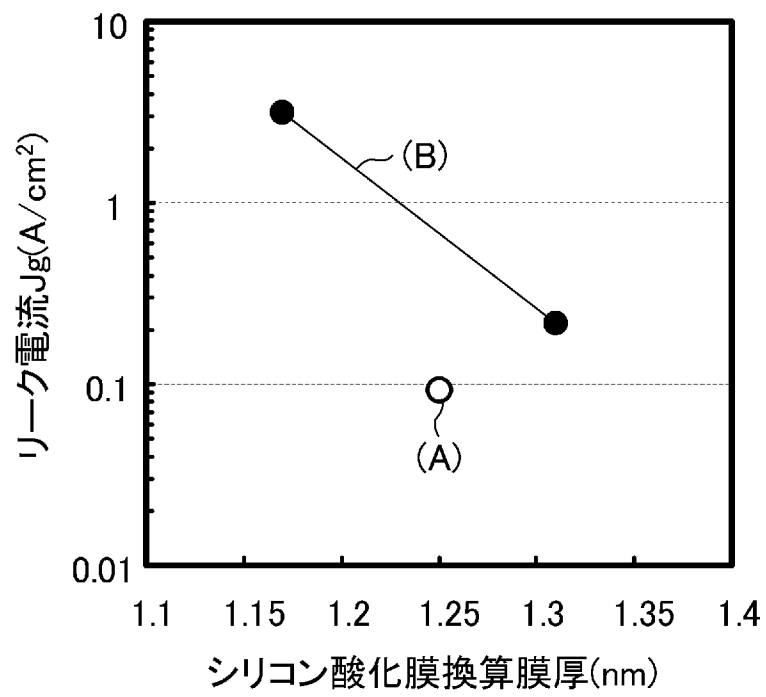
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000103

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/318(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/318, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2008-72001 A (Matsushita Electric Industrial Co., Ltd.), 27 March 2008 (27.03.2008), paragraphs [0046], [0061], [0071]; fig. 1 to 4 (Family: none)	1, 4 2, 3, 5 6, 7
X Y A	JP 2009-38229 A (NEC Electronics Corp.), 19 February 2009 (19.02.2009), paragraphs [0020] to [0022]; fig. 1 & US 2009/0032883 A1	1, 4 2, 5 3, 6, 7
X Y A	JP 2005-251785 A (NEC Corp.), 15 September 2005 (15.09.2005), paragraphs [0044], [0058]; fig. 1, 4, 5 (Family: none)	1-5 2, 3, 5 6, 7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 April, 2010 (12.04.10)

Date of mailing of the international search report

27 April, 2010 (27.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000103

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-64032 A (Semiconductor Leading Edge Technologies, Inc.), 10 March 2005 (10.03.2005), paragraph [0023] (Family: none)	7
A	WO 2006/57400 A1 (Hitachi Kokusai Electric Inc.), 01 June 2006 (01.06.2006), paragraphs [0041] to [0044] & US 2008/0032514 A1	1-7
A	JP 2005-317647 A (Toshiba Corp.), 10 November 2005 (10.11.2005), fig. 1 to 5 & US 2005/0236678 A1	1-7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000103

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Semiconductor devices having the constitution described in claim 1 are described in the document 1: JP 2008-72001 A (Matsushita Electric Industrial Co., Ltd.), 27 March 2008 (27.03.2008), [0046], [0061], [0071], fig. 1 - 4; the document 2: JP 2009-38229 A (NEC Electronics Corp.), 19 February 2009 (19.02.2009), [0020] - [0022], fig. 1; the document 3: JP 2005-251785 A (NEC Corp.), 15 September 2005 (15.09.2005), [0044], [0058], fig. 1, 4, 5, and semiconductor devices having the constitution described in claims 2 and 3 are described in the document 3.

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000103

Continuation of Box No.III of continuation of first sheet (2)

Therefore, those semiconductor devices cannot be considered to be novel in the light of the inventions described in the documents 1 - 3, and do not have any special technical feature.

Meanwhile, the invention in claim 1 having no special technical feature is classified into Invention 1.

(Invention 1) the inventions in claims 1 - 3

Semiconductor device having the constitution in claims 1 - 3

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/318(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/318, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2008-72001 A（松下電器産業株式会社）2008.03.27 【0046】，【0061】，【0071】，図1-4（ファミリーなし）	1, 4 2, 3, 5 6, 7
X Y A	JP 2009-38229 A（NECエレクトロニクス株式会社）2009.02.19, 【0020】 - 【0022】，図1 & US 2009/0032883 A1	1, 4 2, 5 3, 6, 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 4 . 2 0 1 0

国際調査報告の発送日

2 7 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松嶋 秀忠

4 M

9 8 3 6

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-251785 A (日本電気株式会社) 2005. 09. 15 【0044】 , 【0058】 図 1, 4, 5 (ファミリーなし)	1-5 2, 3, 5 6, 7
A	JP 2005-64032 A (株式会社半導体先端テクノロジーズ) 2005. 03. 10, 【0023】 (ファミリーなし)	7
A	WO 2006/57400 A1 (株式会社日立国際電気) 2006. 06. 01 [0041] - [0044] & US 2008/0032514 A1	1-7
A	JP 2005-317647 A (株式会社東芝) 2005. 11. 10, 図 1-5 & US 2005/0236678 A1	1-7

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1:JP 2008-72001 A (松下電器産業株式会社) 2008.03.27, 【0046】, 【0061】, 【0071】, 図1-4、文献2:JP 2009-38229 A (NECエレクトロニクス株式会社) 2009.02.19, 【0020】 - 【0022】, 図1、文献3:JP 2005-251785 A (日本電気株式会社) 2005.09.15, 【0044】, 【0058】, 図1, 4, 5、には、請求項1に記載された構成を有する半導体装置が記載されており、また、文献3には、請求項2及び3に記載された構成を有する半導体装置が記載されているから、文献1乃至3に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

なお、特別な技術的特徴を有しない請求項1に係る発明は、発明1に区分する。

（発明1）請求項1-3に係る発明

請求項1-3に係る構成を有する半導体装置。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。