



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년04월07일

(11) 등록번호 10-1508578

(24) 등록일자 2015년03월30일

(51) 국제특허분류(Int. Cl.)

G01K 7/01 (2006.01)

(21) 출원번호 10-2014-0000467

(22) 출원일자 2014년01월02일

심사청구일자 2014년01월02일

(56) 선행기술조사문헌

KR1019990046997 A

KR1020030054201 A

KR1020070074938 A

KR1020090002487 A

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

장지웅

인천광역시 연수구 원인재로 14, 114동 1003호 (동춘동, 무지개마을아파트)

김진세

경기도 파주시 조리읍 대원로 45, 301동 303호 (동문그린씨티아파트)

성만영

서울특별시 중랑구 망우로 353, C동 4401호 (상봉동, 프레미어스엠코)

(74) 대리인

특허법인엠에이피에스

전체 청구항 수 : 총 10 항

심사관 : 이달경

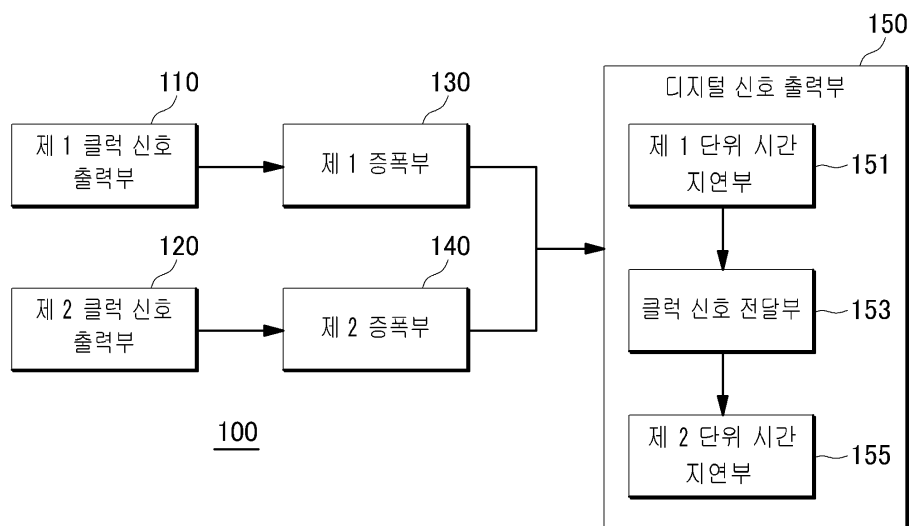
(54) 발명의 명칭 채널 길이 변화에 따른 전류의 온도 의존성을 근거로 한 온도 감지 장치 및 온도 감지 방법

(57) 요약

본 발명에 따른 온도 감지 장치는 제 1 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 입력 신호를 지연시킨 제 1 클럭 신호를 출력하는 제 1 클럭 신호 출력부, 제 2 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 상기 입력 신호를 지연시킨 제 2 클럭

(뒷면에 계속)

대표도 - 도3



신호를 출력하는 제 2 클럭 신호 출력부 및 상기 제 2 클럭 신호를 수신하고, 단위 지연 시간을 갖는 복수의 버퍼를 포함하며, 상기 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력하는 디지털 신호 출력부를 포함하되, 상기 제 1 지연 시간 및 상기 제 2 지연 시간은 상기 제 1 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이 및 상기 제 2 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이에 따라 결정되고, 상기 제 1 클럭 신호 출력부는 상기 제 2 클럭 신호 출력부보다 온도 변화 민감도가 크며, 상기 제 2 클럭 신호는 상기 제 1 클럭 신호와 기 설정된 기준 온도에서 천이 시간이 동일하도록 설정된다.

명세서

청구범위

청구항 1

온도 감지 장치에 있어서,

제 1 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 입력 신호를 지연시킨 제 1 클럭 신호를 출력하는 제 1 클럭 신호 출력부,

제 2 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 상기 입력 신호를 지연시킨 제 2 클럭 신호를 출력하는 제 2 클럭 신호 출력부 및

상기 제 2 클럭 신호를 수신하고, 단위 지연 시간을 갖는 복수의 버퍼를 포함하며, 상기 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력하는 디지털 신호 출력부를 포함하되,

상기 제 1 지연 시간 및 상기 제 2 지연 시간은 상기 제 1 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이 및 상기 제 2 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이에 따라 결정되고,

상기 제 1 클럭 신호 출력부는 상기 제 2 클럭 신호 출력부보다 온도 변화 민감도가 크며,

상기 제 2 클럭 신호는 상기 제 1 클럭 신호와 기 설정된 기준 온도에서 천이 시간이 동일하도록 설정된 것인 온도 감지 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 클럭 신호 출력부는 M개의 직렬 연결된 하나 이상의 트랜지스터를 포함하되,

첫 번째 트랜지스터의 입력단과 M 번째 트랜지스터의 출력단은 서로 직렬 접속된 것인 온도 감지 장치.

청구항 3

제 1 항에 있어서,

상기 제 2 클럭 신호 출력부는 N개의 직렬 연결된 하나 이상의 트랜지스터를 포함하되,

첫 번째 트랜지스터의 입력단과 N 번째 트랜지스터의 출력단은 서로 직렬 접속된 것인 온도 감지 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 클럭 신호의 주기를 증폭하는 제 1 증폭부 및

상기 제 2 클럭 신호의 주기를 증폭하는 제 2 증폭부를 더 포함하되,

상기 제 1 증폭부 및 상기 제 2 증폭부는 각각 직렬 연결된 하나 이상의 D-플립플롭을 포함하는 것인 온도 감지 장치.

청구항 5

제 1 항에 있어서,

상기 디지털 신호 출력부는 제 1 단위 지연 시간을 갖는 복수의 버퍼를 통해 상기 제 2 클럭 신호를 지연시키는 제 1 단위 시간 지연부 및 제 2 단위 지연 시간을 갖는 복수의 버퍼를 통해 상기 제 2 클럭 신호를 지연시키는 제 2 단위 시간 지연부를 포함하되,

상기 제 1 단위 지연 시간은 상기 제 2 단위 지연 시간보다 크고,

상기 제 1 단위 시간 지연부 및 상기 제 2 단위 시간 지연부는 상기 제 1 클럭 신호가 상승 천이될 경우에 대응

하는 제 2 클럭 신호의 값을 각각 디지털 신호로 출력하는 것인 온도 감지 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 지연 시간이 상기 제 1 단위 지연 시간보다 작을 경우, 상기 제 2 클럭 신호를 상기 제 2 단위 시간 지연부로 전달하는 클럭 신호 전달부를 더 포함하는 온도 감지 장치.

청구항 7

온도 감지 장치를 이용하여 온도를 감지하기 위한 방법에 있어서,

제 1 클럭 신호 출력부 및 제 2 클럭 신호 출력부에서 입력 신호를 지연시켜 제 1 클럭 신호 및 제 2 클럭 신호를 출력하는 단계,

상기 제 2 클럭 신호를 지연시키기 위하여 단위 지연 시간을 갖는 복수의 버퍼를 포함하는 디지털 신호 출력부에서, 상기 제 1 클럭 신호와 상기 제 2 클럭 신호를 수신하는 단계,

상기 디지털 신호부 출력부가 상기 제 2 클럭 신호를 지연 시키는 단계 및

상기 디지털 신호 출력부가 상기 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력하는 단계를 포함하되,

상기 제 1 클럭 신호 출력부는 제 1 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 포함하고, 상기 제 2 클럭 신호 출력부는 제 2 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 포함하며,

상기 제 1 클럭 신호 출력부는 상기 제 2 클럭 신호 출력부보다 온도 변화 민감도가 크며,

상기 제 2 클럭 신호는 상기 제 1 클럭 신호와 기 설정된 기준 온도에서 천이 시간이 동일하도록 설정된 것인 온도 감지 방법.

청구항 8

제 7 항에 있어서,

상기 디지털 신호 출력부가 상기 제 2 클럭 신호를 지연 시키는 단계는,

제 1 단위 지연 시간을 갖는 복수의 버퍼를 포함하는 제 1 단위 시간 지연부에서 상기 제 2 클럭 신호를 지연시키는 단계 및

제 2 단위 지연 시간을 갖는 복수의 버퍼를 포함하는 제 2 단위 시간 지연부에서 상기 제 2 클럭 신호를 지연시키는 단계를 포함하되,

상기 디지털 신호 출력부는 상기 제 1 단위 시간 지연부 및 상기 제 2 단위 시간 지연부를 포함하고,

상기 제 1 단위 지연 시간은 상기 제 2 단위 지연 시간보다 큰 것인 온도 감지 방법.

청구항 9

제 8 항에 있어서,

상기 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력하는 단계는,

상기 제 1 단위 시간 지연부에서 상기 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력하는 단계 및

상기 제 2 단위 시간 지연부에서 상기 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력하는 단계를 포함하는 것인 온도 감지 방법.

청구항 10

제 8 항에 있어서,

상기 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 지연 시간이 상기 제 1 단위 지연 시간보다 작을 경우, 상기 제 2 클럭 신호를 상기 제 2 단위 시간 지연부로 전달하는 단계를 더 포함하는 온도 감지 방법.

발명의 설명

기술 분야

[0001] 본 발명은 온도 감지 장치 및 온도 감지 방법에 관한 것으로서, 보다 구체적으로 채널 길이 변화에 따른 전류의 온도 의존성을 근거로 한 온도 감지 장치 및 방법에 관한 것이다.

배경 기술

[0002] 스마트폰, 태블릿 PC 등 스마트 기기의 사용이 크게 증가하면서 제품의 소형화와 다기능화를 동시에 성취하기 위한 노력이 계속되어 왔다. 이러한 노력의 일환으로 CMOS 공정의 스케일링 및 저전력 집적회로 설계의 중요성이 증대되고 있다.

[0003] CMOS 공정이 스케일링되고, 무어의 법칙에 따라 칩 당 트랜지스터의 수가 기하급수적으로 증가하게 되면서 단위 면적당 발생하는 열이 증가하고 있으며, 이는 집적회로의 높은 전력 소모 및 낮은 신뢰성을 유발한다. 따라서, 열 특성을 모니터링 함과 동시에 칩의 성능 및 동작 조건을 보상해주기 위한 온도 감지 센서가 요구되는 실정이다.

[0004] 예를 들어, DRAM의 경우 저전력으로 구동하는 온도 감지 센서가 필요하다. DRAM은 커패시터에 저장된 전하량에 의해 정보를 기록하기 때문에 전자가 누전되면서 기억된 정보를 잃게 되므로, 정보를 주기적으로 재생시켜야 한다. 또한, 공정 스케일링에 따른 누설 전류가 증가하면서 정보 재생 전류의 동작 주파수도 증가하고 있다. 이와 관련하여, 온도 감지 센서를 포함하지 않은 DRAM의 정보 재생 전류의 주파수는 동작 온도 범위에서 가장 높은 온도 조건을 기준으로 설계되어야 한다. 즉, 온도가 클수록 더 높은 누설 전류가 발생하므로 정보 재생 전류를 더 자주 요구하게 된다. 따라서, 동작 온도 범위 내에서 누설 전류에 의해 기억된 정보를 잃지 않고 저장하기 위해서는 최소한의 필요 조건을 감안하여 설계해야 한다.

[0005] 하지만, 이 경우 최대 온도 조건 이하의 온도에서는 불필요한 정보 재생 전류를 유발하기 때문에 큰 전력 소모가 발생하게 된다. 이에 따라, 온도 감지 센서를 이용하여 온도를 모니터링함으로써 정보 재생 전류의 주파수를 적절하게 조절하여 DRAM의 저전력 동작을 구현할 수 있다.

[0006] 초기의 온도 감지 장치의 경우 BJT를 이용하여 PTAT(Proportional To Absolute Temperature) 전압을 설계하였다. 두 개의 BJT가 각각 I_1 , I_2 로 바이어스 되어 있을 때, 두 트랜지스터의 베이스-이미터 전압의 차는 [수학식 1]과 같이 나타낼 수 있다. 따라서, PTAT 전압은 절대 온도에 비례하는 값을 갖고 I_1 , I_2 의 비율을 이용하여 절대 온도에 비례하는 전압 특성을 얻을 수 있다.

[0007] [수학식 1]

$$V_{PTAT} = V_{BE}(I_2) - V_{BE}(I_1) = \frac{kT}{q} \ln\left(\frac{I_2}{I_1}\right)$$

[0008]

[0009] 한편, PTAT에서 생성된 온도에 비례하는 열전압은 밴드갭 기준에서 생성된 기준 전압과 ADC(Analog to Digital Converter)를 통해 비교함으로써 온도 변화를 감지할 수 있다. 하지만, 이러한 온도 감지 센서의 경우, 밴드갭 기준 및 ADC의 설계가 매우 복잡하며 집적화된 밴드갭 기준의 전압을 온도에 따라 일정하게 유지하는 것이 어려울 뿐만 아니라, 아날로그 회로의 대기 전류에 의한 전력 소모를 유발한다.

[0010] 이와 같은 단점을 극복하기 위하여 디지털 온도 감지기가 개발되었고, 온도에 대하여 무관한 지연 시간과 온도에 대하여 비례하는 지연 시간을 비교하여 온도를 감지하였다. 이하에서는 도 1 및 도 2를 참조하여 종래기술에 따른 온도 감지 센서를 설명하도록 한다.

[0011] 도 1 및 도 2는 종래기술에 따른 온도 감지 센서를 도시한 도면이다.

- [0012] 도 1은 온도에 대하여 무관한 지연 시간을 외부 클럭으로 사용하는 방법을 적용한 것이다. 도 1에 도시된 회로도의 경우, 별도의 외부 기준 클럭(Ref CLK) 및 복수의 직렬 연결된 CMOS 트랜지스터를 포함하고 있는 온도에 민감한 지연 선로(Temperature-Sensitive Delay Line)를 포함하고 있다. 이와 같은 기준 지연 선로와 외부 기준 클럭에서의 지연 시간 차이를 시간 감지 회로인 TDC(Time to Digital Converter)를 통해 비교함으로써 온도를 감지할 수 있다. 하지만 외부 클럭을 사용할 경우 다양한 클럭 주파수를 필요로 하는 응용분야에 사용이 제한될 뿐만 아니라 외부 노이즈에 민감하다는 단점이 있다.
- [0013] 도 2는 아날로그 바이어스 회로를 포함하는 방법을 적용한 것이다. 도 2의 경우, 도 1과 동일하게 온도에 민감한 지연 선로를 구비하고 있으나, 외부 기준 클럭을 사용하는 것이 아니라 온도에 무관한 지연 선로(Temperature-Insensitive Delay Line)를 사용하였다. 온도에 무관한 지연 선로는 CMOS 트랜지스터와 각각 접속된 NMOS 트랜지스터 및 PMOS 트랜지스터를 복수 개 포함하고, 이들은 각각 아날로그 바이어스 회로에 접속되어 있다. 이와 같은 각 지연 선로는 시간 감지 회로를 통해 비교된다. 하지만, 도 2의 경우 설계의 복잡성을 증가시킬 뿐만 아니라 바이어스 회로의 스태바이 전류에 의한 전력 소모 증가를 야기시킨다는 문제점이 있다.
- [0014] 이와 관련하여 한국공개특허 제2006-0122193호(발명의 명칭: 감지 온도를 조절할 수 있는 반도체 온도 센서)에는 선형적으로 센싱 온도를 조절할 수 있는 반도체 장치의 온도 센서가 개시되어 있다.
- [0015] 다만, 종래기술에 따른 온도 감지 방법은 응용 분야가 제한되어 있고, 외부 노이즈에 대하여 불안정성을 가지고 있으며, 설계가 복잡하고 전력소모가 크다는 문제점이 있다. 따라서, 내부 트랜지스터의 설계 변수에 의존하는 트랜지스터를 설계하여 위와 같은 문제점을 해결할 필요가 있다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 본 발명의 일부 실시예는 트랜지스터의 게이트 채널 길이를 변화시켜 온도에 민감한 지연 시간을 가지는 링 오실레이터와 온도에 민감하지 않는 지연 시간을 갖는 링 오실레이터를 통하여 지연 시간 차이를 측정함으로써 반도체의 온도를 감지하는 온도 감지 장치 및 온도 감지 방법을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0017] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 온도 감지 장치는 제 1 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 입력 신호를 지연시킨 제 1 클럭 신호를 출력하는 제 1 클럭 신호 출력부, 제 2 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 상기 입력 신호를 지연시킨 제 2 클럭 신호를 출력하는 제 2 클럭 신호 출력부 및 상기 제 2 클럭 신호를 수신하고, 단위 지연 시간을 갖는 복수의 버퍼를 포함하며, 상기 제 1 클럭 신호가 상승 전이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력하는 디지털 신호 출력부를 포함하되, 상기 제 1 지연 시간 및 상기 제 2 지연 시간은 상기 제 1 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이 및 상기 제 2 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이에 따라 결정되고, 상기 제 1 클럭 신호 출력부는 상기 제 2 클럭 신호 출력부보다 온도 변화 민감도가 크며, 상기 제 2 클럭 신호는 상기 제 1 클럭 신호와 기 설정된 기준 온도에서 천이 시간이 동일하도록 설정된다.
- [0018] 또한, 본 발명의 제 2 측면에 따른 온도 감지 장치를 이용한 온도 감지 방법은 제 1 클럭 신호 출력부 및 제 2 클럭 신호 출력부에서 입력 신호를 지연시켜 제 1 클럭 신호 및 제 2 클럭 신호를 출력하는 단계, 상기 제 2 클럭 신호를 지연시키기 위하여 단위 지연 시간을 갖는 복수의 버퍼를 포함하는 디지털 신호 출력부에서, 상기 제 1 클럭 신호와 상기 제 2 클럭 신호를 수신하는 단계, 상기 디지털 신호부 출력부가 상기 제 2 클럭 신호를 지연시키는 단계 및 상기 디지털 신호 출력부가 상기 제 1 클럭 신호가 상승 전이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력하는 단계를 포함하되, 상기 제 1 클럭 신호 출력부는 제 1 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 포함하고, 상기 제 2 클럭 신호 출력부는 제 2 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 포함하며, 상기 제 1 클럭 신호 출력부는 상기 제 2 클럭 신호 출력부보다 온도 변화 민감도가 크며, 상기 제 2 클럭 신호는 상기 제 1 클럭 신호와 기 설정된 기준 온도에서 천이 시간이 동일하도록 설정된다.

발명의 효과

[0019] 전술한 본 발명의 과제 해결 수단의 어느 실시예에 의하면, 게이트의 채널 길이를 조절함으로써 인버터의 지연 시간의 온도 의존성을 제어할 수 있다.

[0020] 또한, 바이어스 회로 및 외부 클럭 등을 사용하지 않아 부가적인 회로의 설계 수요를 감소시킬 수 있어 설계 비용 절감 및 회로의 단면적을 감소시킬 수 있다.

도면의 간단한 설명

[0021] 도 1 및 도 2는 종래기술에 따른 온도 감지 센서를 도시한 도면이다.
 도 3은 본 발명의 일 실시예에 따른 온도 감지 장치의 블록도이다.
 도 4는 게이트 채널 길이가 서로 다른 MOSFET 구조를 도시한 도면이다.
 도 5는 NMOS 게이트 채널 길이에 따른 온도 변화에 대한 표준화된 지연 시간의 변화를 나타내는 그래프이다.
 도 6은 본 발명의 일 실시예에 따른 온도 감지 장치의 회로도이다.
 도 7은 제 1 및 제 2 클럭 신호 출력부와 제 1 증폭부 및 제 2 증폭부가 연결된 회로도를 도시한 도면이다.
 도 8은 제 1 증폭부 및 제 2 증폭부가 연결되기 전과 후의 제 1 클럭 신호와 제 2 클럭 신호의 주기 차이를 나타낸 그래프이다.
 도 9는 제 1 단위 시간 지연부, 제 2 단위 시간 지연부 및 클럭 신호 전달부가 서로 접속된 회로도의 일 예시를 도시한 도면이다.
 도 10은 제 1 단위 시간 지연부 및 제 2 단위 시간 지연부에서의 클럭 신호의 동작 특성을 도시한 도면이다.
 도 11은 본 발명의 일 실시예에 따른 온도 감지 장치를 이용한 온도 감지 방법의 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0023] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0024] 도 3은 본 발명의 일 실시예에 따른 온도 감지 장치(100)의 블록도이다.

[0025] 본 발명에 따른 온도 감지 장치(100)는 제 1 클럭 신호 출력부(110), 제 2 클럭 신호 출력부(120) 및 디지털 신호 출력부(150)를 포함한다.

[0026] 참고로, 본 발명의 실시예에 따른 도 3에 도시된 구성 요소들은 소프트웨어 또는 FPGA(Field Programmable Gate Array) 또는 ASIC(Application Specific Integrated Circuit)와 같은 하드웨어 구성 요소를 의미하며, 소정의 역할들을 수행한다.

[0027] 그렇지만 '구성 요소들'은 소프트웨어 또는 하드웨어에 한정되는 의미는 아니며, 각 구성 요소는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다.

[0028] 따라서, 일 예로서 구성 요소는 소프트웨어 구성 요소들, 객체지향 소프트웨어 구성 요소들, 클래스 구성 요소들 및 태스크 구성 요소들과 같은 구성 요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다.

[0029] 구성 요소들과 해당 구성 요소들 안에서 제공되는 기능은 더 작은 수의 구성 요소들로 결합되거나 추가적인 구성 요소들로 더 분리될 수 있다.

[0030] 제 1 클럭 신호 출력부(110)는 제 1 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실

레이터를 통해 입력 신호를 지연시킨 제 1 클럭 신호를 출력한다.

[0031] 제 2 클럭 신호 출력부(120)는 제 2 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 입력 신호를 지연시킨 제 2 클럭 신호를 출력한다.

[0032] 한편, 제 1 지연 시간은 제 1 클럭 신호 출력부(110)에 포함된 트랜지스터의 게이트 채널 길이에 기초하여 결정된다. 그리고 제 2 지연 시간은 제 2 클럭 신호 출력부(120)에 포함된 트랜지스터의 게이트 채널 길이에 기초하여 결정된다. 이때, 제 1 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이는 제 2 클럭 신호 출력부(120)에 포함된 트랜지스터의 게이트 채널 길이보다 길게 형성되어 있다. 그리고 제 1 클럭 신호와 제 2 클럭 신호는 기 설정된 기준 온도에서 천이 시간이 동일하도록 설정되어 있다.

[0033] 구체적으로, 링 오실레이터에 포함된 트랜지스터의 게이트 채널 길이가 길수록 온도 변화 민감도가 크게 나타나고, 링 오실레이터에 포함된 트랜지스터의 게이트 채널 길이가 짧을수록 온도 변화 민감도가 작게 나타난다.

[0034] 이에 따라, 제 1 클럭 신호 출력부는 제 2 클럭 신호 출력부보다 온도 변화 민감도가 크게 나타난다. 즉, 제 1 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이는 제 2 클럭 신호 출력부에 포함된 트랜지스터의 게이트 채널 길이보다 길게 형성되어 있으므로, 제 1 클럭 신호 출력부의 링 오실레이터는 제 2 클럭 신호 출력부의 링 오실레이터보다 온도 변화 민감도가 크게 나타난다.

[0035] 이하에서는 도 4 내지 도 6을 참조하여 제 1 클럭 신호 출력부(110) 및 제 2 클럭 신호 출력부(120)에 대하여 구체적으로 설명하도록 한다.

[0036] 도 4는 게이트 채널 길이가 서로 다른 MOSFET 구조를 도시한 도면이며, MOSFET의 게이트 채널 길이에 따른 트랜지스터 전류의 온도 의존성에 대하여 설명하면 다음과 같다.

[0037] MOSFET 구조를 형성할 때, 소스나 드레인 영역에 이온을 주입하는 과정에서 입자 간의 물리적인 충돌에 의한 구조적인 중성 결함을 발생시킨다. 이때, 포켓 이온 주입 영역은 채널 길이에 무관하게 일정한 크기를 가지므로, 채널 길이가 줄어들수록 포켓 이온 주입에 의한 중성 산란의 영향이 크게 된다. 중성 결함이 차지하는 영역의 길이를 L_n 이라 하고, 게이트 채널 길이가 짧은 MOSFET의 채널 길이를 L_s , 게이트 채널 길이가 긴 MOSFET의 채널 길이를 L_b , 두 MOSFET의 각각의 너비를 W 라 하면, 두 MOSFET의 중성 결함이 차지하는 비율은 [수학식 2]와 같이 비교될 수 있다.

[0038] [수학식 2]

$$\frac{2L_n \cdot W}{L_s \cdot W} > \frac{2L_n \cdot W}{L_b \cdot W}$$

[0039]

[0040] 메티슨 법칙에 따라 [수학식 3]과 같이 독립적인 산란 현상을 병합하여 이동도(μ)를 나타낼 수 있으며, 이때 T 는 절대온도, μ_c 는 쿨롱 산란에 의한 이동도, μ_p 는 포논 산란에 의한 이동도, μ_n 는 중성 산란에 의한 이동도를 각각 나타낸다.

[0041] [수학식 3]

$$\frac{1}{\mu} = \frac{T}{300 \cdot \mu_p} + \frac{1}{\mu_c \cdot T} + \frac{1}{\mu_n}$$

[0042]

[0043] 이와 같이, 캐리어의 이동도에 대한 산란은 쿨롱 산란, 포논 산란 및 중성 산란의 3가지 요인이 각각 독립적으로 영향을 미치게 된다. 또한, 게이트 채널 길이가 짧을수록 중성 산란의 영향을 지배적으로 받고, 게이트 채널 길이가 길수록 포논 산란의 영향을 지배적으로 받게 된다.

[0044] 따라서, 채널 길이가 길수록 포논 산란이 주요한 요인이 되므로 온도에 따라 민감한 변화가 나타난다. 반면, 채널 길이가 짧을수록 중성 산란이 주요한 요인이 되므로 온도에 둔감한 변화가 나타난다. 이와 같이, 채널 길이가 짧아질수록 온도 변화에 대하여 캐리어 이동도의 감소 경향이 줄어들게 된다.

[0045] 이와 같은 현상은 트랜지스터 전류의 온도 의존성 및 CMOS의 지연 시간에 영향을 미치게 된다. 이때, 트랜지스

터의 전류는 [수학식 4]와 같이 캐리어 이동도에 비례한다.

[수학식 4]

$$I_D = \frac{1}{2} \mu_{n,p} C_{OX} (V_g - V_T)^2$$

이러한 전류의 온도 의존성은 CMOS 지연 시간의 온도 의존성에도 영향을 미치게 된다. k_N , k_P 는 각각 NMOS와 PMOS의 트랜스 컨덕턴스를 의미하며, C_{ox} 를 NMOS, PMOS 산화막의 커패시턴스, μ_N 을 전자의 이동도, μ_P 를 홀의 이동도라 할 때 [수학식 5]와 같이 나타낼 수 있다.

[수학식 5]

$$K_N = \mu_N C_{OX} (W/L)_N, k_P = \mu_P C_{OX} (W/L)_P$$

또한, V_{TN} , V_{TP} 는 각각 NMOS와 PMOS의 문턱전압을 의미한다. 따라서, CMOS 지연시간은 [수학식 6]과 같이 나타낼 수 있다.

[수학식 6]

$$t_P = \frac{t_{PHL} + t_{PLH}}{2} = \frac{(\frac{L}{W}) C_L}{\mu C_{OX} (V_{DD} - V_T)} \ln\left(\frac{1.5 V_{DD} - 2 V_T}{0.5 V_{DD}}\right)$$

이와 같이, 트랜지스터 전류의 온도 의존성은 CMOS 지연 시간의 온도 의존성에도 영향을 미치므로, 본 발명에 따른 온도 감지 장치(100)는 게이트의 채널 길이에 따라 CMOS 인버터의 지연 시간의 온도 의존성을 제어할 수 있다.

도 5는 NMOS 게이트 채널 길이에 따른 온도 변화에 대한 표준화된 지연 시간의 변화를 나타내는 그래프이다.

도 5를 참조하면, 게이트 채널 길이가 가장 긴 경우(3.50 μ m), 0도 대비 100도에서 표준화된 지연시간이 30.32% 증가하여 온도 증가에 대한 지연 시간의 증가율이 크게 나타남을 확인할 수 있다. 반면, 게이트 채널 길이가 가장 작은 경우(0.11 μ m), 0도 대비 100도에서 표준화된 지연시간이 9.62% 증가하여 온도 증가에 대한 지연 시간의 증가율이 작게 나타남을 확인할 수 있다.

다시 도 3을 참조하면, 디지털 신호 출력부(150)는 제 2 클럭 신호를 수신하고, 단위 지연 시간을 갖는 복수의 버퍼를 포함한다. 그리고 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력한다. 이때, 제 2 클럭 신호는 제 1 클럭 신호와 기 설정된 기준 온도에서 천이 시간이 동일하도록 설정된다.

이하에서는 도 6 내지 도 11을 참조하여 온도 감지 장치(100)에 대하여 구체적으로 설명하도록 한다.

도 6은 본 발명의 일 실시예에 따른 온도 감지 장치(100)의 회로도이다.

제 1 클럭 신호 출력부(110)는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 입력 신호를 지연시킨 제 1 클럭 신호를 출력한다. 이때, 링 오실레이터는 M개의 직렬 연결된 하나 이상의 트랜지스터를 포함할 수 있으며, M개의 직렬 연결된 트랜지스터의 첫 번째 트랜지스터의 입력단과 M 번째 트랜지스터의 출력단은 서로 직렬 접속될 수 있다.

제 2 클럭 신호 출력부(120)는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 입력 신호를 지연시킨 제 2 클럭 신호를 출력한다. 이때, 링 오실레이터는 N개의 직렬 연결된 하나 이상의 트랜지스터를 포함할 수 있다. N개의 직렬 연결된 트랜지스터의 첫 번째 트랜지스터의 입력단과 N 번째 트랜지스터의 출력단은 서로 직렬 연결될 수 있다.

이때, 제 1 클럭 신호 출력부(110)와 제 2 클럭 신호 출력부(120)의 트랜지스터는 CMOS인버터일 수 있다.

- [0063] 한편, 본 발명에 따른 온도 감지 장치(100)는 제 1 증폭부(130) 및 제 2 증폭부(140)를 더 포함할 수 있다. 도 7 및 도 8을 참조하여 제 1 증폭부(130) 및 제 2 증폭부(140)를 설명하면 다음과 같다.
- [0064] 도 7은 제 1 클럭 신호 출력부(110) 및 제 2 클럭 신호 출력부(120)와 제 1 증폭부(130) 및 제 2 증폭부(140)가 연결된 회로도를 도시한 도면이고, 도 8은 제 1 증폭부(130) 및 제 2 증폭부(140)가 연결되기 전과 후의 제 1 클럭 신호와 제 2 클럭 신호의 주기 차이를 나타낸 그래프이다.
- [0065] 먼저, 도 7을 참조하면, 제 1 증폭부(130)는 제 1 클럭 신호의 주기를 증폭할 수 있고, 제 2 증폭부(140)는 제 2 클럭 신호의 주기를 증폭할 수 있다. 이와 같은 제 1 증폭부(130) 및 제 2 증폭부(140)는 각각 직렬 연결된 하나 이상의 D-플립플롭을 포함할 수 있다.
- [0066] 제 1 클럭 신호와 제 2 클럭 신호를 D-플립플롭의 CLK단에 인가하고 QB를 입력단인 D에 연결한다. D-플립플롭은 클럭 신호가 상승 트리거할 때 출력단 값인 Q가 전이되므로 Q단은 CLK단에 인가된 클럭 신호 주기의 2배의 주기를 갖는 신호를 출력한다. 이를 이용하여 제 1 클럭 신호 출력부(110) 및 제 2 클럭 신호 출력부(120)의 링 오실레이터에서 출력된 제 1 클럭 신호와 제 2 클럭 신호의 주기를 증폭할 수 있다.
- [0067] 한편, 제 1 클럭 신호 출력부(110)는 M개의 CMOS 인버터로 구성된 게이트 채널 길이가 큰 링 오실레이터를 포함할 수 있고, 제 2 클럭 신호 출력부(120)는 N개의 CMOS 인버터로 구성된 게이트 채널 길이가 짧은 링 오실레이터를 포함할 수 있다. 이때, 제 1 클럭 신호와 제 2 클럭 신호의 주기 차이는 $M \cdot \beta - N \cdot \alpha$ 로 나타낼 수 있다.
- [0068] 고 분해능을 구현하기 위해서 M과 N의 값을 크게 설정할 경우 칩 면적의 비효율성을 유발시킬 수 있기 때문에, 제 1 증폭부(130) 및 제 2 증폭부(140)를 각각 x개만큼 직렬로 연결하여 두 클럭 신호의 주기 차이를 [수학식 7]과 같이 증폭할 수 있다.
- [0069] [수학식 7]

$$\Delta P(T) = 2^X (M \cdot \beta - N \cdot \alpha) \Delta T$$

- [0070]
- [0071] 도 8을 참조하면, 제 1 클럭 신호와 제 2 클럭 신호의 주기 차이는 0도 대비 100도에서 약 2.3ns를 나타내고 있는 반면, 제1 증폭부(130) 및 제 2 증폭부(140)를 통과한 제 1 클럭 신호 및 제 2 클럭 신호의 주기 차이는 0도에서 약 3.5ns, 100도에서 약 72.6ns 차이가 나는 것으로 나타나 증폭 전후 대비 약 32배가 증폭됨을 확인할 수 있다. 이와 같은, 선형적인 지연 시간의 차이를 디지털 출력으로 변환함으로써 본 발명에 따른 온도 감지 장치(100)는 아래에서 설명할 디지털 신호 출력부(150)를 통해 온도를 감지할 수 있다.
- [0072] 다시 도 6을 참조하면, 디지털 신호 출력부(150)는 제 1 클럭 신호와 제 2 클럭 신호를 수신하고, 제 2 클럭 신호를 지연시키기 위하여 제 1 단위 시간 지연부(151) 및 제 2 단위 시간 지연부(155)를 포함할 수 있다.
- [0073] 제 1 단위 시간 지연부(151)는 제 1 단위 지연 시간을 갖는 복수의 버퍼를 통해 제 2 클럭 신호를 지연시킬 수 있다. 그리고 제 2 단위 시간 지연부(155)는 제 2 단위 지연 시간을 갖는 복수의 버퍼를 통해 제 2 클럭 신호를 지연시킬 수 있다. 이때, 제 1 단위 지연 시간은 제 2 단위 지연 시간보다 크고, 제 1 단위 시간 지연부(151) 및 제 2 단위 시간 지연부(155)는 제 1 클럭 신호가 상승 전이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력할 수 있다.
- [0074] 한편, 본 발명에 따른 온도 감지 장치(100)는 클럭 신호 전달부(153)를 더 포함할 수 있다. 클럭 신호 전달부(153)는 제 1 클럭 신호가 상승 전이될 경우에 대응하는 제 2 클럭 신호의 지연 시간이 제 1 단위 지연시간보다 작을 경우, 제 2 클럭 신호를 제 2 단위 시간 지연부(155)로 전달할 수 있다.
- [0075] 이하에서는 도 9 및 도 10을 참조하여 제 1 단위 시간 지연부(151), 제 2 단위 시간 지연부(155) 및 클럭 신호 전달부(153)에 대하여 구체적으로 설명하도록 한다.
- [0076] 도 9는 제 1 단위 시간 지연부(151), 제 2 단위 시간 지연부(155) 및 클럭 신호 전달부(153)가 서로 접속된 회로도의 일 예시를 도시한 도면이고, 도 10은 제 1 단위 시간 지연부(151) 및 제 2 단위 시간 지연부(155)에서의 클럭 신호의 동작 특성을 도시한 도면이다.
- [0077] 도 9를 참조하면, 제 1 단위 시간 지연부(151)는 복수의 버퍼 및 D-플립플롭을 포함하고 있다. 복수의 버퍼는 각각 D-플립플롭의 D단으로 증폭된 제 2 클럭 신호를 전달할 수 있도록 접속되어 있으며, 증폭된 제 1 클럭 신호는 D-플립플롭의 CLK단으로 인가되어 상승 전이 된다. 버퍼를 통해 지연된 시간은 각각 D-플립플롭의 Q단을 통해 출력된다. 한편, 버퍼와 D-플립플롭 사이에는 각각 클럭 신호 전달부(153)와 각각 접속된 선로를 포함하고

있으며, 이를 통해 제 1 단위 지연 시간보다 작은 지연 시간을 제 2 단위 시간 지연부(155)로 전달할 수 있다. 버퍼와 D-플립플롭의 구성은 제 2 단위 시간 지연부(155)에서도 동일하게 형성될 수 있다.

[0078] 제 1 단위 시간 지연부(151)에 포함된 복수의 버퍼는 10a의 지연 시간을 갖고, 제 2 단위 시간 지연부(155)에 포함된 복수의 버퍼는 a의 지연 시간을 가질 수 있다.

[0079] 이때, 제 1 단위 시간 지연부(151)는 1개의 셀 당 10a의 시간 분해능을 가질 수 있으므로, 두 클럭 신호의 지연 시간 차이를 큰 시간 단위로 감지할 수 있다. 제 1 단위 시간 지연부(151)가 수신한 증폭된 제 1 클럭 신호가 D-플립플롭의 CLK단으로 인가됨과 동시에 제 2 클럭 신호는 각 단마다 10a의 지연 시간을 갖고 D_C[0:8] 신호가 되어 D-플립플롭의 입력단에 인가된다. 이를 통하여 제 1 클럭 신호와 제 2 클럭 신호의 지연 시간 차이는 10a의 큰 시간 단위의 분해능을 갖는 Q_C[0:8]로 변환되어 출력된다.

[0080] 클럭 신호 전달부(153)는 Q_C[0:8]과 D_C[0:8]을 논리 회로로 조합하여 제 1 단위 시간 지연부(151)에서의 시간 분해능 단위인 10a로 감지하지 못하는 나머지 시간을 제 2 단위 시간 지연부(155)로 전달한다. 따라서, 10a이하의 클럭 지연 시간 차이는 제 2 단위 시간 지연부(155)에서 a의 작은 시간 단위의 분해능을 갖는 출력 Q_F[0:8]로 변환된다.

[0081] 한편, 제 2 단위 시간 지연부(155)에서 디지털 신호가 출력되는 과정을 설명하면 다음과 같다. 증폭된 제 2 클럭 신호는 가장 낮은 동작 온도 조건에서 제 1 클럭 신호와 천이 시간이 갖도록 설정되어 있으며, 한 단의 버퍼를 통과할 때마다 a만큼 지연된다.

[0082] CELL<0>의 입력 신호인 D<0>은 증폭된 제 2 클럭 신호에서 a만큼 지연되고, CELL<1>의 입력 신호인 D<1>은 증폭된 제 2 클럭 신호에서 2a만큼 지연된다. 따라서, 마지막 단에서의 입력인 D<8>에서는 9a만큼 지연된다. 각 CELL의 D-플립플롭 CLK단에 인가된 제 1 클럭 신호가 상승 천이할 때 가장 낮은 동작 온도에서의 출력 Q_F[0:8]은 [000000000] 값을 갖는다. 높은 동작 온도 조건에서는 증폭된 제 1 클럭 신호가 증폭된 제 2 클럭 신호보다 큰 지연 시간을 갖는다. 따라서, 가장 높은 동작 온도 조건에서 제 2 클럭 신호의 상승 천이 시간과 제 1 클럭 신호의 상승 천이 시간이 10a이상의 차이를 갖는다고 가정할 경우, 출력 Q_F[0:8]은 [111111111] 값을 갖는다.

[0083] 이와 같이, 낮은 동작 온도와 높은 동작 온도 사이의 값을 갖는 임의의 온도일 때, 온도 변화의 정도가 디지털 출력의 변화로 나타날 수 있다. 예를 들어, 제 1 클럭 신호와 제 2 클럭 신호의 지연 시간이 2a 이상 3a 이하의 차이를 가질 경우, 출력값인 Q_F[0:8]은 [111000000] 값을 가질 수 있다. 이와 같은 동작 원리는 제 1 단위 시간 지연부(151)에도 적용될 수 있으며, 제 1 단위 시간 지연부(151)는 제 2 단위 시간 지연부(155)보다 더 큰 시간 분해능을 가지므로 더 큰 단위의 값을 출력하게 된다.

[0084] 다음으로 클럭 신호의 동작 특성을 설명하기 위하여 도 10을 참조하면, 제 1 단위 시간 지연부(151)에서 감지하지 못하는 나머지 시간(Residue)은 제 2 단위 시간 지연부(155)에서 작은 시간 단위의 감지를 통하여 디지털 코드로 변환된 후 출력된다.

[0085] 이에 따라 n개의 제 1 단위 시간 지연부(151) 및 n개의 제 2 단위 시간 지연부(155)를 포함하는 디지털 신호 출력부(150)는 100a의 시간 차이를 $(n+1)^2$ 비트의 디지털 신호로 출력할 수 있다. 따라서, 본 발명에 따른 온도 감지 장치(100)는 출력 노드의 개수가 감소하게 되므로 칩 단면적을 감소시킬 수 있으며, 고 분해능을 구현할 수 있다.

[0086] 도 11은 본 발명의 일 실시예에 따른 온도 감지 장치(100)를 이용하여 온도를 감지하기 위한 방법의 순서도이다.

[0087] 본 발명에 따른 온도 감지 방법은 먼저, 제 1 클럭 신호 출력부(110) 및 제 2 클럭 신호 출력부(120)에서 입력 신호를 입력 받은 후, 입력 신호를 지연시켜 제 1 클럭 신호 및 제 2 클럭 신호를 출력한다(S110).

[0088] 제 1 클럭 신호 출력부(110)는 제 1 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 입력 신호를 지연시킨 제 1 클럭 신호를 출력한다. 이와 더불어, 제 2 클럭 신호 출력부(120)는 제 2 지연 시간을 갖는 직렬 연결된 하나 이상의 트랜지스터를 포함하는 링 오실레이터를 통해 입력 신호를 지연시킨 제 2 클럭 신호를 출력한다.

[0089] 이때, 제 1 클럭 신호 출력부(110)에 포함된 트랜지스터의 게이트 채널 길이는 제 2 클럭 신호 출력부(120)에 포함된 트랜지스터의 게이트 채널 길이보다 길게 형성되어 있다. 그리고 제 2 클럭 신호는 제 1 클럭 신호와 기

설정된 기준 온도에서 천이 시간이 동일하도록 설정되어 있다.

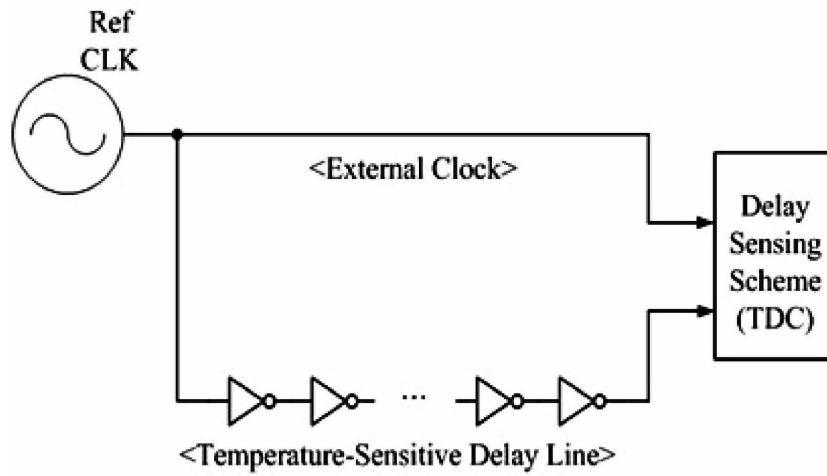
- [0090] 한편, 본 발명에 따른 온도 감지 방법은 지연된 제 1 클럭 신호의 주기를 증폭하는 단계 및 지연된 제 2 클럭 신호의 주기를 증폭하는 단계를 더 포함할 수 있다(S120). 이때, 각 클럭 신호 주기의 증폭은 각각 직렬 연결된 하나 이상의 D-플립플롭을 통해 증폭된다. 제 1 클럭 신호 및 제 2 클럭 신호의 주기를 증폭하는 단계에 대해서는 도 7 및 도 8에서 구체적으로 설명하였으므로, 이하에서는 생략하도록 한다.
- [0091] 다음으로, 제 2 클럭 신호를 지연시키기 위하여 단위 지연 시간을 갖는 복수의 버퍼를 포함하는 디지털 신호 출력부(150)에서 제 1 클럭 신호와 제 2 클럭 신호를 수신하고(S130), 디지털 신호 출력부(150)가 제 2 클럭 신호를 지연시킨다(S140).
- [0092] 다음으로, 디지털 신호 출력부(150)가 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 값을 디지털 신호로 출력한다(S150).
- [0093] 이때, 디지털 신호 출력부(150)는 제 1 단위 지연 시간을 갖는 복수의 버퍼를 포함하는 제 1 단위 시간 지연부(151) 및 제 2 단위 지연 시간을 갖는 복수의 버퍼를 포함하는 제 2 단위 시간 지연부(155)를 더 포함할 수 있다. 이에 따라 디지털 신호 출력부(150)가 제 2 클럭 신호를 지연시키는 단계는, 제 1 단위 시간 지연부(151)에서 제 2 클럭 신호를 지연시키고, 제 2 단위 시간 지연부(155)에서 제 2 클럭 신호를 지연시키는 단계를 더 포함할 수 있다. 이때, 제 1 단위 지연 시간은 제 2 단위 지연 시간보다 클 수 있다.
- [0094] 이와 더불어, 본 발명에 따른 온도 감지 방법은 제 1 단위 시간 지연부(151)에서 제 1 클럭 신호가 상승 천이될 경우에 제 2 클럭 신호의 값을 디지털 신호로 출력하고, 제 2 단위 시간 지연부(155)에서 제 1 클럭 신호가 상승 천이될 경우에 제 2 클럭 신호의 값을 디지털 신호로 출력하는 단계를 더 포함할 수 있다.
- [0095] 이때, 제 1 클럭 신호가 상승 천이될 경우에 대응하는 제 2 클럭 신호의 지연 시간이 제 1 단위 지연 시간보다 작을 경우, 제 2 클럭 신호를 제 2 단위 시간 지연부(155)로 전달할 수 있다.
- [0096] 한편, 제 1 단위 시간 지연부(151), 제 2 단위 시간 지연부(155) 및 제 2 클럭 신호를 제 2 단위 시간 지연부(155)로 전달하는 단계에 대한 설명은 도 9 및 도 10에서 구체적으로 설명하였으므로 이하에서는 생략하도록 한다.
- [0097] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0098] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

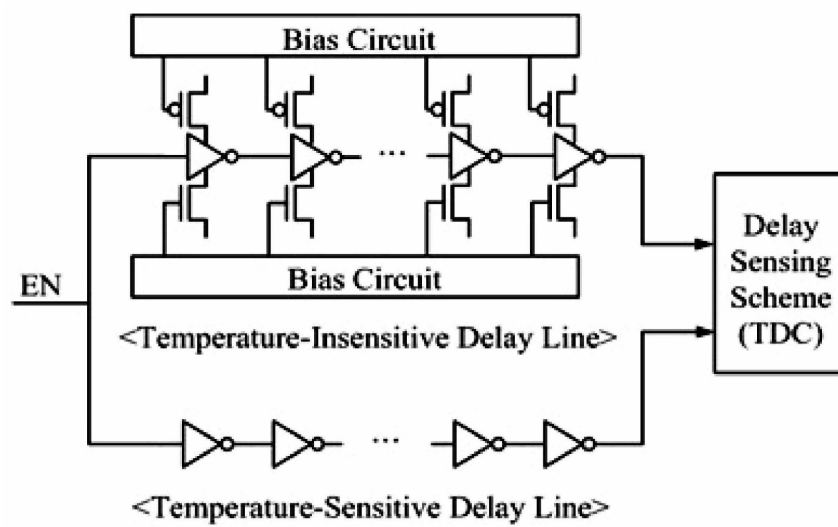
- | | | |
|--------|--------------------|--------------------|
| [0099] | 100: 온도 감지 장치 | 110: 제 1 클럭 신호 증폭부 |
| | 120: 제 2 클럭 신호 증폭부 | 130: 제 1 증폭부 |
| | 140: 제 2 증폭부 | 150: 디지털 신호 출력부 |
| | 151: 제 1 단위 시간 지연부 | 153: 클럭 신호 전달부 |
| | 155: 제 2 단위 시간 지연부 | |

도면

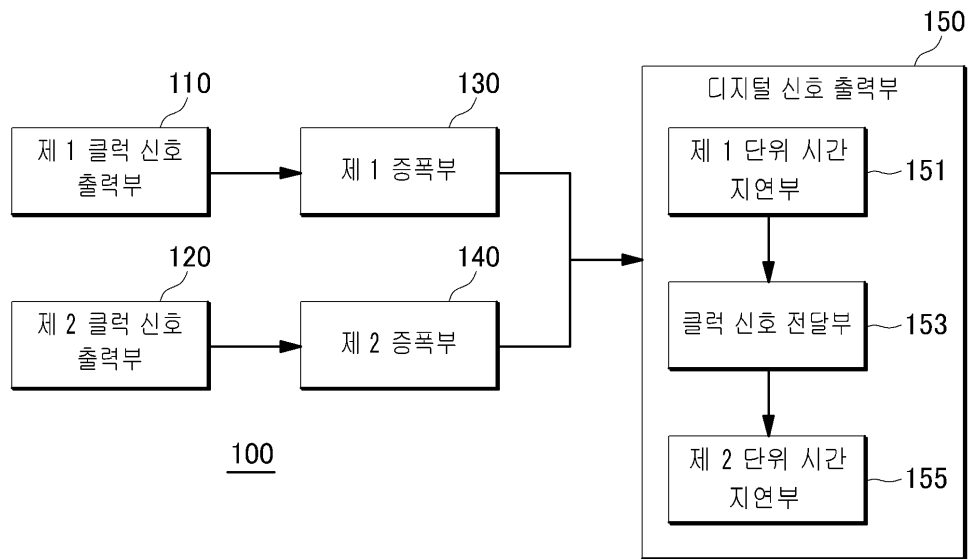
도면1



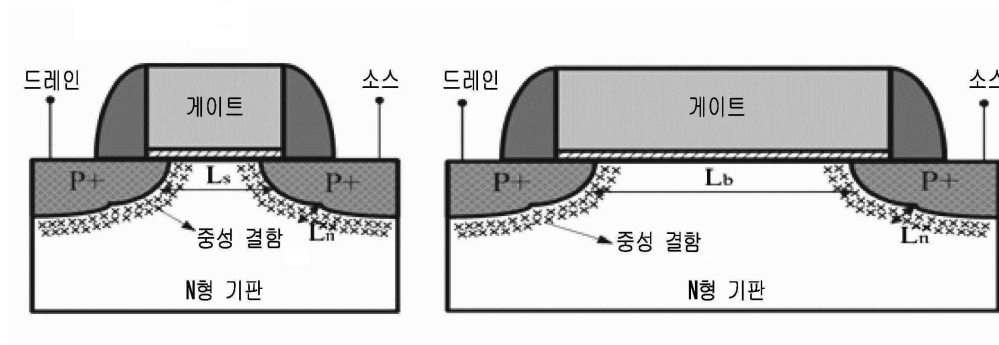
도면2



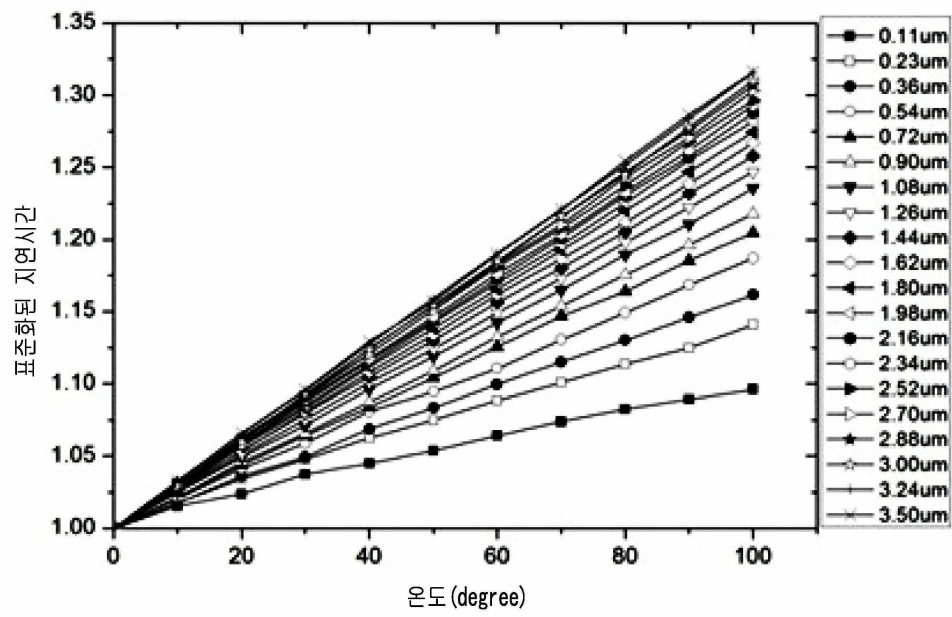
도면3



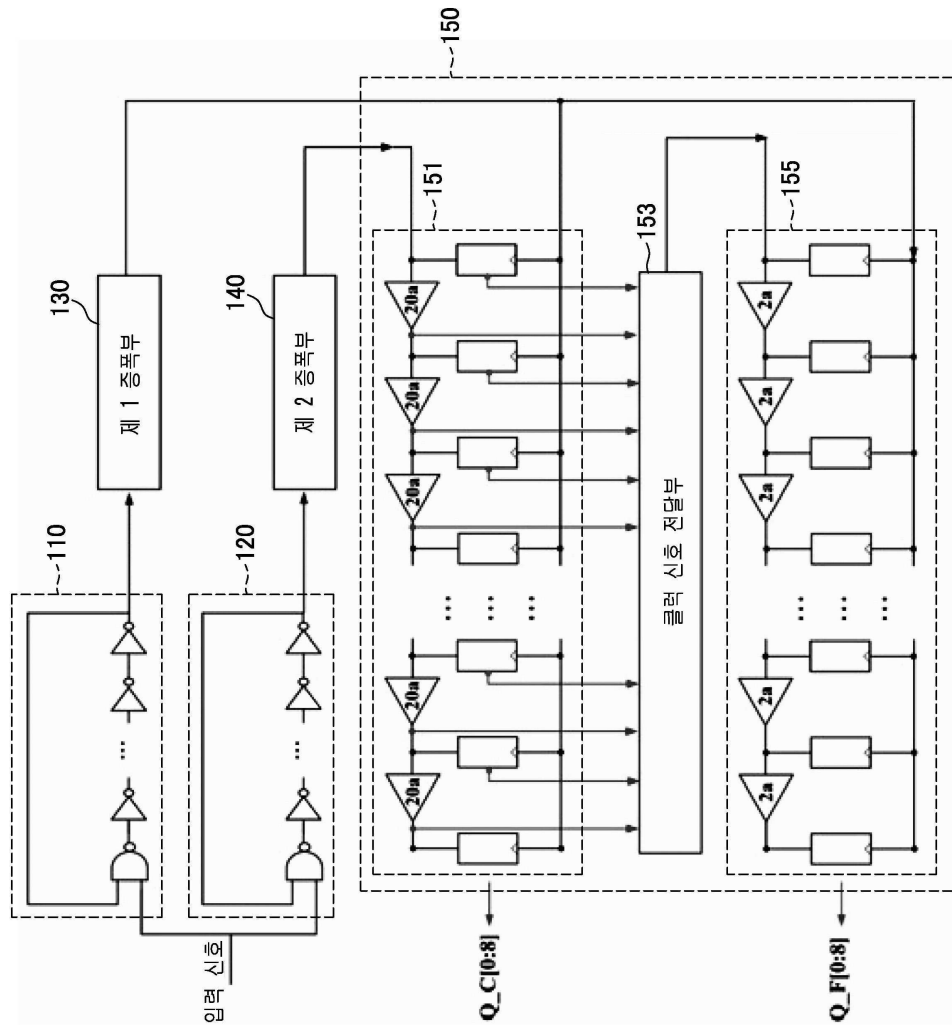
도면4



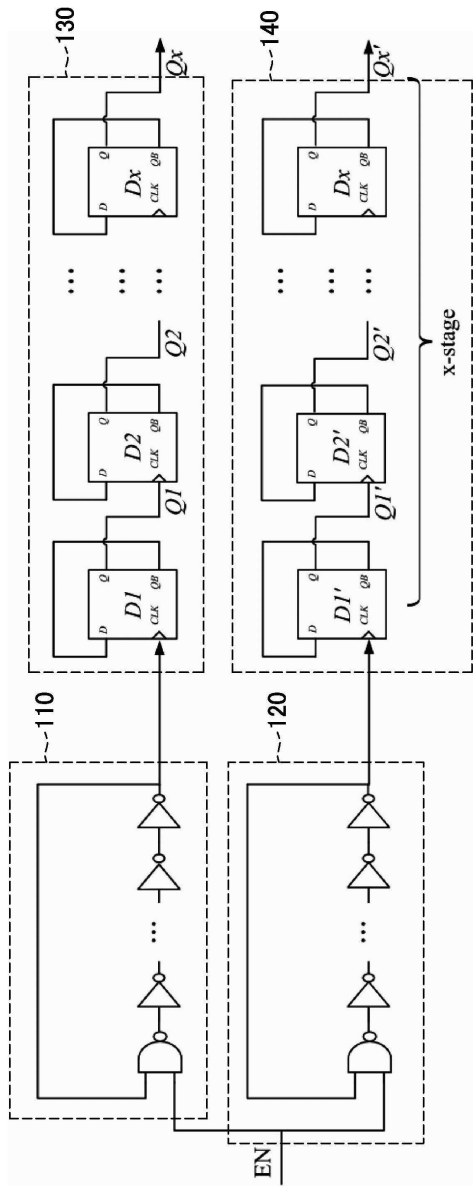
도면5



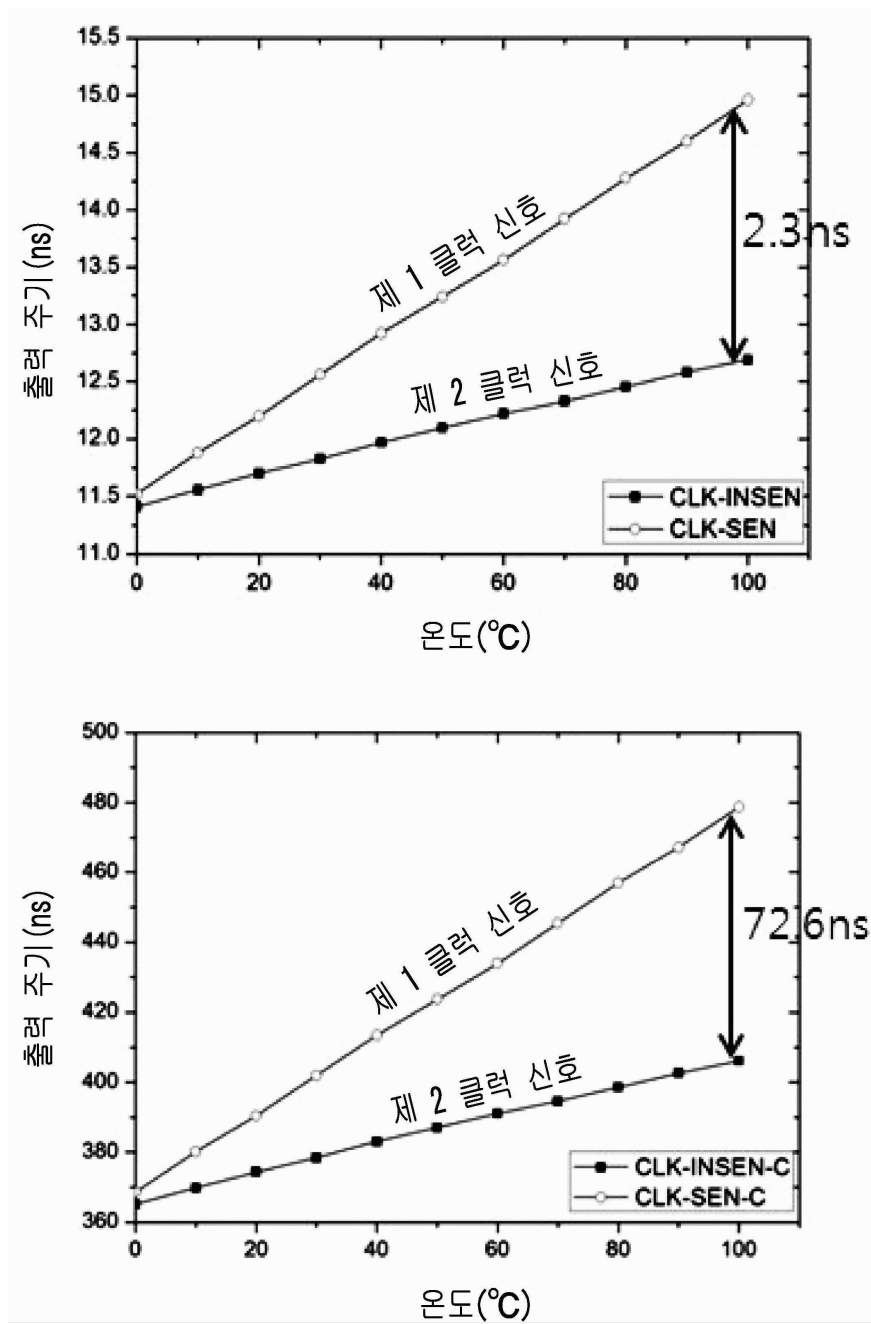
도면6



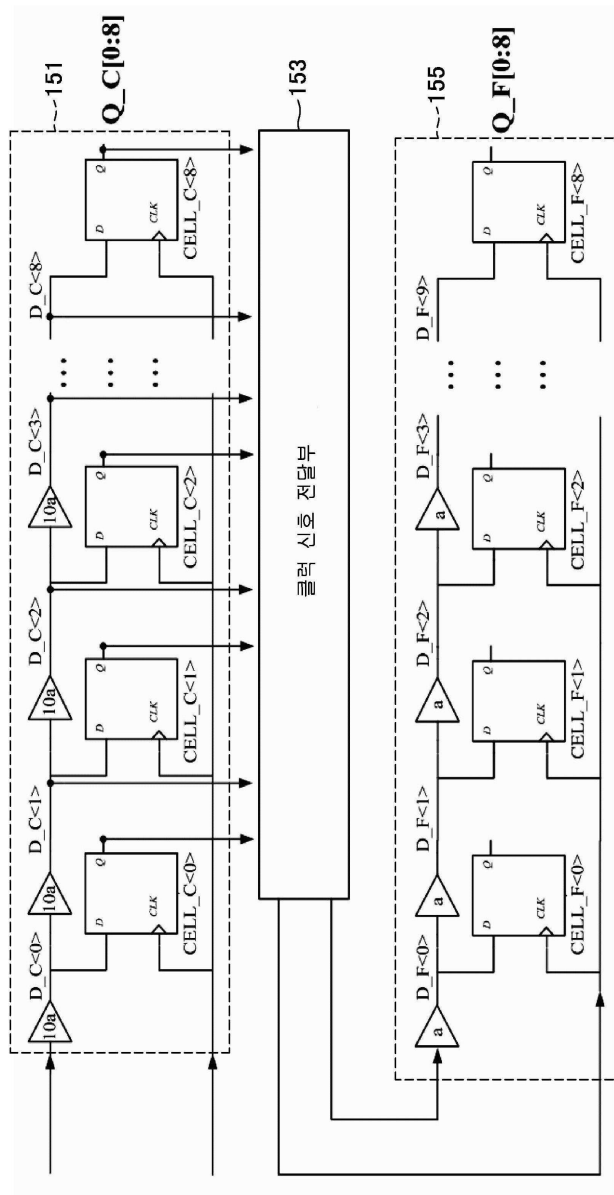
도면7



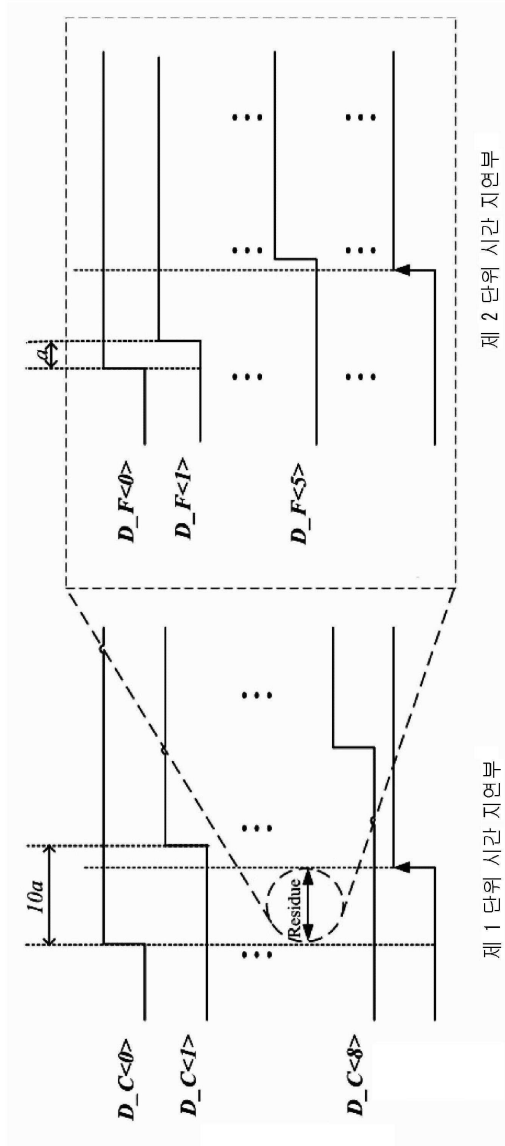
도면8



도면9



도면10



도면11

