

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】令和2年9月17日(2020.9.17)

【公表番号】特表2019-526943(P2019-526943A)

【公表日】令和1年9月19日(2019.9.19)

【年通号数】公開・登録公報2019-038

【出願番号】特願2018-541609(P2018-541609)

【国際特許分類】

H 04 L 12/70 (2013.01)

【F I】

H 04 L 12/70 Z

【手続補正書】

【提出日】令和2年8月6日(2020.8.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

高性能コンピューティング環境において高速ハイブリッド再構成をサポートするためのシステムであって、

1つ以上のマイクロプロセッサと、

第1のサブネットとを含み、前記第1のサブネットは、

複数のスイッチを含み、前記複数のスイッチは少なくともリーフスイッチを含み、前記複数のスイッチの各々は複数のスイッチポートを含み、前記第1のサブネットはさらに、

各々が少なくとも1つのホストチャネルアダプタポートを含む複数のホストチャネルアダプタと、

複数のエンドノードとを含み、前記複数のエンドノードの各々は、前記複数のホストチャネルアダプタのうち少なくとも1つのホストチャネルアダプタに関連付けられており、

前記第1のサブネットのうちの前記複数のスイッチは、複数のレベルを有するネットワークアーキテクチャに配置され、前記複数のレベルの各々は、前記複数のスイッチのうち少なくとも1つのスイッチを含み、

前記複数のスイッチは、最初に第1の構成方法に従って構成され、前記第1の構成方法は、前記複数のエンドノードについての第1の順序付けに関連付けられており、

前記複数のスイッチのサブセットは前記第1のサブネットのサブ・サブネットとして構成されており、前記第1のサブネットの前記サブ・サブネットは、前記第1のサブネットの前記複数のレベルよりも少ないいくつかのレベルを含み、

前記第1のサブネットの前記サブ・サブネットは第2の構成方法に従って再構成されるシステム。

【請求項2】

前記第1のサブネットの前記複数のエンドノードは前記複数のスイッチを介して相互接続される、請求項1に記載のシステム。

【請求項3】

前記複数のエンドノードのサブセットは前記第1のサブネットの前記サブ・サブネットに関連付けられており、

前記第1のサブネットの前記サブ・サブネットは、前記複数のエンドノードのサブセット間のトラフィックが前記第1のサブネットの前記サブ・サブネットとして構成された前記複数のスイッチの前記サブセットに制限されるように構成されている、請求項2に記載のシステム。

【請求項4】

前記第2の構成方法は、前記第1のサブネットの前記サブ・サブネットに関連付けられた前記複数のエンドノードの前記サブセットのうち少なくとも2つのエンドノードについての第2の順序付けに関連付けられている、請求項3に記載のシステム。

【請求項5】

前記第1のサブネットの前記サブ・サブネットに関連付けられた前記複数のエンドノードの前記サブセットのうち前記少なくとも2つのエンドノードについての前記第2の順序付けは、システムアドミニストレータから受取られる、請求項4に記載のシステム。

【請求項6】

前記第1のサブネットの前記サブ・サブネットに関連付けられた前記複数のエンドノードの前記サブセットのうち少なくとも2つのエンドノードについての前記第2の順序付けは、管理エンティティから受取られる、請求項4に記載のシステム。

【請求項7】

前記第1のサブネットはインフィニバンドサブネットを含み、

前記管理エンティティは、

サブネットマネージャ、

ファブリックマネージャ、および、

グローバルファブリックマネージャからなる群から選択される管理エンティティである、請求項6に記載のシステム。

【請求項8】

高性能コンピューティング環境において高速ハイブリッド再構成をサポートするための方法であって、

1つ以上のマイクロプロセッサにおいて第1のサブネットを設けるステップを含み、前記第1のサブネットは、

複数のスイッチを含み、前記複数のスイッチは少なくともリーフスイッチを含み、前記複数のスイッチの各々は複数のスイッチポートを含み、前記第1のサブネットはさらに、

各々が少なくとも1つのホストチャネルアダプタポートを含む複数のホストチャネルアダプタと、

複数のエンドノードとを含み、前記複数のエンドノードの各々は、前記複数のホストチャネルアダプタのうち少なくとも1つのホストチャネルアダプタに関連付けられており、前記方法はさらに、

複数のレベルを有するネットワークアーキテクチャにおいて、前記第1のサブネットのうちの前記複数のスイッチを配置するステップを含み、前記複数のレベルの各々は、前記複数のスイッチのうち少なくとも1つのスイッチを含み、前記方法はさらに、

第1の構成方法に従って前記複数のスイッチを構成するステップを含み、前記第1の構成方法は、前記複数のエンドノードについての第1の順序付けに関連付けられており、前記方法はさらに、

前記複数のスイッチのサブセットを前記第1のサブネットのサブ・サブネットとして構成するステップを含み、前記第1のサブネットの前記サブ・サブネットは、前記第1のサブネットの前記複数のレベルよりも少ないいくつかのレベルを含み、前記方法はさらに、

第2の構成方法に従って前記第1のサブネットの前記サブ・サブネットを再構成するステップを含む、方法。

【請求項9】

前記第1のサブネットの前記複数のエンドノードは前記複数のスイッチを介して相互接続される、請求項8に記載の方法。

【請求項 10】

前記複数のエンドノードのサブセットは前記第1のサブネットの前記サブ・サブネットに関連付けられており、

前記第1のサブネットの前記サブ・サブネットは、前記複数のエンドノードのサブセット間のトラフィックが前記第1のサブネットの前記サブ・サブネットとして構成された前記複数のスイッチの前記サブセットに制限されるように構成されている、請求項9に記載の方法。

【請求項 11】

前記第2の構成方法は、前記第1のサブネットの前記サブ・サブネットに関連付けられた前記複数のエンドノードの前記サブセットのうちの少なくとも2つのエンドノードについての第2の順序付けに関連付けられている、請求項10に記載の方法。

【請求項 12】

前記第1のサブネットの前記サブ・サブネットに関連付けられた前記複数のエンドノードの前記サブセットのうちの前記少なくとも2つのエンドノードについての前記第2の順序付けは、システムアドミニストレータから受取られる、請求項11に記載の方法。

【請求項 13】

前記第1のサブネットの前記サブ・サブネットに関連付けられた前記複数のエンドノードの前記サブセットのうちの前記少なくとも2つのエンドノードについての前記第2の順序付けは、管理エンティティから受取られる、請求項11に記載の方法。

【請求項 14】

前記第1のサブネットはインフィニバンドサブネットを含み、

前記管理エンティティは、

サブネットマネージャ、

ファブリックマネージャ、および、

グローバルファブリックマネージャからなる群から選択される管理エンティティである、請求項13に記載の方法。

【請求項 15】

機械読み取り可能なフォーマットのプログラム命令を含むコンピュータプログラムであつて、前記プログラム命令がコンピュータシステムによって実行されると、前記コンピュータシステムに請求項8から13のいずれかに記載の方法を実行させる、コンピュータプログラム。