



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I419631 B

(45) 公告日：中華民國 102 (2013) 年 12 月 11 日

(21) 申請案號：100144642

(22) 申請日：中華民國 100 (2011) 年 12 月 05 日

(51) Int. Cl. :

*H05K3/30 (2006.01)**H05K9/00 (2006.01)*

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：吳欣庭 WU, HSIN TING (TW)；蕭開元 SIAO, KAI YUAN (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW 589930

審查人員：王珮如

申請專利範圍項數：21 項 圖式數：7 共 0 頁

(54) 名稱

多層電路板以及靜電放電保護結構

MULTI-LAYERED CIRCUIT BOARD AND ELECTRO-STATIC DISCHARGE PROTECTION STRUCTURE

(57) 摘要

一種靜電放電保護結構，其包括第一絕緣層、圖案化導電層、靜電釋放層和焊罩層。第一絕緣層具有第一表面、第二表面以及貫孔。圖案化導電層位於第一表面且至少部份環繞貫孔邊緣。靜電釋放層位於第二表面，至少部分靜電釋放層位於貫孔邊緣且與圖案化導電層之間電性絕緣。焊罩層覆蓋第一絕緣層與部分圖案化導電層並暴露出部分環繞貫孔的圖案化導電層。此外，本申請案另提供一種多層電路板，其包括第二絕緣層、供電層、第三絕緣層與前述之靜電放電保護結構。

An electro-static discharge (ESD) protection structure including a first insulating layer, a patterned conductive layer, an ESD releasing layer and solder mask layer is provided. The first insulating layer has a first surface, a second surface opposite thereto and a through hole. The patterned conductive layer is located on the first surface and surrounds an edge of the through hole. The ESD releasing layer is located on the second surface, at least parts of the ESD releasing layer is located around the edge of the through hole, and the ESD releasing layer is electrically insulating from the patterned conductive layer. The solder mask layer covers the first insulating layer and parts of the patterned conductive layer such that parts of the patterned conductive layer surrounding the through hole is exposed. Additionally, a multi-layered circuit board including a second insulating layer, a power supply layer, a third insulating layer and the above-mentioned ESD protection structure is also provided.

- 100 . . . 多層電路板
- 112 . . . 第一缺口
- 113 . . . 圖案化導電層
- 117 . . . 貫孔
- 119 . . . 焊罩層
- A . . . 電子元件
- B . . . 電子元件
- L . . . 導線
- T1、T2 . . . 端點

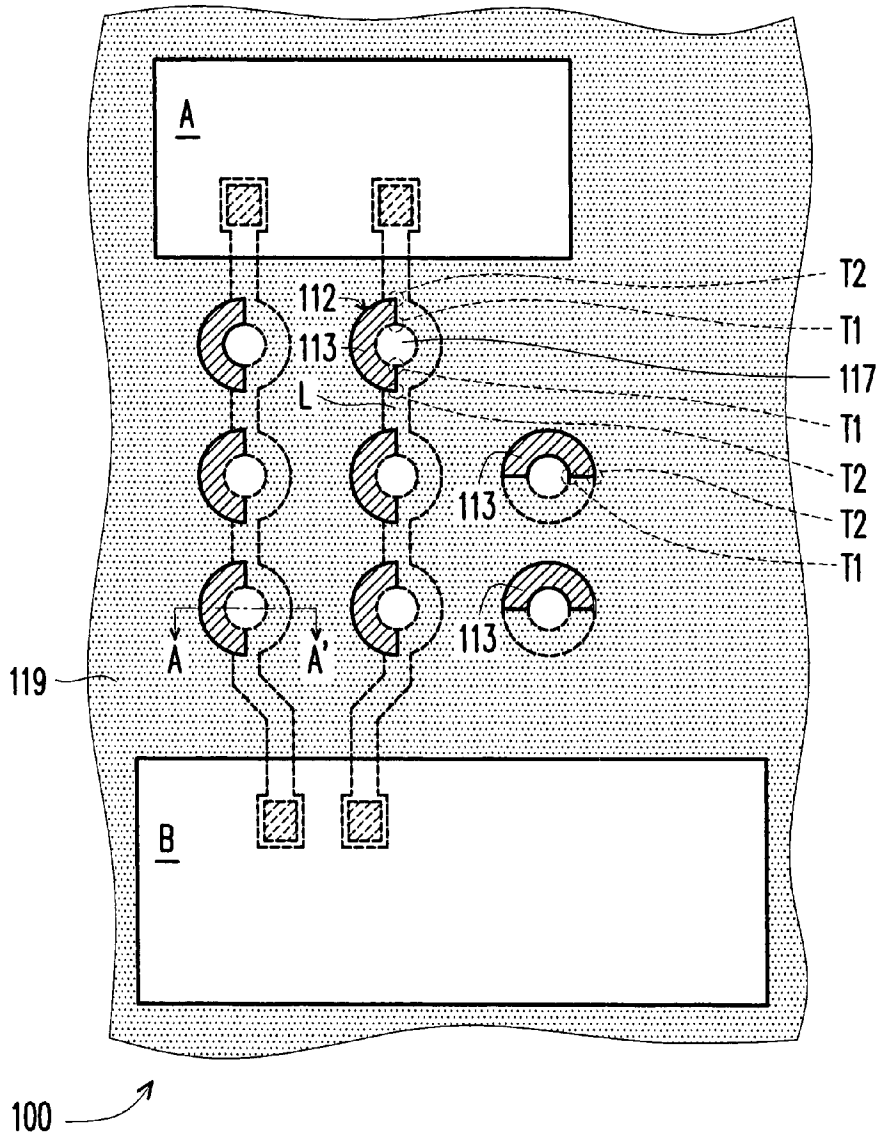


圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(00) 144642

H05K 3130 (2006.01)

※申請日：2006.12.07

※IPC 分類：

H05K 9100 (2006.01)

一、發明名稱：

多層電路板以及靜電放電保護結構 /
MULTI-LAYERED CIRCUIT BOARD AND
ELECTRO-STATIC DISCHARGE PROTECTION
STRUCTURE

二、中文發明摘要：

一種靜電放電保護結構，其包括第一絕緣層、圖案化導電層、靜電釋放層和焊罩層。第一絕緣層具有第一表面、第二表面以及貫孔。圖案化導電層位於第一表面且至少部份環繞貫孔邊緣。靜電釋放層位於第二表面，至少部分靜電釋放層位於貫孔邊緣且與圖案化導電層之間電性絕緣。焊罩層覆蓋第一絕緣層與部分圖案化導電層並暴露出部分環繞貫孔的圖案化導電層。此外，本申請案另提供一種多層電路板，其包括第二絕緣層、供電層、第三絕緣層與前述之靜電放電保護結構。

三、英文發明摘要：

An electro-static discharge (ESD) protection structure including a first insulating layer, a patterned conductive layer,

an ESD releasing layer and solder mask layer is provided. The first insulating layer has a first surface, a second surface opposite thereto and a through hole. The patterned conductive layer is located on the first surface and surrounds an edge of the through hole. The ESD releasing layer is located on the second surface, at least parts of the ESD releasing layer is located around the edge of the through hole, and the ESD releasing layer is electrically insulating from the patterned conductive layer. The solder mask layer covers the first insulating layer and parts of the patterned conductive layer such that parts of the patterned conductive layer surrounding the through hole is exposed. Additionally, a multi-layered circuit board including a second insulating layer, a power supply layer, a third insulating layer and the above-mentioned ESD protection structure is also provided.

四、指定代表圖：

(一)本案指定代表圖為：圖 1

(二)本代表圖之元件符號簡單說明：

100：多層電路板

112：第一缺口

113：圖案化導電層

117：貫孔

119：焊罩層

A：電子元件

B：電子元件

L：導線

T1、T2：端點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種多層電路板，特別是一種具有靜電放電保護結構的多層電路板。

【先前技術】

一般積體電路(integrated circuit, IC)在製造的過程中或是製造完成之後，靜電放電(electrostatic discharge, ESD)常是導致積體電路損壞的主要原因。以組裝於印刷電路板上的電子元件為例，靜電放電通常會造成印刷電路板上的電子元件(如晶片)損傷。因此，積體電路本身通常需要具備靜電防護的功能，以避免外來的靜電流對其造成損害。除了積體電路本身需具備靜電防護的功能外，印刷電路板(Printed Circuit Board, PCB)在生產與組裝過程中，亦通常會作業人員的手、其他印刷電路板或是相關的組裝機械、測試機具等接觸，因此靜電放電有可能會損壞印刷電路板本身或印刷電路板上的積體電路。

通常，防止靜電放電損壞電子元件的一種方法是防止靜電電荷積累，從而避免靜電累積後而瞬間放電的現象。為了避免靜電電荷的累積，現有技術多採用端點放電的方式使靜電電荷釋放。當導體內有累積有靜電電荷時，由於導體內部之淨電場為零，因此，這些電荷將分佈在導體的表面。當達平衡狀態時，導體表面為一等位面，且物體表面曲率越大者電荷密度越高；物體表面曲率越小者電荷密

度越低。在強電場作用下，物體表面曲率大的地方(如尖銳物的頂端)，等電位面密，電場強度劇增，並使物體附近空氣被電離並游離為正負離子，且端點吸引異性離子，中和產生放電現象，即為端點放電。

防止靜電放電損壞電子元件的另一種方法是提升電子元件(如積體電路)本身對靜電放電防護的能力。舉例而言，可採用串聯電阻或是並聯電容於電路上，以限制流經積體電路的靜電放電電流，進而有效防止靜電放電對電子元件的損壞。若遇到靜電放電破壞力強大的狀況下，甚至可並聯暫態電壓抑制器(Transient Voltage Suppressor, TVS)或是限流二極體(Zener Diode)來限流，然而，暫態電壓抑制器與限流二極體的使用不僅會增加電路的複雜度，也增加製造成本。此外，暫態電壓抑制器與限流二極體的使用有違電路板設計尺寸越來越小的趨勢。

【發明內容】

有鑑於此，本申請案提供一種多層電路板，以改善靜電放電對電子元件的損害。

本申請案提供一種多層電路板，其包括第一絕緣層、圖案化導電層、靜電釋放層、第二絕緣層、供電層以及第三絕緣層。第一絕緣層具有第一表面、第二表面以及貫孔。圖案化導電層位於第一表面，至少部份圖案化導電層環繞貫孔邊緣。靜電釋放層位於第二表面，至少部分靜電釋放層位於貫孔邊緣，其中圖案化導電層與靜電釋放層之間電

性絕緣。第二絕緣層位於第一絕緣層下，使靜電釋放層夾於第一絕緣層與第二絕緣層之間，而供電層與靜電釋放層分別位於第二絕緣層之對側，且第三絕緣層位於第二絕緣層下，使供電層夾於第二絕緣層與第三絕緣層之間，其中貫孔同時貫穿第二絕緣層、供電層與第三絕緣層，且貫孔內壁不具有導電材料。

在本申請案之一實施例中，前述之貫孔同時貫穿第二絕緣層、供電層與第三絕緣層，且貫孔內壁不具有導電材料。

在本申請案之一實施例中，前述之圖案化導電層包括一導線，且貫孔位於導線之佈局範圍內。

在本申請案之一實施例中，前述之圖案化導電層包括一導線，且貫孔位於導線之佈局範圍外。

在本申請案之一實施例中，前述之靜電放電保護結構更包括焊罩層覆蓋圖案化導電層，其中焊罩層具有至少一第一缺口對應於該貫孔，並且暴露出部分環繞貫孔的圖案化導電層。

在本申請案之一實施例中，前述之第一缺口所暴露出的圖案化導電層包括半環狀。

在本申請案之一實施例中，前述之暴露的圖案化導電層之半環狀的端點具有至少一靜電放電結構。

在本申請案之一實施例中，前述之靜電釋放層具有將第二表面暴露的第二缺口位於貫孔邊緣，且第二缺口呈半環狀，以使部分位於貫孔邊緣的靜電釋放層具有至少一靜

電放電結構。

在本申請案之一實施例中，前述之第一缺口位於第二缺口上方。

在本申請案之一實施例中，前述之靜電放電結構位於貫孔邊緣。

在本申請案之一實施例中，前述之暴露出圖案化導電層的形狀包括扇形，扇形的端點具有至少一靜電放電結構。

在本申請案之一實施例中，前述之環繞貫孔邊緣之至少部份圖案化導電層實質上為一環狀結構。

在本申請案之一實施例中，前述之環繞貫孔邊緣之至少部份圖案化導電層實質上為一半環狀結構。

本申請案另提出一種靜電放電保護結構，包括第一絕緣層、圖案化導電層、靜電釋放層以及焊罩層。第一絕緣層具有第一表面、第二表面以及貫孔。圖案化導電層位於第一表面，至少部份圖案化導電層環繞貫孔邊緣。靜電釋放層位於第二表面，至少部分靜電釋放層位於貫孔邊緣，其中圖案化導電層與靜電釋放層之間電性絕緣。焊罩層覆蓋第一絕緣層與部分圖案化導電層，並且暴露出部分環繞貫孔的圖案化導電層，其中貫孔內壁不具有導電材料。

在本申請案之一實施例中，前述之貫孔同時貫穿第二絕緣層、供電層與第三絕緣層，且貫孔內壁不具有導電材料。

在本申請案之一實施例中，前述之第一缺口所暴露出的圖案化導電層包括半環狀。

在本申請案之一實施例中，前述之暴露的圖案化導電層之半環狀的端點具有至少一靜電放電結構。

在本申請案之一實施例中，前述之靜電釋放層具有將第二表面暴露的第二缺口位於貫孔邊緣，且第二缺口呈半環狀，已使部分位於貫孔邊緣的靜電釋放層具有至少一靜電放電結構。

在本申請案之一實施例中，前述之第一缺口位於第二缺口上方。

在本申請案之一實施例中，前述之靜電放電結構位於貫孔邊緣。

在本申請案之一實施例中，前述之暴露出圖案化導電層的形狀包括扇形，扇形的端點具有至少一靜電放電結構。

在本申請案之一實施例中，前述之環繞貫孔邊緣之至少部份圖案化導電層實質上為一環狀結構。

在本申請案之一實施例中，前述之環繞貫孔邊緣之至少部份圖案化導電層實質上為一半環狀結構。

本申請案不需額外地增加印刷電路板的線路佈局面積，在製作上與現有印刷電路板的製程相容，且不會造成製造成本的負擔。此外，本申請案可以在印刷電路板中的任意位置上製作出所需數量的靜電放電保護結構，因此印刷電路板上之電子元件可以獲得十分良好的靜電防護效果。

為讓本申請案之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細

說明如下。

【實施方式】

圖 1 為本發明一實施例之多層電路板的上視示意圖，而圖 2A 為沿著圖 1 中的 A-A' 截面之剖面示意圖。請同時參照圖 1 及圖 2A，本實施例之多層電路板 100 內整合有靜電放電保護結構 110。詳言之，靜電放電保護結構 110 係與多層電路板 100 中的線路(trace)整合，可增進多層電路板 100 的信賴性(reliability)。

在本實施例中，靜電放電保護結構 110 包括第一絕緣層 111、圖案化導電層 113 以及靜電釋放層 115。當靜電放電保護結構 110 係整合於多層電路板 100 之中時，多層電路板 100 內的核心層(core layer)、壓合介電層(laminated dielectric layer)或增層介電層(build-up dielectric layer)可用以作為靜電放電保護結構 110 的第一絕緣層 111。另外，多層電路板 100 中的導電圖案（例如訊號層與接地層）可用以作為靜電放電保護結構 110 的圖案化導電層 113 與靜電釋放層 115。舉例而言，多層電路板 100 中的訊號層可以用以作為靜電放電保護結構 110 的圖案化導電層 113，而多層電路板 100 中的接地層可以用以作為靜電放電保護結構 110 的靜電釋放層 115。

在本實施例中，第一絕緣層 111 的材質例如為玻璃纖維、氧化矽、氮化矽等介電材料，而圖案化導電層 113 與靜電釋放層 115 之材質例如為銅或其他導電材料。

在本實施例之靜電放電保護結構 110 中，第一絕緣層 111 具有第一表面 111a、第二表面 111b 以及貫孔 117，而圖案化導電層 113 位於第一表面 111a 上，其中至少部分圖案化導電層 113 環繞貫孔 117 邊緣。此外，靜電釋放層 115 位於第二表面 111b，至少部分靜電釋放層 115 位於貫孔 117 邊緣，其中圖案化導電層 113 與靜電釋放層 115 之間彼此電性絕緣。

從圖 2A 可清楚得知，本實施例之貫孔 117 實質上貫穿多層電路板 100，且其內壁上未分佈有導電材料，有別於一般印刷電路板中用以導通不同層圖案化線路之導電貫孔(conductive via)。然而，本申請案並不限定貫孔 117 的內壁不可以有導電材料。換言之，在其他可行的實施例中，貫孔 117 之內壁上可選擇性地設置導電材料，但此位於貫孔 117 之導電材料，仍須與圖案化導電層 113 以及靜電釋放層 115 電性絕緣。

請參照圖 2A，本實施例之多層電路板 100 可進一步包括一焊罩層 119，此焊罩層 119 係覆蓋住圖案化導電層 113 的部分區域，詳言之，前述之焊罩層 119 具有第一缺口 112，此第一缺口 112 位於貫孔 117 外，並且將圖案化導電層 113 的部分區域暴露，例如環繞貫孔之圖案化導電層 113 實質上為環狀圖案，第一缺口 112 例如為半環狀的圖案而暴露出半環狀的圖案化導電層 113，前述半環狀具有至少一端點 T1，且端點 T1 指向貫孔 117 邊緣。端點 T1 形成靜電的尖端放電結構。

此外，本實施例之多層電路板 100 亦可進一步包括第二絕緣層 130、供電層 150 以及第三絕緣層 170，其中第二絕緣層 130 位於第一絕緣層 111 下，以使靜電釋放層 115 夾於第二絕緣層 130 與第一絕緣層 111 之間，供電層 150 位於第二絕緣層 130 下，而靜電釋放層 115 與供電層 150 分別位於第二絕緣層 130 之上、下兩對側，且第三絕緣層 170 位於第二絕緣層 130 下，以使供電層 150 夾於第三絕緣層 170 與第二絕緣層 130 之間。然而，值得注意的是，本實施例並不限定多層電路板 100 必須具備如圖 2A 所繪示之剖面，本實施例仍可將靜電放電保護結構 110 整合於其他型態之多層電路板中。

如圖 2A 所示，供電層 150 與貫孔 117 的邊緣保持一特定距離，以避免端點 T1 對供電層 150 進行放電，進而造成電壓不穩甚至元件損壞。然而，本申請案並不限定供電層 150 必須與貫孔 117 的邊緣保持一特定距離，當端點 T1 與供電層 150 的水平高度差異足夠大時，端點 T1 對供電層 150 進行放電的機率便大幅下降，此時，供電層 150 仍可接觸延伸至貫孔 117 邊緣。

圖 2B 為本申請案另一實施例沿著圖 1 中 A-A' 截面之剖面示意圖。請同時參照圖 1 與圖 2B，於此實施例中，端點 T1 無須由焊罩層 119 的第一缺口 112 定義，而是圖案化導電層 113 本身即具有端點 T1，但此端點 T1 仍須被暴露於外。詳言之，本實施例之圖案化導電層 113 例如未完整地環繞貫孔 117 之邊緣，且圖案化導電層 113 例如具有

半環狀圖案（類似於圖 1 中第一缺口 112 的形狀）。

在本實施例之多層電路板 100 中，圖案化導電層 113 包括一條或是多條導線 L，且貫孔 117 以及端點 T1 位於導線 L 之佈局範圍內。很明顯地，端點 T1 有助於改善導線 L 上的靜電累積現象，且端點 T1 讓靜電能夠有效且快速地被導引至靜電釋放層 115，進而降低靜電損害多層電路板 100 之機率。

從圖 1 可清楚得知，前述之一條或多條導線 L 係電性連接於電子元件 A 與電子元件 B 之間，且各條導線 L 上，可根據實際的佈局面積而採用一個或是多個貫孔 117 及靜電保護結構 110，以達到最佳的釋放靜電效果。

在另一實施例中，貫孔 117 亦可位於導線 L 之佈局範圍外，如圖 1 中右側的兩個貫孔所示。由於靜電累積未必發生於導線 L 上，有可能發生在多層電路板 100 的任意位置上，因此，將貫孔 117 及靜電保護結構 110 設計於導線 L 分佈的佈局範圍外（例如：任二條導線之間），同樣有助於降低靜電損害多層電路板 100 之機率。

為了詳細說明圖案化導電層 113 與靜電釋放層 115 之間的相對關係，以下將搭配圖 3A 至圖 3D 進行描述。

圖 3A 為本實施例中圖案化導電層與靜電釋放層的示意圖。請同時參照圖 2A 與圖 3A，本實施例暴露之圖案化導電層 113 具有至少一端點 T1，端點 T1 係指向貫孔 117 邊緣，而靜電釋放層 115 圍繞貫孔 117 邊緣，使得圖案化導電層 113 上累積的靜電容易由端點 T1 透過端點放電的

形式傳遞至靜電釋放層 115。從圖 3A 可知，圖案化導電層 113 例如為一環狀圖案，此圖案化導電層 113 的部分區域係被焊罩層 119 所覆蓋，且覆蓋於圖案化導電層 113 之焊罩層 119 具有一第一缺口 112，以將部分的圖案化導電層 113 暴露出來。舉例而言，焊罩層 119 之第一缺口 112 為一半環狀缺口，此半環狀缺口用以在圖案化導電層 113 上定義出兩個端點 T1 以及兩個端點 T2，其中各個端點 T1 與貫孔 117 之邊緣的最短距離可為 0 或接近 0，而各個端點 T2 而與貫孔 117 之邊緣的最短距離例如為 4 密爾(mil)，且貫孔 117 的直徑例如為 10 密爾(mil)。

此外，當靜電釋放層 115 係整合於多層電路板之接地層時，除了貫孔 117 的位置之外，靜電釋放層 115 係全面性地接觸第一絕緣層 111 的第二表面 111b。

值得注意的是，端點 T2 有助於讓靜電容易進入圖案化導電層 113 並由端點 T1 釋放至靜電釋放層 115，以達到更佳的靜電保護效果。

圖 3B 為另一實施例中圖案化導電層與靜電釋放層的示意圖。請參照圖 3B，此實施例之靜電釋放層 115' 與圖 3A 中的靜電釋放層 115 不同，本實施例之靜電釋放層 115' 僅部分圍繞於貫孔 117，靜電釋放層 115' 具有端點 T5 指向貫孔 117 邊緣，且端點 T5 例如係位於端點 T1 的正下方。靜電釋放層 115' 之端點 T5 誘使圖案化導電層 113 上累積的靜電更加容易由端點 T1 透過端點放電的形式傳遞至靜電釋放層 115'。

此外，當靜電釋放層 115' 被整合於多層電路板之接地層時，靜電釋放層 115 具有與貫孔 117 相連通的第二缺口 114。除了貫孔 117 與第二缺口 114 的位置之外，靜電釋放層 115 係全面性地接觸第一絕緣層 111 的第二表面 111b。第二缺口 114 定義出端點 T5，且端點 T5 使得靜電釋放層 115 更容易接收到從端點 T1 所釋放的靜電。在其他可行的實施例中，第一絕緣層 111 可以選擇性地填入第二缺口 114 中。換言之，第一絕緣層 111 可與第二絕緣層 130 接觸。

舉例而言，第一缺口 112 位於第二缺口 114 的正上方，且第一缺口 112 與第二缺口 114 具有實質上相同的形狀與面積。詳言之，端點 T1 位於端點 T5 的正上方，從端點 T1 所釋放的絕大部分靜電會從端點 T5 傳遞至靜電釋放層 115 上，故本實施例之靜電放電保護結構可達到十分良好的靜電保護效果。

本申請案可透過改變焊罩層 119 之第一缺口 112 的形狀來改變端點 T1 與端點 T2 的數量與位置，且可透過改變第二缺口 114 的形狀來改變端點 T5 的數量與位置，此領域具有通常知識者可根據上述原則而更動端點 T1、T2、T5 的數量與位置，惟其仍應屬於本申請案所欲涵蓋之範疇。以下將搭配圖 3C 與圖 3D 做進一步之說明。

圖 3C 與圖 3D 為其他可行之實施例中圖案化導電層的示意圖。請同時參照圖 3C 與圖 3D，此處，焊罩層 119 之第一缺口 112 可設計為扇形，此扇形的第一缺口 112 可定義出一個端點 T1 以及兩個端點 T2。在圖 3C 中，靜電

釋放層 115 具有環狀圖案，而在圖 3D 中，靜電釋放層 115' 具有半環狀圖案。

綜合以上所述，相較於先前技術來說，本發明的靜電放電保護結構不需增加額外元件，並且可以設置在有限的電路板面積中，甚至直接設置於導線上。可以減少成本花費且電路佈局簡單，但同時具有良好靜電放電保護效果。

雖然本申請案已以較佳實施例揭露如上，然其並非用以限定本申請案，任何熟習此技藝者，在不脫離本申請案之精神和範圍內，當可作些許之更動與潤飾，因此本申請案之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 為本發明一實施例之多層電路板的上視示意圖。

圖 2A 為沿著圖 1 中的 A-A' 截面之剖面示意圖。

圖 2B 為本申請案另一實施例沿著圖 1 中 A-A' 截面之剖面示意圖。

圖 3A 為本實施例中圖案化導電層與靜電釋放層的局部示意圖。

圖 3B 為另一實施例中圖案化導電層與靜電釋放層的局部示意圖。

圖 3C 與圖 3D 為其他可行之實施例中圖案化導電層的示意圖。

【主要元件符號說明】

- | | |
|----------------|--------------|
| 100：多層電路板 | 110：靜電放電保護結構 |
| 111：第一絕緣層 | 113：圖案化導電層 |
| 115、115'：靜電釋放層 | 117：貫孔 |
| 119：焊罩層 | 111a：第一表面 |
| 111b：第二表面 | 112：第一缺口 |
| 114：第二缺口 | 130：第二絕緣層 |
| 150：供電層 | 170：第三絕緣層 |
| T1、T2、T5：端點 | A、B：電子元件 |
| L：導線 | |

七、申請專利範圍：

1. 一種多層電路板，包括：

一第一絕緣層，包括第一表面、與該第一表面相對的第二表面以及一貫孔；

一圖案化導電層，位於該第一表面，至少部分該圖案化導電層環繞該貫孔邊緣；

一靜電釋放層，位於該第二表面，該貫孔貫穿部分該靜電釋放層以使至少部分該靜電釋放層位於該貫孔邊緣，其中該圖案化導電層與該靜電釋放層之間電性絕緣；

一第二絕緣層，位於該第一絕緣層下，以使該靜電釋放層夾於該第一絕緣層與該第二絕緣層之間；

一供電層，位於該第二絕緣層下，其中該供電層與該靜電釋放層分別位於該第二絕緣層之對側；以及

一第三絕緣層，位於該第二絕緣層下，以使該供電層夾於該第二絕緣層與該第三絕緣層之間，其中該貫孔同時貫穿該第二絕緣層、該供電層與該第三絕緣層，且該貫孔內壁不具有導電材料。

2. 如申請專利範圍第1項所述之多層電路板，其中該圖案化導電層包括一導線，且該貫孔位於該導線之佈局範圍內。

3. 如申請專利範圍第1項所述之多層電路板，其中該圖案化導電層包括一導線，且該貫孔位於該導線之佈局範圍外。

4. 如申請專利範圍第1項所述之多層電路板，更包

括一焊罩層，覆蓋該圖案化導電層，其中該焊罩層具有至少一第一缺口，且該第一缺口對應於該貫孔並且暴露出部分環繞該貫孔的該圖案化導電層。

5. 如申請專利範圍第 4 項所述之多層電路板，其中該暴露出圖案化導電層的形狀包括半環狀。

6. 如申請專利範圍第 5 項所述之多層電路板，其中該暴露的圖案化導電層之半環狀的端點具有至少一靜電放電結構。

7. 如專利申請範圍第 4 項所述之多層電路板，其中該靜電釋放層具有一第二缺口，且該第二缺口位於該貫孔邊緣且呈半環狀，以使部分位於該貫孔邊緣的該靜電釋放層具有至少一靜電放電結構。

8. 如專利申請範圍第 7 項所述之多層電路板，其中該第一缺口位於該第二缺口上方。

9. 如專利申請範圍第 6 項所述之多層電路板，其中該靜電放電結構位於該貫孔邊緣。

10. 如申請專利範圍第 4 項所述之多層電路板，其中該暴露出圖案化導電層的形狀包括扇形，該暴露的圖案化導電層之扇形的端點具有至少一靜電放電結構。

11. 如申請專利範圍第 1 項所述之多層電路板，其中環繞該貫孔邊緣之至少部分該圖案化導電層實質上為一環狀結構。

12. 如申請專利範圍第 1 項所述之多層電路板，其中環繞該貫孔邊緣之至少部分該圖案化導電層實質上為一半

環狀結構。

13. 一種靜電放電保護結構，包括：

一第一絕緣層，包括第一表面、與該第一表面相對的第二表面以及一貫孔，其中該貫孔內壁不具有導電材料；

一圖案化導電層，位於該第一表面，至少部分該圖案化導電層環繞該貫孔邊緣；

一靜電釋放層，位於該第二表面，該貫孔貫穿部分該靜電釋放層以使至少部分該靜電釋放層位於該貫孔邊緣，其中該圖案化導電層與該靜電釋放層之間電性絕緣；以及

一焊罩層，覆蓋該第一絕緣層與部分該圖案化導電層，並且暴露出部分環繞該貫孔的該圖案化導電層。

14. 如申請專利範圍第 13 項所述之靜電放電保護結構，其中該暴露出圖案化導電層的形狀包括半環狀。

15. 如申請專利範圍第 14 項所述之靜電放電保護結構，其中該暴露的圖案化導電層之半環狀的端點具有至少一放電結構。

16. 如專利申請範圍第 14 項所述之靜電放電保護結構，其中該靜電釋放層具有一第二缺口，且該第二缺口位於該貫孔邊緣且呈半環狀，以使部分位於該貫孔邊緣的該靜電釋放層具有至少一放電結構。

17. 如專利申請範圍第 16 項所述之靜電放電保護結構，其中該暴露出的半環狀圖案化導電層位於該半環狀缺口正上方。

18. 如專利申請範圍第 15 項所述之靜電放電保護結

構，其中該放電結構位於該貫孔邊緣。

19. 如申請專利範圍第 14 項所述之靜電放電保護結構，其中該暴露出圖案化導電層的形狀包括扇形，該暴露的圖案化導電層之扇形的端點具有至少一靜電放電結構。

20. 如申請專利範圍第 14 項所述之靜電放電保護結構，其中該圖案化導電層實質上為一環狀結構。

21. 如申請專利範圍第 14 項所述之靜電放電保護結構，其中該圖案化導電層實質上為一半環狀結構。

八、圖式：

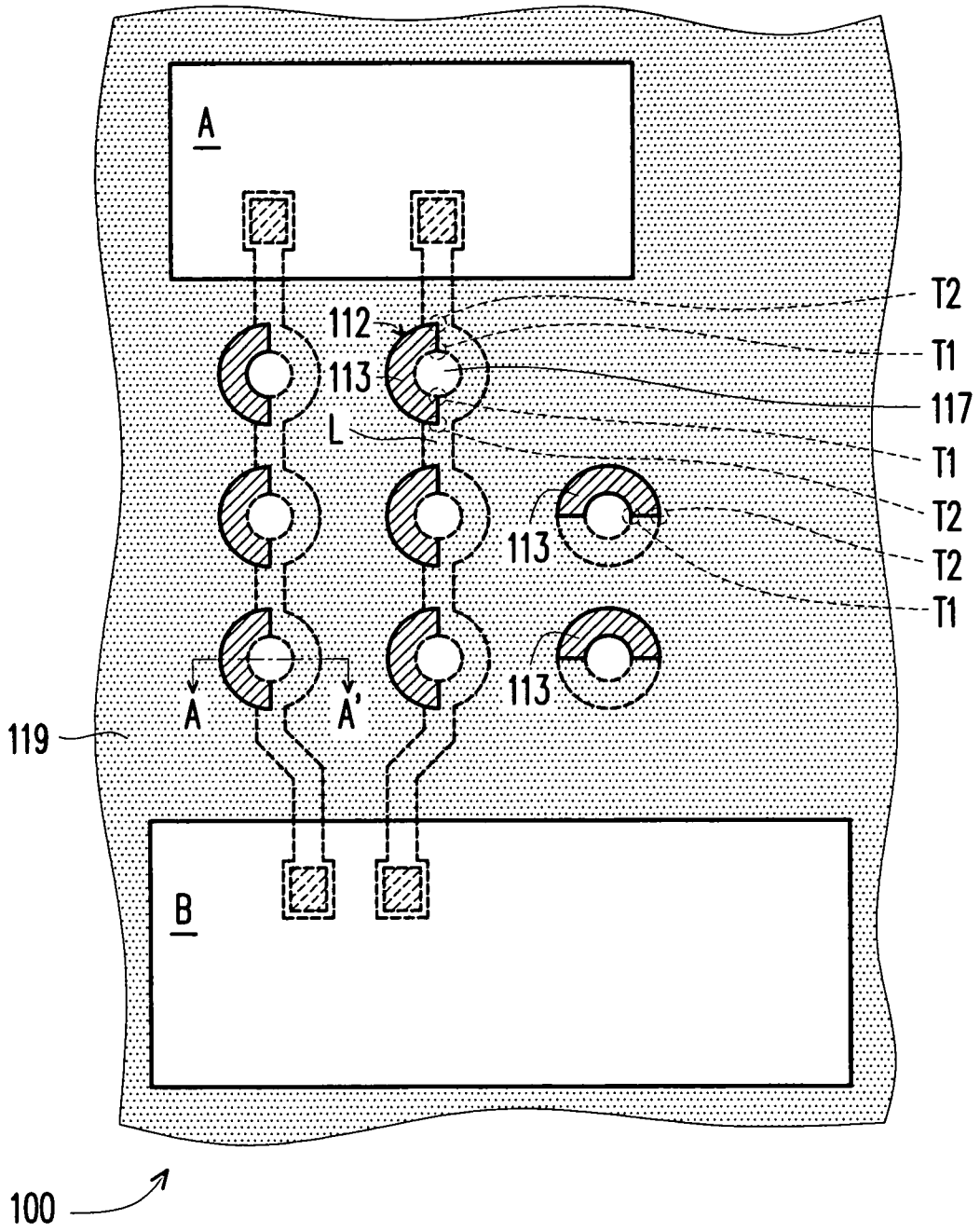


圖 1

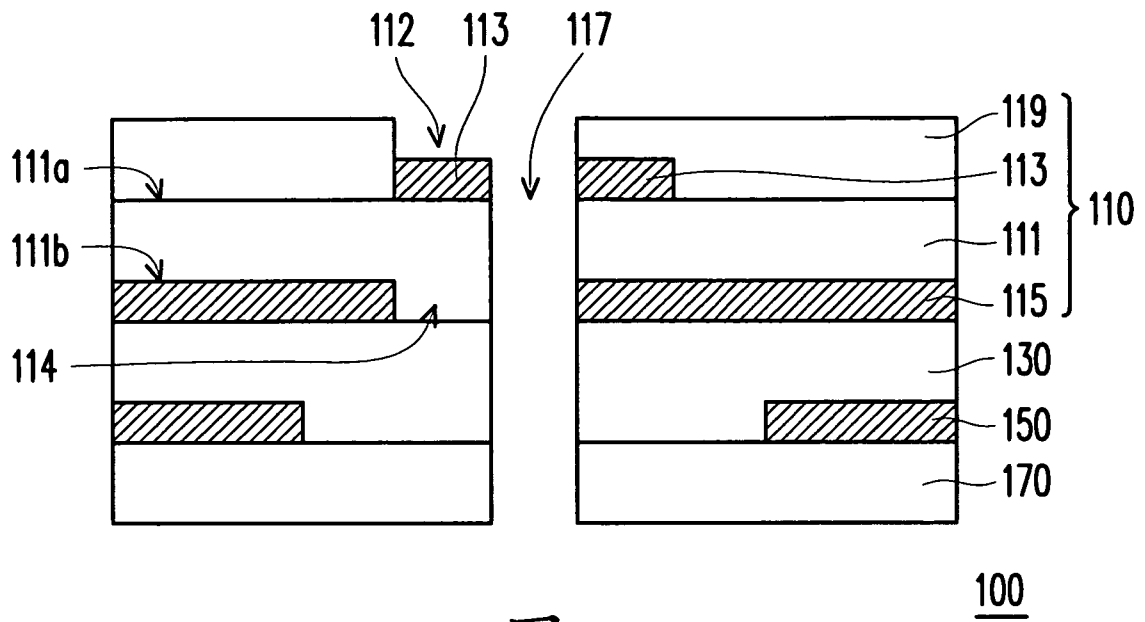


圖 2A

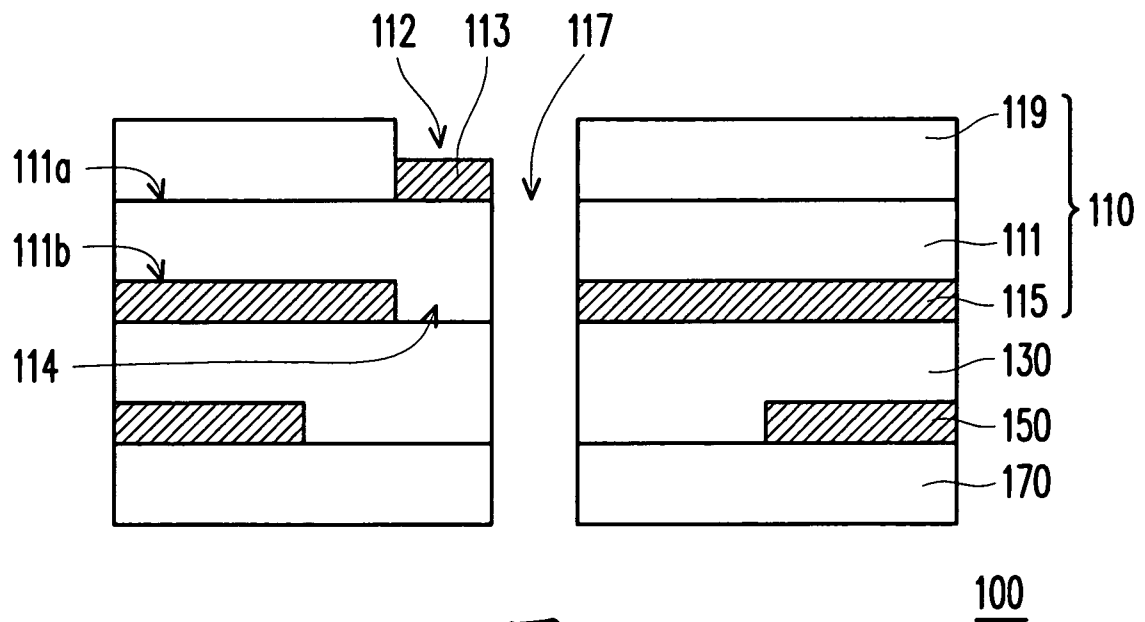


圖 2B

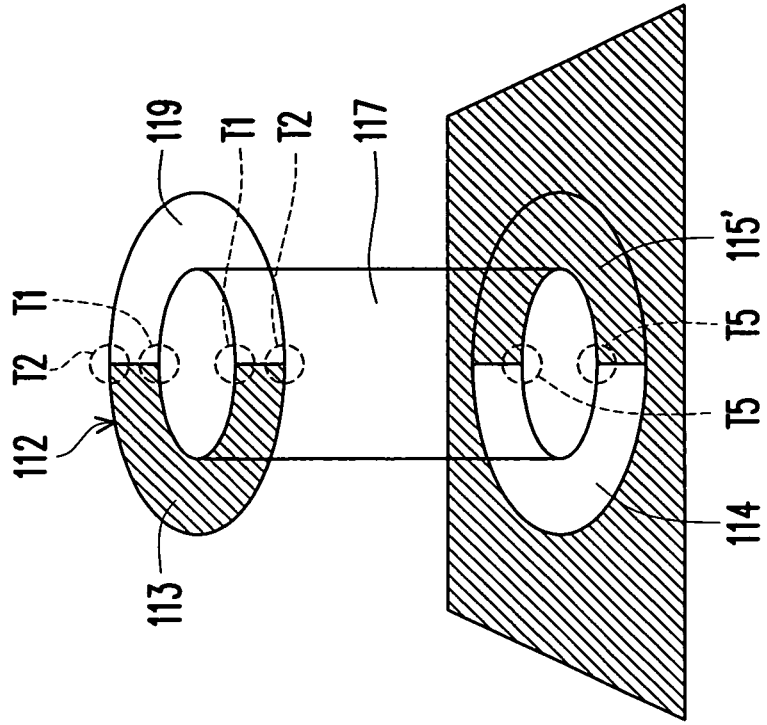


圖 3B

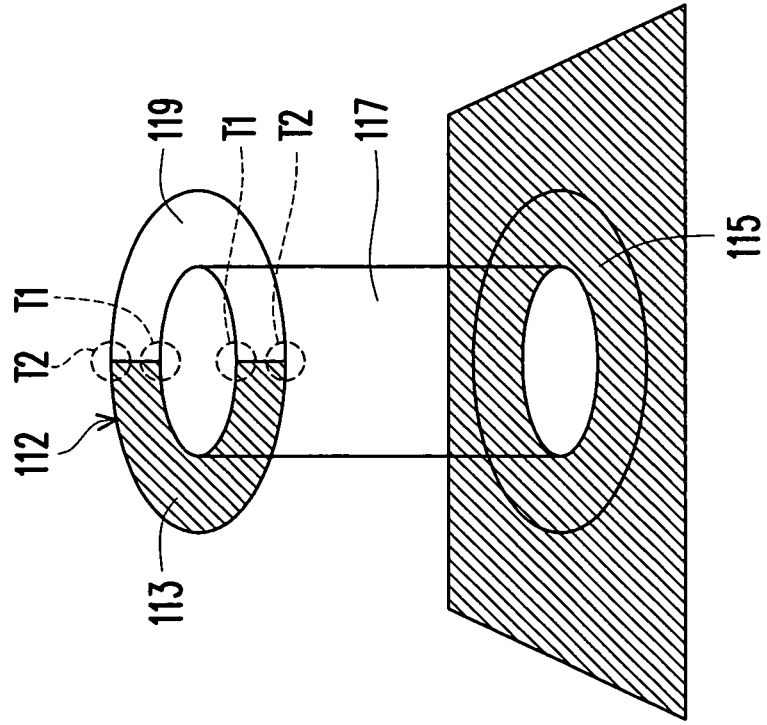


圖 3A

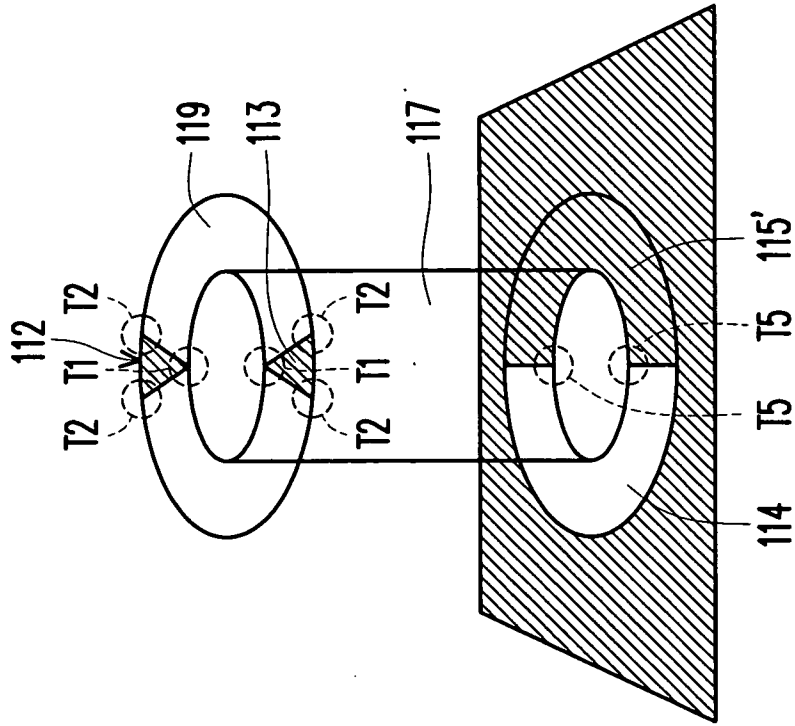


圖 3D

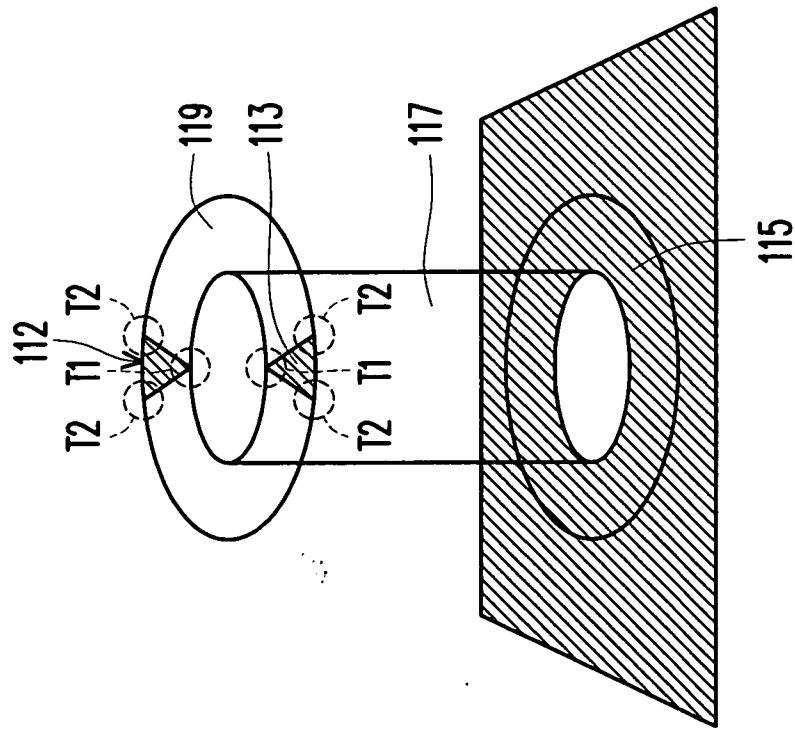


圖 3C