(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-130341
(P2014-130341A)
(43)公開日　平成26年7月10日(2014.7.10)

(51)Int.Cl.		F I			テーマコード（参考）
G09F 9/30	(2006.01)	G09F	9/30	338	2H192
H01L 29/786	(2006.01)	H01L	29/78	617T	5C094
H01L 21/336	(2006.01)	H01L	29/78	617U	5F038
H01L 27/04	(2006.01)	H01L	29/78	618B	5F110
H01L 21/822	(2006.01)	H01L	29/78	618Z	

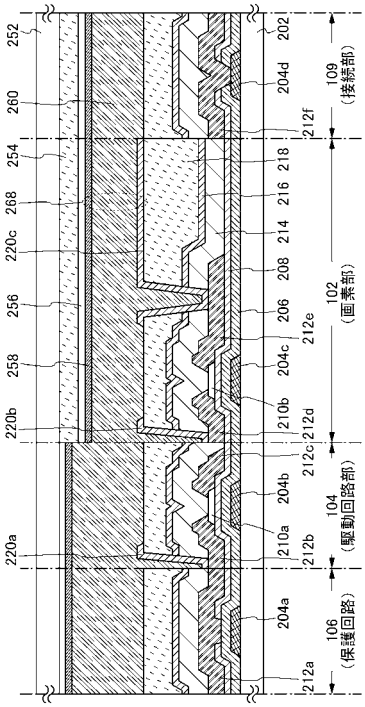
審査請求 未請求　請求項の数 9　ＯＬ　（全 52 頁）　最終頁に続く

(21)出願番号　特願2013-244553 (P2013-244553)
(22)出願日　平成25年11月27日 (2013.11.27)
(31)優先権主張番号　特願2012-260208 (P2012-260208)
(32)優先日　平成24年11月28日 (2012.11.28)
(33)優先権主張国　日本国 (JP)

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　木村　肇
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　三宅　博之
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
最終頁に続く

(54)【発明の名称】表示装置及び電子機器

(57)【要約】
【課題】新規な表示装置を提供する。
【解決手段】画素部と、画素部の外側に配置された駆動回路部と、画素部または駆動回路部のいずれか一方または双方に電気的に接続され、一対の電極を含む保護回路と、を有し、画素部は、マトリクス状に配置された画素電極と、画素電極に電気的に接続されたトランジスタと、を有し、トランジスタは、窒素とシリコンを含む第１の絶縁層と、酸素と窒素とシリコンを含む第２の絶縁層と、を有し、保護回路が、一対の電極の間に第１の絶縁層を有する。
【選択図】図６



【特許請求の範囲】
【請求項１】
画素部と、
前記画素部の外側に配置された駆動回路部と、
前記画素部または前記駆動回路部のいずれか一方または双方に電気的に接続され、一対の電極を含む保護回路と、を有し、
前記画素部は、
マトリクス状に配置された画素電極と、
前記画素電極に電気的に接続されたトランジスタと、を有し、
前記トランジスタは、
窒素とシリコンを含む第１の絶縁層と、酸素と窒素とシリコンを含む第２の絶縁層と、を有し、
前記保護回路が、前記一対の電極の間に前記第１の絶縁層を有することを特徴とする表示装置。
【請求項２】
画素部と、
前記画素部の外側に配置された駆動回路部と、
前記画素部または前記駆動回路部のいずれか一方または双方に電気的に接続され、一対の電極を含む保護回路と、を有し、
前記画素部は、
マトリクス状に配置された画素電極と、
前記画素電極に電気的に接続されたトランジスタと、を有し、
前記トランジスタは、
ゲート電極と、
前記ゲート電極上に形成されたゲート絶縁層と、
前記ゲート絶縁層上に形成された半導体層と、
前記半導体層上に形成されたソース電極またはドレイン電極と、を有し、
前記ゲート絶縁層は、窒素とシリコンを含む第１の絶縁層と、酸素と窒素とシリコンを含む第２の絶縁層と、を有し、
前記保護回路が、前記一対の電極の間に前記第１の絶縁層を有することを特徴とする表示装置。
【請求項３】
請求項１または請求項２において、
前記一対の電極の一方は、前記ゲート電極と同一平面に形成され、
前記一対の電極の他方は、前記ソース電極または前記ドレイン電極と同一平面に形成されること特徴とする表示装置。
【請求項４】
請求項１乃至請求項３のいずれか一において、前記第１の絶縁層は、抵抗率が$１０^{１０}$Ωｃｍ以上$１０^{１８}$Ωｃｍ未満であることを特徴とする表示装置。
【請求項５】
請求項１乃至請求項４のいずれか一において、前記半導体層は、酸化物半導体層であることを特徴とする表示装置。
【請求項６】
ゲート電極と同一表面上に形成された第１の導電層と、
前記第１の導電層上の第１の絶縁層と、
前記第１の絶縁層上に形成され、前記第１の導電層と重畳する位置の酸化物半導体層と、
前記酸化物半導体層上の第２の絶縁層と、
前記第２の絶縁層上の第２の導電層と、を含む保護回路を有し、
前記第２の導電層は、前記第２の絶縁層に設けられた開口部において、前記酸化物半導

体層と電気的に接続されることを特徴とする表示装置。
【請求項７】
請求項５または請求項６において、前記酸化物半導体層は、少なくともインジウム（Ｉｎ）、亜鉛（Ｚｎ）及びＭ（Ａｌ、Ｇａ、Ｇｅ、Ｙ、Ｚｒ、Ｓｎ、Ｌａ、ＣｅまたはＨｆの金属）を含むＩｎ－Ｍ－Ｚｎ酸化物で表記されることを特徴とする表示装置。
【請求項８】
請求項５乃至請求項７のいずれか一つにおいて、
前記酸化物半導体層は、結晶部を有し、
前記結晶部は、ｃ軸が前記酸化物半導体層の被形成面の法線ベクトルに平行な方向に揃うことを特徴とする表示装置。
【請求項９】
請求項１乃至請求項８のいずれか一に記載の表示装置を有する電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、物、方法、製造方法、プロセス、マシーン、マニュファクチャー、または、組成物（コンポジション　オブ　マター）に関する。特に、本発明は、例えば、半導体装置、表示装置、発光装置、電子機器、それらの駆動方法、または、それらの製造方法に関する。特に、本発明は、例えば、酸化物半導体を有する半導体装置、表示装置、電子機器、または、発光装置に関する。
【０００２】
なお、表示装置とは、表示素子を有する装置のことをいう。なお、表示装置は、複数の画素を駆動させる駆動回路等を含む。なお、表示装置は、別の基板上に配置された制御回路、電源回路、信号生成回路等を含む。
【背景技術】
【０００３】
液晶表示装置に代表される表示装置は、近年の技術革新の結果、素子及び配線の微細化が進み、量産技術も各段に進歩してきている。今後はより、製造歩留まりの向上を図ることで、低コストを図ることが求められている。
【０００４】
表示装置に静電気等によるサージ電圧が印加されると、素子が破壊してしまい、正常な表示ができなくなる。そのため、製造歩留まりが悪化するおそれがある。その対策として、表示装置には、サージ電圧を別の配線に逃がすための保護回路が設けられている（例えば特許文献１乃至７を参照）。
【先行技術文献】
【特許文献】
【０００５】
【特許文献１】特開２０１０－９２０３６号公報
【特許文献２】特開２０１０－９２０３７号公報
【特許文献３】特開２０１０－９７２０３号公報
【特許文献４】特開２０１０－９７２０４号公報
【特許文献５】特開２０１０－１０７９７６号公報
【特許文献６】特開２０１０－１０７９７７号公報
【特許文献７】特開２０１０－１１３３４６号公報
【発明の概要】
【発明が解決しようとする課題】
【０００６】
表示装置では、保護回路に代表されるように、信頼性の向上を目的とした構成が重要である。
【０００７】

そこで、本発明の一態様では、信頼性を向上しうる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、静電破壊を低減することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、静電気の影響を低減することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、壊れにくい、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、ラビング工程において、トランジスタに与える影響を低減することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、検査工程において、トランジスタに与える影響を低減することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、タッチセンサを使用したときの不具合の影響を低減することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、トランジスタの特性の変動または劣化を低減することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、トランジスタのしきい値電圧の変動または劣化を低減することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、トランジスタのノーマリオン状態を低減することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、トランジスタの製造歩留まりを向上することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、トランジスタをシールドすることができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、画素電極に溜まった電荷を放電することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、配線に溜まった電荷を放電することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、導電率の向上した酸化物半導体層を有する、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、酸化物半導体層の導電率を制御することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、ゲート絶縁膜の導電率を制御することができる、新規な構成の表示装置を提供することを課題の一とする。または、本発明の一態様では、正常な表示が出来やすくすることができる、新規な構成の表示装置を提供することを課題の一とする。

【０００８】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、上記以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、上記以外の課題を抽出することが可能である。

【課題を解決するための手段】

【０００９】

本発明の一態様は、画素部と、画素部の外側に配置された駆動回路部と、画素部または駆動回路部のいずれか一方または双方に電気的に接続され、一対の電極を含む保護回路と、を有し、画素部は、マトリクス状に配置された画素電極と、画素電極に電気的に接続されたトランジスタと、を有し、トランジスタは、窒素とシリコンを含む第１の絶縁層と、酸素と窒素とシリコンを含む第２の絶縁層と、を有し、保護回路が、一対の電極の間に第１の絶縁層を有する表示装置である。

【発明の効果】

【００１０】

本発明の一態様により、表示装置の信頼性を高めることができる。

【図面の簡単な説明】

【００１１】

【図１】表示装置の平面模式図、及び保護回路を説明する回路図。

【図２】表示装置の抵抗素子を説明する断面図。

【図３】表示装置の平面模式図、及び保護回路を説明する回路図。

【図４】保護回路、及び抵抗素子を説明する平面図及び断面図。
【図５】保護回路を説明する回路図。
【図６】表示装置の断面図。
【図７】表示装置の作製方法を説明する断面図。
【図８】表示装置の作製方法を説明する断面図。
【図９】表示装置の作製方法を説明する断面図。
【図１０】表示装置の作製方法を説明する断面図。
【図１１】表示装置の作製方法を説明する断面図。
【図１２】表示装置の作製方法を説明する断面図。
【図１３】表示装置に用いることのできる画素回路を説明する回路図。
【図１４】トランジスタの平面及び断面を説明する図。
【図１５】抵抗素子の平面及び断面を説明する図。
【図１６】抵抗素子の回路図を説明する図。
【図１７】抵抗素子の断面を説明する図。
【図１８】トランジスタの断面図、及び酸化物積層を説明する図。
【図１９】表示装置の接続端子部を説明する断面図。
【図２０】タッチセンサを説明する図。
【図２１】タッチセンサを説明する回路図。
【図２２】タッチセンサを説明する断面図。
【図２３】本発明の一態様である表示装置を用いた表示モジュールを説明する図。
【図２４】本発明の一態様である表示装置を用いた電子機器を説明する図。
【図２５】本発明の一態様である表示装置を用いた電子機器を説明する図。
【発明を実施するための形態】
【００１２】
以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。
【００１３】
また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。
【００１４】
また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネル領域を有しており、ドレインとチャネル領域とソースとを介して電流を流すことができるものである。
【００１５】
ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばず、ソースとドレインとの一方を第１電極と表記し、ソースとドレインとの他方を第２電極と表記する場合がある。
【００１６】
また、本明細書にて用いる「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。
【００１７】

また、本明細書において、ＡとＢとが接続されている、とは、ＡとＢとが直接接続されているものの他、電気的に接続されているものを含むものとする。ここで、ＡとＢとが電気的に接続されているとは、ＡとＢとの間で、何らかの電気的作用を有する対象物が存在するとき、ＡとＢとの電気信号の授受を可能とするものをいう。

【００１８】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【００１９】

また、図面におけるブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路や領域においては同じ回路や同じ領域内で別々の機能を実現しうるように設けられている場合もある。また図面におけるブロック図の各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路や領域においては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

【００２０】

また、画素とは、一つの色要素（例えばＲ（赤）Ｇ（緑）Ｂ（青）のいずれか１つ）の明るさを制御できる表示単位に相当するものとする。従って、カラー表示装置の場合には、カラー画像の最小表示単位は、Ｒの画素とＧの画素とＢの画素との三画素から構成されるものとする。ただし、カラー画像を表示するための色要素は、三色に限定されず、三色以上を用いても良いし、ＲＧＢ以外の色を用いても良い。

【００２１】

本明細書においては、本発明の実施の形態について図面を参照しながら説明する。なお各実施の形態での説明は、以下の順序で行う。

１．　実施の形態１　　（本発明の一態様に関する基本構成について）
２．　実施の形態２　　（表示装置の各構成について）
３．　実施の形態３　　（表示装置の作製方法について）
４．　実施の形態４　　（画素回路の構成について）
５．　実施の形態５　　（画素部の構成について）
６．　実施の形態６　　（保護回路の変形例について）
７．　実施の形態７　　（トランジスタの構成について）
８．　実施の形態８　　（接続端子部の構成について）
９．　実施の形態９　　（タッチセンサ、表示モジュールについて）
１０．実施の形態１０　（電子機器について）

【００２２】

（実施の形態１）

本実施の形態では、本発明の一態様の表示装置について、図１乃至図５を用いて説明を行う。

【００２３】

図１（Ａ）に示す表示装置は、画素の表示素子を有する領域（以下、画素部１０２という）と、画素を駆動するための回路を有する回路部（以下、駆動回路部１０４という）と、素子の保護機能を有する回路（以下、保護回路１０６という）と、端子部１０７と、を有する。

【００２４】

画素部１０２は、Ｘ行（Ｘは２以上の自然数）Ｙ列（Ｙは２以上の自然数）に配置された複数の表示素子を駆動するための回路（以下、画素回路１０８という）を有し、駆動回路部１０４は、画素を選択する信号（走査信号）を出力する回路（以下、ゲートドライバ１０４ａという）、画素の表示素子を駆動するための信号（データ信号）を供給するため

の回路（以下、ソースドライバ１０４ｂという）などの駆動回路を有する。

【００２５】

ゲートドライバ１０４ａは、シフトレジスタ等を有する。ゲートドライバ１０４ａは、端子部１０７を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ１０４ａは、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲートドライバ１０４ａは、走査信号が与えられる配線（以下、走査線ＧＬ＿１乃至ＧＬ＿Ｘという）の電位を制御する機能を有する。なお、ゲートドライバ１０４ａを複数設け、複数のゲートドライバ１０４ａにより、走査線ＧＬ＿１乃至ＧＬ＿Ｘを分割して制御してもよい。または、ゲートドライバ１０４ａは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ１０４ａは、別の信号を供給することも可能である。

【００２６】

ソースドライバ１０４ｂは、シフトレジスタ等を有する。ソースドライバ１０４ｂは、端子部１０７を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号（画像信号）が入力される。ソースドライバ１０４ｂは、画像信号を元に画素回路１０８に書き込むデータ信号を生成する機能を有する。また、ソースドライバ１０４ｂは、スタートパルス信号、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ１０４ｂは、データ信号が与えられる配線（以下、データ線ＤＬ＿１乃至ＤＬ＿Ｙという）の電位を制御する機能を有する。または、ソースドライバ１０４ｂは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ１０４ｂは、別の信号を供給することも可能である。

【００２７】

ソースドライバ１０４ｂは、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ１０４ｂは、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ１０４ｂを構成してもよい。

【００２８】

複数の画素回路１０８のそれぞれは、走査信号が与えられる複数の配線（以下、走査線ＧＬという）の一つを介してパルス信号が入力され、データ信号が与えられる複数の配線（以下、データ線ＤＬという）の一つを介してデータ信号が入力される。また、複数の画素回路１０８のそれぞれは、ゲートドライバ１０４ａによりデータ信号のデータの書き込み及び保持が制御される。例えば、ｍ行ｎ列目の画素回路１０８は、走査線ＧＬ＿ｍ（ｍはＸ以下の自然数）を介してゲートドライバ１０４ａからパルス信号が入力され、走査線ＧＬ＿ｍの電位に応じてデータ線ＤＬ＿ｎ（ｎはＹ以下の自然数）を介してソースドライバ１０４ｂからデータ信号が入力される。

【００２９】

保護回路１０６は、ゲートドライバ１０４ａと画素回路１０８の間の配線である走査線ＧＬに接続される。または、保護回路１０６は、ソースドライバ１０４ｂと画素回路１０８の間の配線であるデータ線ＤＬに接続される。または、保護回路１０６は、ゲートドライバ１０４ａと端子部１０７との間の配線に接続することができる。または、保護回路１０６は、ソースドライバ１０４ｂと端子部１０７との間の配線に接続することができる。なお、端子部１０７は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分をいう。

【００３０】

保護回路１０６は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。ただし、これに限定されず、保護回路１０６は、別の信号を供給することも可能である。

【００３１】

図１（Ａ）に示すように、画素部１０２と駆動回路部１０４にそれぞれ保護回路１０６

を設けることにより、ＥＳＤ（Ｅｌｅｃｔｒｏ　Ｓｔａｔｉｃ　Ｄｉｓｃｈａｒｇｅ：静電気放電）などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路１０６の構成はこれに限定されず、例えば、ゲートドライバ１０４ａに保護回路１０６を接続した構成、またはソースドライバ１０４ｂに保護回路１０６を接続した構成とすることもできる。あるいは、端子部１０７に保護回路１０６を接続した構成とすることもできる。

【００３２】

また、図１（Ａ）においては、ゲートドライバ１０４ａとソースドライバ１０４ｂによって駆動回路部１０４を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ１０４ａのみを形成し、別途用意されたソースドライバ回路が形成された基板（例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板）を実装する構成としても良い。

【００３３】

すなわち、保護回路１０６は、画素部１０２と、駆動回路部１０４のいずれか一方または双方に電気的に接続される。

【００３４】

保護回路１０６は、例えば、抵抗素子などを用いて構成することができる。図１（Ｂ）に、具体的な保護回路の一例を示す。

【００３５】

図１（Ｂ）に示す保護回路１０６は、配線１１０と、配線１１２との間に抵抗素子１１４が接続されている。また、配線１１０は、例えば、図１（Ａ）に示す走査線ＧＬやデータ線ＤＬ、若しくは端子部１０７から駆動回路部１０４に引き回される配線である。

【００３６】

また、配線１１２は、例えば、図１（Ａ）に示すゲートドライバ１０４ａ又はソースドライバ１０４ｂに電源を供給するための電源線の電位（ＶＤＤ、ＶＳＳまたはＧＮＤ）が与えられる配線である。または、共通電位（コモン電位）が与えられる配線（コモン線）である。一例としては、配線１１２は、ゲートドライバ１０４ａに電源を供給するための電源線、特に、低い電位を供給する配線と接続されることが好適である。なぜなら、走査線ＧＬは、殆どの期間において、低い電位となっている。したがって、配線１１２の電位も低い電位となっていると、通常の動作時において、走査線ＧＬから配線１１２へ漏れてしまう電流を低減することが出来るからである。

【００３７】

ここで、抵抗素子１１４として用いることのできる構成の一例について、図２を用いて説明を行う。

【００３８】

図２（Ａ）に示す抵抗素子１１４は、基板１４０上に形成された導電性を有する層（以下、導電層１４２という）と、基板１４０及び導電層１４２上に形成された絶縁性を有する層（以下、絶縁層１４４という）と、絶縁層１４４上に形成された導電性を有する層（以下、導電層１４８という）と、を有する。

【００３９】

図２（Ｂ）に示す抵抗素子１１４は、基板１４０上に形成された導電層１４２と、基板１４０及び導電層１４２上に形成された絶縁層１４４と、絶縁層１４４上に形成された絶縁層１４６と、絶縁層１４４及び絶縁層１４６上に形成された導電層１４８と、を有する。

【００４０】

なお、図１（Ｂ）に示した配線１１２が、導電層１４２で形成される配線に相当する。また、図１（Ｂ）に示した配線１１０が、導電層１４８で形成される配線に相当する。

【００４１】

図２（Ａ）、（Ｂ）に示す抵抗素子１１４は、換言すると、一対の電極間に絶縁層１４４を挟持した構造であり、絶縁層１４４の抵抗率（電気抵抗率、比抵抗ともいう）を制御

することによって、一対の電極の一方に過電流が流れた場合に、他方の電極に過電流の一部または全部を逃がすことができる。

【００４２】

しかし、一対の電極間に挟持された絶縁層の抵抗が高い場合、例えば、10^{18}Ωｃｍ以上の絶縁層を用いた場合、一対の電極のいずれか一方に過電流が流れた際に、他方に過電流を好適に逃がすことができない。

【００４３】

そこで、本発明の一態様としては、一対の電極間に挟持された絶縁層１４４の抵抗率としては、例えば、10^{10}Ωｃｍ以上10^{18}Ωｃｍ未満、好適には10^{11}Ωｃｍ以上10^{15}Ωｃｍ未満の絶縁膜を用いる。このような抵抗率を有する絶縁膜としては、例えば、窒素とシリコンを含む絶縁膜が挙げられる。

【００４４】

また、抵抗素子１１４は、図２（Ｂ）に示すように一対の電極の一方の電極の端部を覆う絶縁層１４６を絶縁層１４４上に設ける構成としてもよい。絶縁層１４６は、絶縁層１４４よりも抵抗率が高い材料を用いて形成することができる。絶縁層１４６としては、例えば、10^{18}Ωｃｍ以上の絶縁膜を用いるとよい。このような抵抗率を有する絶縁膜としては、例えば、酸素と窒素とシリコンを含む絶縁膜が挙げられる。

【００４５】

また、抵抗素子１１４の一対の電極として機能する導電層１４２、１４８、及び抵抗素子１１４の絶縁層として機能する絶縁層１４４、１４６は、図１（Ａ）に示す表示装置の画素部１０２、及び駆動回路部１０４を構成するトランジスタの作製工程と同時に形成することができる。

【００４６】

具体的には、例えば、導電層１４２は、上記トランジスタのゲート電極と同一工程で作製することができ、導電層１４８は、上記トランジスタのソース電極またはドレイン電極と同一工程で作製することができ、絶縁層１４４、１４６は、上記トランジスタのゲート絶縁層と同一工程で作製することができる。

【００４７】

このように図１（Ａ）に示す表示装置に保護回路１０６を設けることによって、画素部１０２、及び駆動回路部１０４は、ＥＳＤなどにより発生する過電流に対する耐性を高めることができる。したがって、信頼性を向上しうる新規な表示装置を提供することができる。

【００４８】

なお、画素部１０２は、一例としては、保護回路１０６と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。さらに、駆動回路部１０４の一部、または全部は、一例としては、画素部１０２と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。駆動回路部１０４の一部、または全部が、画素部１０２と同一基板上に形成されていない場合には、駆動回路部１０４の一部、または全部は、ＣＯＧやＴＡＢによって、実装されている場合が多い。

【００４９】

次に、図１（Ａ）に示す表示装置の具体的な構成について、図３を用いて説明を行う。

【００５０】

図３に示す表示装置は、画素部１０２と、駆動回路部として機能するゲートドライバ１０４ａと、ソースドライバ１０４ｂと、保護回路１０６＿１と、保護回路１０６＿２と、保護回路１０６＿３と、保護回路１０６＿４と、を有する。

【００５１】

なお、画素部１０２、ゲートドライバ１０４ａ、及びソースドライバ１０４ｂは、図１（Ａ）に示す構成と同様である。

【００５２】

保護回路１０６＿１は、トランジスタ１５１、１５２、１５３、１５４と、抵抗素子１７１、１７２、１７３とを有する。また、保護回路１０６＿１は、ゲートドライバ１０４ａと接続される配線１８１、１８２、１８３の間に設けられる。また、トランジスタ１５１は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、配線１８３とが接続されている。トランジスタ１５２は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５１の第１端子とが接続されている。トランジスタ１５３は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５２の第１端子とが接続されている。トランジスタ１５４は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５３の第１端子とが接続されている。また、トランジスタ１５４の第１端子が配線１８３及び配線１８１と接続されている。また、抵抗素子１７１、１７３は、配線１８３に設けられている。また、抵抗素子１７２は、配線１８２と、トランジスタ１５２の第１端子及びトランジスタ１５３の第３端子との間に設けられている。

【００５３】

なお、配線１８１は、例えば、低電源電位ＶＳＳが与えられる電源線として用いることができる。また、配線１８２は、例えば、コモン線として用いることができる。また、配線１８３は、例えば、高電源電位ＶＤＤが与えられる電源線として用いることができる。

【００５４】

保護回路１０６＿２は、トランジスタ１５５、１５６、１５７、１５８と、抵抗素子１７４、１７５とを有する。また、保護回路１０６＿２は、ゲートドライバ１０４ａと画素部１０２との間に設けられる。また、トランジスタ１５５は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、配線１８５とが接続されている。トランジスタ１５６は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５５の第１端子とが接続されている。トランジスタ１５７は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５６の第１端子とが接続されている。トランジスタ１５８は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子とトランジスタ１５７の第１端子が接続され、トランジスタ１５８の第１端子と配線１８４が接続されている。また、抵抗素子１７４は、配線１８５と、トランジスタ１５６の第１端子及びトランジスタ１５７の第３端子との間に設けられている。また、抵抗素子１７５は、配線１８４と、トランジスタ１５６の第１端子及びトランジスタ１５７の第３端子との間に設けられている。

【００５５】

なお、配線１８４は、例えば、低電源電位ＶＳＳが与えられる電源線として用いることができる。また、配線１８５は、例えば、高電源電位ＶＤＤが与えられる電源線として用いることができる。また、配線１８６は、例えば、ゲート線として用いることができる。

【００５６】

保護回路１０６＿３は、トランジスタ１５９、１６０、１６１、１６２と、抵抗素子１７６、１７７とを有する。また、保護回路１０６＿３は、ソースドライバ１０４ｂと画素部１０２との間に設けられる。また、トランジスタ１５９は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、配線１９０とが接続されている。トランジスタ１６０は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第

２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１５９の第１端子とが接続されている。トランジスタ１６１は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１６０の第１端子とが接続されている。トランジスタ１６２は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１６１の第１端子とが接続されている。また、トランジスタ１６２の第１端子が配線１９１と接続されている。また、抵抗素子１７６は、配線１９０と、トランジスタ１６０の第１端子及びトランジスタ１６１の第３端子との間に設けられている。また、抵抗素子１７７は、配線１９１と、トランジスタ１６０の第１端子及びトランジスタ１６１の第３端子との間に設けられている。

【００５７】

なお、配線１８８は、例えば、コモン線またはソース線として用いることができる。また、配線１８９、１９０は、例えば、高電源電位ＶＤＤが与えられる電源線として用いることができる。また、配線１９１は、例えば、低電源電位ＶＳＳが与えられる電源線として用いることができる。

【００５８】

保護回路１０６＿４は、トランジスタ１６３、１６４、１６５、１６６と、抵抗素子１７８、１７９、１８０とを有する。また、保護回路１０６＿４は、ソースドライバ１０４ｂと接続される配線１８７、１８８、１８９、１９０、１９１の間に設けられる。また、トランジスタ１６３は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、配線１８７とが接続されている。トランジスタ１６４は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１６３の第１端子とが接続されている。トランジスタ１６５は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１６４の第１端子とが接続されている。トランジスタ１６６は、ソース電極としての機能を有する第１端子と、ゲート電極としての機能を有する第２端子とが接続され、ドレイン電極としての機能を有する第３端子と、トランジスタ１６５の第１端子と、が接続されている。また、トランジスタ１６６の第１端子が配線１８９と接続されている。また、抵抗素子１７８は、配線１８７と、配線１８８との間に設けられている。また、抵抗素子１７９は、配線１８８に設けられ、トランジスタ１６４の第１端子及びトランジスタ１６５の第３端子と接続されている。また、抵抗素子１８０は、配線１８８と、配線１８９との間に設けられている。

【００５９】

また、配線１８７、１９１は、例えば、低電源電位ＶＳＳが与えられる電源線として用いることができる。また、配線１８８は、例えば、コモン線またはソース線として用いることができる。また、配線１８９、１９０は、例えば、高電源電位ＶＤＤが与えられる電源線として用いることができる。

【００６０】

なお、配線１８１乃至配線１９１は、図３中に示す高電源電位ＶＤＤ、低電源電位ＶＳＳ、コモン線ＣＬに示す機能のみに限定されず、それぞれ独立して走査線、信号線、電源線、接地線、容量線またはコモン線等の機能を有していても良い。

【００６１】

また、保護回路１０６＿１乃至１０６＿４が有するトランジスタ１５１乃至１６６の半導体層としては、酸化物半導体を用いることが好ましい。酸化物半導体を用いるトランジスタは、半導体層にシリコン等を用いるトランジスタと比較し、アバランシェブレークダウンがないため電界に対する耐性が高い。また、トランジスタ１５１乃至１６６のトランジスタ構造としては、例えば、プレーナ型及び逆スタガ型を用いることができる。

【００６２】
このように、保護回路１０６＿１乃至１０６＿４は、複数のダイオード接続されたトランジスタと、複数の抵抗素子により、構成されている。すなわち、保護回路１０６＿１乃至１０６＿４は、ダイオード接続されたトランジスタと抵抗素子を並列に組み合わせて用いることができる。
【００６３】
また、図３に示すように保護回路１０６＿１乃至保護回路１０６＿４は、画素部１０２とゲートドライバ１０４ａとの間、ゲートドライバ１０４ａと接続される配線との間、画素部１０２とソースドライバ１０４ｂとの間、またはソースドライバ１０４ｂと接続される配線との間に設けることができる。
【００６４】
また、一例として、図３で説明した保護回路１０６＿２に対応する平面図、及び抵抗素子として機能する領域の断面図を図４（Ａ）、（Ｂ）に示す。図４（Ａ）に示す平面図において付した符号は、図３で付した符号に対応する。また、図４（Ｂ）は、図４（Ａ）の切断線Ｍ－Ｎによる断面図である。図４（Ａ）、（Ｂ）に示すように本実施の形態で説明する保護回路の抵抗素子は、配線に重畳する絶縁層の一部を除去して、配線間の絶縁層の抵抗率を制御することにより、過電流を好適に逃がす抵抗素子として用いることができる。
【００６５】
また、図５は、図３で説明した保護回路とは異なる構成を示す回路図である。図５に示す回路図では、トランジスタ１５５Ａ、１５６Ａ、１５７Ａ、１５８Ａ、トランジスタ１５５Ｂ、１５６Ｂ、１５７Ｂ、１５８Ｂ、抵抗素子１７４Ａ、１７５Ａ、抵抗素子１７４Ｂ、１７５Ｂ、抵抗素子１９９、配線１８４、配線１８５及び配線１８６を示している。なお、図５に示す回路図において付した符号は、図３で説明した保護回路１０６＿２と同じ構成について、同じ符号を付して対応させている。図５に示す回路図が図３に示した保護回路１０６＿２と異なる点は、図３の保護回路１０６＿２に相当する回路を並べて配置し、配線間に抵抗素子１９９を設けた点である。
【００６６】
なお、図５で示した保護回路１０６＿２が有する抵抗素子１９９の抵抗率は、抵抗素子１７４Ａ、１７５Ａ、抵抗素子１７４Ｂ、１７５Ｂの抵抗率が10^{10}Ωｃｍ以上10^{18}Ωｃｍ未満とするのに対して、10^{3}Ωｃｍ以上10^{6}Ωｃｍ未満と、より小さい値とすることが好ましい。図５に示す回路図の構成とすることで、配線に与えられる信号の急峻な変化を抑制することができる。
【００６７】
このように表示装置に複数の保護回路を設けることによって、画素部１０２、及び駆動回路部１０４（ゲートドライバ１０４ａ、ソースドライバ１０４ｂ）は、ＥＳＤなどにより発生する過電流に対する耐性を、さらに高めることができる。したがって、信頼性を向上しうる新規な表示装置を提供することができる。
【００６８】
なお、本実施の形態において、保護回路、抵抗素子、トランジスタなどを設ける場合の例について述べたが、本発明の実施形態の一態様は、これに限定されない。例えば、場合によっては、保護回路などを設けないことも可能である。
【００６９】
本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。
【００７０】
（実施の形態２）
本実施の形態では、実施の形態１で説明した保護回路を有する、縦電界方式の液晶素子を用いる表示装置（液晶表示装置ともいう）の構成について図６を用いて、説明する。
【００７１】

図６に示す表示装置は、図１（Ａ）に示す表示装置の画素部１０２と、駆動回路部１０４と、保護回路１０６と、を有する。また、各導電層の接続している箇所として、接続部１０９を例示している。接続部１０９は、第１層目の導電層と、第２層目の導電層と、の接続構造を示している。このような接続構造は、駆動回路部１０４、または引き回し配線等に適用することができる。

【００７２】

なお、図６に示す表示装置においては、駆動回路部１０４に保護回路１０６を接続する構成について例示するが、これに限定されず、例えば、駆動回路部１０４と画素部１０２との間に保護回路１０６を接続する構成とすることができる。

【００７３】

本実施の形態に示す表示装置は、一対の基板（基板２０２と基板２５２）間に液晶素子２６８が挟持されている。

【００７４】

液晶素子２６８は、基板２０２の上方に形成された導電層２２０ｃと、導電層２２０ｃ上に形成された液晶層２６０と、液晶層２６０上に形成された導電層２５８と、を有する。導電層２２０ｃは、液晶素子２６８の一方の電極として機能し、導電層２５８は、液晶素子２６８の他方の電極として機能する。

【００７５】

また、本実施の形態においては、液晶素子２６８が縦電界方式の液晶素子の場合について、説明を行う。縦電界方式の液晶素子としては、例えば、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＳＴＮ（Ｓｕｐｅｒ Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＶＡ（Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モードが代表的である。ただし、液晶素子としては、これに限定されず、例えば横電界方式のＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、及びＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード等を用いても良い。

【００７６】

このように、液晶表示装置とは、液晶素子を有する装置のことをいう。なお、液晶表示装置は、複数の画素を駆動させる駆動回路等を含む。また、液晶表示装置は、別の基板上に配置された制御回路、電源回路、信号生成回路及びバックライトモジュール等を含み、液晶モジュールと呼ぶこともある。

【００７７】

液晶表示装置において、液晶表示装置が有する駆動回路部１０４、画素部１０２に設けられたトランジスタは、本実施の形態に示すように保護回路１０６を設けることによって、外部からの過電流に対する耐性を高めることができる。

【００７８】

例えば、液晶素子を作製する際に行われるラビング処理によって、静電気が発生しうる。しかし、保護回路１０６を設けることによって、画素部１０２及び駆動回路部１０４に形成されたトランジスタには、上記静電気によって生じうる過電流が流れない、または抑制される。したがって、トランジスタの静電破壊が抑制され、信頼性の高い表示装置とすることができる。

【００７９】

ここで、図６に示す表示装置のその他の構成要素について、以下説明を行う。

【００８０】

基板２０２上には導電性を有する層（以下、導電層２０４ａ、２０４ｂ、２０４ｃ、２０４ｄという）が形成されている。導電層２０４ａは、保護回路１０６に形成され、抵抗素子の一対の電極の一方としての機能を有する。また、導電層２０４ｂは、駆動回路部１０４に形成され、駆動回路のトランジスタのゲートとしての機能を有する。また、導電層２０４ｃは、画素部１０２に形成され、画素回路のトランジスタのゲートとしての機能を有する。また、導電層２０４ｄは、接続部１０９に形成され、導電層２１２ｆと接続する。

【００８１】
　また、基板２０２、及び導電層２０４ａ、２０４ｂ、２０４ｃ、２０４ｄ上には、絶縁性を有する層（以下、絶縁層２０６、２０８という）が形成されている。絶縁層２０６、２０８は、駆動回路部１０４のトランジスタのゲート絶縁層、及び画素部１０２のトランジスタのゲート絶縁層としての機能を有する。また、絶縁層２０６は、保護回路１０６の抵抗素子（抵抗層）としての機能を有する。
【００８２】
　また、絶縁層２０８上には半導体特性を有する層（以下、半導体層２１０ａ、２１０ｂという）が形成されている。半導体層２１０ａは、導電層２０４ｂと重畳する位置に形成され、駆動回路のトランジスタのチャネルとしての機能を有する。また、半導体層２１０ｂは、導電層２０４ｃと重畳する位置に形成され、画素回路のトランジスタのチャネルとしての機能を有する。
【００８３】
　また、絶縁層２０６、２０８、及び半導体層２１０ａ、２１０ｂ上には、導電性を有する層（以下、導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆという）が形成されている。導電層２１２ａは、保護回路１０６の抵抗素子の一対の電極の他方としての機能を有する。また、導電層２１２ｂは、半導体層２１０ａと電気的に接続され、駆動回路のトランジスタが有するソース及びドレインの一方としての機能を有する。また、導電層２１２ｃは、半導体層２１０ａと電気的に接続され、駆動回路のトランジスタが有するソース及びドレインの他方としての機能を有する。また、導電層２１２ｄは、半導体層２１０ｂと電気的に接続され、画素回路のトランジスタが有するソース及びドレインの一方としての機能を有する。また、導電層２１２ｅは、半導体層２１０ｂと電気的に接続され、画素回路のトランジスタが有するソース及びドレインの他方としての機能を有する。また、導電層２１２ｆは、接続部１０９に形成され、絶縁層２０６、２０８に設けられた開口部を介して導電層２０４ｄと電気的に接続されている。
【００８４】
　また、絶縁層２０８、半導体層２１０ａ、２１０ｂ、及び導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆ上には、絶縁性を有する層（以下、絶縁層２１４、２１６という）が形成されている。絶縁層２１４、２１６は、トランジスタを保護する機能を有する。とくに、絶縁層２１４は、半導体層２１０ａ、２１０ｂを保護する機能を有する。
【００８５】
　また、絶縁層２１６上には絶縁性を有する層（以下、絶縁層２１８という）が形成されている。絶縁層２１８は、平坦化層としての機能を有する。また、絶縁層２１８を形成することにより、絶縁層２１８よりも下方に形成された導電層と、絶縁層２１８よりも上方に形成された導電層と、の間で生じうる寄生容量の発生を抑制することができる。
【００８６】
　また、絶縁層２１８上には導電性を有する層（以下、導電層２２０ａ、２２０ｂ、２２０ｃという）が形成されている。導電層２２０ａは、絶縁層２１４、２１６、２１８を貫通して形成された開口部により導電層２１２ｂと電気的に接続され、駆動回路部１０４の導電層２１２ｂと他の配線とを電気的に接続する接続電極としての機能を有する。導電層２２０ｂは、絶縁層２１４、２１６、２１８を貫通して形成された開口部により導電層２１２ｄと電気的に接続され、画素部１０２の導電層２１２ｄと他の配線とを電気的に接続する接続電極としての機能を有する。また、導電層２２０ｃは、絶縁層２１４、２１６、２１８を貫通して形成された開口部により導電層２１２ｅと電気的に接続され、画素部１０２の画素電極としての機能を有する。なお、導電層２２０ｃは、画素回路の液晶素子が有する一対の電極の一方として機能することができる。
【００８７】
　また、基板２５２上には、有色性を有する層（以下、有色層２５４という）が形成されている。有色層２５４は、カラーフィルタとしての機能を有する。また、図６においては

図示していないが、ブラックマトリクスとしての機能を有する遮光膜を有色層２５４に隣接して形成してもよい。また、有色層２５４は、必ずしも設ける必要はなく、例えば、表示装置が白黒の場合等によって、有色層２５４を設けない構成としてもよい。

【００８８】

また、有色層２５４上には、絶縁性を有する層（以下、絶縁層２５６という）が形成されている。絶縁層２５６は、平坦化層としての機能、または有色層２５４が含有しうる不純物を液晶素子側へ拡散するのを抑制する機能を有する。

【００８９】

また、絶縁層２５６上には、導電性を有する層（以下、導電層２５８という）が形成されている。導電層２５８は、画素回路の液晶素子が有する一対の電極の他方としての機能を有する。なお、導電層２２０ａ、２２０ｂ、２２０ｃ、及び導電層２５８上には、配向膜としての機能を有する絶縁膜を別途形成してもよい。

【００９０】

また、導電層２２０ａ、２２０ｂ、２２０ｃと導電層２５８との間には、液晶層２６０が形成されている。また液晶層２６０は、シール材（図示しない）を用いて、基板２０２と基板２５２の間に封止されている。なお、シール材は、外部からの水分等の入り込みを抑制するために、無機材料と接触する構成が好ましい。

【００９１】

また、導電層２２０ａ、２２０ｂ、２２０ｃと導電層２５８との間に液晶層２６０の厚さ（セルギャップともいう）を維持するスペーサを設けても良い。

【００９２】

なお、本実施の形態に示す表示装置は、画素部１０２、及び駆動回路部１０４が有するトランジスタと、保護回路１０６と、を同時に形成することができる。したがって、製造コスト等を増やさずに保護回路１０６を形成することが可能となる。

【００９３】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【００９４】

（実施の形態３）

本実施の形態では、実施の形態２で説明した表示装置の作製方法について、図７乃至図１２を用いて説明する。

【００９５】

まず、基板２０２を準備する。基板２０２としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料を用いる。量産する上では、基板２０２は、第８世代（２１６０ｍｍ×２４６０ｍｍ）、第９世代（２４００ｍｍ×２８００ｍｍ、または２４５０ｍｍ×３０５０ｍｍ）、第１０世代（２９５０ｍｍ×３４００ｍｍ）等のマザーガラスを用いることが好ましい。マザーガラスは、処理温度が高く、処理時間が長いと大幅に収縮するため、マザーガラスを使用して量産を行う場合、作製工程の加熱処理は、好ましくは６００℃以下、さらに好ましくは４５０℃以下、さらに好ましくは３５０℃以下とすることが望ましい。

【００９６】

次に、基板２０２上に導電膜を形成し、該導電膜を所望の領域に加工することで、導電層２０４ａ、２０４ｂ、２０４ｃ、２０４ｄを形成する。なお、導電層２０４ａ、２０４ｂ、２０４ｃ、２０４ｄの形成は、所望の領域に第１のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる。（図７（Ａ）参照）。

【００９７】

導電層２０４ａ、２０４ｂ、２０４ｃ、２０４ｄとしては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成する

ことができる。また、導電層２０４ａ、２０４ｂ、２０４ｃ、２０４ｄは、単層構造でも、二層以上の積層構造としてもよい。例えば、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。また、導電層２０４ａ、２０４ｂ、２０４ｃ、２０４ｄとしては、例えば、スパッタリング法を用いて形成することができる。

【００９８】

また、上記工程により、保護回路１０６が有する導電層２０４ａと、画素部１０２が有する導電層２０４ｃと、駆動回路部１０４が有する導電層２０４ｂと、を同一平面上に形成することができる。

【００９９】

次に、基板２０２、及び導電層２０４ａ、２０４ｂ、２０４ｃ、２０４ｄ上に絶縁層２０６、２０８を形成する（図７（Ｂ）参照）。

【０１００】

絶縁層２０６としては、例えば、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜などを用いればよく、ＰＥ－ＣＶＤ装置を用いて積層または単層で設ける。また、絶縁層２０６を積層構造とした場合、第１の窒化シリコン膜として、欠陥が少ない窒化シリコン膜とし、第１の窒化シリコン膜上に、第２の窒化シリコン膜として、水素放出量及びアンモニア放出量の少ない窒化シリコン膜を設けると好適である。この結果、絶縁層２０６に含まれる水素及び窒素が、半導体層２１０ａ、２１０ｂへの移動を抑制することが可能である。

【０１０１】

絶縁層２０８としては、酸化シリコン膜、酸化窒化シリコン膜などを用いればよく、ＰＥ－ＣＶＤ装置を用いて積層または単層で設ける。なお、絶縁層２０６と絶縁層２０８は真空中で連続して形成すると、絶縁層２０６と絶縁層２０８との界面に不純物の混入が少ないため、好ましい。また、導電層２０４ｂ、２０４ｃと重畳する領域の絶縁層２０６、２０８は、ゲート絶縁層として機能することができ、例えば、絶縁層２０６として厚さ３００ｎｍの窒化シリコン膜を適用し、絶縁層２０８として厚さ５０ｎｍの酸化窒化シリコン膜を適用することができる。

【０１０２】

なお、窒化酸化シリコンとは、窒素の含有量が酸素より大きい絶縁材料であり、他方、酸化窒化シリコンとは、酸素の含有量が窒素より大きな絶縁材料のことをいう。

【０１０３】

ゲート絶縁層として、上記のような構成とすることで、例えば以下のような効果を得ることができる。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、同等の静電容量を得るのに必要な膜厚が大きいため、ゲート絶縁膜を物理的に厚膜化することができる。よって、トランジスタの絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタの静電破壊を抑制することができる。

【０１０４】

次に、絶縁層２０８上に半導体膜を形成し、該半導体膜を所望の領域に加工することで、半導体層２１０ａ、２１０ｂを形成する。なお、半導体層２１０ａ、２１０ｂの形成は、所望の領域に第２のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる。エッチングとしては、ドライエッチング、ウエットエッチング、または双方を組み合わせたエッチングを用いることができる（図８（Ａ）参照）。

【０１０５】

半導体層２１０ａ、２１０ｂとしては、例えば、酸化物半導体を用いることができる。半導体層２１０ａ、２１０ｂに適用できる酸化物半導体は、少なくともインジウム（Ｉｎ）、亜鉛（Ｚｎ）及びＭ（Ａｌ、Ｇａ、Ｇｅ、Ｙ、Ｚｒ、Ｓｎ、Ｌａ、ＣｅまたはＨｆ等の金属）を含むＩｎ－Ｍ－Ｚｎ酸化物で表記される層を含むことが好ましい。または、ＩｎとＺｎの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【０１０６】

スタビライザーとしては、ガリウム（Ｇａ）、スズ（Ｓｎ）、ハフニウム（Ｈｆ）、アルミニウム（Ａｌ）、またはジルコニウム（Ｚｒ）等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン（Ｌａ）、セリウム（Ｃｅ）、プラセオジム（Ｐｒ）、ネオジム（Ｎｄ）、サマリウム（Ｓｍ）、ユウロピウム（Ｅｕ）、ガドリニウム（Ｇｄ）、テルビウム（Ｔｂ）、ジスプロシウム（Ｄｙ）、ホルミウム（Ｈｏ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、イッテルビウム（Ｙｂ）、ルテチウム（Ｌｕ）等がある。

【０１０７】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、Ｉｎ－Ｚｎ酸化物、Ｓｎ－Ｚｎ酸化物、Ａｌ－Ｚｎ酸化物、Ｚｎ－Ｍｇ酸化物、Ｓｎ－Ｍｇ酸化物、Ｉｎ－Ｍｇ酸化物、Ｉｎ－Ｇａ酸化物、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｉｎ－Ａｌ－Ｚｎ酸化物、Ｉｎ－Ｓｎ－Ｚｎ酸化物、Ｓｎ－Ｇａ－Ｚｎ酸化物、Ａｌ－Ｇａ－Ｚｎ酸化物、Ｓｎ－Ａｌ－Ｚｎ酸化物、Ｉｎ－Ｈｆ－Ｚｎ酸化物、Ｉｎ－Ｌａ－Ｚｎ酸化物、Ｉｎ－Ｃｅ－Ｚｎ酸化物、Ｉｎ－Ｐｒ－Ｚｎ酸化物、Ｉｎ－Ｎｄ－Ｚｎ酸化物、Ｉｎ－Ｓｍ－Ｚｎ酸化物、Ｉｎ－Ｅｕ－Ｚｎ酸化物、Ｉｎ－Ｇｄ－Ｚｎ酸化物、Ｉｎ－Ｔｂ－Ｚｎ酸化物、Ｉｎ－Ｄｙ－Ｚｎ酸化物、Ｉｎ－Ｈｏ－Ｚｎ酸化物、Ｉｎ－Ｅｒ－Ｚｎ酸化物、Ｉｎ－Ｔｍ－Ｚｎ酸化物、Ｉｎ－Ｙｂ－Ｚｎ酸化物、Ｉｎ－Ｌｕ－Ｚｎ酸化物、Ｉｎ－Ｓｎ－Ｇａ－Ｚｎ酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ酸化物を用いることができる。

【０１０８】

なお、ここで、例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物とは、ＩｎとＧａとＺｎを主成分として有する酸化物という意味であり、ＩｎとＧａとＺｎの比率は問わない。また、ＩｎとＧａとＺｎ以外の金属元素が入っていてもよい。また、本明細書等においては、Ｉｎ－Ｇａ－Ｚｎ酸化物で構成した膜をＩＧＺＯ膜とも呼ぶ。

【０１０９】

また、$InMO_3(ZnO)_m$（ｍ＞０、且つ、ｍは整数でない）で表記される材料を用いてもよい。なお、Ｍは、Ｇａ、Ｆｅ、Ｍｎ及びＣｏから選ばれた一つの金属元素または複数の金属元素を示す。また、$In_2SnO_5(ZnO)_n$（ｎ＞０、且つ、ｎは整数）で表記される材料を用いてもよい。

【０１１０】

なお、酸化物半導体の成膜には、スパッタリング法を用いることが好ましい。スパッタリング法としては、ＲＦスパッタリング法、ＤＣスパッタリング法、ＡＣスパッタリング法等を用いることができる。特に、成膜時に発生するゴミを低減でき、かつ膜厚分布も均一とすることからＤＣスパッタリング法を用いることが好ましい。

【０１１１】

ここで酸化物半導体膜の構造について説明する。

【０１１２】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、ＣＡＡＣ－ＯＳ（Ｃ Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【０１１３】

まずは、ＣＡＡＣ－ＯＳ膜について説明する。

【０１１４】

ＣＡＡＣ－ＯＳ膜は、ｃ軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【０１１５】

ＣＡＡＣ－ＯＳ膜を透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）によって観察すると、明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、ＣＡＡＣ－ＯＳ膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【０１１６】

ＣＡＡＣ－ＯＳ膜を、試料面と概略平行な方向からＴＥＭによって観察（断面ＴＥＭ観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、ＣＡＡＣ－ＯＳ膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、ＣＡＡＣ－ＯＳ膜の被形成面または上面と平行に配列する。

【０１１７】

一方、ＣＡＡＣ－ＯＳ膜を、試料面と概略垂直な方向からＴＥＭによって観察（平面ＴＥＭ観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【０１１８】

断面ＴＥＭ観察および平面ＴＥＭ観察より、ＣＡＡＣ－ＯＳ膜の結晶部は配向性を有していることがわかる。

【０１１９】

なお、本明細書において、「平行」とは、二つの直線が－１０°以上１０°以下の角度で配置されている状態をいう。従って、－５°以上５°以下の場合も含まれる。また、「垂直」とは、二つの直線が８０°以上１００°以下の角度で配置されている状態をいう。従って、８５°以上９５°以下の場合も含まれる。

【０１２０】

また、ＣＡＡＣ－ＯＳ膜に含まれるほとんどの結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさである。従って、ＣＡＡＣ－ＯＳ膜に含まれる結晶部は、一辺が１０ｎｍ未満、５ｎｍ未満または３ｎｍ未満の立方体内に収まる大きさの場合も含まれる。ただし、ＣＡＡＣ－ＯＳ膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面ＴＥＭ像において、２５００ｎｍ^{2}以上、５μｍ^{2}以上または１０００μｍ^{2}以上となる結晶領域が観察される場合がある。

【０１２１】

ＣＡＡＣ－ＯＳ膜に対し、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）装置を用いて構造解析を行うと、例えば$InGaZnO_4$の結晶を有するＣＡＡＣ－ＯＳ膜のｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、回折角（２θ）が３１°近傍にピークが現れる場合がある。このピークは、$InGaZnO_4$の結晶の（００９）面に帰属されることから、ＣＡＡＣ－ＯＳ膜の結晶がｃ軸配向性を有し、ｃ軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【０１２２】

一方、ＣＡＡＣ－ＯＳ膜に対し、ｃ軸に概略垂直な方向からＸ線を入射させるｉｎ－ｐｌａｎｅ法による解析では、２θが５６°近傍にピークが現れる場合がある。このピークは、$InGaZnO_4$の結晶の（１１０）面に帰属される。$InGaZnO_4$の単結晶酸化物半導体膜であれば、２θを５６°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行うと、（１１０）面と等価な結晶面に帰属されるピークが６本観察される。これに対し、ＣＡＡＣ－ＯＳ膜の場合は、２θを５６°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

【０１２３】

以上のことから、ＣＡＡＣ－ＯＳ膜では、異なる結晶部間ではａ軸およびｂ軸の配向は不規則であるが、ｃ軸配向性を有し、かつｃ軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面ＴＥＭ観察で確認された層状に配列した金属原子の各層は、結晶のａｂ面に平行な面である。

【０１２４】

なお、結晶部は、ＣＡＡＣ－ＯＳ膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のｃ軸は、ＣＡＡＣ－ＯＳ膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、ＣＡＡＣ－ＯＳ膜の形状をエッチングなどによって変化させた場合、結晶のｃ軸がＣＡＡＣ－ＯＳ膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【０１２５】

また、ＣＡＡＣ－ＯＳ膜中において、ｃ軸配向した結晶部の分布が均一でなくてもよい。例えば、ＣＡＡＣ－ＯＳ膜の結晶部が、ＣＡＡＣ－ＯＳ膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもｃ軸配向した結晶部の割合が高くなることがある。また、ＣＡＡＣ－ＯＳ膜に不純物を添加する場合、不純物が添加された領域が変質し、部分的にｃ軸配向した結晶部の割合の異なる領域が形成されることもある。

【０１２６】

なお、$InGaZnO_4$の結晶を有するＣＡＡＣ－ＯＳ膜のｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、２θが３１°近傍のピークの他に、２θが３６°近傍にもピークが現れる場合がある。２θが３６°近傍のピークは、ＣＡＡＣ－ＯＳ膜中の一部に、ｃ軸配向性を有さない結晶が含まれることを示している。ＣＡＡＣ－ＯＳ膜は、２θが３１°近傍にピークを示し、２θが３６°近傍にピークを示さないことが好ましい。

【０１２７】

ＣＡＡＣ－ＯＳ膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【０１２８】

また、ＣＡＡＣ－ＯＳ膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【０１２９】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【０１３０】

また、ＣＡＡＣ－ＯＳ膜を用いたトランジスタは、可視光や紫外光の照射による電気特

性の変動が小さい。

【０１３１】

次に、微結晶酸化物半導体膜について説明する。

【０１３２】

微結晶酸化物半導体膜は、ＴＥＭによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、１ｎｍ以上１００ｎｍ以下、または１ｎｍ以上１０ｎｍ以下の大きさであることが多い。特に、１ｎｍ以上１０ｎｍ以下、または１ｎｍ以上３ｎｍ以下の微結晶であるナノ結晶（ｎｃ：ｎａｎｏｃｒｙｓｔａｌ）を有する酸化物半導体膜を、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜と呼ぶ。また、ｎｃ－ＯＳ膜は、例えば、ＴＥＭによる観察像では、結晶粒界を明確に確認できない場合がある。

【０１３３】

ｎｃ－ＯＳ膜は、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。また、ｎｃ－ＯＳ膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、ｎｃ－ＯＳ膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、結晶部よりも大きい径のＸ線を用いるＸＲＤ装置を用いて構造解析を行うと、ｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、結晶面を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、結晶部よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、結晶部の大きさと近いか結晶部より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、ｎｃ－ＯＳ膜に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、ｎｃ－ＯＳ膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【０１３４】

ｎｃ－ＯＳ膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、ｎｃ－ＯＳ膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、ｎｃ－ＯＳ膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、ｎｃ－ＯＳ膜は、ＣＡＡＣ－ＯＳ膜と比べて欠陥準位密度が高くなる。

【０１３５】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、ＣＡＡＣ－ＯＳ膜のうち、二種以上を有する積層膜であってもよい。

【０１３６】

また、ＣＡＡＣ－ＯＳ膜を成膜するために、以下の条件を適用することが好ましい。

【０１３７】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物（水素、水、二酸化炭素及び窒素など）を低減すればよい。また、成膜ガス中の不純物を低減すればよい。具体的には、露点が－８０℃以下、好ましくは－１００℃以下である成膜ガスを用いる。

【０１３８】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタ粒子のマイグレーションが起こる。具体的には、基板加熱温度を１００℃以上７４０℃以下、好ましくは２００℃以上５００℃以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタ粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタ粒子の平らな面が基板に付着する。

【０１３９】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメー

ジを軽減すると好ましい。成膜ガス中の酸素割合は、３０体積％以上、好ましくは１００体積％とする。

【０１４０】

スパッタリング用ターゲットの一例として、Ｉｎ－Ｇａ－Ｚｎ－Ｏ化合物ターゲットについて以下に示す。

【０１４１】

InO_X粉末、GaO_Y粉末及びZnO_Z粉末を所定のモル数で混合し、加圧処理後、１０００℃以上１５００℃以下の温度で加熱処理をすることで多結晶であるＩｎ－Ｇａ－Ｚｎ－Ｏ化合物ターゲットとする。なお、Ｘ、Ｙ及びＺは任意の正数である。ここで、粉末の種類、及びその混合するモル数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【０１４２】

次に、第１の加熱処理を行うことが好ましい。第１の加熱処理は、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下の温度で、不活性ガス雰囲気、酸化性ガスを１０ｐｐｍ以上含む雰囲気、または減圧状態で行えばよい。また、第１の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上含む雰囲気で行ってもよい。第１の加熱処理によって、半導体層２１０ａ、２１０ｂに用いる酸化物半導体の結晶性を高め、さらに絶縁層２０６、２０８、及び半導体層２１０ａ、２１０ｂから水素や水などの不純物を除去することができる。なお、酸化物半導体層を形成するエッチングの前に第１の加熱工程を行ってもよい。

【０１４３】

なお、酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、1×10^{17}／cm^3未満であること、好ましくは1×10^{15}／cm^3未満であること、さらに好ましくは1×10^{13}／cm^3未満であることを指す。

【０１４４】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、及び主成分以外の金属元素は不純物となる。例えば、水素及び窒素は、ドナー準位を形成し、キャリア密度を増大させてしまう。また、シリコンは、酸化物半導体層中で不純物準位を形成する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。

【０１４５】

酸化物半導体層を真性または実質的に真性とするためには、ＳＩＭＳにおける分析において、シリコン濃度を1×10^{19}ａｔｏｍｓ／cm^3未満、好ましくは5×10^{18}ａｔｏｍｓ／cm^3未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／cm^3未満とする。また、水素濃度は、2×10^{20}ａｔｏｍｓ／cm^3以下、好ましくは5×10^{19}ａｔｏｍｓ／cm^3以下、より好ましくは1×10^{19}ａｔｏｍｓ／cm^3以下、さらに好ましくは5×10^{18}ａｔｏｍｓ／cm^3以下とする。また、窒素濃度は、5×10^{19}ａｔｏｍｓ／cm^3未満、好ましくは5×10^{18}ａｔｏｍｓ／cm^3以下、より好ましくは1×10^{18}ａｔｏｍｓ／cm^3以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／cm^3以下とする。

【０１４６】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、シリコン濃度を1×10^{19}ａｔｏｍｓ／cm^3未満、好ましくは5×10^{18}ａｔｏｍｓ／cm^3未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／cm^3未満とすればよい。また、炭素濃度を1×10^{19}ａｔｏｍｓ／cm^3未満、好ましくは5×10^{18}ａｔｏｍｓ／cm^3未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／cm^3未満とすればよい。

【０１４７】

また、上述のように高純度化された酸化物半導体層をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さく、トランジスタのチャネル幅で規格化したオフ電流は、数ｙＡ／μｍ～数ｚＡ／μｍにまで低減することが可能となる。

【０１４８】

また、酸化物半導体層は、層中の局在準位を低減することで、酸化物半導体層を用いたトランジスタに安定した電気特性を付与することができる。なお、トランジスタに安定した電気特性を付与するためには、酸化物半導体層中のＣＰＭ測定（ＣＰＭ：Ｃｏｎｓｔａｎｔ　Ｐｈｏｔｏｃｕｒｒｅｎｔ　Ｍｅｔｈｏｄ）で得られる局在準位による吸収係数は、1×10^{-3}／ｃｍ未満、好ましくは3×10^{-4}／ｃｍ未満とすればよい。

【０１４９】

次に、絶縁層２０８上に第３のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、保護回路１０６上の絶縁層２０８の一部、及び接続部１０９上の絶縁層２０６、２０８の一部を除去する。なお、開口部２０７ａ、２０７ｂの形成は、半導体層２１０ａ、２１０ｂの形成前に行っても良い（図８（Ｂ）参照）。

【０１５０】

なお、第３のパターニングによるマスクの形成は、多階調マスクを用いることができる。多階調マスクとは、露光部分、中間露光部分、及び未露光部分に３つの露光レベルを行うことが可能なマスクであり、透過した光が複数の強度となる露光マスクである。一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、露光マスクの枚数を削減することが可能である。多階調マスクとしては、例えばハーフトーンマスク、またはグレートーンマスク等が挙げられる。

【０１５１】

第３のパターニングを、多階調マスクを用いることによって、開口部２０７ａ、２０７ｂは、それぞれ深さ方向の違う開口部とすることができる。これにより、開口部２０７ａは、絶縁層２０６が露出し、開口部２０７ｂは、導電層２０４ｄが露出した構造とすることができる。なお、開口部２０７ａ、２０７ｂの形成方法は、これに限定されず、例えば、異なるマスクを用いてパターニングを行っても良い。

【０１５２】

これにより、画素部１０２、及び駆動回路部１０４に形成された絶縁層２０６、２０８は、積層のゲート絶縁層として機能することができる。また、保護回路１０６に形成された絶縁層２０６は、抵抗素子として機能することができる。

【０１５３】

次に、絶縁層２０６、２０８、半導体層２１０ａ、２１０ｂ、及び導電層２０４ｄ上に導電膜を形成し、該導電膜を所望の領域に加工することで、導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆを形成する。なお、導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆの形成は、所望の領域に第４のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、形成することができる（図９（Ａ）参照）。

【０１５４】

また、上記工程により、保護回路１０６が有する導電層２１２ａと、画素部１０２が有する導電層２１２ｄ、２１２ｅと、駆動回路部１０４が有する導電層２１２ｂ、２１２ｃと、を同一平面上に形成することができる。

【０１５５】

導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆとしては、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅－マグ

ネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。また、導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆとしては、例えば、スパッタリング法を用いて形成することができる。

【０１５６】

なお、本実施の形態では、導電層２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅを半導体層２１０ａ、２１０ｂ上に設けたが、絶縁層２０８と半導体層２１０ａ、２１０ｂの間に設けても良い。

【０１５７】

次に、絶縁層２０８、半導体層２１０ａ、２１０ｂ、及び導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆを覆うように、絶縁層２１４、２１６を形成する（図９（Ｂ）参照）。

【０１５８】

絶縁層２１４としては、半導体層２１０ａ、２１０ｂとして用いる酸化物半導体との界面特性を向上させるため、酸素を含む無機絶縁材料を用いることができる。また、絶縁層２１６としては、半導体層２１０ａ、２１０ｂとして用いる酸化物半導体中に外部からの不純物、例えば、水分等の入り込みが少ない材料を用いることが好ましく、例えば窒素を含む無機絶縁材料を用いることができる。また、絶縁層２１４、２１６としては、例えば、ＰＥ－ＣＶＤ法を用いて形成することができる。

【０１５９】

一例としては、絶縁層２１４としては、厚さ１５０ｎｍ以上４００ｎｍ以下の酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜等を用いることができ、絶縁層２１６としては、厚さ１５０ｎｍ以上４００ｎｍ以下の窒化シリコン膜、窒化酸化シリコン膜等を用いることができる。本実施の形態においては、絶縁層２１４として、厚さ３００ｎｍの酸化窒化シリコン膜を用い、絶縁層２１６として、厚さ１５０ｎｍの窒化シリコン膜を用いる。このとき窒化シリコン膜は、半導体層２１０ａ、２１０ｂへの水分の入り込みを防止するブロック層としての機能を有する。該窒化シリコン膜は、ブロック性を高めるために、高温で成膜されることが好ましく、例えば基板温度１００℃以上基板の歪み点以下、より好ましくは３００℃以上４００℃以下の温度で加熱して成膜することが好ましい。また高温で成膜する場合は、半導体層２１０ａ、２１０ｂとして用いる酸化物半導体から酸素が脱離し、キャリア濃度が上昇する現象が発生することがあるため、このような現象が発生しない温度とする。

【０１６０】

次に、絶縁層２１６上に絶縁層２１８を形成する（図１０（Ａ）参照）。

【０１６１】

絶縁層２１８としては、アクリル系樹脂、ポリイミド系樹脂、ベンゾシクロブテン系樹脂、ポリアミド系樹脂、エポキシ系樹脂等の、耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層２１８を形成してもよい。絶縁層２１８を用いることにより、トランジスタ等の凹凸を平坦化させることが可能となる。絶縁層２１８としては、例えば、スピンコート法を用いて形成することができる。

【０１６２】

また、絶縁層２１８として用いることのできるアクリル系樹脂としては、例えば、吸水性が低く、膜中からの脱ガス成分（例えば、H_2O、Ｃ、Ｆなど）の放出が少ない材料を用いると好適である。

【０１６３】

次に、絶縁層２１８上に第５のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで、開口部２１９ａ、２１９ｂ、２１９ｃを形成する（図１０（Ｂ）参照）。

【０１６４】

なお、開口部２１９ａ、２１９ｂ、２１９ｃは、それぞれ導電層２１２ｂ、２１２ｄ、２１２ｅに達するように形成する。

【０１６５】

次に、開口部２１９ａ、２１９ｂ、２１９ｃを充填するように導電膜を形成し、該導電膜を所望の領域に加工することで、導電層２２０ａ、２２０ｂ、２２０ｃを形成する。なお、導電層２２０ａ、２２０ｂ、２２０ｃの形成は、所望の領域に第６のパターニングによるマスクの形成を行い、該マスクに覆われていない領域をエッチングすることで形成することができる（図１１参照）。

【０１６６】

導電層２２０ａ、２２０ｂ、２２０ｃとしては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ＩＴＯと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。また、導電層２２０ａ、２２０ｂ、２２０ｃとしては、例えば、スパッタリング法を用いて形成することができる。

【０１６７】

以上の工程で基板２０２上に形成されるトランジスタを有する画素部及び駆動回路部と、保護回路と、を同一基板上に形成することができる。なお、本実施の形態に示す作製工程においては、第１乃至第６のパターニング、すなわち６枚のマスクでトランジスタ、及び保護回路を同時に形成することができる。

【０１６８】

次に、基板２０２に対向して設けられる基板２５２上に形成される構造について、以下説明を行う。

【０１６９】

まず、基板２５２を準備する。基板２５２としては、基板２０２に示す材料を援用することができる。次に、基板２５２上に有色層２５４、絶縁層２５６を形成する（図１２（Ａ）参照）。

【０１７０】

有色層２５４としては、特定の波長帯域の光を透過する有色層であればよく、例えば、赤色の波長帯域の光を透過する赤色（Ｒ）のカラーフィルタ、緑色の波長帯域の光を透過する緑色（Ｇ）のカラーフィルタ、青色の波長帯域の光を透過する青色（Ｂ）のカラーフィルタなどを用いることができる。各カラーフィルタは、公知の材料を用いて、印刷法、インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ所望の位置に形成する。また、絶縁層２５６としては、例えば、アクリル系樹脂等の絶縁膜を用いることができる。

【０１７１】

次に、絶縁層２５６上に導電層２５８を形成する（図１２（Ｂ）参照）。導電層２５８としては、導電層２２０ａ、２２０ｂ、２２０ｃに示す材料を援用することができる。

【０１７２】

次に、基板２０２と、基板２５２との間に液晶層２６０を形成する。液晶層２６０の形成方法としては、ディスペンサ法（滴下法）や、基板２０２と基板２５２とを貼り合わせてから毛細管現象を用いて液晶を注入する注入法を用いることができる。

【０１７３】

以上の工程で、図６に示す表示装置を作製することができる。

【０１７４】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができ

る。
【０１７５】
（実施の形態４）
本実施の形態においては、図１（Ａ）に示す表示装置の画素回路１０８に用いることのできる構成について、図１３を用いて説明を行う。
【０１７６】
図１（Ａ）に示す表示装置において、画素回路１０８は、図１３（Ａ）に示すような構成とすることができる。
【０１７７】
図１３（Ａ）に示す画素回路１０８は、液晶素子１３０と、トランジスタ１３１＿１と、容量素子１３３＿１と、を有する。
【０１７８】
液晶素子１３０の一対の電極の一方の電位は、画素回路１０８の仕様に応じて適宜設定される。液晶素子１３０は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路１０８のそれぞれが有する液晶素子１３０の一対の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路１０８毎の液晶素子１３０の一対の電極の一方に異なる電位を与えてもよい。
【０１７９】
例えば、液晶素子１３０を備える表示装置の駆動方法としては、ＴＮモード、ＳＴＮモード、ＶＡモード、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ Ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌｌｙ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＭＶＡ（Ｍｕｌｔｉ－Ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＩＰＳモード、ＦＦＳモード、又はＴＢＡ（Ｔｒａｎｓｖｅｒｓｅ Ｂｅｎｄ Ａｌｉｇｎｍｅｎｔ）モードなどを用いてもよい。また、表示装置の駆動方法としては、上述した駆動方法の他、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ Ｃｏｎｔｒｏｌｌｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＰＤＬＣ（Ｐｏｌｙｍｅｒ Ｄｉｓｐｅｒｓｅｄ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＰＮＬＣ（Ｐｏｌｙｍｅｒ Ｎｅｔｗｏｒｋ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。
【０１８０】
また、ブルー相（Ｂｌｕｅ Ｐｈａｓｅ）を示す液晶とカイラル剤とを含む液晶組成物により液晶素子を構成してもよい。ブルー相を示す液晶は、応答速度が１ｍｓｅｃ以下と短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。
【０１８１】
ｍ行ｎ列目の画素回路１０８において、トランジスタ１３１＿１のソース及びドレインの一方は、データ線ＤＬ＿ｎに電気的に接続され、他方は液晶素子１３０の一対の電極の他方に電気的に接続される。また、トランジスタ１３１＿１のゲートは、走査線ＧＬ＿ｍに電気的に接続される。トランジスタ１３１＿１は、オン状態又はオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。
【０１８２】
容量素子１３３＿１の一対の電極の一方は、電位が供給される配線（以下、電位供給線ＶＬ）に電気的に接続され、他方は、液晶素子１３０の一対の電極の他方に電気的に接続される。なお、電位供給線ＶＬの電位の値は、画素回路１０８の仕様に応じて適宜設定される。容量素子１３３＿１は、書き込まれたデータを保持する保持容量としての機能を有する。
【０１８３】

例えば、図１３（Ａ）の画素回路１０８を有する表示装置では、ゲートドライバ１０４ａにより各行の画素回路１０８を順次選択し、トランジスタ１３１＿１をオン状態にしてデータ信号のデータを書き込む。

【０１８４】

データが書き込まれた画素回路１０８は、トランジスタ１３１＿１がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

【０１８５】

また、図１３（Ｂ）に示す画素回路１０８は、トランジスタ１３１＿２と、容量素子１３３＿２と、トランジスタ１３４と、発光素子１３５と、を有する。

【０１８６】

トランジスタ１３１＿２のソース及びドレインの一方は、データ信号が与えられる配線（以下、データ線ＤＬ＿ｎという）に電気的に接続される。さらに、トランジスタ１３１＿２のゲートは、ゲート信号が与えられる配線（以下、走査線ＧＬ＿ｍという）に電気的に接続される。

【０１８７】

トランジスタ１３１＿２は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【０１８８】

容量素子１３３＿２の一対の電極の一方は、電源が与えられる配線（以下、電源線ＶＬ＿ａという）に電気的に接続され、他方は、トランジスタ１３１＿２のソース及びドレインの他方に電気的に接続される。

【０１８９】

容量素子１３３＿２は、書き込まれたデータを保持する保持容量としての機能を有する。

【０１９０】

トランジスタ１３４のソース及びドレインの一方は、電源線ＶＬ＿ａに電気的に接続される。さらに、トランジスタ１３４のゲートは、トランジスタ１３１＿２のソース及びドレインの他方に電気的に接続される。

【０１９１】

発光素子１３５のアノード及びカソードの一方は、電源線ＶＬ＿ｂに電気的に接続され、他方は、トランジスタ１３４のソース及びドレインの他方に電気的に接続される。

【０１９２】

発光素子１３５としては、例えば有機エレクトロルミネセンス素子（有機ＥＬ素子ともいう）などを用いることができる。ただし、発光素子１３５としては、これに限定されず、無機材料からなる無機ＥＬ素子を用いても良い。

【０１９３】

なお、電源線ＶＬ＿ａ及び電源線ＶＬ＿ｂの一方には、高電源電位ＶＤＤが与えられ、他方には、低電源電位ＶＳＳが与えられる。

【０１９４】

図１３（Ｂ）の画素回路１０８を有する表示装置では、ゲートドライバ１０４ａにより各行の画素回路１０８を順次選択し、トランジスタ１３１＿２をオン状態にしてデータ信号のデータを書き込む。

【０１９５】

データが書き込まれた画素回路１０８は、トランジスタ１３１＿２がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ１３４のソースとドレインの間に流れる電流量が制御され、発光素子１３５は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

【０１９６】

なお、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な

素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置の一例としては、ＥＬ（エレクトロルミネッセンス）素子（有機物及び無機物を含むＥＬ素子、有機ＥＬ素子、無機ＥＬ素子）、ＬＥＤ（白色ＬＥＤ、赤色ＬＥＤ、緑色ＬＥＤ、青色ＬＥＤなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（ＧＬＶ）、プラズマディスプレイパネル（ＰＤＰ）、デジタルマイクロミラーデバイス（ＤＭＤ）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。ＥＬ素子を用いた表示装置の一例としては、ＥＬディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（ＦＥＤ）又はＳＥＤ方式平面型ディスプレイ（ＳＥＤ：Ｓｕｒｆａｃｅ－ｃｏｎｄｕｃｔｉｏｎ　Ｅｌｅｃｔｒｏｎ－ｅｍｉｔｔｅｒ　Ｄｉｓｐｌａｙ）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

【０１９７】

ＥＬ素子の一例としては、陽極と、陰極と、陽極と陰極との間に挟まれたＥＬ層と、を有する素子などがある。ＥＬ層の一例としては、１重項励起子からの発光（蛍光）を利用するもの、３重項励起子からの発光（燐光）を利用するもの、１重項励起子からの発光（蛍光）を利用するものと３重項励起子からの発光（燐光）を利用するものとを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものとを含むもの、高分子の材料を含むもの、低分子の材料を含むもの、又は高分子の材料と低分子の材料とを含むもの、などがある。ただし、これに限定されず、ＥＬ素子として様々なものを用いることができる。

【０１９８】

液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子は一対の電極と液晶層により構造されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、具体的には、液晶素子の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（ＰＤＬＣ）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（ＰＡＬＣ）、バナナ型液晶などを挙げることができる。

【０１９９】

電子ペーパーの表示方法の一例としては、分子により表示されるもの（光学異方性、染料分子配向など）、粒子により表示されるもの（電気泳動、粒子移動、粒子回転、相変化など）、フィルムの一端が移動することにより表示されるもの、分子の発色／相変化により表示されるもの、分子の光吸収により表示されるもの、又は電子とホールが結合して自発光により表示されるものなどを用いることができる。具体的には、電子ペーパーの表示方法の一例としては、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウェッテイング、光散乱（透明／白濁変化）、コレステリック液晶／光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、２色性色素・液晶分散型、可動フィルム、ロイコ染料による発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ＥＬなどがある。ただし、これに限定されず、電子ペーパー及びその表示方法として様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリ性などのメリットを有する。

【０２００】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【０２０１】

（実施の形態５）

本実施の形態においては、図６に示す表示装置の画素部１０２に用いることのできる構成について、図１４を用いて説明を行う。

【０２０２】

図１４（Ａ）は、画素部１０２に用いることのできるトランジスタの構成の一部を示す上面図であり、図１４（Ｂ）は、図１４（Ａ）に示す一点鎖線Ａ１－Ａ２の断面に相当する図である。また、図１４（Ｃ）は、画素部１０２に用いることのできるトランジスタの構成の一部を示す上面図であり、図１４（Ｄ）は、図１４（Ｃ）に示す一点鎖線Ｂ１－Ｂ２の断面に相当する図である。また、先の実施の形態で説明した部分と同様の機能を有する部分については、同様の符号、及び同様のハッチングを付し、その詳細な説明は省略する。

【０２０３】

なお、図１４（Ａ）、（Ｃ）に示す上面図においては、絶縁層２０６、２０８、２１４、２１６、２１８等は、図面の煩雑をさけるため、省略して図示してある。

【０２０４】

図１４（Ａ）、（Ｂ）に示す画素部１０２に用いることのできるトランジスタは、基板２０２上に形成された導電層２０４ａと、基板２０２、及び導電層２０４ａ上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された半導体層２１０ａと、半導体層２１０ａと電気的に接続された導電層２１２ｄ、２１２ｅと、を有する構成である。

【０２０５】

また、上記トランジスタの上方には、絶縁層２１４、２１６、２１８が形成され、絶縁層２１４、２１６、２１８に設けられた開口部を介して導電層２１２ｅと、導電層２２０ｃが電気的に接続されている。

【０２０６】

図１４（Ａ）、（Ｂ）に示す構造は、図６に示す構造と導電層２２０ｃの位置が異なる。具体的には、図１４（Ａ）、（Ｂ）に示す構造は、半導体層２１０ａと一部が重畳する領域に導電層２２０ｃが配置される。

【０２０７】

図１４（Ａ）、（Ｂ）に示す構成とすることで、画素部１０２に用いるトランジスタの上方からの過電流に対して、導電層２２０ｃを用いて過電流を逃がすことができる。

【０２０８】

図１４（Ｃ）、（Ｄ）に示す画素部１０２に用いることのできるトランジスタは、基板２０２上に形成された導電層２０４ａと、基板２０２、及び導電層２０４ａ上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された半導体層２１０ａと、半導体層２１０ａと電気的に接続された導電層２１２ｄ、２１２ｅと、を有する構成である。

【０２０９】

また、上記トランジスタ上には、絶縁層２１４、２１６、２１８が形成され、絶縁層２１４、２１６、２１８に設けられた開口部を介して導電層２１２ｅと、導電層２２０ｃが電気的に接続されている。

【０２１０】

図１４（Ｃ）、（Ｄ）に示す構造は、図６に示す構造と絶縁層２０８の位置が異なる。具体的には、図１４（Ｃ）、（Ｄ）に示す構造は、半導体層２１０ａの側端部と、絶縁層２０８の側端部と、概略同様の位置に形成されている。例えば、半導体層２１０ａの形成時のマスクを利用して、絶縁層２０８の一部をエッチングすることで、図１４（Ｃ）、（Ｄ）に示す構成とすることができる。

【０２１１】

図１４（Ｃ）、（Ｄ）に示す構成とすることで、例えば、導電層２２０ｃに帯電した電

荷を導電層２１２ｅ及び絶縁層２０６を介して、導電層２０４ａに逃がすことができる。

【０２１２】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【０２１３】

（実施の形態６）

本実施の形態においては、図１に示す保護回路１０６として用いることのできる構成について、図１５乃至図１７を用いて説明を行う。

【０２１４】

図１５（Ａ）、（Ｂ）は、保護回路１０６として用いることのできる素子の上面図を示しており、図１５（Ｃ）は、図１５（Ａ）に示す一点鎖線Ｃ１－Ｃ２、Ｃ３－Ｃ４の断面に相当する図であり、図１５（Ｄ）は、図１５（Ｂ）に示す一点鎖線Ｄ１－Ｄ２、Ｄ３－Ｄ４の断面に相当する図である。

【０２１５】

図１５（Ａ）、（Ｃ）は、保護回路１０６として用いることのできる抵抗素子を表している。また、図１５（Ａ）、（Ｃ）に示す抵抗素子は、基板２０２上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された半導体層２１０ｃと、半導体層２１０ｃと電気的に接続された導電層２１２ｇ、２１２ｈとを有する。

【０２１６】

図１５（Ｂ）、（Ｄ）は、保護回路１０６として用いることのできる抵抗素子を表している。また、図１５（Ｂ）、（Ｄ）に示す抵抗素子は、基板２０２上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された半導体層２１０ｃ、及び導電層２１２ｇ、２１２ｈと、絶縁層２０８、半導体層２１０ｃ、導電層２１２ｇ、２１２ｈ上に形成された絶縁層２１４、２１６、２１８と、絶縁層２１８上に形成され、導電層２１２ｇと半導体層２１０ｃを電気的に接続する導電層２２０ｄと、絶縁層２１８上に形成され、導電層２１２ｈと半導体層２１０ｃを電気的に接続する導電層２２０ｅとを有する。

【０２１７】

上記抵抗素子は、半導体層２１０ｃを抵抗素子として用いることができる。また、半導体層２１０ｃを、図１５（Ａ）、（Ｂ）に示すような構成とすることで、抵抗率を制御することができる。

【０２１８】

また、図１６（Ａ）、（Ｂ）、（Ｃ）は、保護回路１０６として用いることのできる回路構成の一例を示している。

【０２１９】

図１６（Ａ）に示す回路構成は、配線４５１、４５２、４８１とトランジスタ４０２、４０４と、を有する構成である。

【０２２０】

トランジスタ４０２は、ソース電極として機能する第１端子がゲート電極として機能する第２端子と電気的に接続されており、ドレイン電極として機能する第３端子が配線４５１と電気的に接続されている。また、トランジスタ４０２の第１端子は、配線４８１と電気的に接続されている。トランジスタ４０４は、ソース電極として機能する第１端子がゲート電極として機能する第２端子と電気的に接続されており、ドレイン電極として機能する第３端子が配線４５２と電気的に接続されている。また、トランジスタ４０４の第１端子は、配線４８１と電気的に接続されている。

【０２２１】

図１６（Ｂ）に示す回路構成は、配線４５３、４５４、４８２、４８３、４８４と、トランジスタ４０６、４０８、４１０、４１２とを有する構成である。

【０２２２】

トランジスタ４０６は、ソース電極として機能する第１端子がゲート電極として機能する第２端子と電気的に接続されており、ドレイン電極として機能する第３端子が配線４８

３と電気的に接続されている。また、トランジスタ４０６の第１端子は、配線４８２と電気的に接続されている。

【０２２３】

トランジスタ４０８は、ソース電極として機能する第１端子がゲート電極として機能する第２端子と電気的に接続されており、ドレイン電極として機能する第３端子が配線４８４と電気的に接続されている。また、トランジスタ４０８の第１端子は、配線４８３と電気的に接続されている。

【０２２４】

トランジスタ４１０は、ソース電極として機能する第１端子がゲート電極として機能する第２端子と電気的に接続されており、ドレイン電極として機能する第３端子が配線４８２と電気的に接続されている。また、トランジスタ４１０の第１端子は、配線４８３と電気的に接続されている。

【０２２５】

トランジスタ４１２は、ソース電極として機能する第１端子がゲート電極として機能する第２端子と電気的に接続されており、ドレイン電極として機能する第３端子が配線４８３と電気的に接続されている。また、トランジスタ４１２の第１端子は、配線４８４と電気的に接続されている。

【０２２６】

図１６（Ｃ）に示す回路構成は、配線４５５、４５６、４８５、４８６と、トランジスタ４１４、４１６とを有する構成である。

【０２２７】

トランジスタ４１４は、ソース電極として機能する第１端子がゲート電極として機能する第２端子と電気的に接続されており、ドレイン電極として機能する第３端子が配線４８５と電気的に接続されている。また、トランジスタ４１４の第１端子は、配線４８６と電気的に接続されている。

【０２２８】

トランジスタ４１６は、ソース電極として機能する第１端子がゲート電極として機能する第２端子と電気的に接続されており、ドレイン電極として機能する第３端子が配線４８６と電気的に接続されている。また、トランジスタ４１６の第１端子は、配線４８５と電気的に接続されている。

【０２２９】

本発明の一態様に用いることのできる保護回路１０６は、図１６（Ａ）、（Ｂ）、（Ｃ）に示す回路構成のようにダイオード接続されたトランジスタを使用することもできる。

【０２３０】

また、図１６（Ａ）、（Ｂ）、（Ｃ）に示す回路構成において、ソース電極として機能する第１端子と、ゲート電極として機能する第２端子との接続は、図１７に示す構成とすることで、任意に抵抗率を制御することが可能となる。

【０２３１】

図１７（Ａ）は、保護回路１０６として用いることのできる抵抗素子を表している。また、図１７（Ａ）に示す抵抗素子は、基板２０２上に形成された導電層２０４ｅと、基板２０２及び導電層２０４ｅ上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された半導体層２１０ｄと、半導体層２１０ｄと電気的に接続された導電層２１２ｉと、絶縁層２０８、半導体層２１０ｄ、導電層２１２ｉ上に形成された絶縁層２１４、２１６、２１８と、絶縁層２１８上に形成され、半導体層２１０ｄと導電層２０４ｅを電気的に接続させる導電層２２０ｆとを有する。

【０２３２】

図１７（Ｂ）は、保護回路１０６として用いることのできる抵抗素子を表している。また、図１７（Ｂ）に示す抵抗素子は、基板２０２上に形成された導電層２０４ｅと、基板２０２及び導電層２０４ｅ上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された半導体層２１０ｄ、及び導電層２１２ｊと、絶縁層２０８、半導体層２１０ｄ、

及び導電層２１２ｊ上に形成された絶縁層２１４、２１６、２１８と、絶縁層２１８上に形成され、導電層２１２ｊと半導体層２１０ｄと、を電気的に接続させる導電層２２０ｇと、絶縁層２１８上に形成され、導電層２０４ｅと半導体層２１０ｄと、を電気的に接続させる導電層２２０ｈとを有する。

【０２３３】

図１７（Ｃ）は、保護回路１０６として用いることのできる抵抗素子を表している。また、図１７（Ｃ）に示す抵抗素子は、基板２０２上に形成された導電層２０４ｅと、基板２０２及び導電層２０４ｅ上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された半導体層２１０ｄ、導電層２１２ｊと、半導体層２１０ｄと電気的に接続された導電層２１２ｋと、絶縁層２０８、半導体層２１０ｄ、導電層２１２ｊ、及び導電層２１２ｋ上に形成された絶縁層２１４、２１６、２１８と、絶縁層２１８上に形成され、導電層２１２ｊと半導体層２１０ｄと、を電気的に接続させる導電層２２０ｉと、絶縁層２１８上に形成され、導電層２１２ｋと導電層２０４ｅと、を電気的に接続させる導電層２２０ｊとを有する。

【０２３４】

図１５乃至図１７で説明した抵抗素子に用いる半導体層２１０ｃ、２１０ｄは、先の実施の形態に示す半導体層２１０ａ、２１０ｂに記載の材料を援用して用いることができる。また、半導体層２１０ｃ、２１０ｄは、半導体層２１０ａ、２１０ｂの形成と同一工程にて形成することができる。

【０２３５】

また、図１５乃至図１７で説明した抵抗素子に用いる導電層２１２ｇ、２１２ｈ、２１２ｉ、２１２ｊ、２１２ｋは、先の実施の形態に示す導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆに記載の材料を援用して用いることができる。また、導電層２１２ｇ、２１２ｈは、導電層２１２ａ、２１２ｂ、２１２ｃ、２１２ｄ、２１２ｅ、２１２ｆの形成と同一工程にて形成することができる。

【０２３６】

また、図１５乃至図１７で説明した抵抗素子に用いる導電層２２０ｄ、２２０ｅ、２２０ｆ、２２０ｇ、２２０ｈ、２２０ｉ、２２０ｊは、先の実施の形態に示す導電層２２０ａ、２２０ｂ、２２０ｃに記載の材料を援用して用いることができる。また、導電層２２０ｄ、２２０ｅは、導電層２２０ａ、２２０ｂ、２２０ｃの形成と同一工程にて形成することができる。

【０２３７】

このように、保護回路に用いる導電層としては、トランジスタのゲート電極として機能する導電層と、トランジスタのソース電極及びドレイン電極として機能する導電層等を用いることができる。例えば、図１７（Ｂ）に示す保護回路１０６の構成を別言すると、以下のように表すことができる。

【０２３８】

図１７（Ｂ）に示す保護回路１０６は、ゲート電極と同一表面上に形成された第１の導電層（導電層２０４ｅ）と、第１の導電層（導電層２０４ｅ）上の第１の絶縁層（絶縁層２０６、２０８）と、第１の絶縁層（絶縁層２０６、２０８）上に形成され、第１の導電層（導電層２０４ｅ）と重畳する位置の酸化物半導体層（半導体層２１０ｄ）と、酸化物半導体層（半導体層２１０ｄ）上の第２の絶縁層（絶縁層２１４、２１６、２１８）と、第２の絶縁層（絶縁層２１４、２１６、２１８）上の第２の導電層（導電層２２０ｇ、２２０ｈ）と、を有し、第２の導電層（導電層２２０ｇ、２２０ｈ）は、第２の絶縁層（絶縁層２１４、２１６、２１８）に設けられた開口部において、酸化物半導体層（半導体層２１０ｄ）と電気的に接続される。

【０２３９】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【０２４０】

（実施の形態７）
本実施の形態においては、実施の形態１の図１（Ａ）に示す表示装置の画素部１０２、及び駆動回路部１０４に用いることのできるトランジスタの構成について図１８を用いて以下説明を行う。
【０２４１】
図１８（Ａ）に示すトランジスタは、基板２０２上に形成された導電層２０４ｃと、基板２０２及び導電層２０４ｃ上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された酸化物積層２１１と、絶縁層２０８及び酸化物積層２１１上に形成された導電層２１２ｄ、２１２ｅと、を有する。また、図１８（Ａ）に示すトランジスタは、該トランジスタ上、より詳しくは、絶縁層２０８、酸化物積層２１１、及び導電層２１２ｄ、２１２ｅ上に形成された絶縁層２１４、２１６、２１８を含む構成としても良い。
【０２４２】
なお、導電層２１２ｄ、２１２ｅに用いる導電膜の種類によっては、酸化物積層２１１の一部から酸素を奪い、または混合層を形成し、酸化物積層２１１中にｎ型領域２０９を形成することがある。図１８（Ａ）において、ｎ型領域２０９は、酸化物積層２１１中の導電層２１２ｄ、２１２ｅと接する界面近傍の領域に形成されうる。なお、ｎ型領域２０９は、ソース領域及びドレイン領域として機能することができる。
【０２４３】
また、図１８（Ａ）に示すトランジスタは、導電層２０４ｃがゲート電極として機能し、導電層２１２ｄがソース電極またはドレイン電極として機能し、導電層２１２ｅがソース電極またはドレイン電極として機能する。
【０２４４】
また、図１８（Ａ）に示すトランジスタは、導電層２０４ｃと重畳する領域の酸化物積層２１１の導電層２１２ｄと導電層２１２ｅとの間隔をチャネル長という。また、チャネル形成領域とは、酸化物積層２１１において、導電層２０４ｃと重畳し、且つ導電層２１２ｄと導電層２１２ｅに挟まれる領域をいう。また、チャネルとは、チャネル形成領域において、電流が主として流れる領域をいう。
【０２４５】
ここで、酸化物積層２１１の詳細について、図１８（Ｂ）を用いて詳細に説明を行う。
【０２４６】
図１８（Ｂ）は、図１８（Ａ）に示す酸化物積層２１１の破線で囲まれた領域の拡大図である。酸化物積層２１１は、酸化物半導体層２１１ａと、酸化物層２１１ｂと、を有する。
【０２４７】
酸化物半導体層２１１ａは、少なくともインジウム（Ｉｎ）、亜鉛（Ｚｎ）及びＭ（Ａｌ、Ｇａ、Ｇｅ、Ｙ、Ｚｒ、Ｓｎ、Ｌａ、ＣｅまたはＨｆ等の金属）を含むＩｎ－Ｍ－Ｚｎ酸化物で表記される層を含むことが好ましい。なお、酸化物半導体層２１１ａは、先の実施の形態に示す半導体層２１０ａ、２１０ｂに用いることのできる酸化物半導体材料、または形成方法等を適宜援用することができる。
【０２４８】
酸化物層２１１ｂは、酸化物半導体層２１１ａを構成する元素の一種以上から構成され、伝導帯下端のエネルギーが酸化物半導体層２１１ａよりも０．０５ｅＶ以上、０．０７ｅＶ以上、０．１ｅＶ以上又は０．１５ｅＶ以上、かつ２ｅＶ以下、１ｅＶ以下、０．５ｅＶ以下又は０．４ｅＶ以下真空準位に近い酸化物膜である。このとき、ゲート電極として機能する導電層２０４ｃに電界を印加すると、酸化物積層２１１のうち、伝導帯下端のエネルギーが小さい酸化物半導体層２１１ａにチャネルが形成される。すなわち、酸化物半導体層２１１ａと絶縁層２１４との間に酸化物層２１１ｂを有することによって、トランジスタのチャネルを絶縁層２１４と接しない酸化物半導体層２１１ａに形成することができる。また、酸化物半導体層２１１ａを構成する元素の一種以上から酸化物層２１１ｂが構成されるため、酸化物半導体層２１１ａと酸化物層２１１ｂとの間において、界面散

乱が起こりにくい。したがって、酸化物半導体層２１１ａと酸化物層２１１ｂとの間において、キャリアの動きが阻害されないため、トランジスタの電界効果移動度が高くなる。また、酸化物半導体層２１１ａと酸化物層２１１ｂとの間に界面準位を形成しにくい。酸化物半導体層２１１ａと酸化物層２１１ｂとの間に界面準位があると、該界面をチャネルとしたしきい値電圧の異なる第２のトランジスタが形成され、トランジスタの見かけ上のしきい値電圧が変動することがある。したがって、酸化物層２１１ｂを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。

【０２４９】

酸化物層２１１ｂとしてはＩｎ－Ｍ－Ｚｎ酸化物（Ａｌ、Ｔｉ、Ｇａ、Ｇｅ、Ｙ、Ｚｒ、Ｓｎ、Ｌａ、ＣｅまたはＨｆ等の金属）で表記され、酸化物半導体層２１１ａよりもＭの原子数比が高い酸化物層を含む。具体的には、酸化物層２１１ｂとして、酸化物半導体層２１１ａよりも前述の元素を１．５倍以上、好ましくは２倍以上、さらに好ましくは３倍以上高い原子数比で含む酸化物層を用いる。前述の元素はインジウムよりも酸素と強く結合するため、酸素欠損が酸化物層に生じることを抑制する機能を有する。即ち、酸化物層２１１ｂは酸化物半導体層２１１ａよりも酸素欠損が生じにくい酸化物層である。

【０２５０】

つまり、酸化物半導体層２１１ａ、酸化物層２１１ｂが、少なくともインジウム、亜鉛及びＭ（Ａｌ、Ｔｉ、Ｇａ、Ｇｅ、Ｙ、Ｚｒ、Ｓｎ、Ｌａ、ＣｅまたはＨｆ等の金属）を含むＩｎ－Ｍ－Ｚｎ酸化物であるとき酸化物層２１１ｂをＩｎ：Ｍ：Ｚｎ＝x_1：y_1：z_1［原子数比］、酸化物半導体層２１１ａをＩｎ：Ｍ：Ｚｎ＝x_2：y_2：z_2［原子数比］、とすると、y_1/x_1がy_2/x_2よりも大きくなることが好ましい。y_1/x_1はy_2/x_2よりも１．５倍以上、好ましくは２倍以上、さらに好ましくは３倍以上とする。このとき、酸化物半導体層２１１ａにおいて、y_2がx_2以上であるとトランジスタの電気特性を安定させることができる。ただし、y_2がx_2の３倍以上になると、トランジスタの電界効果移動度が低下してしまうため、y_2はx_2の３倍未満であることが好ましい。

【０２５１】

なお、酸化物半導体層２１１ａがＩｎ－Ｍ－Ｚｎ酸化物であるとき、ＩｎとＭの原子数比率は好ましくはＩｎが２５ａｔｏｍｉｃ％以上、Ｍが７５ａｔｏｍｉｃ％未満、さらに好ましくはＩｎが３４ａｔｏｍｉｃ％以上、Ｍが６６ａｔｏｍｉｃ％未満とする。また、酸化物層２１１ｂがＩｎ－Ｍ－Ｚｎ酸化物であるとき、ＩｎとＭの原子数比率は好ましくはＩｎが５０ａｔｏｍｉｃ％未満、Ｍが５０ａｔｏｍｉｃ％以上、さらに好ましくはＩｎが２５ａｔｏｍｉｃ％未満、Ｍが７５ａｔｏｍｉｃ％以上とする。

【０２５２】

酸化物半導体層２１１ａ、及び酸化物層２１１ｂには、例えば、インジウム、亜鉛及びガリウムを含んだ酸化物半導体を用いることができる。具体的には、酸化物半導体層２１１ａとしては、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物、Ｉｎ：Ｇａ：Ｚｎ＝３：１：２［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物、又はその近傍の組成を有する酸化物を用いることができ、酸化物層２１１ｂとしては、Ｉｎ：Ｇａ：Ｚｎ＝１：３：２［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物、Ｉｎ：Ｇａ：Ｚｎ＝１：６：４［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物、Ｉｎ：Ｇａ：Ｚｎ＝１：９：６［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物、又はその近傍の組成を有する酸化物を用いることができる。

【０２５３】

また、酸化物半導体層２１１ａの厚さは、３ｎｍ以上２００ｎｍ以下、好ましくは３ｎｍ以上１００ｎｍ以下、さらに好ましくは３ｎｍ以上５０ｎｍ以下とする。また、酸化物層２１１ｂの厚さは、３ｎｍ以上１００ｎｍ以下、好ましくは３ｎｍ以上５０ｎｍ以下とする。

【０２５４】

次に、酸化物積層２１１のバンド構造について、図１８（Ｃ）、（Ｄ）を用いて説明する。

【０２５５】
例として、酸化物半導体層２１１ａとしてエネルギーギャップが３．１５ｅＶであるＩｎ－Ｇａ－Ｚｎ酸化物を用い、酸化物層２１１ｂとしてエネルギーギャップが３．５ｅＶであるＩｎ－Ｇａ－Ｚｎ酸化物とする。エネルギーギャップは、分光エリプソメータ（ＨＯＲＩＢＡ　ＪＯＢＩＮ　ＹＶＯＮ社　ＵＴ－３００）を用いて測定した。
【０２５６】
酸化物半導体層２１１ａ及び酸化物層２１１ｂの真空準位と価電子帯上端のエネルギー差（イオン化ポテンシャルともいう。）は、それぞれ８ｅＶ及び８．２ｅＶであった。なお、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（ＵＰＳ：Ｕｌｔｒａｖｉｏｌｅｔ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）装置（ＰＨＩ社　ＶｅｒｓａＰｒｏｂｅ）を用いて測定した。
【０２５７】
したがって、酸化物半導体層２１１ａ及び酸化物層２１１ｂの真空準位と伝導帯下端のエネルギー差（電子親和力ともいう。）は、それぞれ４．８５ｅＶ及び４．７ｅＶであった。
【０２５８】
図１８（Ｃ）は、酸化物積層２１１のバンド構造の一部を模式的に示している。ここでは、酸化物積層２１１に酸化シリコン膜を接して設けた場合について説明する。なお、図１８（Ｃ）に表すＥｃＩ１は酸化シリコン膜の伝導帯下端のエネルギーを示し、ＥｃＳ１は酸化物半導体層２１１ａの伝導帯下端のエネルギーを示し、ＥｃＳ２は酸化物層２１１ｂの伝導帯下端のエネルギーを示し、ＥｃＩ２は酸化シリコン膜の伝導帯下端のエネルギーを示す。また、ＥｃＩ１は、図１８（Ａ）において、絶縁層２０８に相当し、ＥｃＩ２は、図１８（Ａ）において、絶縁層２１４に相当する。
【０２５９】
図１８（Ｃ）に示すように、酸化物半導体層２１１ａ及び酸化物層２１１ｂにおいて、伝導帯下端のエネルギーは障壁が無くなだらかに変化する。換言すると、連続的に変化するともいうことができる。これは、酸化物層２１１ｂは、酸化物半導体層２１１ａと共通の元素を含み、酸化物半導体層２１１ａ及び酸化物層２１１ｂの間で、酸素が相互に移動することで混合層が形成されるためであるということができる。
【０２６０】
図１８（Ｃ）より、酸化物積層２１１の酸化物半導体層２１１ａがウェル（井戸）となり、酸化物積層２１１を用いたトランジスタにおいて、チャネル領域が酸化物半導体層２１１ａに形成されることがわかる。なお、酸化物積層２１１は伝導帯下端のエネルギーが連続的に変化しているため、酸化物半導体層２１１ａと酸化物層２１１ｂとが連続接合している、ともいえる。
【０２６１】
なお、図１８（Ｃ）に示すように、酸化物層２１１ｂと、絶縁層２１４との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るものの、酸化物層２１１ｂが設けられることにより、酸化物半導体層２１１ａと該トラップ準位とを遠ざけることができる。ただし、ＥｃＳ１とＥｃＳ２とのエネルギー差が小さい場合、該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁層界面にマイナスの電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。したがって、ＥｃＳ１とＥｃＳ２とのエネルギー差を、０．１ｅＶ以上、好ましくは０．１５ｅＶ以上とすると、トランジスタのしきい値電圧の変動が低減され、安定した電気特性となるため好適である。
【０２６２】
図１８（Ｄ）は、酸化物積層２１１のバンド構造の一部を模式的に示し、図１８（Ｃ）に示すバンド構造の変形例である。ここでは、酸化物積層２１１に酸化シリコン膜を接して設けた場合について説明する。なお、図１８（Ｄ）に表すＥｃＩ１は酸化シリコン膜の伝導帯下端のエネルギーを示し、ＥｃＳ１は酸化物半導体層２１１ａの伝導帯下端のエネ

ルギーを示し、ＥｃＩ２は酸化シリコン膜の伝導帯下端のエネルギーを示す。また、ＥｃＩ１は、図１８（Ａ）において、絶縁層２０８に相当し、ＥｃＩ２は、図１８（Ａ）において、絶縁層２１４に相当する。

【０２６３】

図１８（Ａ）に示すトランジスタにおいて、導電層２１２ｄ、２１２ｅの形成時に酸化物積層２１１の上方、すなわち酸化物層２１１ｂがエッチングされる場合がある。しかし、酸化物半導体層２１１ａの上面は、酸化物層２１１ｂの成膜時に酸化物半導体層２１１ａと酸化物層２１１ｂの混合層が形成される場合がある。

【０２６４】

例えば、酸化物半導体層２１１ａが、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物、またはＩｎ：Ｇａ：Ｚｎ＝３：１：２［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物であり、酸化物層２１１ｂが、Ｉｎ：Ｇａ：Ｚｎ＝１：３：２［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物、またはＩｎ：Ｇａ：Ｚｎ＝１：６：４［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物である場合、酸化物半導体層２１１ａよりも酸化物層２１１ｂのＧａの含有量が多いため、酸化物半導体層２１１ａの上面には、ＧａＯｘ層または酸化物半導体層２１１ａよりもＧａを多く含む混合層が形成されうる。

【０２６５】

したがって、酸化物層２１１ｂがエッチングされた場合においても、ＥｃＳ１のＥｃＩ２側の伝導帯下端のエネルギーが高くなり、図１８（Ｄ）に示すバンド構造のようになる場合がある。

【０２６６】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【０２６７】

（実施の形態８）

本実施の形態においては、実施の形態１の図１（Ａ）に示す表示装置に用いることのできる接続端子部の構成について、図１９を用いて以下説明を行う。また、先の実施の形態で説明した部分と同様の機能を有する部分については、同様の符号、及び同様のハッチングを付し、その詳細な説明は省略する。

【０２６８】

図１９に示す表示装置に用いることのできる接続端子部１０３は、基板２０２上に形成された絶縁層２０６、２０８と、絶縁層２０８上に形成された導電層２１２ｍと、絶縁層２０８上に形成された絶縁層２１４、２１６と、を有する。また、絶縁層２１４、２１６は、導電層２１２ｍに達する開口部が設けられ、ＦＰＣ２６４が有する端子と異方性導電剤２６２を介して、電気的に接続されている。

【０２６９】

また、接続端子部１０３において、絶縁層２１６上にシール材２６６が形成されている。シール材２６６によって、基板２０２と基板２５２の間に液晶層２６０が封止されている。

【０２７０】

また、絶縁層２０６、２０８は、先の実施の形態に示す材料を援用することができる。

【０２７１】

また、導電層２１２ｍは、保護回路１０６、及び駆動回路部１０４に形成された導電層２１２ａ、２１２ｂ、２１２ｃと同じ導電膜から形成することができる。

【０２７２】

異方性導電剤２６２は、熱硬化性、又は熱硬化性及び光硬化性の樹脂に導電性粒子を混ぜ合わせたペースト状又はシート状の材料を硬化させたものである。異方性導電剤２６２は、光照射や熱圧着によって異方性の導電性を示す材料となる。異方性導電剤２６２に用いられる導電性粒子としては、例えば球状の有機樹脂をＡｕやＮｉ、Ｃｏ等の薄膜状の金属で被覆した粒子を用いることができる。

【０２７３】
本実施の形態に示すように、接続端子部１０３と駆動回路部１０４との間に本発明の一態様である保護回路１０６を設けることで、例えば、ＦＰＣ２６４を貼り付ける際の静電気等によって生じる過電流から駆動回路部１０４を保護することが可能となる。したがって、信頼性の高い表示装置を提供することができる。
【０２７４】
なお、本明細書における表示装置とは、画像表示デバイス、もしくは光源（照明装置含む。）を指す。また、コネクター、例えばＦＰＣもしくはＴＣＰが取り付けられたモジュール、ＴＣＰの先にプリント配線板が設けられたモジュール、または表示素子にＣＯＧ方式によりＩＣ（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。
【０２７５】
なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。
【０２７６】
（実施の形態９）
本実施の形態においては、本発明の一態様の表示装置と組み合わせることができるタッチセンサ、及び表示モジュールについて、図２０乃至図２３を用いて説明する。
【０２７７】
図２０（Ａ）はタッチセンサ４５００の構成例を示す分解斜視図であり、図２０（Ｂ）は、タッチセンサ４５００の電極の構成例を示す平面図である。また、図２１は、タッチセンサ４５００の構成例を示す断面図である。
【０２７８】
図２０（Ａ）、（Ｂ）に示すタッチセンサ４５００は、基板４９１０上に、Ｘ軸方向に配列された複数の導電層４５１０と、Ｘ軸方向と交差するＹ軸方向に配列された複数の導電層４５２０とが形成されている。図２０（Ａ）、（Ｂ）に示すタッチセンサ４５００は、複数の導電層４５１０が形成された平面図と、複数の導電層４５２０の平面図と、を分離して表示されている。
【０２７９】
また、図２１は、図２０に示すタッチセンサ４５００の導電層４５１０と導電層４５２０との交差部分の等価回路図である。図２１に示すように、導電層４５１０と導電層４５２０の交差する部分には、容量４５４０が形成される。
【０２８０】
また、導電層４５１０、４５２０は、複数の四辺形状の導電膜が接続された構造を有している。複数の導電層４５１０及び複数の導電層４５２０は、導電膜の四辺形状の部分の位置が重ならないように、配置されている。導電層４５１０と導電層４５２０の交差する部分には、導電層４５１０と導電層４５２０が接触しないように間に絶縁膜が設けられている。
【０２８１】
また、図２２は、図２０に示すタッチセンサ４５００の導電層４５１０と導電層４５２０との接続構造の一例を説明する断面図であり、導電層４５１０（導電層４５１０ａ、４５１０ｂ、４５１０ｃ）と４５２０が交差する部分の断面図を一例として示す。
【０２８２】
図２２に示すように、導電層４５１０は、１層目の導電層４５１０ａおよび導電層４５１０ｂ、ならびに、絶縁層４８１０上の２層目の導電層４５１０ｃにより構成される。導電層４５１０ａと導電層４５１０ｂは、導電層４５１０ｃにより接続されている。導電層４５２０は、１層目の導電膜により形成される。導電層４５１０、４５２０及び電極４７１０を覆って絶縁層４８２０が形成されている。絶縁層４８１０、４８２０として、例えば、酸化窒化シリコン膜を形成すればよい。なお、基板４９１０と導電層４５１０及び電極４７１０の間に絶縁膜でなる下地膜を形成してもよい、下地膜としては、例えば、酸化

窒化シリコン膜を形成することができる。

【０２８３】

導電層４５１０と導電層４５２０は、可視光に対して透光性を有する導電材料で形成される。例えば、透光性を有する導電材料として、酸化珪素を含む酸化インジウムスズ、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛等がある。

【０２８４】

導電層４５１０ａは、電極４７１０に接続されている。電極４７１０は、ＦＰＣとの接続用端子を構成する。導電層４５２０も、導電層４５１０と同様、他の電極４７１０に接続される。電極４７１０は、例えば、タングステン膜から形成することができる。

【０２８５】

導電層４５１０、４５２０及び電極４７１０を覆って絶縁層４８２０が形成されている。電極４７１０とＦＰＣとを電気的に接続するために、電極４７１０上の絶縁層４８１０及び絶縁層４８２０には開口が形成されている。絶縁層４８２０上には、基板４９２０が接着剤又は接着フィルム等により貼り付けられている。接着剤又は接着フィルムにより基板４９１０側を表示パネルのカラーフィルタ基板に取り付けることで、タッチパネルが構成される。

【０２８６】

次に、本発明の一態様の表示装置を用いることのできる表示モジュールについて、図２３を用いて説明を行う。

【０２８７】

図２３に示す表示モジュール８０００は、上部カバー８００１と下部カバー８００２との間に、ＦＰＣ８００３に接続されたタッチパネル８００４、ＦＰＣ８００５に接続された表示パネル８００６、バックライトユニット８００７、フレーム８００９、プリント基板８０１０、バッテリー８０１１を有する。

【０２８８】

上部カバー８００１及び下部カバー８００２は、タッチパネル８００４及び表示パネル８００６のサイズに合わせて、形状や寸法を適宜変更することができる。

【０２８９】

タッチパネル８００４は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル８００６に重畳して用いることができる。また、表示パネル８００６の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル８００６の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

【０２９０】

バックライトユニット８００７は、光源８００８を有する。光源８００８は、バックライトユニット８００７の端部に設け、光拡散板を用いる構成としてもよい。

【０２９１】

フレーム８００９は、表示パネル８００６の保護機能の他、プリント基板８０１０の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム８００９は、放熱板としての機能を有していてもよい。

【０２９２】

プリント基板８０１０は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー８０１１による電源であってもよい。バッテリー８０１１は、商用電源を用いる場合には、省略可能である。

【０２９３】

また、表示モジュール８０００は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【０２９４】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて

用いることができる。
【０２９５】
（実施の形態１０）
本実施の形態においては、電子機器の例について説明する。
【０２９６】
図２４（Ａ）乃至図２４（Ｈ）、図２５（Ａ）乃至図２５（Ｄ）は、電子機器を示す図である。これらの電子機器は、筐体５０００、表示部５００１、スピーカ５００３、ＬＥＤランプ５００４、操作キー５００５（電源スイッチ、又は操作スイッチを含む）、接続端子５００６、センサ５００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン５００８、等を有することができる。
【０２９７】
図２４（Ａ）はモバイルコンピュータであり、上述したものの他に、スイッチ５００９、赤外線ポート５０１０、等を有することができる。図２４（Ｂ）は記録媒体を備えた携帯型の画像再生装置（たとえば、ＤＶＤ再生装置）であり、上述したものの他に、第２表示部５００２、記録媒体読込部５０１１、等を有することができる。図２４（Ｃ）はゴーグル型ディスプレイであり、上述したものの他に、第２表示部５００２、支持部５０１２、イヤホン５０１３、等を有することができる。図２４（Ｄ）は携帯型遊技機であり、上述したものの他に、記録媒体読込部５０１１、等を有することができる。図２４（Ｅ）はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ５０１４、シャッターボタン５０１５、受像部５０１６、等を有することができる。図２４（Ｆ）は携帯型遊技機であり、上述したものの他に、第２表示部５００２、記録媒体読込部５０１１、等を有することができる。図２４（Ｇ）はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図２４（Ｈ）は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器５０１７、等を有することができる。図２５（Ａ）はディスプレイであり、上述したものの他に、支持台５０１８、等を有することができる。図２５（Ｂ）はカメラであり、上述したものの他に、外部接続ポート５０１９、シャッターボタン５０１５、受像部５０１６、等を有することができる。図２５（Ｃ）はコンピュータであり、上述したものの他に、ポインティングデバイス５０２０、外部接続ポート５０１９、リーダ／ライタ５０２１、等を有することができる。図２５（Ｄ）は携帯電話機であり、上述したものの他に、送信部、受信部、携帯電話・移動端末向けの１セグメント部分受信サービス用チューナ、等を有することができる。
【０２９８】
図２４（Ａ）乃至図２４（Ｈ）、図２５（Ａ）乃至図２５（Ｄ）に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図２４（Ａ）乃至図２４（Ｈ）、図２５（Ａ）乃至図２５（Ｄ）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。
【０２９９】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。

【０３００】

次に、表示装置の応用例を説明する。

【０３０１】

図２５（Ｅ）に、表示装置を、建造物と一体にして設けた例について示す。図２５（Ｅ）は、筐体５０２２、表示部５０２３、操作部であるリモコン装置５０２４、スピーカ５０２５等を含む。表示装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【０３０２】

図２５（Ｆ）に、建造物内に表示装置を、建造物と一体にして設けた別の例について示す。表示モジュール５０２６は、ユニットバス５０２７と一体に取り付けられており、入浴者は表示モジュール５０２６の視聴が可能になる。

【０３０３】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に表示装置を設置することができる。

【０３０４】

次に、表示装置を、移動体と一体にして設けた例について示す。

【０３０５】

図２５（Ｇ）は、表示装置を、自動車に設けた例について示した図である。表示モジュール５０２８は、自動車の車体５０２９に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【０３０６】

図２５（Ｈ）は、表示装置を、旅客用飛行機と一体にして設けた例について示した図である。図２５（Ｈ）は、旅客用飛行機の座席上部の天井５０３０に表示モジュール５０３１を設けたときの、使用時の形状について示した図である。表示モジュール５０３１は、天井５０３０とヒンジ部５０３２を介して一体に取り付けられており、ヒンジ部５０３２の伸縮により乗客は表示モジュール５０３１の視聴が可能になる。表示モジュール５０３１は乗客が操作することで情報を表示する機能を有する。

【０３０７】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

【０３０８】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数又は複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、Ｎ個（Ｎは整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、Ｍ個（Ｍは整数で、Ｍ＜Ｎ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、Ｎ個（Ｎは整数）の層を有して構成される断面図から、Ｍ個（Ｍは整数で、Ｍ＜Ｎ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、Ｎ個（Ｎは整数）の要素を有して構成されるフローチャートから、Ｍ個（Ｍは整数で、Ｍ＜Ｎ）の要素を抜き出して、発明の一態様を構成することは可能である。

【０３０９】
なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。
【０３１０】
なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。
【０３１１】
（実施の形態１１）
なお、上記実施の形態で開示された、導電膜や半導体膜はスパッタ法やプラズマＣＶＤ法により形成することができるが、他の方法、例えば、熱ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により形成してもよい。熱ＣＶＤ法の例としてＭＯＣＶＤ（Ｍｅｔａｌ Ｏｒｇａｎｉｃ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法やＡＬＤ（Ａｔｏｍｉｃ Ｌａｙｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法を使っても良い。
【０３１２】
熱ＣＶＤ法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。
【０３１３】
熱ＣＶＤ法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。
【０３１４】
また、ＡＬＤ法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて２種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第１の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第２の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第２の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第１の原料ガスを排出した後、第２の原料ガスを導入してもよい。第１の原料ガスが基板の表面に吸着して第１の層を成膜し、後から導入される第２の原料ガスと反応して、第２の層が第１の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なＦＥＴを作製する場合に適している。
【０３１５】
ＭＯＣＶＤ法やＡＬＤ法などの熱ＣＶＤ法は、これまでに記載した実施形態に開示された導電膜や半導体膜を形成することができ、例えば、Ｉｎ－Ｇａ－Ｚｎ－Ｏ膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、$In(CH_3)_3$である。また、トリメチルガリウムの化学式は、$Ga(CH_3)_3$である。また、ジメチル亜鉛の化学式は、$Zn(CH_3$

）$_2$である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式Ｇａ（Ｃ$_2$Ｈ$_5$）$_3$）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式Ｚｎ（Ｃ$_2$Ｈ$_5$）$_2$）を用いることもできる。

【０３１６】

例えば、ＡＬＤを利用する成膜装置によりタングステン膜を成膜する場合には、ＷＦ$_6$ガスとＢ$_2$Ｈ$_6$ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、ＷＦ$_6$ガスとＨ$_2$ガスを同時に導入してタングステン膜を形成する。なお、Ｂ$_2$Ｈ$_6$ガスに代えてＳｉＨ$_4$ガスを用いてもよい。

【０３１７】

例えば、ＡＬＤを利用する成膜装置により酸化物半導体膜、例えばＩｎ－Ｇａ－Ｚｎ－Ｏ膜を成膜する場合には、Ｉｎ（ＣＨ$_3$）$_3$ガスとＯ$_3$ガスを順次繰り返し導入してＩｎ－Ｏ層を形成し、その後、Ｇａ（ＣＨ$_3$）$_3$ガスとＯ$_3$ガスを同時に導入してＧａＯ層を形成し、更にその後Ｚｎ（ＣＨ$_3$）$_2$とＯ$_3$ガスを同時に導入してＺｎＯ層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてＩｎ－Ｇａ－Ｏ層やＩｎ－Ｚｎ－Ｏ層、Ｇａ－Ｚｎ－Ｏ層などの混合化合物層を形成しても良い。なお、Ｏ$_3$ガスに変えてＡｒ等の不活性ガスでバブリングして得られたＨ$_2$Ｏガスを用いても良いが、Ｈを含まないＯ$_3$ガスを用いる方が好ましい。また、Ｉｎ（ＣＨ$_3$）$_3$ガスにかえて、Ｉｎ（Ｃ$_2$Ｈ$_5$）$_3$ガスを用いても良い。また、Ｇａ（ＣＨ$_3$）$_3$ガスにかえて、Ｇａ（Ｃ$_2$Ｈ$_5$）$_3$ガスを用いても良い。また、Ｉｎ（ＣＨ$_3$）$_3$ガスにかえて、Ｉｎ（Ｃ$_2$Ｈ$_5$）$_3$ガスを用いても良い。また、Ｚｎ（ＣＨ$_3$）$_2$ガスを用いても良い。

【符号の説明】

【０３１８】

１０２　画素部
１０３　接続端子部
１０４　駆動回路部
１０４ａ　ゲートドライバ
１０４ｂ　ソースドライバ
１０６　保護回路
１０６＿１　保護回路
１０６＿２　保護回路
１０６＿３　保護回路
１０６＿４　保護回路
１０８　画素回路
１０９　接続部
１１０　配線
１１２　配線
１１４　抵抗素子
１３０　液晶素子
１３１＿１　トランジスタ
１３１＿２　トランジスタ
１３３＿１　容量素子
１３３＿２　容量素子
１３４　トランジスタ
１３５　発光素子
１４０　基板
１４２　導電層
１４４　絶縁層
１４６　絶縁層
１４８　導電層
１５１　トランジスタ

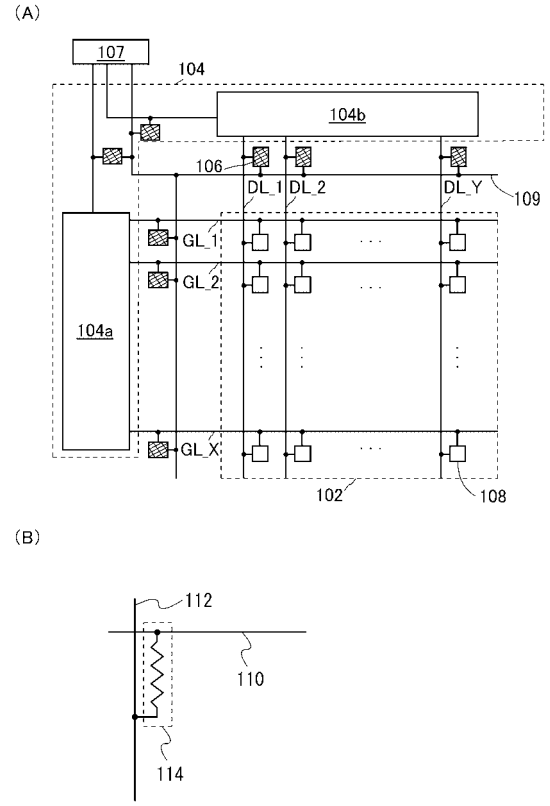
１５２　トランジスタ
１５３　トランジスタ
１５４　トランジスタ
１５５　トランジスタ
１５５Ａ　トランジスタ
１５５Ｂ　トランジスタ
１５６　トランジスタ
１５６Ａ　トランジスタ
１５６Ｂ　トランジスタ
１５７　トランジスタ
１５７Ａ　トランジスタ
１５７Ｂ　トランジスタ
１５８　トランジスタ
１５８Ａ　トランジスタ
１５８Ｂ　トランジスタ
１５９　トランジスタ
１６０　トランジスタ
１６１　トランジスタ
１６２　トランジスタ
１６３　トランジスタ
１６４　トランジスタ
１６５　トランジスタ
１６６　トランジスタ
１７１　抵抗素子
１７２　抵抗素子
１７３　抵抗素子
１７４　抵抗素子
１７４Ａ　抵抗素子
１７４Ｂ　抵抗素子
１７５　抵抗素子
１７５Ａ　抵抗素子
１７５Ｂ　抵抗素子
１７６　抵抗素子
１７７　抵抗素子
１７８　抵抗素子
１７９　抵抗素子
１８０　抵抗素子
１８１　配線
１８２　配線
１８３　配線
１８４　配線
１８５　配線
１８６　配線
１８７　配線
１８８　配線
１８９　配線
１９０　配線
１９１　配線
１９９　抵抗素子
２０２　基板

２０４ａ　導電層
２０４ｂ　導電層
２０４ｃ　導電層
２０４ｄ　導電層
２０４ｅ　導電層
２０６　絶縁層
２０７ａ　開口部
２０７ｂ　開口部
２０８　絶縁層
２０９　ｎ型領域
２１０ａ　半導体層
２１０ｂ　半導体層
２１０ｃ　半導体層
２１０ｄ　半導体層
２１１　酸化物積層
２１１ａ　酸化物半導体層
２１１ｂ　酸化物層
２１２ａ　導電層
２１２ｂ　導電層
２１２ｃ　導電層
２１２ｄ　導電層
２１２ｅ　導電層
２１２ｆ　導電層
２１２ｇ　導電層
２１２ｈ　導電層
２１２ｉ　導電層
２１２ｊ　導電層
２１２ｋ　導電層
２１２ｍ　導電層
２１４　絶縁層
２１６　絶縁層
２１８　絶縁層
２１９ａ　開口部
２１９ｂ　開口部
２１９ｃ　開口部
２２０ａ　導電層
２２０ｂ　導電層
２２０ｃ　導電層
２２０ｄ　導電層
２２０ｅ　導電層
２２０ｆ　導電層
２２０ｇ　導電層
２２０ｈ　導電層
２２０ｉ　導電層
２２０ｊ　導電層
２５２　基板
２５４　有色層
２５６　絶縁層
２５８　導電層
２６０　液晶層

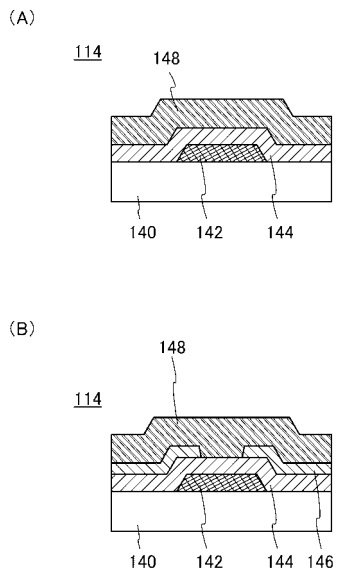
２６２　異方性導電剤
２６４　ＦＰＣ
２６６　シール材
２６８　液晶素子
４０２　トランジスタ
４０４　トランジスタ
４０６　トランジスタ
４０８　トランジスタ
４１０　トランジスタ
４１２　トランジスタ
４１４　トランジスタ
４１６　トランジスタ
４５１　配線
４５２　配線
４５３　配線
４５４　配線
４５５　配線
４５６　配線
４８１　配線
４８２　配線
４８３　配線
４８４　配線
４８５　配線
４８６　配線
４５００　タッチセンサ
４５１０　導電層
４５１０ａ　導電層
４５１０ｂ　導電層
４５１０ｃ　導電層
４５２０　導電層
４５４０　容量
４７１０　電極
４８１０　絶縁層
４８２０　絶縁層
４９１０　基板
４９２０　基板
５０００　筐体
５００１　表示部
５００２　表示部
５００３　スピーカ
５００４　ＬＥＤランプ
５００５　操作キー
５００６　接続端子
５００７　センサ
５００８　マイクロフォン
５００９　スイッチ
５０１０　赤外線ポート
５０１１　記録媒体読込部
５０１２　支持部
５０１３　イヤホン

５０１４　アンテナ
５０１５　シャッターボタン
５０１６　受像部
５０１７　充電器
５０１８　支持台
５０１９　外部接続ポート
５０２０　ポインティングデバイス
５０２１　リーダ／ライタ
５０２２　筐体
５０２３　表示部
５０２４　リモコン装置
５０２５　スピーカ
５０２６　表示モジュール
５０２７　ユニットバス
５０２８　表示モジュール
５０２９　車体
５０３０　天井
５０３１　表示モジュール
５０３２　ヒンジ部
８０００　表示モジュール
８００１　上部カバー
８００２　下部カバー
８００３　ＦＰＣ
８００４　タッチパネル
８００５　ＦＰＣ
８００６　表示パネル
８００７　バックライトユニット
８００８　光源
８００９　フレーム
８０１０　プリント基板
８０１１　バッテリー

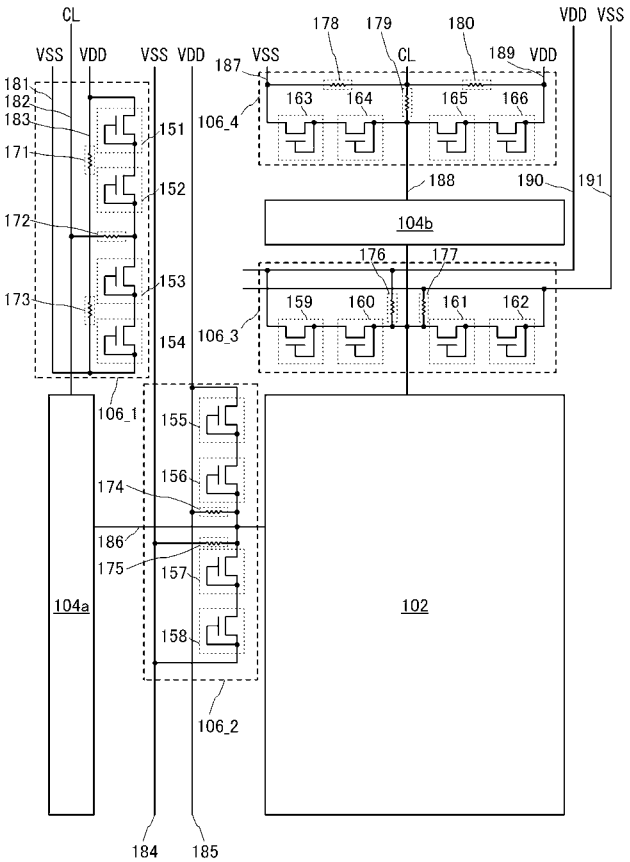
【図１】


(A)
107
104
104b
106
DL_1
DL_2
DL_Y
109
GL_1
GL_2
GL_X
104a
102
108
(B)
112
110
114

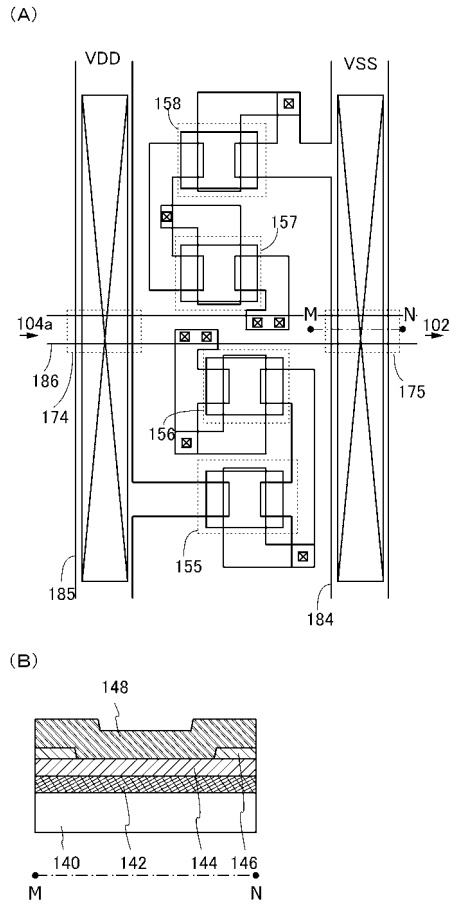
【図２】


(A)
114
148
140
142
144
(B)
148
114
140
142
144
146

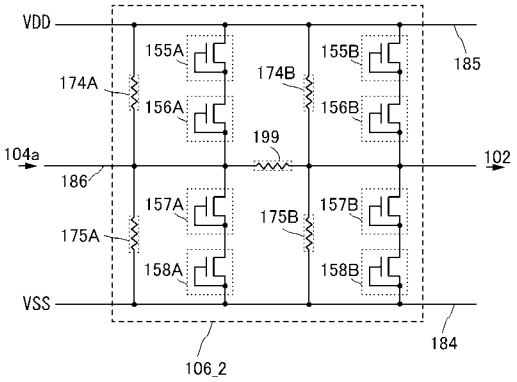
【図３】


CL
VSS
VDD
VSS
VDD
VSS
187
178
179
CL
180
189
VDD
VDD
VSS
181
182
183
171
172
173
151
152
153
154
106_4
163
164
165
166
188
190
191
104b
176
177
159
160
161
162
106_3
106_1
155
156
174
186
175
157
158
106_2
104a
102
184
185

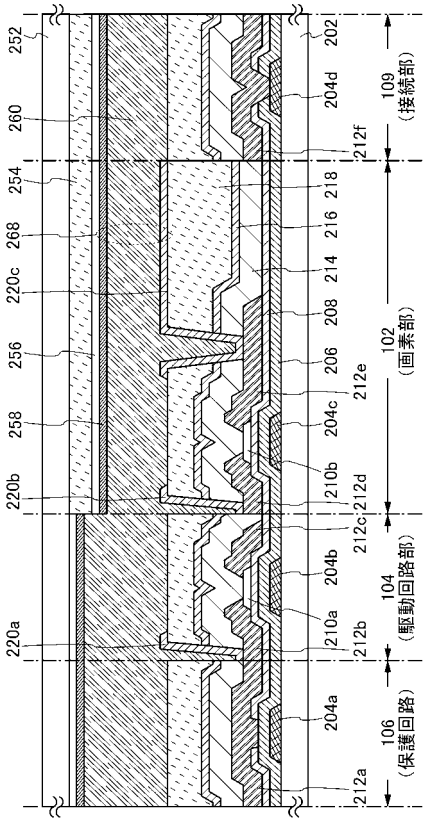
【図４】


(A)
VDD
VSS
158
157
M
N
104a
102
186
174
156
175
155
185
184
(B)
148
140
142
144
146
M
N

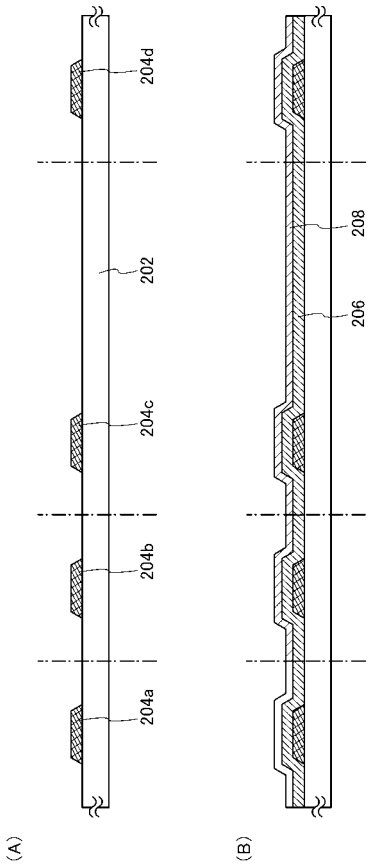
【図５】


VDD
155A
155B
185
174A
174B
156A
156B
199
104a
102
186
157A
157B
175A
175B
158A
158B
VSS
184
106_2

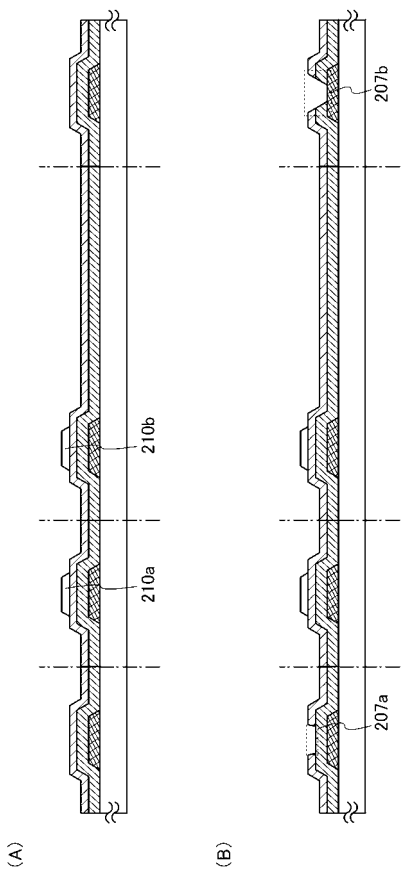
【図６】


252
202
260
204d
109
(接続部)
212f
254
218
268
216
220c
214
208
102
(画素部)
256
206
212e
258
204c
210b
212d
220b
212c
204b
104
(駆動回路部)
210a
220a
212b
204a
106
(保護回路)
212a

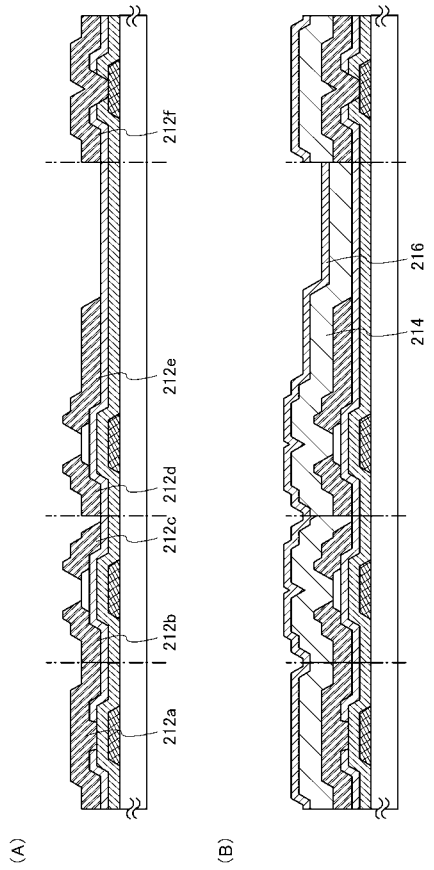
【図７】


204d
202
208
206
204c
204b
204a
(A)
(B)

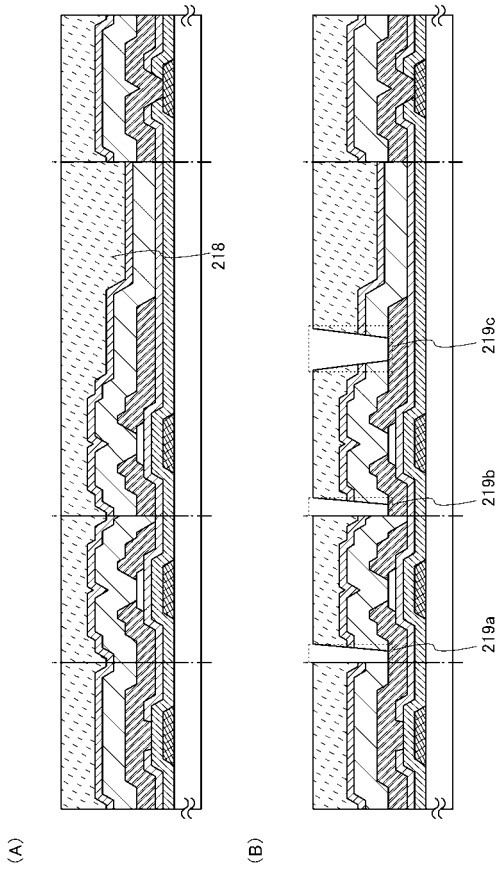
【図８】


207b
210b
210a
207a
(A)
(B)

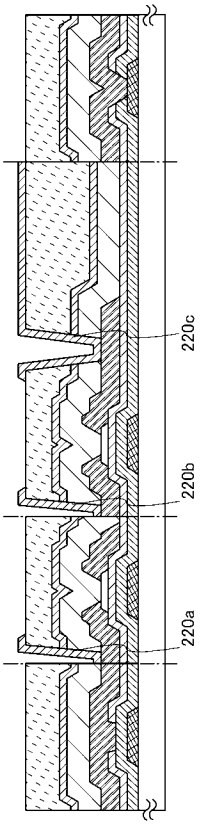
【図９】



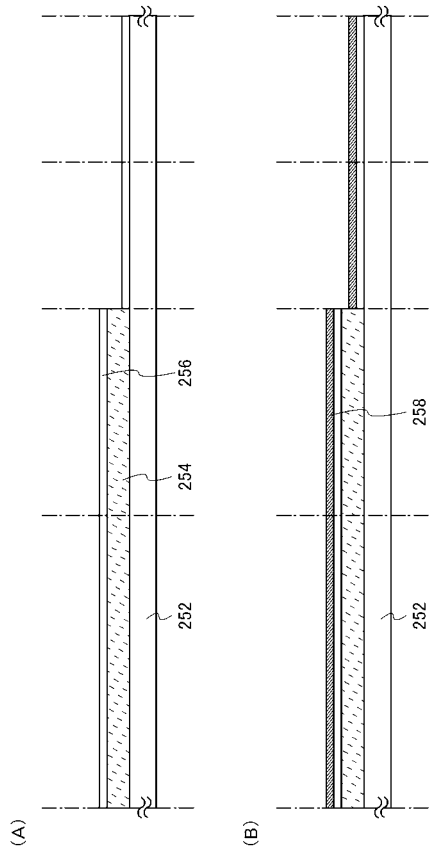
【図１０】



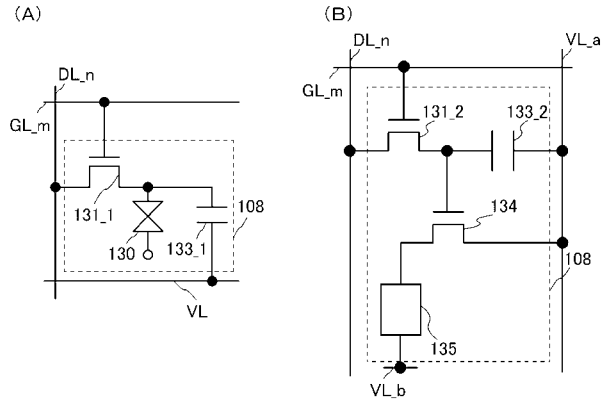
【図１１】



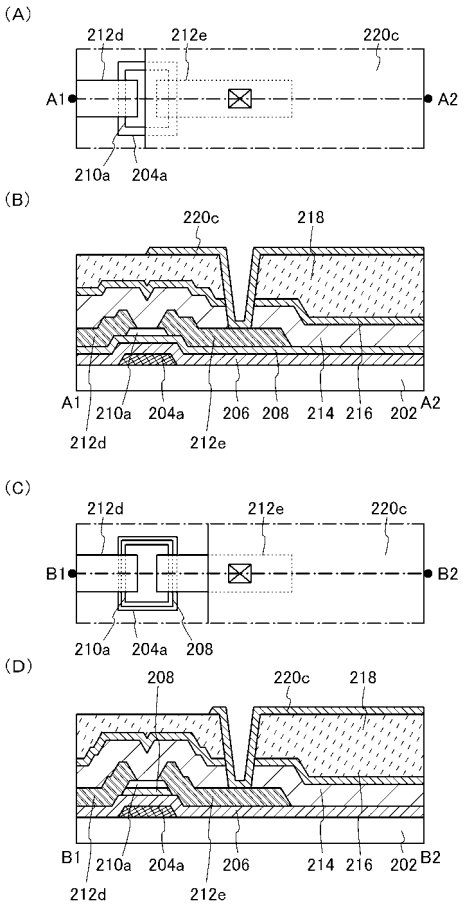
【図１２】



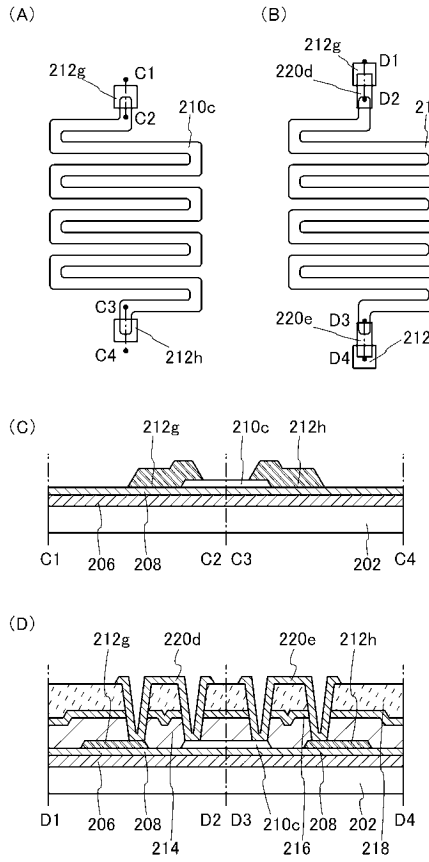
【図１３】



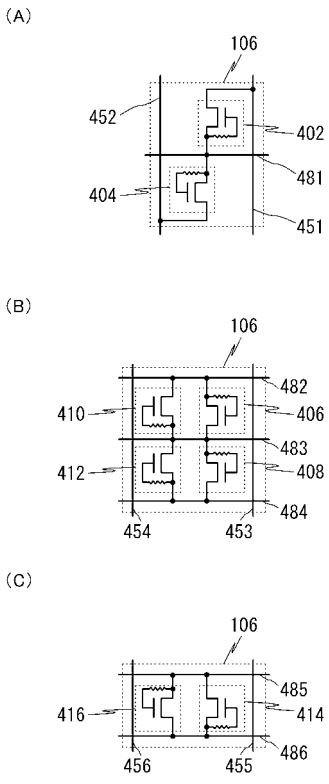
【図１４】



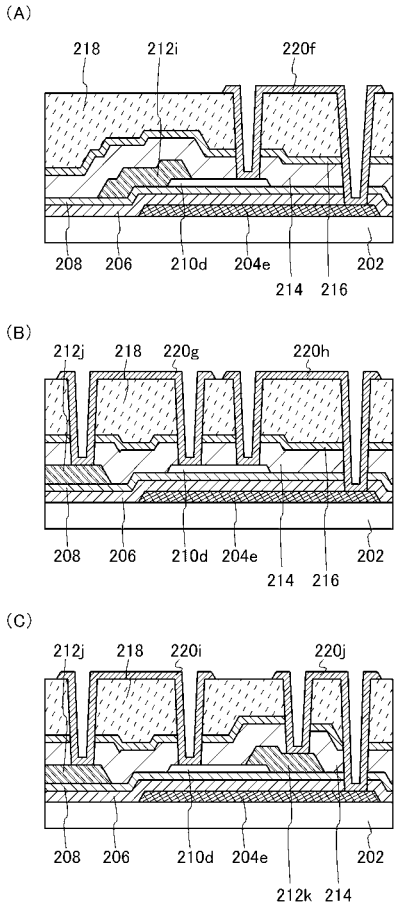
【図１５】



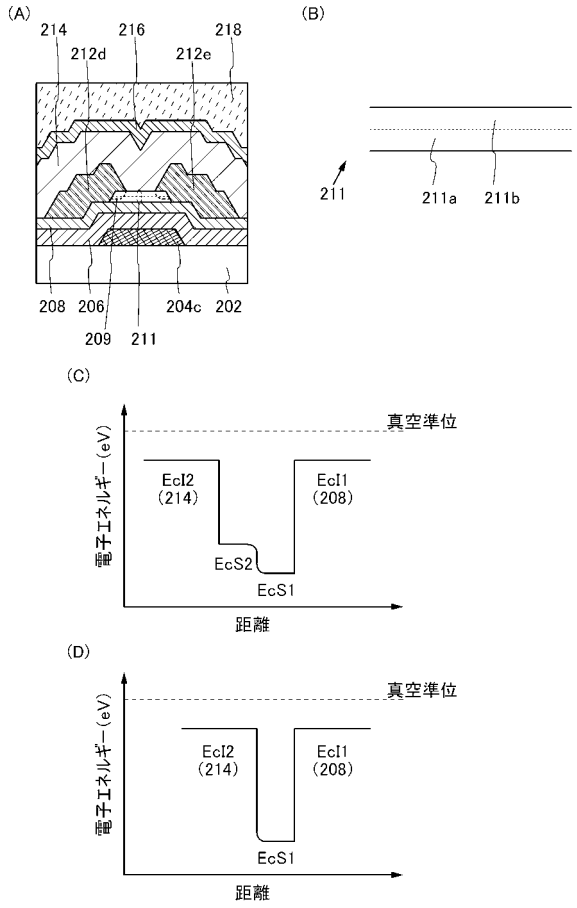
【図１６】



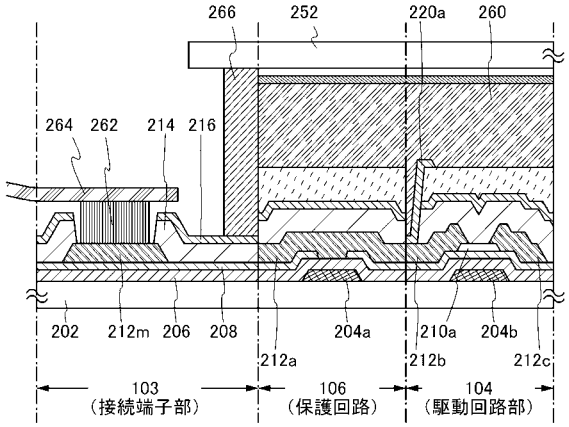
【図１７】



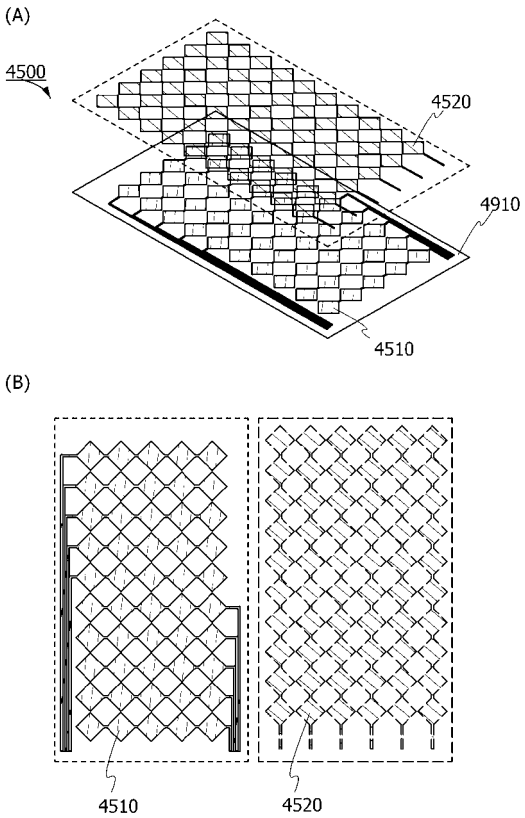
【図１８】



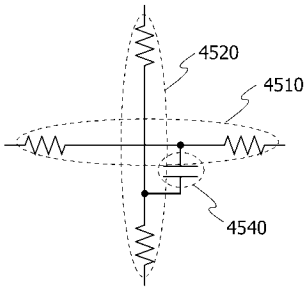
【図１９】



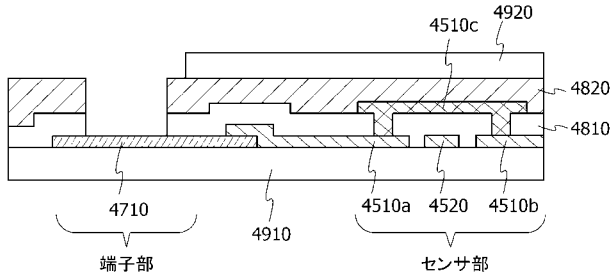
【図２０】



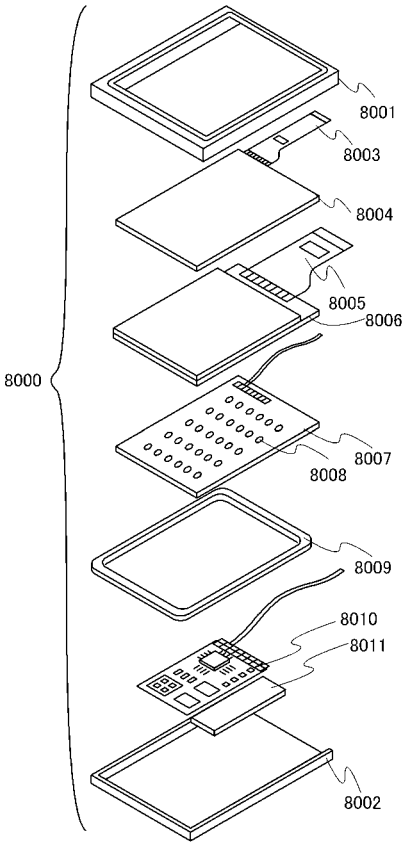
【図２１】



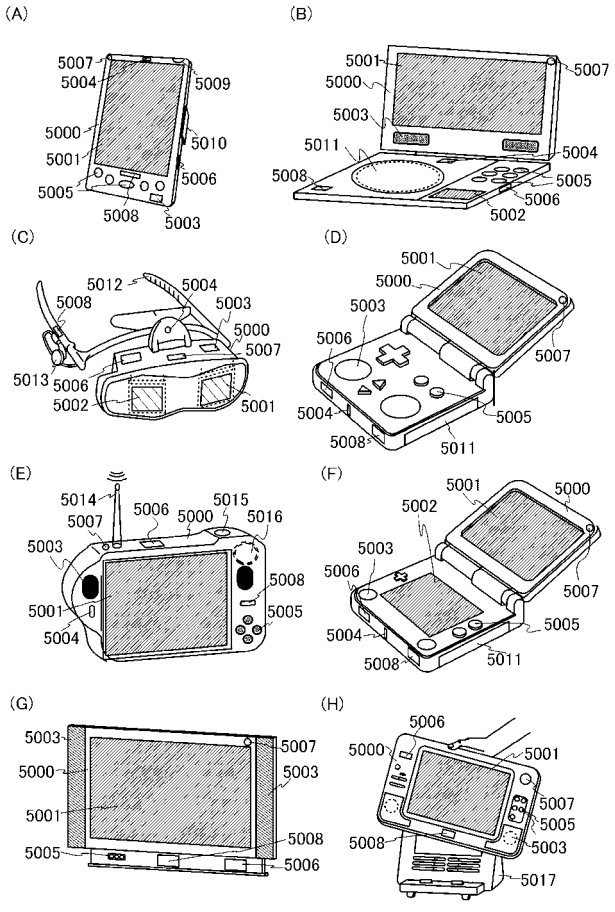
【図２２】



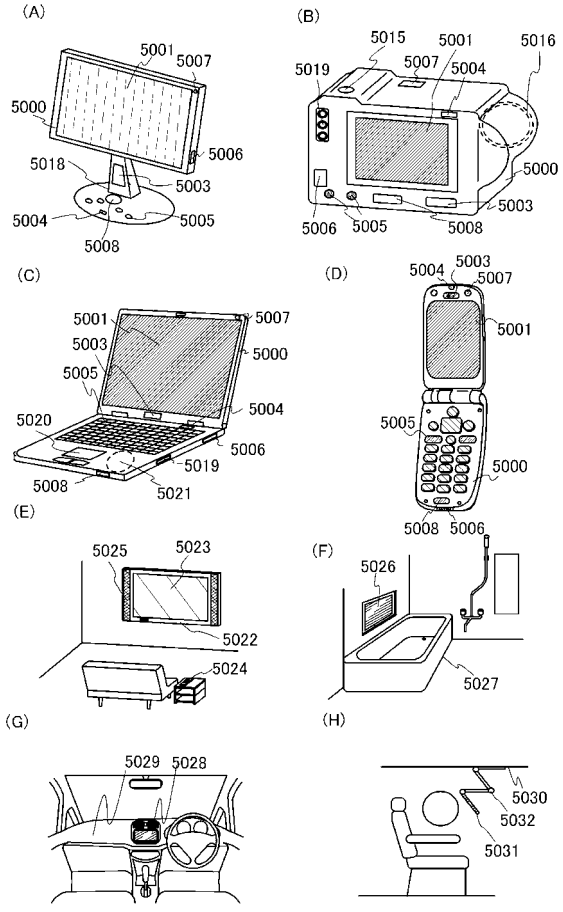
【図２３】



【図２４】



【図２５】



フロントページの続き

(51)Int.Cl.	F I		テーマコード（参考）
G02F 1/1368 (2006.01)	H01L 29/78	617S	
	H01L 29/78	623A	
	H01L 27/04	H	
	H01L 27/04	P	
	G02F 1/1368		

Fターム(参考) 2H192 AA24 CB05 CB37 CB71 CB83 FA81
5C094 AA31 BA03 BA27 BA43 BA75 DA13 DB01 FB14 HA08
5F038 AR07 AR14 AZ07 BH02 BH07 BH13 BH15 CA02 CD13 EZ14
EZ15 EZ20
5F110 AA06 AA12 AA22 BB01 CC03 CC07 DD02 DD25 EE01 EE02
EE03 EE04 EE06 EE14 EE15 EE42 EE44 EE45 FF01 FF02
FF03 FF04 FF09 FF30 GG01 GG06 GG14 GG25 GG33 GG34
GG42 GG43 GG44 HK01 HK02 HK03 HK04 HK06 HK21 HK22
HK32 HK33 HK34 HL07 HL23 NN02 NN03 NN04 NN05 NN22
NN23 NN24 NN27 NN28 NN35 NN71 NN72 PP10 PP13 PP35
QQ02