

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-86456

(P2010-86456A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.

G06F 9/48 (2006.01)

F I

G06F 9/46 311B

テーマコード (参考)

審査請求 未請求 請求項の数 13 O L (全 14 頁)

(21) 出願番号 特願2008-257278 (P2008-257278)  
 (22) 出願日 平成20年10月2日 (2008.10.2)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100089071  
 弁理士 玉村 静世  
 (72) 発明者 山本 哲弘  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内  
 (72) 発明者 星 恭彦  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内  
 (72) 発明者 浜崎 博幸  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内

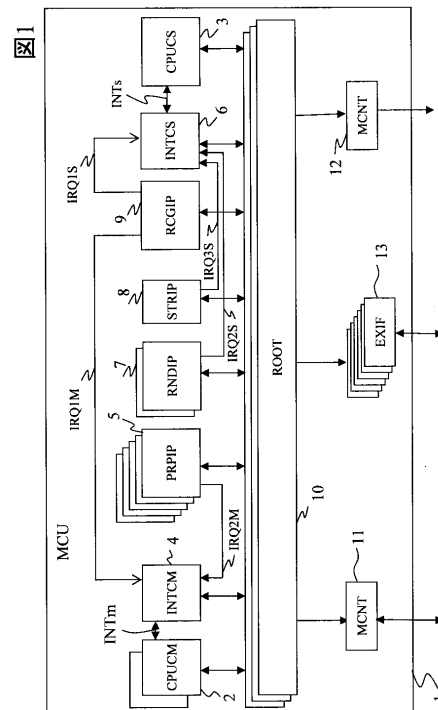
(54) 【発明の名称】 データ処理システム及び半導体集積回路

(57) 【要約】

【課題】 割り込み処理の即時性に優れたデータ処理システムを提供する。

【解決手段】 中央処理装置(2, 3)に別々に割当てられた複数の割り込みコントローラ(4, 6)は、複数の中央処理装置が共通利用可能な回路モジュール(9)から別々の割り込み要求信号(I R Q 1 M, I R Q 1 S)が供給され、入力された割り込み要求信号に応答して対応する中央処理装置に割り込みを通知する。このとき前記回路モジュールは、複数の割り込みコントローラのなかから割り込み要求信号を供給する割り込みコントローラを選択する。例えば回路モジュールは起動要求を指示した中央処理装置を識別し、当該中央処理装置に対応する割り込みコントローラに割り込み要求信号を供給する。一の中央処理装置の割り込み処理による負荷を軽減することができると共に、当該一の中央処理装置での割り込み処理を経由しないため、前記他の中央処理装置の割り込みレスポンスが速くなる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数の中央処理装置と、前記中央処理装置に別々に割当てられた複数の割込みコントローラと、前記複数の中央処理装置が共通利用可能な回路モジュールと、を含み、

前記複数の割込みコントローラは、前記回路モジュールから別々の割込み要求信号が供給され、入力された割込み要求信号に応答して対応する中央処理装置に割込みを通知し、

前記回路モジュールは、複数の割込みコントローラのなかから割込み要求信号を供給する割込みコントローラを選択する、データ処理システム。

**【請求項 2】**

前記回路モジュールは、発行された起動要求に応答する処理の終了、前記応答する処理中のエラー発生、又は前記応答する処理のステータスを通達するタイミングの到来によって、割込み要求信号を発生する、請求項 1 記載のデータ処理システム。

**【請求項 3】**

前記回路モジュールは、起動要求を発行した中央処理装置に対応する割込みコントローラに向けて割込み要求信号を出力する、請求項 1 記載のデータ処理システム。

**【請求項 4】**

前記回路モジュールは、起動要求が発行されたときその発行元の中央処理装置が出力する識別データを保持する第 1 レジスタを有し、前記第 1 レジスタに保持された識別データに対応する割込みコントローラを割込み要求信号の出力先とする、請求項 3 記載のデータ処理システム。

**【請求項 5】**

前記回路モジュールは、第 2 レジスタの設定値に従って、起動要求を発行した中央処理装置に対応する割込みコントローラ又は起動要求を発行した中央処理装置とは無関係に予め決められた一つの割込みコントローラに向けて割込み要求信号を出力する、請求項 1 記載のデータ処理システム。

**【請求項 6】**

前記回路モジュールは、起動要求が発行されたときその発行元の中央処理装置が出力する識別データを保持する第 1 レジスタを有し、前記第 2 のレジスタに第 1 の値が設定されているとき、前記第 1 レジスタに保持されている識別データに対応する割込みコントローラを、割込み要求信号の出力先とする、請求項 5 記載のデータ処理システム。

**【請求項 7】**

前記回路モジュールは、起動要求を発行した中央処理装置とは無関係に割込み要求信号を出力する一つの割込みコントローラを指定する第 3 レジスタを有し、前記第 2 のレジスタに第 2 の値が設定されているとき、前記第 3 レジスタの設定値で指定される一つの割込みコントローラを、割込み要求信号の出力先とする、請求項 5 記載のデータ処理システム。

**【請求項 8】**

前記回路モジュールは、複数の中央処理装置におけるデータ処理の稼働余裕を判定し、大きな稼働余裕を持つ中央処理装置側の割込みコントローラを、割込み要求信号の出力先とする、請求項 1 記載のデータ処理システム。

**【請求項 9】**

前記回路モジュールは、複数の中央処理装置の温度を測定した温度データを入力し、温度が低いほどデータ処理の稼働余裕があると判定する、請求項 8 記載のデータ処理システム。

**【請求項 10】**

複数の中央処理装置と、前記中央処理装置に別々に割当てられた複数の割込みコントローラと、前記複数の中央処理装置が共通利用可能なアクセラレータと、を含み、

前記複数の割込みコントローラは、前記アクセラレータから別々の割込み要求信号が供給され、入力された割込み要求信号に応答して対応する中央処理装置に割込みを通知

10

20

30

40

50

し、

前記アクセラレータは、起動要求を発行した中央処理装置に対応する割り込みコントローラに向けて割り込み要求信号を出力する、半導体集積回路。

【請求項 1 1】

前記アクセラレータは画像データの特徴を抽出するデータ処理を行ない、

前記複数の中央処理装置は抽出された特徴に基づいて画像データの画像を認識するデータ処理を行なう、請求項 1 0 記載の半導体集積回路。

【請求項 1 2】

複数の中央処理装置と、前記中央処理装置に別々に割当てられた複数の割り込みコントローラと、前記複数の中央処理装置が共通利用可能なアクセラレータと、を含み、

10

前記複数の割り込みコントローラは、前記アクセラレータから別々の割り込み要求信号が供給され、入力された割り込み要求信号に応答して対応する中央処理装置に割り込みを通知し、

前記アクセラレータは、レジスタの設定値に従って、起動要求を発行した中央処理装置に対応する割り込みコントローラ又は起動要求を発行した中央処理装置とは無関係に予め決められた一つの割り込みコントローラに向けて割り込み要求信号を出力する、半導体集積回路。

【請求項 1 3】

複数の中央処理装置と、前記中央処理装置に別々に割当てられた複数の割り込みコントローラと、前記複数の中央処理装置が共通利用可能なアクセラレータと、を含み、

20

前記複数の割り込みコントローラは、前記アクセラレータから別々の割り込み要求信号が供給され、入力された割り込み要求信号に応答して対応する中央処理装置に割り込みを通知し、

前記アクセラレータは、複数の中央処理装置におけるデータ処理の稼働余裕を判定し、大きな稼働余裕を持つ中央処理装置側の割り込みコントローラを、割り込み要求信号の出力先として選択する、半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の中央処理装置とアクセラレータを備えたデータ処理システムにおける割り込み制御技術に関し、例えばシステム・オン・チップ化された半導体集積回路に適用して有効な技術に関する。

30

【背景技術】

【0002】

データ処理システムにおいては中央処理装置（単にCPUとも記す）の負担を軽減するために画像認識、画像データの符号化復号等の特定のデータ処理を担うアクセラレータを搭載し、また、そのアクセラレータに対する制御についても負担を軽減するためにサブCPUを搭載して、全体の性能向上を図ることが行われている。このマルチCPUにおける割り込み制御には以下の態様が考えられる。

【0003】

40

第1の態様として、アクセラレータがメインCPU側の割り込みコントローラにのみ割り込み要求信号を発行できる場合には、アクセラレータがサブCPUに対して割り込みをかけるには、メインCPUに割り込みをかけてメインCPUの割り込みルーチンを用いてサブCPUに割り込みを発生させることが必要である。これとは逆に、アクセラレータがサブCPU側の割り込みコントローラにのみ割り込み要求信号を発行できる場合には、メインCPUに対して割り込みをかけるには、サブCPUに割り込みをかけてサブCPUの割り込みルーチンを用いてメインCPUに割り込みを発生させることが必要である。

【0004】

第2の態様として、夫々のCPUに対応する割り込みマスクレジスタを用意し、割り込みを受け付けるべきCPUの割り込みマスクだけソフトウェアで解除する。アクセラレー

50

タが全てのCPUに向けて割り込みを発行しても、マスクが解除されたCPUにだけ割り込みがかかる。特許文献1には第2の態様に分類される割り込み制御技術として浮動割り込み機構と称する技術が記載される。

#### 【0005】

第3の態様として、夫々のCPUに対する割り込み優先度を設定し、アクセラレータが全てのCPUに割り込みを発行し、割り込みが発行されたときCPUは自らの割り込み優先度に基づいて割り込みを受け付けるべきか否かを判別し、一つのCPUが割り込みを受け付けた時点で他のCPUの割り込み受付がマスクされる。

#### 【0006】

【特許文献1】特開昭63-163656号公報

#### 【発明の開示】

【発明が解決しようとする課題】

#### 【0007】

上記マルチCPUにおける割り込み制御形態については以下の問題点のあることが本発明者によって明らかにされた。

#### 【0008】

第1の態様は、所要CPUに割り込みをかけるのに他のCPUの割り込み処理ルーチンを経由することになり、割り込み処理の即時性に劣る。

#### 【0009】

第2、第3の態様は、マスク設定や優先度設定のために特定のCPUを用いたソフトウェア処理が必要になり、特定のCPUに負担がかかり、割り込み処理の即時性に劣り、システムの処理内容が変われば当該ソフトウェア処理も変更になりソフトウェアの互換性は著しく低く、当該ソフトウェア作成の負担も大きい。

#### 【0010】

本発明の目的は、割り込み処理の即時性に優れたデータ処理システム、並びにそれを構成する半導体集積回路を提供することにある。

#### 【0011】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

#### 【課題を解決するための手段】

#### 【0012】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

#### 【0013】

すなわち、中央処理装置に別々に割当てられた複数の割込みコントローラは、前記複数の中央処理装置が共通利用可能な回路モジュールから別々の割込み要求信号が供給され、入力された割り込み要求信号に応答して対応する中央処理装置に割込みを通知する。このとき前記回路モジュールは、複数の割込みコントローラのなかから割り込み要求信号を供給する割込みコントローラを選択する。例えば回路モジュールは起動要求を指示した中央処理装置を識別し、当該中央処理装置に対応する割り込みコントローラに割り込み要求信号を供給する。

#### 【0014】

上記手段によれば、一の中央処理装置がすべての割り込みを処理する場合に比べ、回路モジュールは他の中央処理装置に直接割り込みをかけることができるから、当該一の中央処理装置の割り込み処理による負荷を軽減することができると共に、当該一の中央処理装置での割り込み処理を経由しないため、前記他の中央処理装置の割り込みレスポンスが速くなる。

#### 【発明の効果】

#### 【0015】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明す

10

20

30

40

50

れば下記のとおりである。

【0016】

すなわち、割り込み処理の即時性に優れる。

【発明を実施するための最良の形態】

【0017】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0018】

〔1〕本発明に係るデータ処理システム（1）は、複数の中央処理装置（2，3）と、前記中央処理装置に別々に割当てられた複数の割り込みコントローラ（4，6）と、前記複数の中央処理装置が共通利用可能な回路モジュール（9）と、を含む。前記複数の割り込みコントローラは、前記回路モジュールから別々の割り込み要求信号（IRQ1M，IRQ1S）が供給され、入力された割り込み要求信号に応答して対応する中央処理装置に割り込みを通知する。前記回路モジュールは、複数の割り込みコントローラのなかから割り込み要求信号を供給する割り込みコントローラを選択する。

【0019】

上記手段によれば、一の中央処理装置がすべての割り込みを処理する場合に比べ、回路モジュールは他の中央処理装置に直接割り込みをかけることができるから、当該一の中央処理装置の割り込み処理による負荷を軽減することができると共に、当該一の中央処理装置での割り込み処理を経由しないため、前記他の中央処理装置の割り込みレスポンスが速くなる。結果として、割り込みに対する即時応答性が向上する。

【0020】

すべての中央処理装置に対して割り込みを書ける場合に比べ、回路モジュール自身が割り込み発行先を判別するため、ソフトウェアによる中央処理装置に対するマスク設定を必要としない。

【0021】

中央処理装置や回路モジュールの数によってマスキレジスタやソフトウェア（割り込みルーチン）を作り直す必要がないため、同じ回路モジュールを異なる製品に流用したときの割り込み処理に関するソフトウェアの再利用性、即ち互換性が高まる。

【0022】

割り込み発行先を回路モジュール自身が決定できるため、最適な割り込み発行先を選択することが可能となる。たとえば、割り込みを負荷の低い中央処理装置に選択的にかけることも可能となる。

【0023】

回路モジュール自身が割り込み発行先を判別するため、中央処理装置は他の中央処理装置のデータ処理状況を気にすることなく自身に対して発行された割り込みを受け付ければ良く、割り込み制御のためのハードウェアの簡素化に資することができる。

【0024】

〔2〕項1のデータ処理システムにおいて、前記回路モジュールは、発行された起動要求に応答する処理の終了、前記応答する処理中のエラー発生、又は前記応答する処理のステータスを通達するタイミングの到来によって、割り込み要求信号を発生する。

【0025】

〔3〕項1のデータ処理システムにおいて、前記回路モジュールは、起動要求を発行した中央処理装置に対応する割り込みコントローラに向けて割り込み要求信号を出力する。これにより、回路モジュールに対する起動要求と起動された処理結果の利用と相関を尊重することができる。

〔4〕項3のデータ処理システムにおいて、前記回路モジュールは、起動要求が発行されたときその発行元の中央処理装置が出力する識別データを保持する第1レジスタ（22

10

20

30

40

50

）を有し、前記第 1 レジスタに保持された識別データに対応する割り込みコントローラを割り込み要求信号の出力先とする。

【0026】

〔5〕項 1 のデータ処理システムにおいて、前記回路モジュールは、第 2 レジスタ（37）の設定値に従って、起動要求を発行した中央処理装置に対応する割り込みコントローラ又は起動要求を発行した中央処理装置とは無関係に予め決められた一つの割り込みコントローラに向けて割り込み要求信号を出力する。これによれば、割り込みコントローラが一つしかないシステムで稼働するソフトウェアとの互換性が容易に得られる。

【0027】

〔6〕項 5 のデータ処理システムにおいて、前記回路モジュールは、起動要求が発行されたときその発行元の中央処理装置が出力する識別データを保持する第 1 レジスタを有し、前記第 2 のレジスタに第 1 の値が設定されているとき、前記第 1 レジスタに保持されている識別データに対応する割り込みコントローラを、割り込み要求信号の出力先とする。

10

【0028】

〔7〕項 5 のデータ処理システムにおいて、前記回路モジュールは、起動要求を発行した中央処理装置とは無関係に割り込み要求信号を出力する一つの割り込みコントローラを指定する第 3 レジスタ（38, 39）を有し、前記第 2 のレジスタに第 2 の値が設定されているとき、前記第 3 レジスタの設定値で指定される一つの割り込みコントローラを、割り込み要求信号の出力先とする。

【0029】

20

〔8〕項 1 のデータ処理システムにおいて、前記回路モジュールは、複数の中央処理装置におけるデータ処理の稼働余裕を判定し、大きな稼働余裕を持つ中央処理装置側の割り込みコントローラを、割り込み要求信号の出力先とする。これによれば、システム効率を向上させることができる。

【0030】

〔9〕項 8 のデータ処理システムにおいて、前記回路モジュールは、複数の中央処理装置の温度を測定した温度データを入力し、温度が低いほどデータ処理の稼働余裕があると判定する。

【0031】

〔10〕本発明に係る半導体集積回路は、複数の中央処理装置と、前記中央処理装置に別々に割当てられた複数の割り込みコントローラと、前記複数の中央処理装置が共通利用可能なアクセラレータと、を含む。前記複数の割り込みコントローラは、前記アクセラレータから別々の割り込み要求信号が供給され、入力された割り込み要求信号に応答して対応する中央処理装置に割り込みを通知する。前記アクセラレータは、起動要求を発行した中央処理装置に対応する割り込みコントローラに向けて割り込み要求信号を出力する。

30

【0032】

〔11〕項 10 の半導体集積回路において、前記アクセラレータは画像データの特徴を抽出するデータ処理を行なう。前記複数の中央処理装置は抽出された特徴に基づいて画像データの画像を認識するデータ処理を行なう。

【0033】

40

〔12〕本発明に係る半導体集積回路は、複数の中央処理装置と、前記中央処理装置に別々に割当てられた複数の割り込みコントローラと、前記複数の中央処理装置が共通利用可能なアクセラレータと、を含む。前記複数の割り込みコントローラは、前記アクセラレータから別々の割り込み要求信号が供給され、入力された割り込み要求信号に応答して対応する中央処理装置に割り込みを通知する。前記アクセラレータは、レジスタの設定値に従って、起動要求を発行した中央処理装置に対応する割り込みコントローラ又は起動要求を発行した中央処理装置とは無関係に予め決められた一つの割り込みコントローラに向けて割り込み要求信号を出力する。

【0034】

〔13〕本発明に係る半導体集積回路は、複数の中央処理装置と、前記中央処理装置に

50

別々に割当てられた複数の割込みコントローラと、前記複数の中央処理装置が共通利用可能なアクセラレータと、を含む。前記複数の割り込みコントローラは、前記アクセラレータから別々の割り込み要求信号が供給され、入力された割り込み要求信号に応答して対応する中央処理装置に割り込みを通知する。前記アクセラレータは、複数の中央処理装置におけるデータ処理の稼動余裕を判定し、大きな稼動余裕を持つ中央処理装置側の割り込みコントローラを、割り込み要求信号の出力先として選択する。

#### 【0035】

##### 2. 実施の形態の詳細

実施の形態について更に詳述する。以下、本発明を実施するための形態を図面に基づいて詳細に説明する。なお、発明を実施するための形態を説明するための全図において、同一の機能を有する要素には同一の符号を付して、その繰り返しの説明を省略する。

#### 【0036】

図1には本発明に係るデータ処理システム（データ処理装置）が例示される。同図に示されるデータ処理システムは、特に制限されないが、画像処理に特化したシステムオンチップのマイクロコンピュータであり、CMOS集積回路製造技術等によって単結晶シリコンのような1個の半導体基板に形成される。

#### 【0037】

データ処理システム1は、特に制限されないが、デュアルプロセッサコア（マルチプロセッサコア）として、マスタ中央処理装置（CPUCM）2とサブ中央処理装置（CUPCS）3とを有し、CPUCM2に対応して割り込みコントローラ（INTCM）4が配置され、CUPCS3に対応して割り込みコントローラ（INTCS）6が配置される。夫々の中央処理装置2，3は、特に制限されないが、命令制御部、命令実行、及びバスインタフェース部を有し、その他に、キャッシュメモリ、アドレス変換バッファ、及び浮動小数点演算ユニット等を備えてもよい。データ処理システムは、幾つかの周辺回路（PRPIP）5を備え、また、アクセラレータとして例えば画像描画アクセラレータ7、歪み補正アクセラレータ（STRIP）8、及び画像認識アクセラレータ（RCGIP）9を有し、更にメモリコントローラ（MCNT）11，12及び外部インタフェース回路13を備える。それらの回路はルータ（ROOT）10を介してデータ、アドレス及び制御信号を送受することができる。ルータ10によるデータ送受には例えばパケット単位で転送を行うスプリット・トランザクション・バスのプロトコル等を採用することができる。

#### 【0038】

アクセラレータ7はCUPCS3の負担を軽減するために、CUPCSから起動コマンドを受取って画像描画を行い、同様にアクセラレータ8は画像の歪み補正演算を行う。アクセラレータ9はCPUCM2，CUPCS3の負担を軽減するために、CPUCM2又はCUPCS3から起動コマンドを受取って、画像認識のための特徴抽出処理を行なう。メモリコントローラ11，12には例えばDDR3の規格に準拠したシンクロナスDRAMが外部に接続される。

#### 【0039】

夫々の中央処理装置2，3には別々に割り込みコントローラ4，6が配置される。割り込みコントローラ4は代表的に図示された割り込み要求信号IRQ1M，IRQ2Mを入力し、割り込み要求信号による割り込み要求に対するマスケレベルの判定、割り込み要求が競合するときは割り込み優先レベルによる割り込み要求を調停し、例えばCPUCM2に割り込み信号INTmと割り込み要因コード（図視を省略）を供給する。割り込みコントローラ6は代表的に図示された割り込み要求信号IRQ1S，IRQ2S，IRQ3Sを入力し、割り込み要求信号による割り込み要求に対するマスケレベルの判定、割り込み要求が競合するときは割り込み優先レベルによる割り込み要求を調停し、例えばCUPCS3に割り込み信号INTsと割り込み要因コード（図視を省略）を供給する。

#### 【0040】

ここで、前記画像認識アクセラレータ9は、そのデータ処理によって割り込み要求事由が発生したとき、CPUCM2側の割り込みコントローラ4に割り込み要求信号IRQ1

10

20

30

40

50

Mを出力するのか、又はC P U C S 3側の割り込みコントローラ6に割り込み要求信号I R Q 1 Sを出力するのかを選択する。割り込み要求事由には、例えばコマンドによる起動要求に応答する処理の終了、前記応答する処理中のエラー発生、又は前記応答する処理のステータスを通達するタイミングの到来等である。

#### 【0041】

図2には画像認識アクセラレータ9の第1の例として画像認識動作の起動要求を発行した中央処理装置に対応する割り込みコントローラに向けて割り込み要求信号を出力するための構成が例示される。

#### 【0042】

画像認識アクセラレータ9は例えばバスインタフェース(B I F) 20、画像認識処理部(P R C S D I V) 21、I Dレジスタ(I D R E G) 22、デコーダ(I D D E C) 23、アンドゲート24, 25を有する。例えば画像認識アクセラレータ9に対する起動要求(S T R R E Q)は、アクセスリクエスト信号R e q \_ x、起動レジスタを指定するアドレスデータA d d \_ x、オペレーションを指示するオペレーションデータO p c \_ x、起動ビットD a t a \_ x、及び起動元の中央処理装置を示すC P U識別信号S r c \_ xがC P U C M 2又はC P U C S 3からルータ1に発行されることによって指示される。バスインタフェース20はそれら信号を入力して画像認識アクセラレータ9の動作が選択されていることを判別すると、それによって起動が指示される画像認識処理を行なうために必要な情報を画像認識処理部21に引き渡し、これによって画像認識処理部21が画像認識処理を開始する。これと共に、画像認識アクセラレータ9の動作が選択されていることを判別すると、バスインタフェース20はラッチ信号L a tを活性化してI Dレジスタ22にそのときのC P U識別信号S r c \_ xで指定されるC P U識別データC P U I Dを保持させる。C P U識別データC P U I Dはデコーダ23でデコードされ、デコード結果はアンドゲート24, 25に供給される。C P U識別データC P U I DがC P U C M 4を意味するときアンドゲート24への出力がハイレベルにされ、C P U識別データC P U I DがC P U C S 6を意味するときアンドゲート25への出力がハイレベルにされる。画像認識処理部21は起動要求に応答する処理の終了、前記応答する処理中のエラー発生、又は前記応答する処理のステータスを通達するタイミングが到来したとき、割り込み指示信号I R Q 1をハイレベルとする。これにより、割り込み指示信号I R Q 1が活性化されると、C P U識別データC P U I Dが示す一方の中央処理装置に対応する割り込みコントローラに割り込み要求信号が出力され、他方の中央処理装置に対応する割り込みコントローラへの割り込み要求はマスクされる。

#### 【0043】

図3には画像認識アクセラレータの動作タイミングが例示される。ここではマスタ中央処理装置(C P U C M) 2が画像認識アクセラレータ9の動作を起動しているから、C P U識別信号S r c \_ xで指定されるC P U識別データC P U I Dはマスタ中央処理装置(C P U C M) 2を意味する。従って、割り込み指示信号I R Q 1がハイレベルにされると、割り込み要求信号I R Q 1 Mが活性化され、割り込み要求信号I R Q 1 Sの活性化はマスクされ、画像認識処理の終了等に基づく割り込みは、起動要求を行なったマスタ中央処理装置2に向けて発行される。

#### 【0044】

図4には画像認識アクセラレータの動作フローチャートが例示される。上述の通り、起動要求を行なった中央処理装置に向けて割り込みが発行される。

#### 【0045】

図5には画像認識アクセラレータ9の第2の例として、起動要求を発行した中央処理装置に対応する割り込みコントローラ又は起動要求を発行した中央処理装置とは無関係に予め決められた一つの割り込みコントローラに向けて割り込み要求信号を出力するための構成が例示される。

#### 【0046】

図5の画像認識アクセラレータ9は図4の構成に、レジスタ37, 38, 39とセレク



タ 3 1, 3 2 を追加した構成を備える。セクタ 3 1 は 2 入力のアンドゲート 3 4, 3 5 から成り、アンドゲート 3 4, 3 5 の一方に入力には前記割り込み指示信号 I R Q 1 が供給され、アンドゲート 3 4, 3 5 の他方の入力にはレジスタ 3 8, 3 9 に設定された選択指示ビットが供給される。レジスタ 3 8, 3 9 の選択指示ビットは何れか一方だけが選択的に論理値 1 にされる。レジスタ 3 7 の選択指示ビットが論理値 1 のときセクタ 3 2 はアンドゲート 3 4 の出力を割り込み要求信号 I R Q 1 M とし、アンドゲート 3 5 の出力を割り込み要求信号 I R Q 1 S とする。一方、レジスタ 3 7 の選択指示ビットが論理値 0 のときセクタ 3 2 はアンドゲート 2 4 の出力を割り込み要求信号 I R Q 1 M とし、アンドゲート 2 5 の出力を割り込み要求信号 I R Q 1 S とする。C P U C M 2 又は C P U C S 3 の一方がその動作プログラムに従って前記レジスタ 3 7, 3 8, 3 9 の選択を行って選択指示ビットを設定する。したがって、起動要求元の中央処理装置に向けて割り込みを発行させたい場合には、レジスタ 3 7 の選択指示ビットを論理値 0 に設定すればよい。割り込み要求先の中央処理装置を固定としたい場合には、レジスタ 3 7 の選択指示ビットを論理値 1 に設定すればよく、割り込み要求先を C P U C M 2 に固定するときはレジスタ 3 8 の選択指示ビットを論理値 1、レジスタ 3 9 の選択指示ビットを論理値 0 とし、割り込み要求先を C P U C S 3 に固定するときはその逆に設定すればよい。

#### 【0047】

画像認識アクセラレータ 9 の上記第 1 及び第 2 の構成によれば以下の作用効果を得ることができる。(1) 一の中央処理装置 2 がすべての割り込みを処理する場合に比べ、画像認識アクセラレータ 9 は他の中央処理装置 3 にも直接割り込みをかけることができるから、当該一の中央処理装置 2 の割り込み処理による負荷を軽減することができると共に、他の中央処理装置 3 によって画像認識処理の起動がかけられた場合に一の中央処理装置 2 の割り込み処理を経由しないため、前記他の中央処理装置 3 の割り込みレスポンスが速くなる。結果として、割り込みに対する即時応答性を向上させることができる。例えば全ての割り込み要求を一つの割り込みコントローラ 4 が受けて処理する場合、中央処理装置 3 が画像認識アクセラレータ 9 を起動したとき、その処理の終了によって起動要求元とは異なる中央処理装置 2 に割り込みがかかる場合には、当該中央処理装置 2 が割り込みに応答処理を行なって起動要求元の中央処理装置に、画像認識処理の終了を通知したり、その処理結果を用いる別の処理への開始等を、更なる割り込み等によって指示しなければならないとなり、結果として、一つの中央処理装置 2 による割り込み処理の負担が増大する。

#### 【0048】

(2) 画像認識アクセラレータ 9 がすべての中央処理装置に割り込みをかける場合に比べ、画像認識アクセラレータ 9 自身が割り込み発行先を判別するため、ソフトウェアによる中央処理装置に対するマスク設定を必要としない。

#### 【0049】

(3) 中央処理装置や画像認識アクセラレータ 9 のような回路モジュールの数によってマスクレジスタやソフトウェア(割り込みルーチン)を作り直す必要がないため、同じ回路モジュールを異なる製品に流用したときの割り込み処理に関するソフトウェアの再利用性、即ち互換性を高めることができる。

#### 【0050】

(4) 画像認識アクセラレータ 9 自身が割り込み発行先を判別するため、中央処理装置は他の中央処理装置のデータ処理状況を気にすることなく自身に対して発行された割り込みを受け付ければ良く、割り込み制御のためのハードウェアの簡素化に資することができる。

#### 【0051】

図 6 には画像認識アクセラレータ 9 の第 3 の例として、大きな稼働余裕を持つ中央処理装置を割り込み要求先とする構成が例示される。

#### 【0052】

図 6 において中央処理装置 2 には温度センサ (S N S R m) 4 0 が設けられ、中央処理装置 3 には温度センサ (S N S R s) 4 1 が設けられる。データ処理による負荷の軽重に

10

20

30

40

50

応じて中央処理装置 2, 3 の発熱量が変わり、負荷が大きくなるほど温度が高くなる。検出回路 4 2 はセンサ 4 0, 4 1 による温度検出データを入力してデータ処理に寄る負荷状態、換言すればその稼動状態を判定し、相対的に CPU CM 2 の稼動余裕が大きな場合にはアンドゲート 2 4 への出力を論理値 1、アンドゲート 2 5 への出力を論理値 0 とする。相対的に CPU CS 3 の稼動余裕が大きな場合にはアンドゲート 2 4 への出力を論理値 0、アンドゲート 2 5 への出力を論理値 1 とする。検出回路 4 2 の検出動作による検出結果の更新は例えば複数動作サイクル毎に行えばよい。

#### 【0053】

このように、割り込み発行先を画像認識アクセラレータ 9 自身が決定できるため、割り込みを負荷の低い中央処理装置に選択的にかけることが可能となり、最適な割り込み発行先を自ら選択することが可能となる。

一般に、負荷が高いコアは温度が高くなるため、最も低い温度のコアに発行することによって、最適に割り込み発行先を選択することができる。

#### 【0054】

特に図示はしないが、負荷ではなく中央処理装置が正しく動作しているかどうかを監視することにより、冗長性を持ったセキュアなシステムの構築に資することも可能である。例えば、1 個の中央処理装置が故障したとしても、割り込み先を自動的に他の中央処理装置へ切替えることによって、故障した中央処理装置に依存しないシステムを実現できる。さらに、ソフトウェアで割り込み発行先を管理する必要がないことから、ソフトウェア上での共有部分が少なくなる。この点でもよりセキュアなシステムの実現に資することができる。この他、割り込み発行先の選択方法には様々なものが考えられ、それらを目的、環境、状況に応じて使い分けることにより、最適な中央処理装置へ割り込みをかけることが可能となる。

#### 【0055】

図 7 にはデータ処理システムの更に具体的な例が示される。図 1 と同一機能を備えた回路ブロックにはそれと同一の符号を附してある。1 3 A, 1 3 B, 1 3 C は外部インタフェース回路 1 3 に対応される。1 0 A ~ 1 0 I はバスであり、図 1 ではそれらをルータ 1 0 と称している。例えば 1 0 A ~ 1 0 H のバスはスプリット・トランザクション・バスであり、リクエストパケットとレスポンスパケットを介してバスアクセスが行われる。1 0 I は周辺バスであり、アドレス、データ及び制御信号等のバスに対するバス権を取得してバスアクセスが行われるバスであり、沿う方のバスプロトコルは相違される。5 0 はスプリット・トランザクション・バスと周辺バスをインタフェースするバスプロトコル変換用のバスブリッジ回路 (BBRDG) である。

#### 【0056】

図 8 にはバスブリッジ回路 5 0 の一例が示される。5 A ~ 5 N は周辺回路である。周辺バス 1 0 I は、特に制限されないが、周辺回路毎のモジュール選択信号 SEL\_\_MDLi、周辺回路毎のモジュールリードバス READ\_\_MDLi、周辺回路に共通のコモンバス COMN、及び周辺回路に共通の ID バス IDB からなる。コモンバス COMN はアドレス、ライトデータ、リードストロブ、ライトストロブの各信号に割当てられる。信号 Src\_\_x をリクエスト信号 Req\_\_x でラッチするラッチ回路 5 1 がそのラッチデータを CPU 識別データ CPUID として ID バス IDB に出力する。

#### 【0057】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

#### 【0058】

複数の割り込みコントローラに割り込み要求信号を出力する回路モジュールは、画像認識アクセラレータに限定されず、画像描画アクセラレータ 7、ひずみ補正アクセラレータ 8、周辺回路 5 の何れであってもよいし、どれもが出力してもよい。回路モジュールが画像処理用に限定されず、暗号化復号、圧縮伸張、符号化復号、その他の何れのデータ処

理であってもよい。データ処理システムは画像処理システムに限定されず、暗号化復号、圧縮伸張、符号化復号、その他の何れのデータ処理システムにも適用することができる。また、割り込み処理手順に関し、割り込み要因コードは割り込み要求発生元が出力してもよい。中央処理装置は、CPUコア若しくはプロセッサコア等のように命令を実行してデータ処理を行なう機能を備えたユニットとして把握すればよい。また、中央処理装置と割り込みコントローラの数はいずれも2個の限定されず、それ以上の適宜の複数個であってもよい。データ処理システムはシングルチップに限定されずマルチチップで構成してもよい。データ処理システムはSDRAMのようなメモリをオンチップで搭載してもよい。

#### 【図面の簡単な説明】

#### 【0059】

【図1】図1は本発明に係るデータ処理システムを例示するブロック図である。

【図2】図2は画像認識アクセラレータの第1の例として画像認識動作の起動要求を発行した中央処理装置に対応する割り込みコントローラに向けて割り込み要求信号を出力するための構成を例示するブロック図である。

【図3】図3は画像認識アクセラレータの動作タイミング図である。

【図4】図4は画像認識アクセラレータの動作フローチャートである。

【図5】図5は画像認識アクセラレータの第2の例として、起動要求を発行した中央処理装置に対応する割り込みコントローラ又は起動要求を発行した中央処理装置とは無関係に予め決められた一つの割り込みコントローラに向けて割り込み要求信号を出力するための構成を例示するブロック図である。

【図6】図6は画像認識アクセラレータの第3の例として、大きな稼働余裕を持つ中央処理装置を割り込み要求先とする構成を例示するブロック図である。

【図7】図7はデータ処理システムの更に具体的な例を示すブロック図である。

【図8】図8はスプリット・トランザクション・バスと周辺バスをインタフェースするバスプロトコル変換用のバスブリッジ回路の一例を示すブロック図である。

#### 【符号の説明】

#### 【0060】

- 1 データ処理システム
- 2 マスタ中央処理装置 (CPU CM)
- 3 サブ中央処理装置 (CPU CS)
- 4 割り込みコントローラ (INT CM)
- 6 割り込みコントローラ (INT CS)
- 5 周辺回路 (PRPIP)
- 7 画像描画アクセラレータ
- 8 歪み補正アクセラレータ (STRIP)
- 9 画像認識アクセラレータ (RCGIP)
- 11, 12 メモリコントローラ (MCNT)
- 10 ルータ (ROOT)
- IRQ1M, IRQ2M 割り込み要求信号
- INTm 割り込み信号
- IRQ1S, IRQ2S, IRQ3S 割り込み要求信号
- INTs 割り込み信号
- 20 バスインタフェース (BIF)
- 21 画像認識処理部 (PRCSDIV)
- 22 IDレジスタ (IDREG)
- 23 デコーダ (IDDEC)
- 24, 25 アンドゲート
- Req\_x アクセスリクエスト信号
- Add\_x アドレスデータ
- Op c\_x オペレーションデータ

10

20

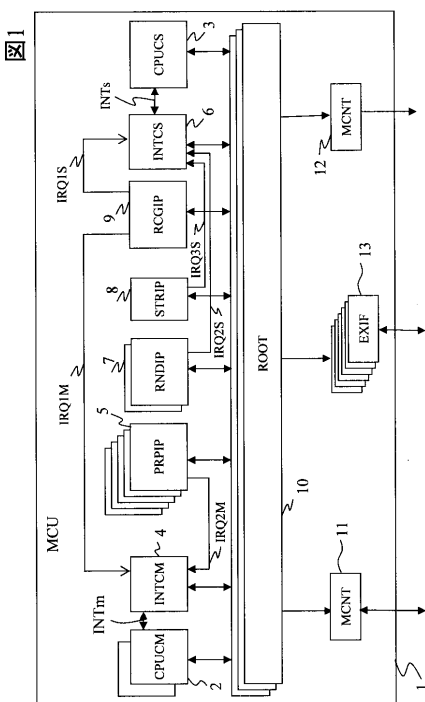
30

40

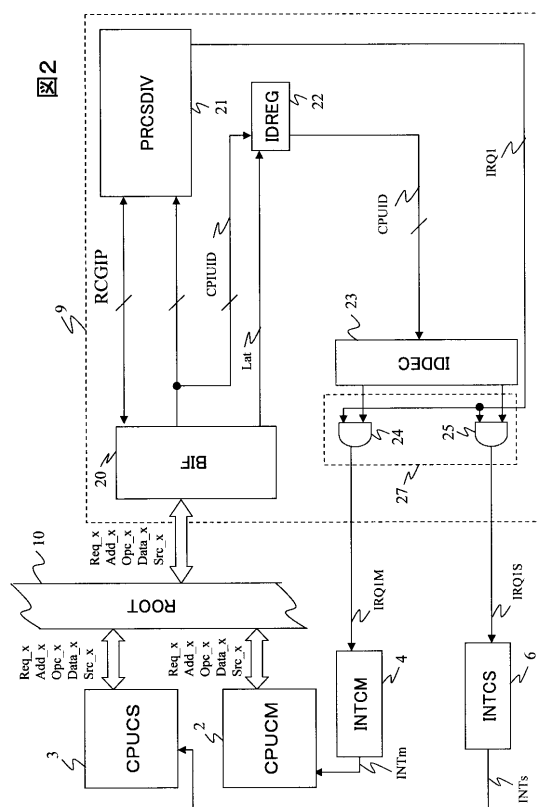
50

Data\_x 起動ビット  
 Src\_x CPU識別信号  
 CPUID CPU識別データ  
 37, 38, 39 レジスタ  
 3, 32 セレクタ  
 34, 35 アンドゲート  
 40 温度センサ (SNSRm)  
 41 温度センサ (SNSRs)  
 50 バスブリッジ回路 (BBRDG)

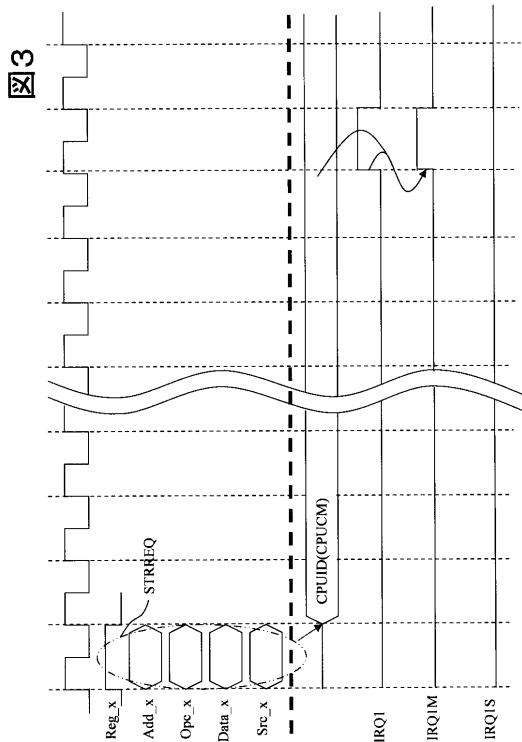
【図1】



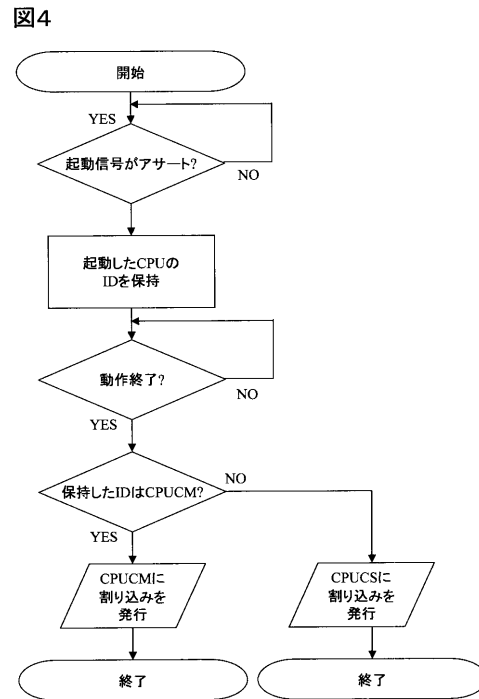
【図2】



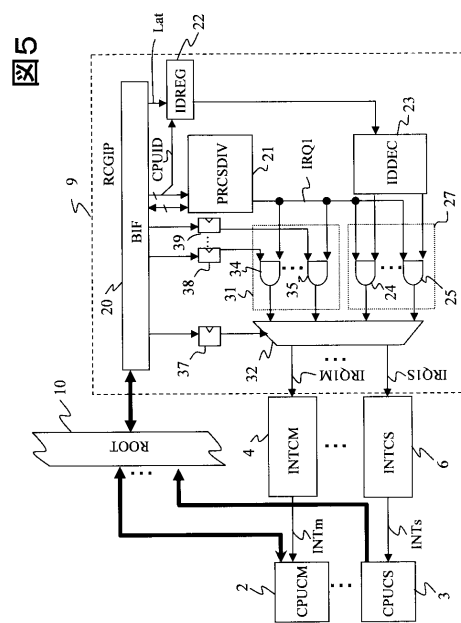
【 図 3 】



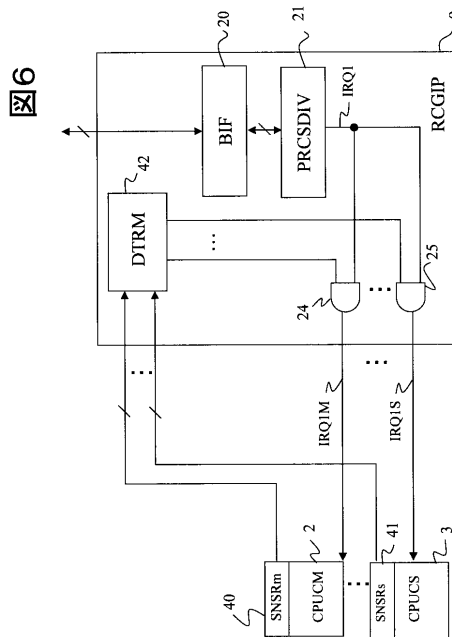
【図 4】



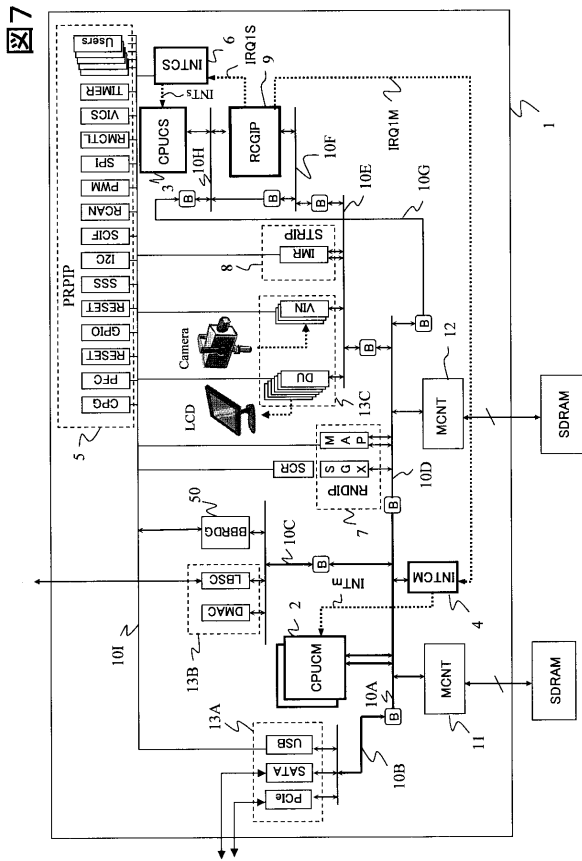
【図 5】



【 図 6 】



【図 7】



【図 8】

