



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0054887
(43) 공개일자 2013년05월27일

(51) 국제특허분류(Int. Cl.)

H03K 5/26 (2006.01) H03D 13/00 (2006.01)

(21) 출원번호 10-2011-0120542

(22) 출원일자 2011년11월17일

심사청구일자 2011년11월17일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김철우

서울특별시 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)

정인화

경기도 부천시 원미구 중1동 계룡리슈빌 엔클라스 1020호

(74) 대리인

특허법인 신성

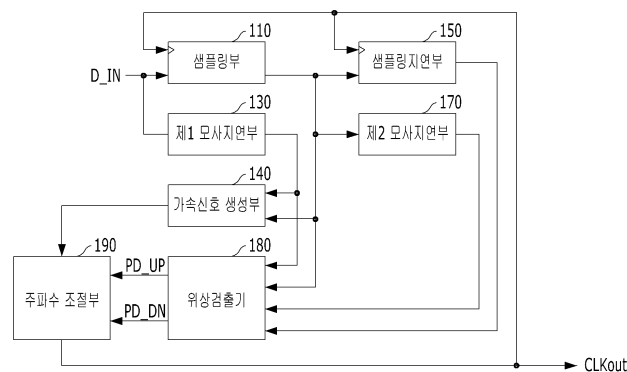
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 위상 주파수 검출 방법 및 장치

(57) 요약

본 발명은 위상 주파수 검출 방법 및 장치에 관한 것으로, 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법은 기준 클럭 신호의 활성 전이에서 입력 데이터를 샘플링하여 샘플링 신호를 생성하는 단계, 상기 샘플링 신호 생성 단계에서의 지연 시간만큼 상기 입력 데이터를 지연시킨 제1 모사지연신호를 생성하는 단계, 상기 샘플링 신호를 이용하여, 상기 샘플링 신호와 기 설정된 위상 차를 갖는 샘플링 지연신호를 생성하는 단계, 상기 샘플링 지연신호 생성 단계에서의 지연 시간만큼 상기 샘플링 신호를 지연시킨 제2 모사지연신호를 생성하는 단계, 상기 샘플링 신호, 상기 제1 모사지연신호, 상기 샘플링 지연신호 및 상기 제2 모사지연신호를 이용하여 펄스 열을 생성하는 단계 및 상기 펄스 열을 이용하여 상기 기준 클럭 신호의 주파수를 조절하는 단계를 포함하는 것을 일 특징으로 한다. 이러한 본 발명에 의하면, 외부 클럭 또는 특정한 데이터 패턴을 사용하지 않으면서도 넓은 주파수 동작 범위를 가질 수 있다. 또한 입력 데이터와 샘플링된 데이터를 비교하는 방식으로 입력 데이터의 위상 주파수를 검출함으로써, 기준 클럭과 데이터 사이의 스큐 문제가 제거되고, 실 데이터 전송률이 향상되며, 위상 갱신 시간 및 주파수 동기 시간이 단축되는 효과가 있다. 또한, 부가적인 클럭 공급원의 사용을 배제함으로써, 전송 채널의 수를 최소화할 수 있고, 하드웨어적인 비용을 줄일 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	2011-0020128
부처명	교육과학기술부
연구사업명	기초연구실지원사업
연구과제명	그린 스마트패치 및 응용 소프트웨어 연구
주관기관	고려대학교 산학협력단
연구기간	2011.09.01 ~ 2012.08.31

특허청구의 범위

청구항 1

기준 클럭 신호의 활성 전이에서 입력 데이터를 샘플링하여 샘플링 신호를 생성하는 단계;

상기 샘플링 신호 생성 단계에서의 지연 시간만큼 상기 입력 데이터를 지연시킨 제1 모사지연신호를 생성하는 단계;

상기 샘플링 신호를 이용하여, 상기 샘플링 신호와 기 설정된 위상 차를 갖는 샘플링 지연신호를 생성하는 단계;

상기 샘플링 지연신호 생성 단계에서의 지연 시간만큼 상기 샘플링 신호를 지연시킨 제2 모사지연신호를 생성하는 단계;

상기 샘플링 신호, 상기 제1 모사지연신호, 상기 샘플링 지연신호 및 상기 제2 모사지연신호를 이용하여 펄스 열을 생성하는 단계; 및

상기 펄스 열을 이용하여 상기 기준 클럭 신호의 주파수를 조절하는 단계;

를 포함하는 위상 주파수 검출 방법.

청구항 2

제1항에 있어서,

상기 펄스 열 생성 단계는,

상기 샘플링 신호와 상기 제1 모사지연신호의 위상 차이에 비례하는 펄스 폭을 갖는 양의 펄스를 생성하는 단계; 및

상기 샘플링 지연신호와 상기 제2 모사지연신호의 위상 차이에 비례하는 펄스 폭을 갖는 음의 펄스를 생성하는 단계;

를 포함하는 위상 주파수 검출 방법.

청구항 3

제1항에 있어서,

상기 샘플링 지연신호 생성 단계는,

상기 샘플링 신호와 상기 샘플링 지연신호가 0.5UI(Unit Interval)의 위상 차를 갖도록 상기 샘플링 신호를 샘플링하는 단계;

를 포함하는 위상 주파수 검출 방법.

청구항 4

제1항에 있어서,

상기 기준 클럭 신호가 다중 위상 클럭인 경우,

상기 샘플링 신호 생성 단계는,

상기 다중 위상 클럭의 각 활성 전이에서 상기 입력 데이터를 샘플링하여 제1 병렬 신호를 생성하는 단계; 및

상기 제1 병렬 신호를 직렬 형태의 샘플링 신호로 복원하는 단계를 포함하며,

상기 샘플링 지연신호 생성 단계는,

상기 다중 위상 클럭의 각 활성 전이와 기 설정된 위상 차를 갖는 활성 전이에서 상기 샘플링 신호를 샘플링하여 제2 병렬 신호를 생성하는 단계; 및

상기 제2 병렬 신호를 직렬 형태의 샘플링 지연신호로 복원하는 단계;

를 포함하는 위상 주파수 검출 방법.

청구항 5

제1항에 있어서,

상기 샘플링 신호와 상기 제1 모사지연신호를 이용하여, 상기 기준 클럭 신호의 주파수 동기 속도를 향상시키는 가속신호를 생성하는 단계를 더 포함하고,

상기 주파수 조절 단계는,

상기 가속신호를 이용하여 상기 기준 클럭 신호의 주파수를 조절하는 단계를 포함하는 위상 주파수 검출 방법.

청구항 6

제5항에 있어서,

상기 가속 신호 생성 단계는,

상기 샘플링 신호의 활성 전이 횟수를 카운팅하는 단계;

상기 제1 모사지연신호의 활성 전이 횟수를 카운팅하는 단계;

상기 샘플링 신호의 활성 전이 횟수가 기 설정된 횟수에 도달하면, 상기 가속 신호 값을 1로 천이시키는 단계; 및

상기 제1 모사지연신호의 활성 전이 횟수가 기 설정된 횟수에 도달하면, 상기 가속 신호 값을 0으로 천이시키는 단계;

를 포함하는 위상 주파수 검출 방법.

청구항 7

제1항에 있어서,

상기 펄스 열을 이용하여 기준 클럭 주파수를 조절하는 단계는,

상기 펄스 열의 펄스 폭에 비례하는 전하를 펌핑하는 단계;

상기 펌핑된 전하량의 변화에 대응하는 제어 전압을 생성하는 단계; 및

상기 제어 전압의 변화에 응답하여 상기 기준 클럭 신호의 주파수를 조절하는 단계;

를 포함하는 위상 주파수 검출 방법.

청구항 8

기준 클럭 신호의 활성 전이에서 입력 데이터를 샘플링하여 샘플링 신호를 생성하는 샘플링부;

상기 샘플링부에서의 지연 시간만큼 상기 입력 데이터를 지연시킨 제1 모사지연신호를 생성하는 제 1 모사지연부;

상기 샘플링 신호를 이용하여, 상기 샘플링 신호와 기 설정된 위상 차를 갖는 샘플링 지연신호를 생성하는 샘플링지연부;

상기 샘플링지연부에서의 지연 시간만큼 상기 샘플링 신호를 지연시킨 제2 모사지연신호를 생성하는 제 2 모사지연부;

상기 샘플링 신호, 상기 제1 모사지연신호, 상기 샘플링 지연신호, 상기 제2 모사지연신호를 이용하여 펄스 열을 생성하는 위상검출기; 및

상기 펄스 열을 이용하여 상기 기준 클럭 신호의 주파수를 조절하는 주파수조절부;

를 포함하는 위상 주파수 검출 장치.

청구항 9

제8항에 있어서,

상기 위상검출기는,

상기 샘플링 신호와 상기 제1 모사지연신호의 위상 차이에 비례하는 양의 펄스를 생성하고, 상기 샘플링 지연신호와 상기 제2 모사지연신호의 위상 차이에 비례하는 음의 펄스를 생성하는 위상 주파수 검출 장치.

청구항 10

제8항에 있어서,

상기 샘플링지연부는,

상기 샘플링 신호와 상기 샘플링 지연신호가 0.5UI(Unit Interval)의 위상 차를 갖도록 상기 샘플링 신호를 샘플링하는 위상 주파수 검출 장치.

청구항 11

제8항에 있어서,

상기 기준 클럭 신호가 다중 위상 클럭인 경우,

상기 샘플링부는,

상기 다중 위상 클럭의 각 활성 전이에서 상기 입력 데이터를 샘플링하여 제1 병렬 신호를 생성하는 제1 병렬기; 및

상기 제1 병렬 신호를 직렬 형태의 샘플링 신호로 복원하는 제1 직렬기를 포함하며,

상기 샘플링지연부는,

상기 다중 위상 클럭의 각 활성 전이와 기 설정된 위상 차를 갖는 활성 전이에서 상기 샘플링 신호를 샘플링하여 제2 병렬 신호를 생성하는 제2 병렬기; 및

상기 제2 병렬 신호를 직렬 형태의 샘플링 지연신호로 복원하는 제2 직렬기;

를 포함하는 위상 주파수 검출 장치.

청구항 12

제8항에 있어서,

상기 샘플링 신호와 상기 제1 모사지연신호를 이용하여, 상기 기준 클럭 신호의 주파수 동기 속도를 향상시키는 가속 신호를 생성하는 가속 신호 생성부를 더 포함하며,

상기 주파수 조절부는,

상기 가속신호를 이용하여 상기 기준 클럭 신호의 주파수를 조절하는 위상 주파수 검출 장치.

청구항 13

제12항에 있어서,

상기 가속 신호 생성부는,

상기 샘플링 신호의 활성 전이 횟수를 카운팅하는 제1 카운터;

상기 제1 모사지연신호의 활성 전이 횟수를 카운팅하는 제2 카운터; 및

상기 샘플링 신호의 활성 전이 횟수가 기 설정된 횟수에 도달하면, 상기 가속 신호 값을 1로 천이시키고, 상기 제1 모사지연신호의 활성 전이 횟수가 기 설정된 횟수에 도달하면, 상기 가속 신호 값을 0으로 천이시키는 신호 생성부;

를 포함하는 위상 주파수 검출 장치.

청구항 14

제8항에 있어서,

상기 주파수 조절부는,

상기 펄스 열의 펄스 폭에 비례하는 전하를 펌핑하는 전하펌프;

상기 펌핑된 전하량의 변화에 대응하는 제어 전압을 생성하는 루프필터; 및

상기 제어 전압의 변화에 응답하여 상기 기준 클럭 신호의 주파수를 조절하는 전압 제어 발진기;

를 포함하는 위상 주파수 검출 장치.

명세서

기술분야

[0001] 본 발명은 위상 주파수 검출 방법 및 장치에 관한 것으로 입력 데이터와 샘플링된 데이터를 비교하는 방식으로 입력 데이터의 위상 주파수를 검출하는 방법 및 장치에 관한 것이다.

배경기술

[0002] 기존의 고속 데이터 송수신기는 송신기에서 수신기로 데이터를 전송하기 위해 그에 동기된 기준 클럭 신호를 함께 전송하는 형태로 이루어져 있다. 하지만 이러한 방식에 의하면, 데이터를 수 미터에 이르는 먼 거리로 전송하는 경우 데이터와 기준클럭 사이에 스큐 문제가 발생하여, 수신기에서의 데이터 복원에 문제가 발생할 수 있다. 또한, 기존의 송수신기는 전송 속도를 변화시키기 위해 수신기의 기준 클럭 신호를 바꾸어 주거나, 디지털 코드를 바꾸어 주어야하는 등의 번거로움이 있다.

[0003] 이러한 문제를 해결하기 위해서 "A 650Mb/s-to-8Gb/s referenceless CDR circuit with automatic acquisition of data rate"에서는 임의의 직렬 데이터와 전압제어발진기(VCO)의 클럭 신호의 위상을 비교하기 위해 검출 윈도우를 만들고 정해진 윈도우 내에서 데이터의 천이가 있을 때만 직렬 데이터와 클럭의 위상을 검출하는 방식을 제안한다. 그러나 이러한 방식에 의하면, 직렬 데이터의 매 천이마다 위상차이를 검출할 수가 없기 때문에 위상 갱신 시간이 늘어나 지터특성이 낮아지고, 동기시간이 늘어나는 문제가 있다. 또한, 지연고정루프의 사용으로 인한 큰 전력 소모 및 면적 소모의 문제도 함께 발생한다.

[0004] 한편, "A 0.5-to-2.5Gb/s reference-less half-rate digital CDR with unlimited frequency acquisition

range and improved input duty-cycle error tolerance"는 입력 데이터를 긴 주기 동안 분주함으로써 낮은 주파수의 클럭신호를 생성하여 전술한 문제점을 해결하고자 한다. 그러나 이 방식은 간단한 구조를 갖는 대신, 긴 주기 동안 데이터를 분주해야하므로 긴 동기시간을 필요로 하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 외부 클럭 또는 특정한 데이터 패턴을 사용하지 않으면서도, 넓은 주파수 동작 범위를 갖는 위상 주파수 검출 방법 및 장치를 제공하는 것을 일 목적으로 한다.
- [0006] 또한, 본 발명은 입력 데이터와 샘플링된 데이터를 비교하는 방식으로 입력 데이터의 위상 주파수를 검출함으로써, 기준 클럭과 데이터 사이의 스큐문제를 제거하고, 실 데이터 전송률을 향상시키며, 위상 갱신 시간 및 주파수 동기 시간을 단축시킬 수 있는 위상 주파수 검출 방법 및 장치를 제공하는 것을 다른 목적으로 한다.
- [0007] 또한, 본 발명은 부가적인 클럭 공급원의 사용을 배제함으로써, 전송 채널의 수를 최소화하고, 하드웨어적인 비용을 줄일 수 있는 위상 주파수 검출 방법 및 장치를 제공하는 것을 다른 목적으로 한다.
- [0008] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

- [0009] 이러한 목적을 달성하기 위한 본 발명은 위상 주파수 검출 방법에 있어서, 기준 클럭 신호의 활성 전이에서 입력 데이터를 샘플링하여 샘플링 신호를 생성하는 단계, 상기 샘플링 신호 생성 단계에서의 지연 시간만큼 상기 입력 데이터를 지연시킨 제1 모사지연신호를 생성하는 단계, 상기 샘플링 신호를 이용하여, 상기 샘플링 신호와 기 설정된 위상 차를 갖는 샘플링 지연신호를 생성하는 단계, 상기 샘플링 지연신호 생성 단계에서의 지연 시간만큼 상기 샘플링 신호를 지연시킨 제2 모사지연신호를 생성하는 단계, 상기 샘플링 신호, 상기 제1 모사지연신호, 상기 샘플링 지연신호 및 상기 제2 모사지연신호를 이용하여 펄스 열을 생성하는 단계 및 상기 펄스 열을 이용하여 상기 기준 클럭 신호의 주파수를 조절하는 단계를 포함하는 것을 일 특징으로 한다.
- [0010] 또한 본 발명은 위상 주파수 검출 장치에 있어서, 기준 클럭 신호의 활성 전이에서 입력 데이터를 샘플링하여 샘플링 신호를 생성하는 샘플링부, 상기 샘플링 신호 생성 단계에서의 지연 시간만큼 상기 입력 데이터를 지연시킨 제1 모사지연신호를 생성하는 제 1 모사지연부, 상기 샘플링 신호를 이용하여, 상기 샘플링 신호와 기 설정된 위상 차를 갖는 샘플링 지연신호를 생성하는 샘플링지연부, 상기 샘플링 지연신호 생성 단계에서의 지연 시간만큼 상기 샘플링 신호를 지연시킨 제2 모사지연신호를 생성하는 제 2 모사지연부, 상기 샘플링 신호, 상기 제1 모사지연신호, 상기 샘플링 지연신호, 상기 제2 모사지연신호를 이용하여 펄스 열을 생성하는 위상검출기 및 상기 펄스 열을 이용하여 상기 기준 클럭 신호의 주파수를 조절하는 주파수조절부를 포함하는 것을 다른 특징으로 한다.

발명의 효과

- [0011] 전술한 바와 같은 본 발명에 의하면, 외부 클럭 또는 특정한 데이터 패턴을 사용하지 않으면서도 넓은 주파수 동작 범위를 가질 수 있다.
- [0012] 또한 본 발명에 의하면 입력 데이터와 샘플링된 데이터를 비교하는 방식으로 입력 데이터의 위상 주파수를 검출함으로써, 기준 클럭과 데이터 사이의 스큐 문제가 제거되고, 실 데이터 전송률이 향상되며, 위상 갱신 시간 및 주파수 동기 시간이 단축되는 효과가 있다.
- [0013] 또한, 본 발명에 의하면 부가적인 클럭 공급원의 사용을 배제함으로써, 전송 채널의 수를 최소화할 수 있고, 하

드웨어적인 비용을 줄일 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치의 블록도,
- 도 2는 본 발명의 일 실시 예에 따른 주파수 조절부의 블록도,
- 도 3은 기준 클럭 신호로 다중 위상 클럭을 사용하는 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치의 블록도,
- 도 4는 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치의 동작을 설명하기 위한 타이밍도,
- 도 5는 본 발명의 일 실시 예에 따른 가속신호 생성부의 블록도,
- 도 6은 본 발명의 일 실시 예에 따른 가속신호 생성부의 회로도,
- 도 7은 본 발명의 일 실시 예에 따른 가속신호 생성부의 동작을 설명하기 위한 타이밍도,
- 도 8은 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법의 전체 흐름을 설명하기 위한 순서도,
- 도 9는 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법 중 펄스 열 생성 과정을 자세히 설명하기 위한 순서도,
- 도 10은 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법 중 기준 클럭 신호의 주파수 조절과정을 자세히 설명하기 위한 순서도,
- 도 11은 본 발명의 일 실시 예에 따른 가속신호 생성과정을 포함하는 위상 주파수 검출 방법을 설명하기 위한 순서도,
- 도 12는 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법 중 가속신호 생성과정을 자세히 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.
- [0016] 또한 본 명세서에서, 신호의 활성화 전이는 신호의 상승 에지 또는 하강 에지를 의미하며, 반전된 신호의 활성화 전이는 하강 에지 또는 상승 에지를 의미한다.
- [0017] 이하에서는 도 1 및 도 2를 참조하여, 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치의 구성을 설명한다.
- [0018] 도 1은 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치의 블록도이며, 도 2는 본 발명의 일 실시 예에 따른 주파수 조절부의 블록도이다.
- [0019] 도 1을 참조하면, 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치는 샘플링부(110), 제1 모사지연부(130), 샘플링지연부(150), 제2 모사지연부(170), 위상 검출기(180), 주파수 조절부(190)를 포함하며, 가속신호 생성부(140)를 더 포함할 수 있다.
- [0020] 샘플링부(110)는 기준 클럭 신호의 활성화 전이에서 입력 데이터를 샘플링하여 샘플링 신호를 생성한다. 기준 클럭 신호는 본 발명의 주파수 조절부(190), 보다 구체적으로는 주파수 조절부(190)에 포함되는 전압 제어 발진기에서 출력되는 신호이다.
- [0021] 이상적인 시스템에서, 샘플링 신호는 기준 클럭 신호의 활성화 전이에서 입력 데이터를 샘플링하여 생성된 것이므로, 기준 클럭 신호와 위상이 같다. 따라서, 만약 기준 클럭 신호의 주파수가 입력 데이터를 충분히 샘플링할

수 있는 범위 내라면, 샘플링 신호는 입력 데이터와 형태가 같고, 기준 클럭 신호에 위상이 동기 된 신호일 수 있다. 이러한 원리를 이용하여, 본 발명은 형태는 같고 위상만 다른 두 신호를 비교하여, 윈도우를 생성하거나 별도의 설계기술을 적용하지 않고도 용이하게 위상을 검출하고자 한다. 이 경우, 데이터의 모든 천이마다 위상 검출이 가능하기 때문에 위상 갱신 시간을 최소화할 수 있으며, 동기시간을 최소화할 수 있다.

[0022] 다만, 실제로는 샘플링부(110)의 지연 시간에 따른 위상 변화가 기준 클럭 신호에 동기된 위상에 반영된다. 예

를 들어, 기준 클럭 신호의 위상을 ϕ_{VCO} , 샘플링부(110)에 의해 지연되는 위상을 ϕ_{DS} 라고 하면, 샘플링 신호의 위상 ϕ_{SPL} 은 $\phi_{SPL} = \phi_{VCO} + \phi_{DS}$ 이 된다. 따라서, 본 발명은 실제 시스템에서 발생하는 지연을 고려하여, 샘플링 신호와의 위상 차 검출 시에, 입력 데이터 대신 샘플링부(110)의 지연 시간에 따른 위상 변화가 반영된 제1 모사지연신호를 사용한다.

[0023] 제1 모사지연부(130)는 샘플링부(110)에서의 지연 시간만큼 입력 데이터를 지연시킨 제1 모사지연신호를 생성한다. 제1 모사지연부(130)는 리플리카 지연회로(Replica Delay Circuit)를 이용하여 샘플링부(110)에서의 지연

시간만큼 입력 데이터를 지연시킬 수 있다. 따라서, 입력 데이터의 위상을 ϕ_D 라고 하면, 제1 모사지연부(130)에서 생성되는 제1 모사지연신호의 위상 (ϕ_{REP1})은 $\phi_{REP1} = \phi_D + \phi_{DS}$ 로 나타낼 수 있다.

[0024] 가속신호 생성부(140)는 샘플링부(110)에서 출력된 샘플링 신호와, 제1 모사지연부(130)에서 출력된 제1 모사지연신호를 이용하여, 기준 클럭 신호의 주파수 동기 속도를 향상시키는 가속신호를 생성한다. 그리고 가속신호는 주파수 조절부(190)에 입력되어, 기준 클럭신호의 주파수를 조절하는 데 사용된다. 본 발명은 가속신호 생성부(140)를 더 포함함으로써, 기준 클럭 신호의 위상 및 주파수를 입력 데이터의 위상 및 주파수에 동기시키는 시간을 단축시킬 수 있다. 가속신호 생성부(140)의 구체적인 동작은 도 4를 통해 자세히 살펴보기로 한다.

[0025] 샘플링지연부(150)는 샘플링부(110)에서 출력된 샘플링 신호를 이용하여, 샘플링 신호와 기 설정된 위상 차를 갖는 샘플링 지연신호를 생성한다. 보다 구체적으로, 샘플링지연부(150)는 샘플링 신호와 샘플링 지연신호가 0.5U.I(Unit Interval)의 위상 차를 갖도록 샘플링 신호를 샘플링할 수 있다. 여기서 0.5 U.I의 위상 차는 샘플링지연부(150)에서의 지연시간에 따른 위상 차를 제외한 위상 차를 의미한다. 따라서, 샘플링 지연신호의 위상

을 ϕ_{SPD} 라 하면, 샘플링 지연신호는 $\phi_{SPD} = \phi_{SPL} + \phi_{DS} + \phi_{0.5UI}$ 로 나타낼 수 있다. (ϕ_{DS} 는 샘플링 지연부(150)에서의 지연시간에 따른 위상 차.)

[0026] 제2 모사지연부(170)는 샘플링지연부(150)에서의 지연 시간만큼 샘플링 신호를 지연시킨 제2 모사지연신호를 생성한다. 제2 모사지연부(170)는 제1 모사지연부(130)와 마찬가지로, 리플리카 지연회로(Replica Delay Circuit)를 이용하여 샘플링지연부(150)에서의 지연 시간만큼 샘플링 신호를 지연시킬 수 있다. 따라서 제2 모사지연

신호의 위상(ϕ_{REP2})에는 샘플링 신호의 위상에 샘플링지연부(150)에서의 지연 시간에 따른 위상 변화가 더해지므로, $\phi_{REP2} = \phi_{SPL} + \phi_{DS}$ 로 표현할 수 있다.

[0027] 위상 검출기(180)는 샘플링 신호, 제2 모사지연신호, 샘플링 지연신호, 제2 모사지연신호를 이용하여 펄스 열을 생성한다. 보다 구체적으로, 위상 검출기(180)는 샘플링 신호와 제1 모사지연신호의 위상 차에 비례하는 양의 펄스(PD_UP)를 생성하고, 샘플링 지연신호와 제2 모사지연신호의 위상 차에 비례하는 음의 펄스(PD_DN)를 생성한다. 따라서, 전술한 각 모듈에서 출력되는 신호의 위상을 참조하면 다음과 같다.

[0028] 먼저, 샘플링 신호와 제1 모사지연신호의 위상 차는

수학식 1

$$[0029] \quad \phi_{REP1} - \phi_{SPL} = (\phi_D + \phi_{DS}) - (\phi_{VCO} + \phi_{DS}) = \phi_D - \phi_{VCO}$$

[0030] 로 나타낼 수 있으며, 샘플링 지연신호와 제2 모사지연신호의 위상 차는

수학식 2

$$[0031] \quad \phi_{REP2} - \phi_{SPD} = (\phi_{SPL} + \phi_{DS}) - (\phi_{SPL} + \phi_{DS} + \phi_{0.5UI}) = -\phi_{0.5UI}$$

[0032] 로 나타낼 수 있다.

[0033] 위상 차에 대응되는 펄스를 생성한다는 것은, 위상 차에 비례하는 펄스 폭을 갖는 펄스를 생성하는 것을 의미하므로, 위 수학식 2를 참조하면, 샘플링 지연신호와 제2 모사지연신호의 위상 차에 대응되는 음의 펄스(PD_DN)는 매 데이터 천이마다 0.5UI에 해당하는 펄스 폭을 갖는다.

[0034] 주파수 조절부(190)는 위상검출기(180)에서 생성된 펄스 열을 이용하여 기준 클럭 신호의 주파수를 조절한다. 도 2를 참조하면, 주파수 조절부(190)는 전하펌프(193), 루프 필터(195), 전압제어 발진기(197)를 포함할 수 있다.

[0035] 전하펌프(193)는 펄스 열의 펄스 폭에 비례하는 전하를 펌핑한다. 따라서, 샘플링 신호와 제1 모사지연신호의 위상 차에 대응되는 양의 펄스(PD_UP)의 펄스 폭에 해당하는 전하량을 루프필터(195)로 밀어내고, 샘플링 지연신호와 제2 모사지연신호의 위상 차에 대응되는 음의 펄스(PD_DN)의 펄스 폭에 해당하는 전하량만큼을 끌어당길 수 있다.

[0036] 루프 필터(195)는 펌핑된 전하량의 변화에 대응하는 제어 전압을 생성한다. 루프 필터(195)는 일반적으로 저역 통과 필터의 구조를 가지며, 병렬로 배치된 커패시터를 포함하고 있어, 전하펌프(193)에서 펌핑되는 전하를 축적 또는 방출할 수 있다. 커패시터에 걸리는 전압은 축적되는 전하량에 비례하므로, 루프필터(195)의 출력단에 걸리는 제어 전압은 전하펌프(193)에서 펌핑되는 전하량의 변화에 의해 결정된다. 또한, 루프 필터(195)는 전압 제어 발진기(197)의 전단에서 고조파를 제거하는 역할도 할 수 있다.

[0037] 전압 제어 발진기(197)는 제어 전압의 변화에 응답하여 기준 클럭 신호의 주파수를 조절한다. 따라서, 주파수 조절부(190)의 전체 동작을 살펴보면, 결국 위상 검출기(180)에서 출력되는 펄스 열에 의해 주파수가 조절됨을 확인할 수 있다.

[0038] 위상 검출기(180)에서 출력되는 음의 펄스는 항상 0.5UI로 고정된 펄스 폭을 갖고, 양의 펄스의 펄스 폭은

$\phi_D - \phi_{VCO}$ 에 비례하므로, 전체 루프는 입력 데이터와 기준 클럭 신호가 0.5UI의 위상 차이를 가질 때까지 동기화 동작을 계속 하게 된다. 그 결과, 기준 클럭 신호의 위상 및 주파수가 입력 데이터의 위상 및 주파수에 동기되면, 전체 루프는 위상 및 주파수 동기화 동작을 마치게 된다. 위상 및 주파수가 동기되는 원리는 후술하는 도 4 및 도 7의 타이밍도를 통해 보다 자세히 설명하기로 한다.

[0039] 전술한 각 모듈을 실제로 구현하는 경우, 공정, 전압 및 온도 변화(PVT variation)에 의해 샘플링부(110), 샘플링지연부(130)의 지연시간과 제1 및 제2 모사지연부(130, 170)의 지연시간에는 차이가 있을 수 있다. 그러나 본 발명에 의하면, 이러한 지연 시간 차이는 주파수 조절에 영향을 미치지 않는다.

[0040] 이를 수식을 통해 살펴보면 다음과 같다. 샘플링부(110), 샘플링지연부(130)의 지연 시간과 제1 및 제2 모사지

연부(130, 170)의 지연 시간의 차이에 따른 위상 차를 ϕ_{Δ} 라고 하면, 제1 모사지연부(130)에서 생성되는 제1 모사지연신호의 위상 (ϕ_{REP1})은 $\phi_{REP1} = \phi_D + \phi_{DS} + \phi_{\Delta}$ 가 되고, 제2 모사지연신호의 위상(ϕ_{REP2})은

$\phi_{REP2} = \phi_{SPL} + \phi_{DS} + \phi_{\Delta}$ 가 된다. 이 경우, 샘플링 신호와 제1 모사지연신호의 위상 차는

수학식 3

$$[0041] \quad \phi_{REP1} - \phi_{SPL} = (\phi_D + \phi_{DS} + \phi_{\Delta}) - (\phi_{VCO} + \phi_{DS}) = \phi_D - \phi_{VCO} + \phi_{\Delta}$$

[0042] 로 나타낼 수 있으며, 샘플링 지연신호와 제2 모사지연신호의 위상 차는

수학식 4

$$[0043] \quad \phi_{REP2} - \phi_{SPD} = (\phi_{SPL} + \phi_{DS} + \phi_{\Delta}) - (\phi_{SPL} + \phi_{DS} + \phi_{0.5UI}) = -\phi_{0.5UI} + \phi_{\Delta}$$

[0044] 로 나타낼 수 있다.

[0045] 즉, 음의 펄스와 양의 펄스 각각에 ϕ_{Δ} 가 포함되어 있으므로, 결과적으로 해당 위상 차에 의한 효과는 상쇄되어 주파수를 조절하는 제어 전압에 영향을 미치지 않을 수 있다.

[0046] 이하에서는 도 3 및 도 4를 참조하여, 기준 클럭 신호로 다중 위상 클럭을 사용하는 경우의 동작을 설명한다.

[0047] 도 3은 기준 클럭 신호로 다중 위상 클럭을 사용하는 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치의 블록도이며, 도 4는 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치의 동작을 설명하기 위한 타이밍도이다.

참고로, 도 4의 타이밍도에는 설명의 편의를 위해, 각 모듈의 지연 시간에 따른 위상 변화(ϕ_{DS})를 도시하지 않았다.

[0048] 도 3을 참조하면, 기준 클럭 신호로 다중 위상 클럭을 사용하는 본 발명의 일 실시 예에 따른 위상 주파수 검출 장치는 제1 병렬기(313) 및 제1 직렬기(315)를 포함하는 샘플링부(310), 제2 병렬기(353) 및 제2 직렬기(355)를 포함하는 샘플링지연부(350), 제1 모사지연부(330), 제2 모사지연부(370), 위상 검출기(380), 주파수 조절부(390)를 포함하며, 가속신호 생성부(340)를 더 포함할 수 있다.

[0049] 도 4에 도시된 바와 같이 다중 위상 클럭을 사용하는 경우, 입력 데이터는 다중 위상 클럭의 각 활성전이(도 4에 도시된 클럭의 하강 에지)에서 샘플링되므로, 샘플링 속도는 단일 클럭을 사용하는 경우에 비해 수 배 빨라질 수 있다.

[0050] 다중 위상 클럭을 사용하는 경우, 제1 병렬기(313)는 다중 위상 클럭의 각 활성 전이에서 입력 데이터를 샘플링하여 제1 병렬 신호를 생성한다. 그리고 제1 직렬기(315)는 제1 병렬 신호를 직렬 형태의 샘플링 신호로 복원한다. 전술한 바와 같이, 샘플링 신호의 위상에는 기준 클럭 신호의 위상에 제1 병렬기(313)와 제1 직렬기(315)의 지연 시간에 따른 위상 변화가 더해진다. 따라서, 입력 데이터와 형태가 같고, 기준 클럭 신호와 동일한 위상 및 주파수를 갖는 샘플링 신호를 입력 데이터와 비교하기 위해서는 실제 샘플링 신호에 반영되는 제1 병렬기(313)와 제1 직렬기(315)로 인한 위상 변화를 입력 데이터에도 반영시켜야 한다. 이를 위해, 제1 모사지연부(330)는 제1 병렬기(313)와 제1 직렬기(315)의 지연 시간만큼 입력 데이터를 지연시킨 제1 모사지연신호를 생성한다.

[0051] 샘플링 신호는 다시 한번 제2 병렬기(353)에 의해 병렬화되었다가, 제2 직렬기(355)에 의해 직렬화된다. 이는 샘플링 신호와 기 설정된 위상 차를 갖는 신호를 생성하기 위함이다. 제2 병렬기(353)는 다중 위상 클럭의 각 활성 전이와 기 설정된 위상 차를 갖는 활성 전이에서 샘플링 신호를 샘플링하여 제2 병렬 신호를 생성할 수 있다. 예를 들어, 홀수 개의 단을 갖는 다중 위상 클럭을 사용하는 경우, 반전된 다중 위상 클럭의 각 활성 전이(도 4에 도시된 클럭의 상승에지)에서 샘플링 신호를 샘플링할 수 있다. 이러한 과정을 통해, 샘플링 지연신호

는 샘플링 신호와 기 설정된 위상 차를 가질 수 있다. 일 예로 도 4를 참조하면, 샘플링 지연신호는 샘플링 신호와 형태는 동일하며, 0.5 UI의 위상 차를 갖는다.

[0052] 제2 모사지연부(370)는 샘플링 신호를 입력받아, 제2 병렬기(353) 및 제 2 직렬기(355)의 지연 시간만큼 샘플링 신호를 지연시킨다.

[0053] 가속신호 생성부(340)는 샘플링부(310)에서 출력된 샘플링 신호와, 제1 모사지연부(330)에서 출력된 제1 모사지연신호를 이용하여, 기준 클럭 신호의 주파수 동기 속도를 향상시키는 가속신호를 생성한다. 그리고 가속신호는 주파수 조절부(390)에 입력되어, 기준 클럭신호의 주파수를 조절하는 데 사용된다. 본 발명은 가속신호 생성부(340)를 더 포함함으로써, 기준 클럭 신호의 위상 및 주파수가 입력 데이터의 위상 및 주파수에 동기 되는데 소요되는 시간을 더 단축할 수 있다. 가속신호 생성부(340)의 구체적인 동작은 도 5를 참조하여 후술한다.

[0054] 위상 검출기(380)는 샘플링 신호, 제2 모사지연신호, 샘플링 지연신호, 제2 모사지연신호를 이용하여 펄스 열을 생성한다. 보다 구체적으로, 위상 검출기(380)는 샘플링 신호와 제1 모사지연신호의 위상 차에 비례하는 양의 펄스(PD_UP)를 생성하고, 샘플링 지연신호와 제2 모사지연신호의 위상 차에 비례하는 음의 펄스(PD_DN)를 생성한다. 도 4에 도시된 일 실시 예를 참조하면, 양의 펄스는 샘플링 신호와 제1 모사 지연 신호의 위상 차이만큼의 펄스 폭을 갖는다. 또한, 샘플링지연부(350)와 제2 모사지연부(350)에서 지연되는 시간은 동일하므로, 지연 시간을 제외하면, 샘플링 지연신호와 제2 모사지연신호의 위상 차에 해당하는 음의 펄스는 항상 0.5UI의 펄스 폭을 갖게 된다.

[0055] 양의 펄스와 음의 펄스는 전술한 바와 같이 주파수 조절부(390)에 입력되어 주파수를 조절한다. 주파수 조절부(390)에서의 동작은 앞서 설명한 바와 동일하므로 생략한다.

[0056] 전술한 위상 및 주파수 동기 동작은, 기준 클럭 신호의 주파수가 충분히 높아, 샘플링부(110, 310)와 샘플링지연부(150, 350)에서 입력 데이터의 형태가 정상적으로 샘플링되는 경우를 가정한 것이다.

[0057] 그러나 초기 리셋 상태에서, 주파수 조절부(190, 390)는 동작할 수 있는 가장 낮은 주파수로 설정이 되기 때문에, 샘플링 신호는 도 7의 타이밍도에 도시된 바와 같이 입력 데이터의 형태를 정상적으로 샘플링하지 못하고 입력 데이터의 천이를 잃어버린 형태로 나타난다. 이 경우, 본 발명의 위상 주파수 검출 방식에 따르면, 샘플링 신호와 제1 모사지연신호에 의해 생성되는 양의 펄스는 다음 샘플링 신호의 상승 에지가 발생할 때까지 지속된다. 즉, 기준 클럭 신호의 주파수가 데이터 전송속도에 비해 낮은 경우, 본 발명은 기준 클럭 신호의 주파수를 상승시키는 극성으로 펄스 열을 생성하므로, 본 발명에 따른 위상 주파수 검출 방식에 의하면 다른 부가회로 없이도 주파수 동기화 동작이 가능하다.

[0058] 본 발명은 전술한 특징을 이용하여 주파수 동기 속도를 더욱 향상시키는 가속 신호 생성부(140, 340)를 더 포함할 수 있는데, 이하에서는, 도 5 내지 도 7을 참조하여 본 발명의 일 실시 예에 따른 가속신호 생성부의 동작을 살펴본다.

[0059] 도 5는 본 발명의 일 실시 예에 따른 가속신호 생성부의 블록도, 도 6은 본 발명의 일 실시 예에 따른 가속신호 생성부의 회로도, 도 7은 본 발명의 일 실시 예에 따른 가속신호 생성부의 동작을 설명하기 위한 타이밍도이다.

[0060] 도 5를 참조하면, 본 발명의 일 실시 예에 따른 가속신호 생성부(340)는 제1 카운터(341), 제2 카운터(345), 신호 생성부(347)를 포함한다.

[0061] 제1 카운터(341)는 샘플링 신호의 활성 전이 횟수를 카운팅하고, 제2 카운터(345)는 제1 모사지연신호의 활성 전이 횟수를 카운팅한다. 제1 카운터 및 제 2 카운터로는 N-비트 카운터를 사용할 수 있으며, 본 발명의 카운터는 특정 비트 수를 갖도록 한정되지 않는다.

[0062] 신호 생성부(347)는 샘플링 신호의 활성 전이 횟수가 기 설정된 횟수에 도달하면, 상기 가속 신호 값을 1로 천이시키고, 상기 제1 모사지연신호의 활성 전이 횟수가 기 설정된 횟수에 도달하면, 상기 가속 신호 값을 0으로 천이시킨다.

[0063] 도 6 은 가속 신호 생성부의 제1 및 제2 카운터로 3-비트 카운터(610, 650), 신호 생성부로 AND 게이트(630, 670) 및 D-플립플롭(690)을 사용한 경우의 일 실시 예이며, 도 7은 도 6의 실시 예에 따른 타이밍 도이다.

- [0064] 먼저, 각 3-비트 카운터는 제1 모사지연신호와 샘플링 신호를 입력받아, 각 신호의 상승 에지에서 카운터를 업 카운팅한다. 제1 모사지연신호를 입력받는 제1 카운터(610)의 출력 값이 3-비트 카운터의 최대 값인 7이 되면, 최종단의 D-플립플롭(690)은 트리거되어 가속 신호 1을 출력한다. 그리고 샘플링 신호를 입력받는 제2 카운터(650)의 출력 값이 최대 값보다 하나 작은 6이 되면 D-플립플롭(690)은 리셋되어 가속 신호 0을 출력하는 동시에 제1 및 제2 카운터를 리셋한다. 제2 카운터(650)의 동작 값을 제1 카운터(610)의 최대 값인 7보다 하나 작게 설정하는 이유는, 제1 모사지연신호의 위상이 항상 샘플링 신호의 위상보다 빠르기 때문에, 제1 모사지연신호의 활성 전이 횟수가 n 번이 되는 동안 샘플링 신호의 활성 전이 횟수는 $n-1$ 보다 같거나 작기 때문이다.
- [0065] 가속 신호는 전하 펌프로 전달되어 그 펄스 폭에 해당하는 전류에 비례하여 제어 전압을 증가시킴으로써, 기준 클럭 신호의 주파수를 상승시킨다. 따라서, 가속 신호 생성부는 기준 클럭 신호의 주파수가 데이터 전송속도를 충분히 커버할 수 있을 때까지, 즉, 샘플링부가 정상적으로 입력 데이터를 복원할 때까지 기준 클럭 신호의 주파수를 증가시킴으로써, 기준 클럭 신호를 위상 검출 동작이 가능한 범위에 보다 빨리 도달할 수 있도록 한다.
- [0066] 이하에서는, 도 8 내지 도 10을 참조하여 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법을 설명한다.
- [0067] 도 8은 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법의 전체 흐름을 설명하기 위한 순서도, 도 9는 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법 중 펄스 열 생성 과정을 자세히 설명하기 위한 순서도, 도 10은 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법 중 기준 클럭 신호의 주파수 조절과정을 자세히 설명하기 위한 순서도이다.
- [0068] 도 8을 참조하면, 먼저 기준 클럭 신호의 활성 전이에서 입력 데이터를 샘플링하여 샘플링 신호를 생성(810)하고, 샘플링 신호 생성 단계에서의 지연 시간만큼 입력 데이터를 지연시킨 제1 모사지연신호를 생성(830)한다. 다음으로 샘플링 신호를 이용하여, 샘플링 신호와 기 설정된 위상 차를 갖는 샘플링 지연신호를 생성(850)하고, 샘플링 지연신호 생성 단계에서의 지연 시간만큼 샘플링 신호를 지연시킨 제2 모사지연신호를 생성(870)한다. 그리고, 샘플링 신호, 제1 모사지연신호, 샘플링 지연신호 및 제2 모사지연신호를 이용하여 펄스 열을 생성(880)한다. 이렇게 생성된 펄스 열을 이용하여 기준 클럭 신호의 주파수를 조절(890)한다.
- [0069] 펄스 열 생성 방법(880)의 일 실시 예로 도 9를 참조하면, 샘플링 신호와 제1 모사지연신호의 위상 차이에 비례하는 펄스 폭을 갖는 양의 펄스를 생성(885)하고, 샘플링 지연신호와 제2 모사지연신호의 위상 차이에 비례하는 펄스 폭을 갖는 음의 펄스를 생성(887)할 수 있다.
- [0070] 또한, 펄스 열을 이용하여 기준 클럭 신호의 주파수를 조절하는 방법(890)의 일 실시 예로 도 10을 참조하면, 펄스 열의 펄스 폭에 비례하는 전하를 펌핑(893)하고, 펌핑된 전하량의 변화에 대응하는 제어 전압을 생성(895)하며, 제어 전압의 변화에 응답하여 기준 클럭 신호의 주파수를 조절(897)할 수 있다.
- [0071] 또한, 도면에 도시되지는 않았으나, 기준 클럭 신호가 다중 위상 클럭인 경우, 샘플링 신호 생성 방법(810)의 다른 실시 예로, 다중 위상 클럭의 각 활성 전이에서 입력 데이터를 샘플링하여 제1 병렬 신호를 생성하고, 제1 병렬 신호를 직렬 형태의 샘플링 신호로 복원하여 샘플링 신호를 생성할 수 있다. 또한, 기준 클럭 신호가 다중 위상 클럭인 경우, 샘플링 지연신호 생성 방법(850)의 다른 실시 예로, 다중 위상 클럭의 각 활성 전이와 기 설정된 위상 차를 갖는 활성 전이에서 샘플링 신호를 샘플링하여 제2 병렬 신호를 생성하고, 제2 병렬 신호를 직렬 형태의 샘플링 지연신호로 복원하여 샘플링 지연신호를 생성할 수 있다.
- [0072] 도 11은 본 발명의 일 실시 예에 따른 가속신호 생성과정을 포함하는 위상 주파수 검출 방법을 설명하기 위한 순서도이며, 도 12는 본 발명의 일 실시 예에 따른 위상 주파수 검출 방법 중 가속신호 생성과정을 자세히 설명하기 위한 순서도이다.
- [0073] 도 11을 참조하면, 기준 클럭 신호의 활성 전이에서 입력 데이터를 샘플링하여 샘플링 신호를 생성(1110)하고, 샘플링 신호 생성 단계에서의 지연 시간만큼 입력 데이터를 지연시킨 제1 모사지연신호를 생성(1130)한다. 다음으로 샘플링 신호를 이용하여, 샘플링 신호와 기 설정된 위상 차를 갖는 샘플링 지연신호를 생성(1150)한다. 보다 구체적으로, 샘플링 신호와 샘플링 지연신호가 0.5UI(Unit Interval)의 위상 차를 갖도록 샘플링 신호를 샘플링하여 샘플링 지연신호를 생성(1150)할 수 있다. 그리고 샘플링 지연신호 생성 단계에서의 지연 시간만큼 샘플링 신호를 지연시킨 제2 모사지연신호를 생성(1160)한다.
- [0074] 다음으로 샘플링 신호, 제1 모사지연신호, 샘플링 지연신호 및 제2 모사지연신호를 이용하여 펄스 열을 생성

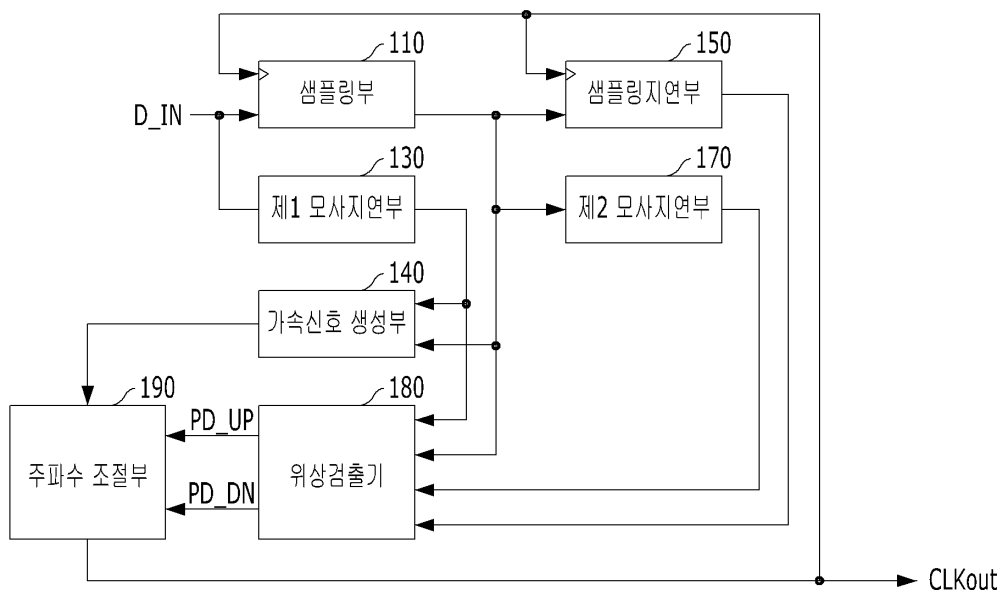
(1170)하며, 샘플링 신호와 제1 모사지연신호를 이용하여, 기준 클럭 신호의 주파수 동기 속도를 향상시키는 가속 신호를 생성(1180)한다. 그리고 이렇게 생성된 펄스 열 및 가속신호를 이용하여 기준 클럭 신호의 주파수를 조절(1190)한다.

[0075] 가속 신호 생성 방법(1180)의 일 실시 예로, 샘플링 신호의 활성 전이 횟수를 카운팅(1181)하고, 제1 모사지연 신호의 활성 전이 횟수를 카운팅(1183)한다. 다음으로, 샘플링 신호의 활성 전이 횟수가 기 설정된 횟수에 도달하면, 가속 신호 값을 1로 천이(1185)하고, 제1 모사지연신호의 활성 전이 횟수가 기 설정된 횟수에 도달하면, 가속 신호 값을 0으로 천이(1187)한다. 도면에 도시되지는 않았으나, 가속 신호 값을 0으로 천이(1187)함과 동시에, 샘플링 신호와 제1 모사지연신호의 활성 전이 횟수를 리셋하여 0부터 다시 카운팅함으로써, 기준 클럭 신호의 주파수가 입력 데이터의 전송 속도에 동기화될 때까지 반복해서 가속 신호를 생성할 수 있다.

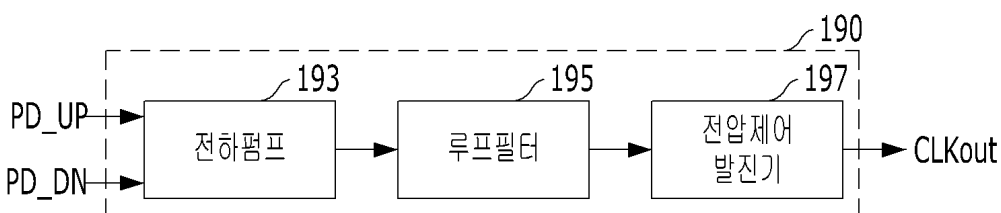
[0076] 전술한 본 발명은, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니다.

도면

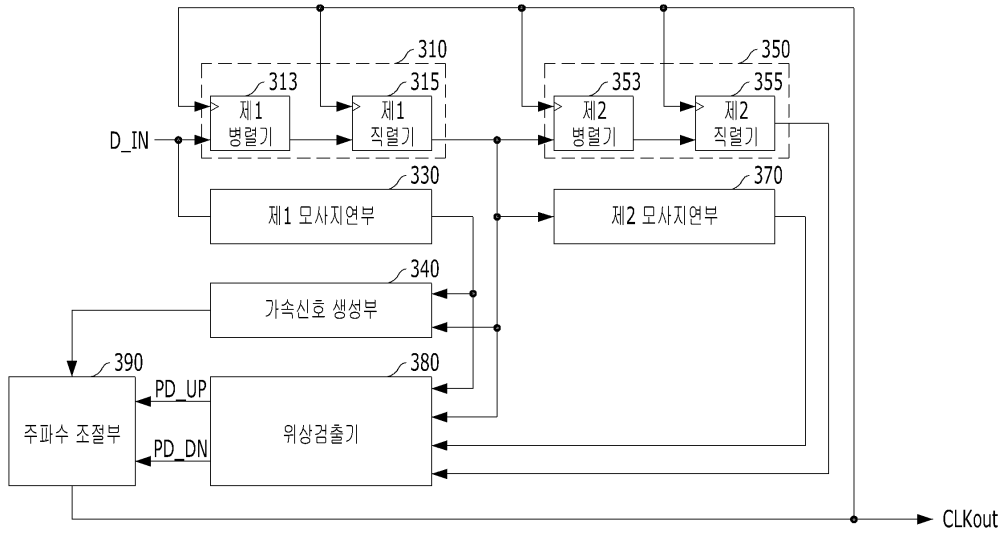
도면1



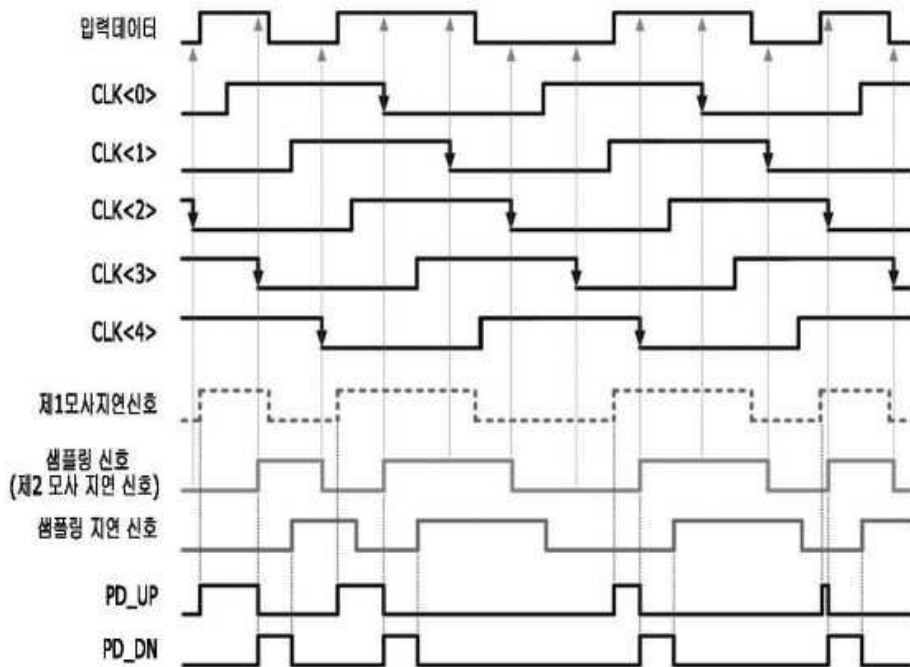
도면2



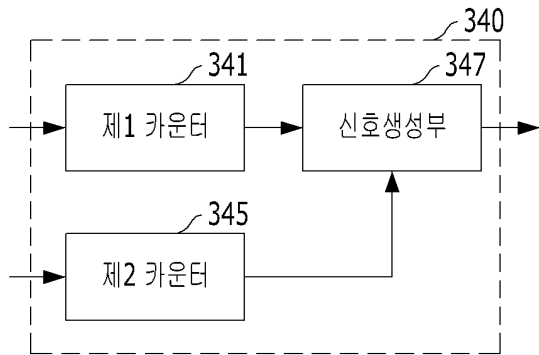
도면3



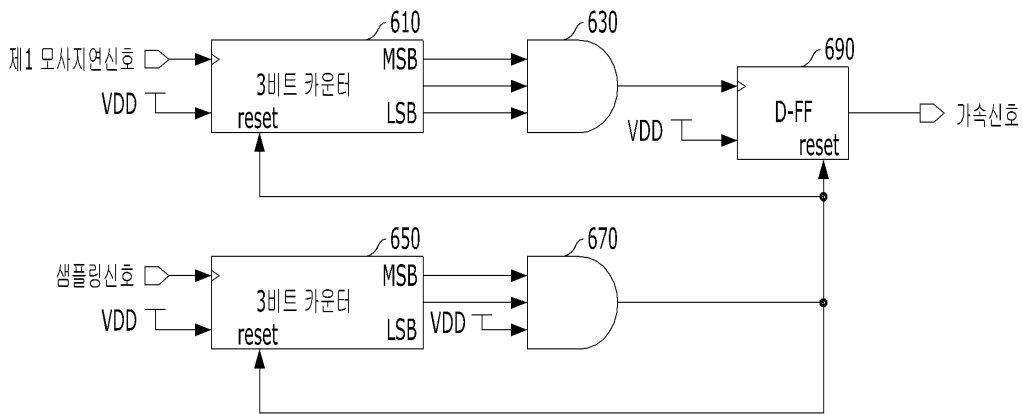
도면4



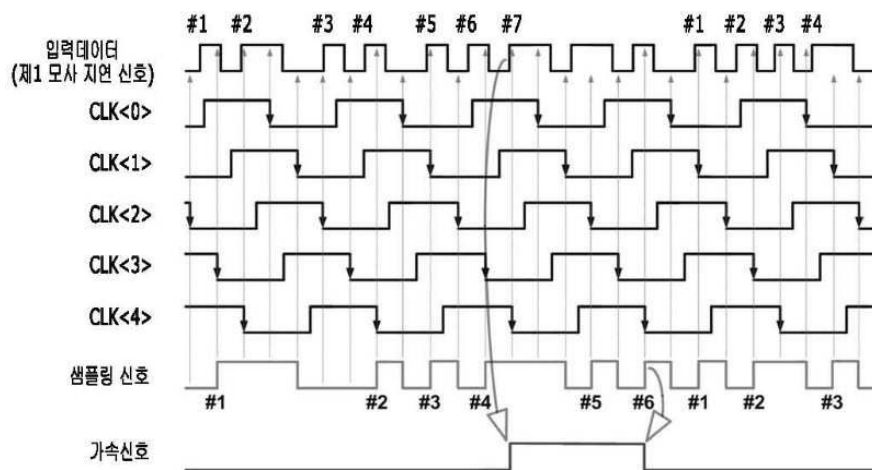
도면5



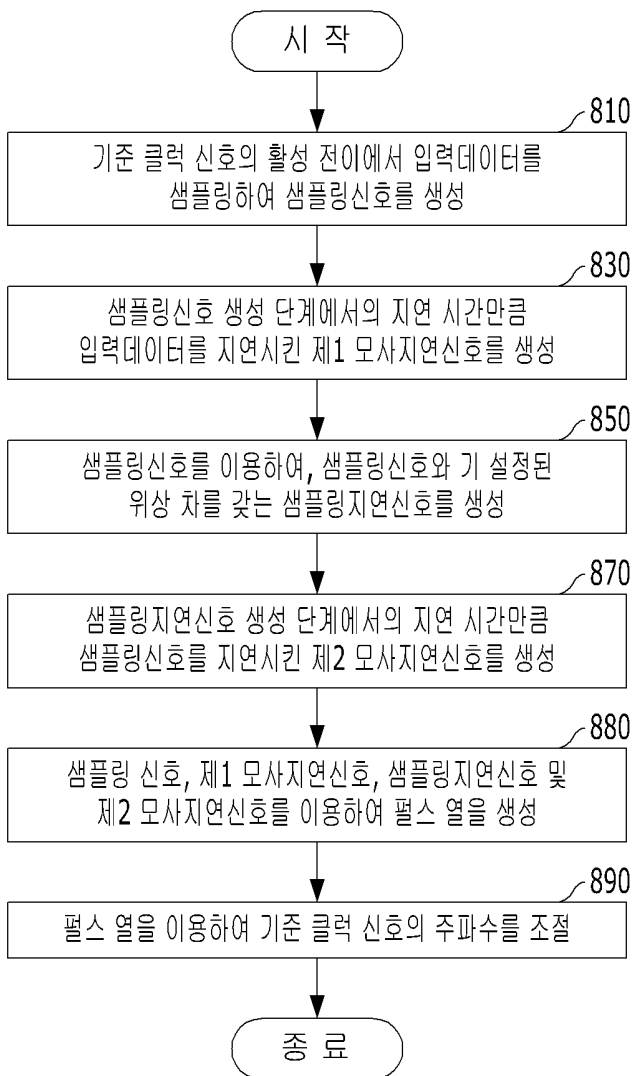
도면6



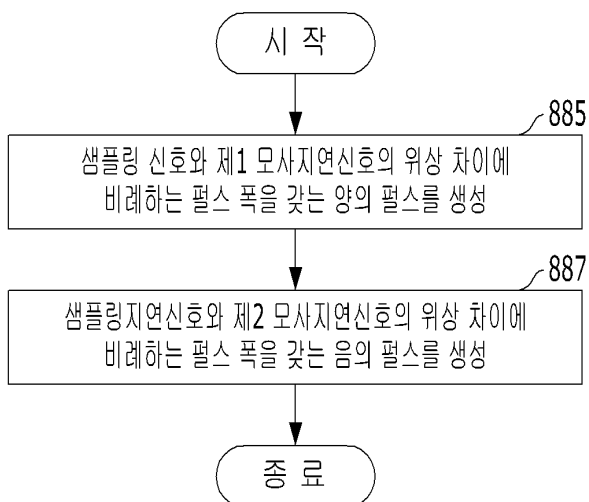
도면7



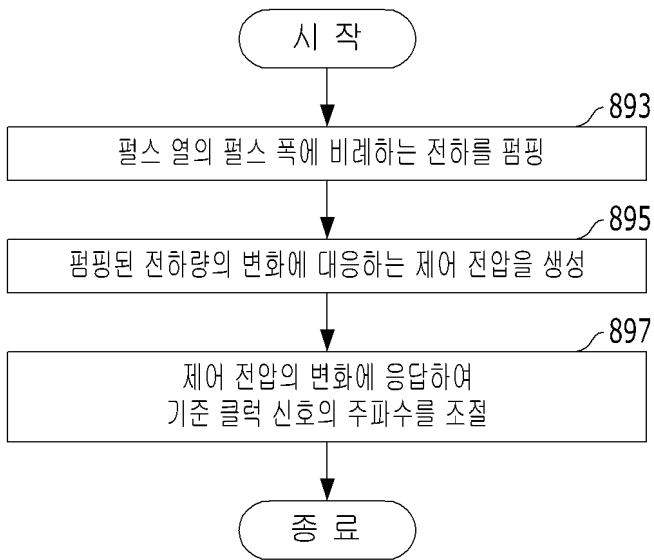
도면8



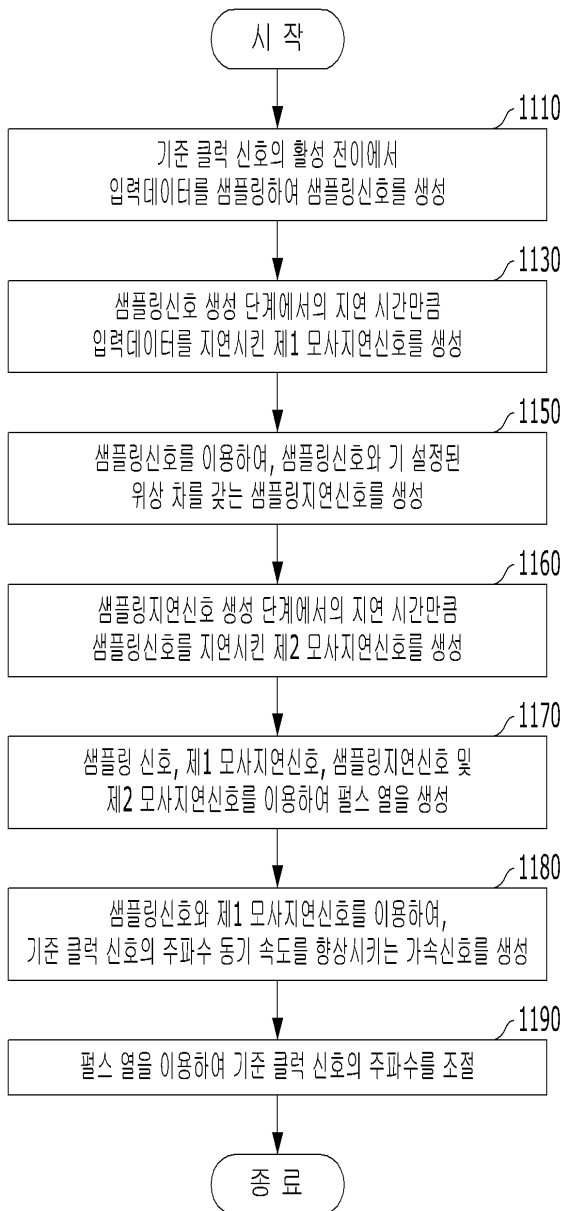
도면9



도면10



도면11



도면12

