



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년04월16일  
 (11) 등록번호 10-1255492  
 (24) 등록일자 2013년04월10일

- (51) 국제특허분류(Int. Cl.)  
*G06F 1/26* (2006.01) *G11C 5/14* (2006.01)  
*G06F 11/00* (2006.01)
- (21) 출원번호 10-2012-7016436(분할)
- (22) 출원일자(국제) 2006년06월13일  
 심사청구일자 2012년06월25일
- (85) 번역문제출일자 2012년06월25일
- (65) 공개번호 10-2012-0088866
- (43) 공개일자 2012년08월08일
- (62) 원출원 특허 10-2010-7016443  
 원출원일자(국제) 2006년06월13일  
 심사청구일자 2011년06월13일
- (86) 국제출원번호 PCT/US2006/023633
- (87) 국제공개번호 WO 2006/135936  
 국제공개일자 2006년12월21일
- (30) 우선권주장  
 11/151,821 2005년06월13일 미국(US)
- (56) 선행기술조사문헌  
 US06560725 B1\*  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
**인텔 코오퍼레이션**  
 미합중국 캘리포니아 95052 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자  
**버튼, 에드워드**  
 미국 97124 오레곤주 힐스보로 노쓰이스트 제이미 드라이브 2258  
**데발, 아난트**  
 미국 97007 오레곤주 비버튼 사우스웨스트 세어워터 루프 10425
- (74) 대리인  
**백만기, 양영준**

전체 청구항 수 : 총 21 항

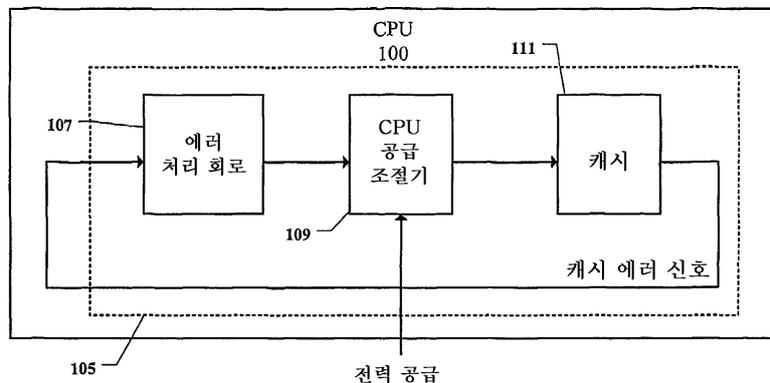
심사관 : 허영한

(54) 발명의 명칭 **에러 기반의 공급 조절**

**(57) 요약**

일부 실시예들에서, 캐시로부터의 에러 정보가 모니터링 되는 에러 기반의 공급 조절 스킴이 제공되고, 캐시와 연관된 CPU에 공급하는 공급 레벨은 에러 정보에 기초하여 제어된다. 다른 실시예들이 하 명세서에 개시된다.

**대표도** - 도1



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

CPU를 포함하는 칩으로서,

상기 칩은,

다수의 메모리 셀들을 갖는 캐시 회로 - 상기 캐시 회로는 캐시로부터의 셀 에러들을 나타내는 에러 신호를 제공함 -;

상기 CPU에 연결되어 상기 CPU에 전력을 공급하는 공급 조절기(supply regulator) 회로; 및

상기 공급 조절기 회로에 연결되어, 상기 에러 신호에 기초하여 상기 CPU에 제공될 상기 전력을 제어하는 에러 처리 회로를 포함하고,

상기 에러 신호가 초과 에러(excessive error)들이 발생함을 나타내는 경우, 상기 에러 처리 회로는 상기 CPU에 공급될 상기 전력을 증가시키게 되는, 칩.

**청구항 3**

제2항에 있어서,

상기 에러 신호는 비트 에러율 신호(bit error rate signal)를 포함하는, 칩.

**청구항 4**

제2항에 있어서,

상기 공급 조절기 회로는 상기 CPU에 전압을 공급하는, 칩.

**청구항 5**

제2항에 있어서,

상기 에러 처리 회로는 상기 캐시에 연결되어 상기 에러 신호를 수신하는, 칩.

**청구항 6**

제2항에 있어서,

상기 에러 신호가 비트들이 초과율(excessive rate)로 교정되고 있음을 나타내는 경우, 상기 에러 처리 회로는 공급될 상기 전력을 증가시키게 되는, 칩.

**청구항 7**

제2항에 있어서,

상기 CPU는, 상기 캐시에 연결되어 상기 에러 신호를 수신하고 상기 에러 처리 회로에 연결되어 고유의 교정된 셀들의 카운트(count of unique, corrected cells)를 제공하는 에러 로그(log) 회로를 포함하는, 칩.

**청구항 8**

CPU와 연관된 캐시로부터의 에러 정보를 모니터링하는 단계; 및

상기 모니터링된 에러 정보에 기초하여 상기 CPU로의 공급 레벨을 제어하는 단계를 포함하고

상기 에러 정보는 비트 에러율 정보를 포함하고,

상기 공급 레벨을 제어하는 단계는, 상기 에러 정보가 초과 에러율을 나타낼 경우 상기 공급 레벨을 증가시키는 단계를 포함하는, 방법.

**청구항 9**

제8항에 있어서,  
상기 공급 레벨은 공급 전압을 포함하는, 방법.

**청구항 10**

제8항에 있어서,  
상기 공급 레벨을 제어하는 단계는, 상기 에러 정보가 불충분 에러율(insufficient error rate)을 나타낸다면, 상기 공급 레벨을 감소시키는 단계를 포함하는, 방법.

**청구항 11**

제8항에 있어서,  
상기 에러 정보는 고유한, 잘못된 비트 위치들의 카운트(count of unique, errant bit locations)를 포함하는, 방법.

**청구항 12**

제8항에 있어서,  
상기 에러 정보는 고유하고, 재발하고(recurring), 잘못된 비트 위치들의 카운트를 포함하는, 방법.

**청구항 13**

다수의 메모리 셀들을 갖는 캐시 회로 - 상기 캐시 회로는 잘못된 비트의 위치를 나타내는 에러 신호를 제공함 -;  
CPU에 연결되어 상기 CPU에 전력을 공급하는 공급 조절기 회로;  
상기 공급 조절기 회로에 연결되어 상기 CPU에 공급될 상기 전력을 제어하는 에러 처리 회로; 및  
캐시에 연결되어 상기 에러 신호를 수신하고, 상기 에러 처리 회로에 연결되어 고유한 잘못된 비트 위치들의 카운트를 제공하는 에러 로그 회로(error log circuit) - 상기 에러 처리 회로는 상기 카운트에 기초하여 상기 CPU에 공급될 상기 전력을 제어하고, 전회의 세션에서의 상기 고유한 잘못된 비트 위치의 카운트가 초과할 경우, 상기 CPU에 공급하는 전력을 증가시킴 - 를 포함하는 회로.

**청구항 14**

제13항에 있어서,  
상기 공급 조절기 회로는 상기 CPU에 전압을 공급하는, 회로.

**청구항 15**

제13항에 있어서,  
상기 에러 처리 회로는 소정의 시간을 대기한 후 상기 카운트를 체크하게 되는, 회로.

**청구항 16**

제15항에 있어서,  
공급될 상기 전력은 연관된 최소 가드밴드(guardband) 레벨의 동적(dynamic) 전압 공급이고, 상기 카운트가 초

과하면, 상기 에러 처리 회로는 상기 가드밴드 레벨을 증가시키는, 회로.

**청구항 17**

제13항에 있어서,

잘못된 비트(errant bit)들은 교정된 비트(corrected bit)들을 나타내는, 회로.

**청구항 18**

제17항에 있어서,

교정된 비트 위치들이 2번 이상 오류가 발생하면, 상기 교정된 비트 위치들이 로그되기만 하는(logged), 회로.

**청구항 19**

CPU를 포함하는 칩 - 상기 칩은 복수의 메모리 셀들을 갖는 캐시 회로, 상기 CPU에 연결되어 상기 CPU에 전력을 공급하는 공급 조절기 회로, 및 상기 공급 조절기 회로에 연결되어 에러 신호에 기초하여 상기 CPU에 제공될 상기 전력을 제어하는 에러 처리 회로를 포함하고, 상기 캐시 회로는 캐시로부터의 셀 에러들을 나타내는 상기 에러 신호를 제공함 -; 및

안테나를 포함하고, 마이크로프로세서에 연결되어 상기 CPU를 네트워크에 통신가능하게 연결(link)하는 무선 인터페이스(wireless interface)를 포함하고,

상기 에러 신호가 초과 에러(excessive error)들이 발생함을 나타내는 경우,

상기 에러 처리 회로는 상기 CPU에 공급될 상기 전력을 증가시키게 되는, 컴퓨터 시스템.

**청구항 20**

제19항에 있어서,

상기 CPU가 동작될 시, 상기 공급 조절기 회로에 연결되어 상기 CPU에 전력을 제공하는 배터리를 포함하는, 컴퓨터 시스템.

**청구항 21**

제19항에 있어서,

상기 CPU는, 상기 캐시에 연결되어 상기 에러 신호를 수신하고, 상기 에러 처리 회로에 연결되어 고유한, 교정된 셀들의 카운트를 제공하는 에러 로그 회로를 포함하는, 컴퓨터 시스템.

**청구항 22**

제19항에 있어서,

상기 CPU는, 상기 캐시에 연결되어 상기 에러 신호를 수신하고, 상기 에러 처리 회로에 연결되어 여러번(multiple times) 교정된 고유한 위치들의 카운트를 제공하는 에러 로그 회로를 포함하는, 컴퓨터 시스템.

**명세서**

**기술분야**

[0001] 마이크로프로세서 칩에 관한 발명이다.

**배경기술**

[0002] 마이크로프로세서 칩들과 같은 많은 집적 회로(integrated circuit, IC)에 대하여, 최소 동작 공급(minimum operating supply)(예를 들어, VCC<sub>min</sub>)은 낮은 전력의 동작을 위한 구동에 있어서 제한요소일 수 있다. 최소의 동작 공급이 낮도록 추진하는 것은 상당한 전력 감소를 야기할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 많은 칩들에서, 최소 공급 파라미터(parameter)를 낮추는 것은 교정할 수 없는 에러에 직면할 가능성을 증가시킬 수도 있어, 일반적으로 균형을 찾게 된다. 많은 칩들의 최소 공급 파라미터는 종종 시간에 따라 꾸준히 증가할 것이다. 따라서, 최소 공급 파라미터의 큰 가드밴드(guardband)(즉, 시간에 따른 퇴화(degradation)의 허용기준(tolerance))이 이용될 수 있다. 공급률계도, 그러한 가드밴드의 이용은 (예를 들어, 로트에서의) 모든 부분들(parts)에 필요한 것보다 더 많은 전력을 소모하도록 강요할 수 있다.

**과제의 해결 수단**

[0004] 일부 실시예들에서, 에러 기반의 공급 조절은 칩의 회로 또는 회로들의 그룹의 공급 레벨(예를 들어, 전압, VCC, 전류, 전력)을 조절하는데 이용될 수 있다. 예를 들어, CPU(central processing unit)의 공급 전압은 CPU와 연관된 캐시 메모리로부터의 모니터링된 에러 정보에 기초하여 제어될 수 있다. 캐시는 전형적으로 VCC가 감소됨에 따라 동작하지 않는 제1 회로이기 때문에, 에러 모니터링을 위한 좋은 후보(candidate)일 수 있다. 부가적으로, 많이 공통적으로-이용되는 CPU 장치들에 있어서, 캐시는 쉽게 모니터링이 가능한 에러 정보를 이미 가질 수 있다.

[0005] 캐시 아키텍처(architecture)들은 에러 검출(detection)뿐만 아니라 에러 교정(correction) 회로를 갖는다. (캐시라는 용어는 일반적으로 프로세서 칩에 이용된 RAM(random access memory) 구조를 의미한다는 것에 주의하자.) 캐시 아키텍처는 (몇가지만 언급하면) 소위 1T, 2T, 4T, 또는 6T 셀들과 같은, 임의의 적정(suitable) 셀 구조로 구현된 동적(dynamic) 또는 정적(static) RAM을 포함한다. 단일 비트, 듀얼 비트, 및 다른 에러 교정 스킴(scheme)들이 일반적으로 알려져 있다. 단일 비트 스킴을 이용하면, 라인 당 하나의 잘못된(erroneous) 비트(bit per line, BPL)가 교정될 수 있고, 두 개의 잘못된 BPL은 검출될 수 있다. 유사하게, 듀얼 비트 스킴에서, 두 개의 BPL이 교정될 수 있고, 세 개의 BPL은 검출될 수 있다. 그러한 스킴들을 이용하는 캐시 시스템들은 일반적으로 교정된 비트들의 수, 실제 교정된 비트-위치(location)들(셀들), 및/또는 검출된 비트 에러들의 수와 같은, 에러 정보를 제공할 수 있다.

[0006] 캐시 메모리 시스템들에서, 캐시 라인 당 단일 비트들은 캐시 라인 당 다중(multiple) 비트들 훨씬 이전에 전형적으로 오류가 나기 시작한다. 사실, 에러들은 전형적으로 주로 랜덤(random)하다. 따라서, 예를 들어, 수천 개의 캐시 라인들 중 하나가 단일 비트 에러를 가질 때까지 공급 레벨이 낮아진다면, 수만의 라인들 중 약 하나가 두 개의 불량(bad) 비트들(또는 셀들)을 가질 수 있다는 것은 상당히 있을 법하다. (캐시 라인 당) 단일 비트 에러들이 (예를 들어, 단일 비트 교정 또는 더 높은 비트 교정을 구비한 시스템들에서) 전형적으로 교정될 수 있기 때문에, 전압은 라인 당 단일 비트들이 오류가 나기 시작하는 지점(point) 아래로 안전하게 낮추어 질 수 있다. 사실, 캐시에 존재하는 단일 비트 교정들의 전체 수를 소정의 미리 결정된 한계(limit)까지 제한할 만큼만 충분히 높은 전압을 유지함으로써, 교정할 수 없는 다중-비트 에러를 직면할 가능성을 임의로 작게 만들 수 있다.

**발명의 효과**

[0007] 정적 또는 동적 공급들 중 하나가 제어될 수 있다.(정적 공급은 동작(operation) 동안 변화되지 않는 공급인 반면, 동적 공급은 동작 동안 변화될 수 있는, 예를 들어, 동작 효율을 향상시키는 것과 같은 동작 모드에 의존하는, 공급이다.) 어느 한 경우, 공급은 (동적 공급들을 위해 이미 동적으로 조절된 공급 이외에), 예를 들어, 동작 효율을 향상시키기 위해, 에러 정보에 대한 응답으로 동적으로 조절될 수 있다. 그것은, 적어도 칩의 수명(life cycle)의 시작점(beginning)에서 보다 낮은 가드밴드를 갖기 위해 시간에 따른 에러들의 변화들에 대한 응답으로 최소의 허용된 공급 레벨(통상 "가드밴드"로 불림)을 변화시키는데 이용될 수도 있다.

**도면의 간단한 설명**

[0008] 본 발명의 실시예들은 유사한 참조 번호들이 유사한 구성요소(element)들을 의미하는 첨부 도면들에서 예로서 도시된다.

도 1은 본 발명의 일부 실시예들에 따른, 에러 기반의 공급 조절 회로를 포함하는 마이크로프로세서의 블록도이다.

도 2는 도 1의 회로의 일부 실시예들에 따른, 에러 기반의 공급 조절을 수행하는 루틴(routine)을 나타내는 흐름

름도이다.

도 3은 본 발명의 일부 실시예들에 따른, 다른 에러 기반의 공급 조절 회로를 포함하는 마이크로프로세서의 블록도이다.

도 4는 도 3의 회로의 일부 실시예들에 따른, 에러 기반의 공급 조절을 수행하는 루틴을 나타내는 흐름도이다.

도 5는 본 발명의 일부 실시예들에 따른, 에러 로그(log)를 구현하는 CAM(content addressable memory)의 블록도이다.

도 6은 도 1의 회로에 따라 에러 기반의 공급 조절 회로를 구비한 컴퓨터 시스템의 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0009] 도 1을 참조하면, CPU 칩(100)의 회로(105)가 나타나있다. 공급 조절기(regulator) 회로(105)는 CPU와 연관된 캐시로부터의 에러 피드백 정보에 기초하여 CPU의 공급 전압을 조절한다. 일반적으로 공급 조절기 회로는 에러 처리 회로(107), CPU 공급 조절기(109), 및 캐시 메모리(111)를 포함한다. CPU 공급 조절기(109)는 하나 이상의 조절된 공급 전압들(VCC)를 제공하기 위해, 에러 처리 회로(107)와 캐시(111) 사이에 연결되고, 이들 공급 전압들 중 적어도 하나가 캐시(111)에 공급되는데 사용된다. CPU 공급 조절기(109)는 (예를 들어, 외부적으로 공급된 전력 신호로부터) 공급 전압을 생성하고, 캐시(111)로부터 에러 처리 회로(107)까지 연결된 에러 신호에 기초하여 캐시에 공급된 전압을 제어한다. 에러 처리 회로는 수신된 에러 피드백 정보에 기초하여 공급 레벨을 제어하기 위한 임의의 적정 회로 또는 회로 조합(combination)일 수 있다. 에러 처리 회로는 어플리케이션 특정 회로(application specific circuitry)(예를 들어, 정적 로직(static logic), 조합 로직(combination logic), 및/또는 아날로그 회로들)를 포함할 수 있거나 및/또는 마이크로-제어기와 같은 이미 이용가능한 회로로 구현될 수 있다.

[0010] 도 2를 참조하면, 일부 실시예들에서, 에러 처리 회로(107)는 비트 에러율(error rate) 정보에 기초하여 공급 제어 루틴(routine)을 수행할 수 있다. 초기에, 202에서, 공급 레벨을 설정한다. 이러한 초기 공급 레벨은 예를 들어, 한번 프로그래밍 가능한 메모리, 플래쉬 메모리, 펌웨어, 또는 그 등과물과 같은 비휘발성 메모리로부터 배선에 의해 연결(hard-wired)되거나 또는 검색될(retrieved) 수 있다. 또한, 이러한 초기 공급 레벨은 제조된 로트(lot)의 모든 칩들에 대한 최악의 경우의 값(worst case value)일 수 있거나, 또는 특정 칩에 대한 특정값(specific value)일 수 있다.

[0011] 다음, 결정 단계(204)에서, (캐시(111)로부터의 에러 신호의) 에러율이 초과량보다 작은지를 결정한다. 예를 들어, 단일-비트 에러 교정 스킴에서, 초과율(excessive rate)은 천 비트마다 하나 보다 큰 비율일 수 있다. (라인 당 단일 비트가 교정될 수 있기 때문에, 이 스킴의 라인 당 2 비트가 오류가 날 가능성은 일부 시스템들의 허용가능한 리스크인, 백만분의 일의 단위(order)일 수 있다.) 모니터링된 에러율이 초과량(excessive amount) 이상인 경우, 그 후 206에서, 공급 전압은 예를 들어, 소정의 양만큼 증가되고, 루틴은 결정 단계(204)로 되돌아 간다.

[0012] 반면, 단계(204)에서, 에러율이 초과하지 않았다고 결정했다면, 그 후 결정 단계(208)로 진행하여, 에러율이 불충분율(insufficient rate) 보다 큰지 아닌지를 결정한다. (이 결정 단계는 선택적이다. 만일 에러율이 충분히 작다면, 즉 효율적인 동작을 위해 불충분하게 높다면, 보다 효율적인 전력 소비를 위해 공급 전압 레벨이 심지어 더 낮아지도록 허용된다.) 212에서, 에러율이 사실 불충분율 보다 작다면, 그 후 공급 전압 레벨은 감소된다. 여기서부터, 루틴이 결정 단계(204)로 되돌아 가고, 설명된 바와 같이 진행한다. 따라서, 결정 단계들(204, 208)이 공급 레벨이 증가되거나 또는 감소되는 어느 것도 아닌 동작에 대한 에러율 범위(즉, 불충분율<에러율<초과율)를 정의한다고 볼 수 있다. 208 단계에서, 에러율이 불충분율 값 보다 컸다면, 그 후 루틴은 210으로 진행했을 것이고, 공급 전압 레벨이 유지되었을 것이다. 여기서부터, 루틴은 결정 단계(204)로 되돌아 가고, 설명된 바와 같이 진행한다.

[0013] 다른 루틴들 및/또는 에러 파라미터들(예를 들어, 예외율(besides rate))은 공급 레벨을 제어하도록 구현되고 모니터링될 수 있다. 많은 시스템들에서, 에러율은 이미 이용가능하거나 또는 상대적으로 거의 노력없이(little effort) 적어도 생성될 수 있기 때문에, 효율적인 에러 신호 파라미터이다. 에러율 모니터링은, 교정된 비트들이 메모리 어레이 셀에서 (뿐만아니라 메모리 어레이(array) 외부에서 제공된 데이터에서) 실제로 교정되는 캐시 시스템들에서 특히 잘 작동한다. 그렇지않으면, 예를 들어, 동일 비트가 액세스되고 있다면, 높은 에러율이 인지될 수 있지만, 반드시 불충분한 공급 레벨의 결과인 것은 아니고, 대신 반복적으로 액세스된 결합

셀(defective cell)의 결과일 수 있다. 많은 시스템들에서, 이것은 허용가능(tolerable)하지만, 다른 시스템들에서, 서로 다른 접근(approach)들이 이용될 수 있다. 다른 접근은 도 3 내지 5의 실시예들에 대해 아래 설명된다.

- [0014] 도 3은 본 발명의 일부 다른 실시예들에 따른 CPU(300)의 공급 레벨 조절기 회로(305)를 나타낸다. 묘사된 회로(305)에서, CPU 공급 전압은 CPU 캐시로부터의 에러 신호에 기초하여 제어된다. 그러나, 블라인드(blind) 에러 신호(셀 위치에 대한 고려없이 캐시 에러 발생(incidence))에 기초하여 공급 전압을 제어하기 보다는 오히려, CPU 공급 전압은 고유한, 교정된 메모리 위치들의 수에 기초하여 제어된다.
- [0015] 공급 조절기 회로(305)는 일반적으로 에러 처리 회로(307), CPU 공급 조절기(309), 캐시(311) 및 에러 로그(log)(313)를 포함한다. CPU 공급 조절기(309)는, 하나 이상의 조절된 공급 전압들(VCC)을 제공하도록 에러 처리 회로(307)와 캐시(311) 사이에 연결되고, 이러한 공급 전압들 중 적어도 하나는 캐시(311)에 공급되는데 사용된다. 에러 로그(313)는 캐시(311)에 연결되어 캐시로부터 캐시 에러 신호로부터의 에러 정보를 수신하고, 에러 처리 회로(307)에 연결되어 공급 전압을 제어하는데 이용된 에러 정보를 에러 처리 회로(307)에 제공한다. CPU 공급 조절기(309)는 전력 신호(예를 들어, 외부적으로 공급된 전력)로부터 공급 전압을 생성하고, 에러 로그(313)로부터 제공된 에러 정보에 기초하여 캐시에 공급된 전압을 제어한다.
- [0016] 에러 로그는 캐시 셀의 에러 정보(예를 들어, 교정된 셀들의 위치)를 수신하고, 주어진 세션(session)에 대해 교정된 고유 셀들의 수를 추적(track)하는 임의의 적정 회로(또는 회로 조합)를 포함한다. 예를 들어, 에러 로그는 어플리케이션 특정 회로(예를 들어, 유한 상태 머신(finite state machine))을 포함할 수 있거나 또는 칩에 이미 포함된 회로(마이크로-제어기)로 구현될 수 있다.
- [0017] 도 4를 참조하면, 일부 실시예들에서, 에러 로그는 CAM(400)과 같은 CAM(content addressable memory) 구조로 구현될 수 있다. 묘사된 실시예에서, CAM(400)은 레지스터 파일(402), 콘텐츠 비교기들(content comparators, 404), OR 게이트(406), 인버터(408) 및 기록 드라이버(write driver, 410)를 일반적으로 포함한다. 동작(operation)시, 교정된 비트들의 위치들이 (예를 들어, 캐시(311)로부터) 수신되고, 레지스터 파일(402)로 제공된다. 위치(예를 들어, 주소)가 도착할 때, 교정된 비트들의 위치들은 콘텐츠 비교기들(404)을 통해, 레지스터 파일(402)에 (있다면) 이미 저장된 위치들과 비교된다. 교정된 비트들의 위치들이 임의의 이미 저장된 위치들과 동일하다면, 그 후 OR 게이트(406)는 어서트(assert)되어, 인버터(408)로 하여금 디-어서트(de-assert)하도록 하고, 기록 드라이버(410)로 하여금 레지스터 파일(402)에 위치를 추가하지 않도록 한다. 반면, 수신된 위치가 임의의 이미 저장된 위치들과 동일하지 않다면, OR 게이트(406)는 디-어서트되어, 인버터(408)로 하여금 어서트하도록 하고, 기록 드라이버(410)로 하여금 레지스터 파일(402)에 위치를 추가하도록 한다. 일부 실시예들에서, 기록 드라이버는 카운터(counter)(나타내지 않음)를 포함하고, 카운터는 고유 위치들의 현재 카운트(running count)를 유지한다. 이 카운트는 에러 카운트(Error Count) 신호를 통해 에러 처리 회로(307)에 제공된다.
- [0018] 도 5를 참조하면, CPU 공급 조절기(309)를 제어하는, 에러 처리 회로(307)에 의해 수행될 수 있는 루틴(500)이 묘사된다. 초기에, 502에서(예를 들어, 시작(start-up) 또는 CPU 리셋(reset)시), 최종 공급 레벨 및 고유 비트-에러 위치들의 카운트가 비휘발성(nonvolatile) 메모리로부터 검색된다. 공급 레벨이 이러한 레벨에 있도록 제어되고, 504에서, 루틴은 이전 세션으로부터의 고유 비트-에러 위치 카운트가 초과되었는지 여부를 결정한다. 초과되었다면, 506에서, 루틴은 공급 레벨을 증가시키고, 508로 진행하여 에러 로그(313)를 소거한다. 그렇지 않으면(마지막 세션에서 고유 위치들의 수가 초과하지 않는다면), 그 후 루틴은 504에서 508로 직접 진행하여 에러 로그(313)를 소거한다. 그 후 루틴은 510으로 진행하여 소정의 시간을 대기한 후 결정 단계(504)로 되돌아 간다.
- [0019] 루틴(500)이 동작하는 동안, 에러 로그(313)는 고유 비트-에러 위치들의 수를 추적하고 카운트한다. 따라서, 510에서 대기하는 시간은, 공급 전압 레벨에 의해 영향을 받음에 따라, 캐시 성능(performance)을 정확하게 나타내는 에러 로깅(error logging)을 제공하도록 설정될 수 있다. 예를 들어, (결정 단계(504)에 대해 설정된 초과 레벨과 협력하여) 대기하는 시간은 예를 들어, 마이크로 초, 초, 분, 시 등과 같은 임의의 적절한 시간일 수 있다. 대기하는 시간은 이용된 에러 교정(예를 들어, 단일-비트, 듀얼 비트 등) 타입에 의존할 수도 있다. 예를 들어, 결정 단계(504)에 대해 설정된 초과 레벨 양은 더 커질 수 있고, 따라서, 듀얼-비트 교정 스킴이 이용될 때, CPU는 더 낮은 공급 전압 레벨에서 동작할 수 있다. 예를 들어, 1만 라인 마다 하나의 라인이 단일 비트 에러를 갖는 지점에서 1조 라인 마다 하나의 라인만이(검출가능하지만, 교정할 수 없는) 3-비트 에러를 가질 수 있어, 대부분의 캐시 시스템들에 대해 합리적인 안전 마진(safety margin)을 이끌어낸다.

- [0020] 도 1 및 2의 실시예들에서, 동작 공급 전압은 에러 신호(에러율)에 따라 증가되거나 감소되었다는 것에 주목하라. 그러나, 도 5의 설명된 실시예에서, 최소 동작 전압은 에러 정보에 기초하여 증가되거나 동일하게 유지된다.(즉, 감소되지 않음) 이러한 실시예들에서, 동작 전압은 CPU의 수명 퇴화를 목표로 하여 상대적으로 느린 레이트(rate)로 위와 같이 행해진다. 따라서 최소 동작 VCC가 시간에 따라 대응하여 증가하도록 할 수 있다. 따라서, 동작 전압은 고정된 가드밴드보다 오히려 동적(dynamic)이도록 하여, 적어도 칩의 수명의 시작점에서 보다 효율적으로 동작할 수 있도록 한다.
- [0021] 다른 실시예들에서, 회로(305)는 루틴(200)과 보다 유사하게 동작될 수 있고, 고정된 셀 카운트에 기초하여 공급 전압을 감소시키고 증가시키도록 한다. 그러한 실시예들에서, 보다 빠른 시스템 응답을 위해 루틴(500)의 단계(510)에서의 대기 시간은 상대적으로 작게 설정될 수 있다.
- [0022] 도 6을 참조하면, 컴퓨터 시스템의 일 예를 나타낸다. 묘사된 시스템은 전력 공급기(606), 무선 인터페이스(604), 및 메모리(602)에 연결된 CPU(100)를 일반적으로 포함한다. 동작 시, 전력을 수신하기 위해 시스템은 전력 공급(606)(예를 들어, AC 어댑터, 배터리)에 연결된다. 시스템은 각 컴포넌트들과 통신하도록 개별적인 지점-대-지점 연결(separate point-to-point links)을 이용하여 무선 인터페이스(604) 및 메모리(602)에 연결된다. 무선 인터페이스(604)는 지역(local) 네트워크 또는 광역(wide area) 네트워크와 같은 네트워크에 CPU(100)를 통신가능하게 연결하는 회로 및 하나 이상의 안테나들을 포함한다. CPU(100)는 전력 공급기(606)에 연결된 CPU 공급 조절기(109)를 구비한 에러 기반의 공급 조절기(105)를 포함한다.
- [0023] 에러 교정을 구비한 시스템에서, "초과 에러들" 또는 "초과 에러율"이 부정확한 동작과 균등(equate)하지 않아야 한다는 것을 주목해야 한다. 대신, 이러한 용어들은 부정확한 동작의 가능성이 더 이상 무시될 수 없거나, 품질 목표들이 절충되는 지점에 근접하게 될 수 있다는 것을 나타낸다.
- [0024] 종종 "소프트 에러들"(단지 한번 발생하는 에러들)은 VCC에 대해 (있더라도) 거의 의존성이 없음을 주목해야 한다. 따라서, 임의의 설명된 회로들, 방법들, 또는 시스템들은 단지 한번 발생할 수 있는 에러들을 무시함으로써 개선될 수 있다.
- [0025] 설명된 시스템이 서로 다른 형태들로 구현될 수 있다는 것을 주목해야 한다. 즉, 설명된 시스템은 단일 칩 모듈, 회로 보드, 또는 다중 회로 보드들을 가진 새시(chassis)로 구현될 수 있다. 유사하게, 설명된 시스템은 하나 이상의 완전한 컴퓨터들을 구성할 수 있거나 또는 선택적으로, 컴퓨팅 시스템 내의 유용한 컴포넌트들을 구성할 수 있다.
- [0026] 본 발명은 설명된 실시예들에 한정되지 않고, 첨부된 특허청구범위의 사상 및 범위 내에서 수정(modification) 및 변경(alteration)을 실행할 수 있다. 예를 들어, 본 발명은 모든 타입의 반도체 집적 회로(IC) 칩들에 적용 가능하다는 것이 이해되어야 한다. 이러한 IC 칩들의 예들은 프로세서들, 제어기들, 칩셋 컴포넌트들, PLA(Programmable logic arrays), ASICs(application specific integrated circuits), 메모리 칩들, 네트워크 칩들, 및 그 등가물들을 포함하나, 이들에 한정되지 않는다.
- [0027] 또한, 비록 본 발명이 동일하게 한정되지 않는다 하더라도, 크기들(sizes)/모델들(models)/값들(values)/범위들(ranges)의 예가 주어진다라는 것이 이해되어야 한다. 제조 기술들(예를 들어, 포토리소그래피)이 시간에 따라 성숙됨에 따라, 더 작은 크기의 장치들이 제조될 수 있을 것으로 기대된다. 부가적으로, IC 칩들 및 다른 컴포넌트들로의 잘 알려진 전력(power)/접지(ground) 접속이 도시(illustration) 및 설명(discussion)의 단순함을 위해, 그리고 본 발명을 모호하게 하지 않도록 도면들 내에 나타나거나 나타나지 않을 수 있다. 또한, 본 발명을 모호하게 하는 것을 피하고, 또한 그러한 블록도 배열의 구현에 대한 상세들(specifics)이 본 발명이 구현될 플랫폼(platform)에 매우 의존적이라는 것, 즉 그러한 상세들이 본 기술분야의 당업자의 범위 내에 있다는 관점에서, 배열들을 블록도 형태로 나타낼 수 있다. 상세 설명들(예를 들어, 회로들)이 본 발명의 예시적인 실시예들을 설명하기 위해 제공되는 경우, 본 발명이 이러한 상세 설명들의 변화없이 또는 변화로 실행될 수 있다는 것은 본 기술 분야의 당업자들에게 명백해야 한다. 따라서, 본 설명은 한정하는 대신 예로서 간주된다.

**부호의 설명**

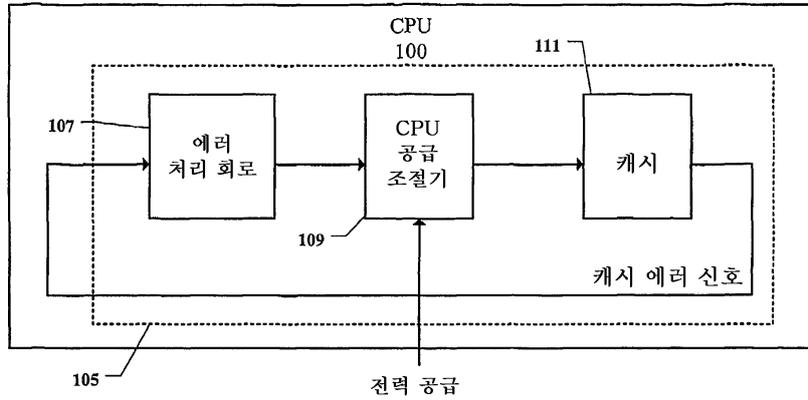
- [0028] 100: CPU 칩
- 105: 공급 조절기 회로
- 107: 에러 처리 회로

109: CPU 공급 조절기

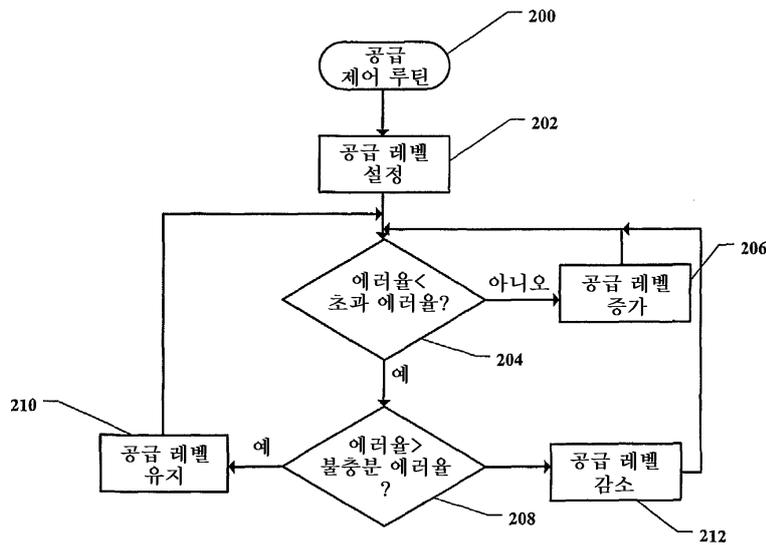
111: 캐시 메모리

도면

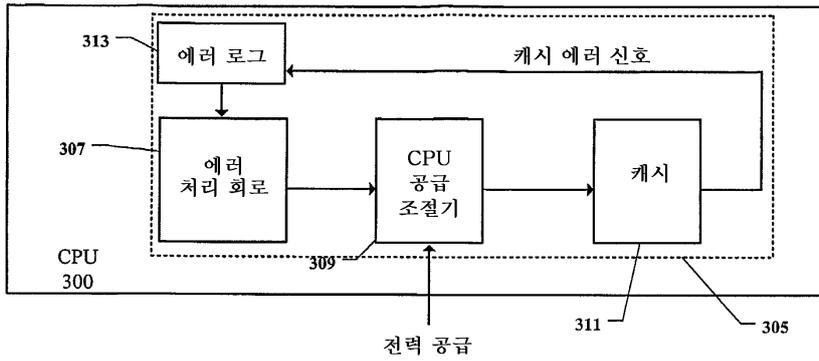
도면1



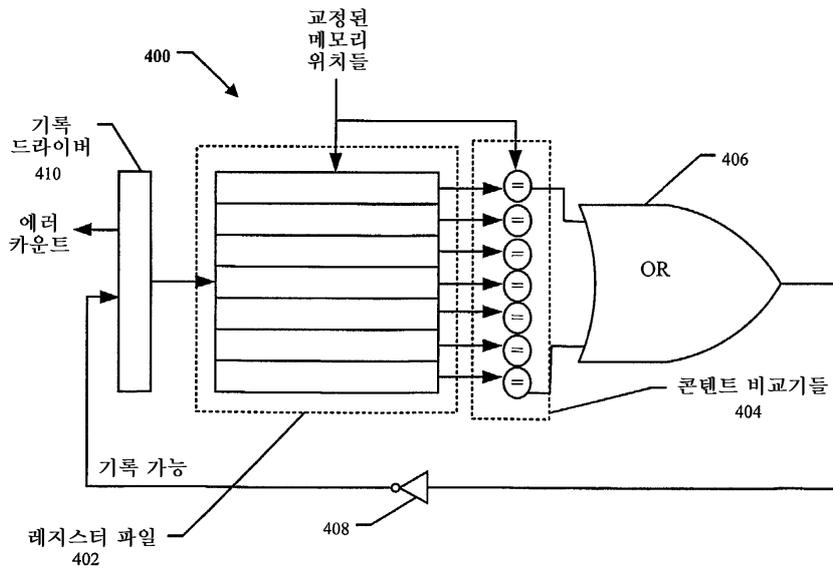
도면2



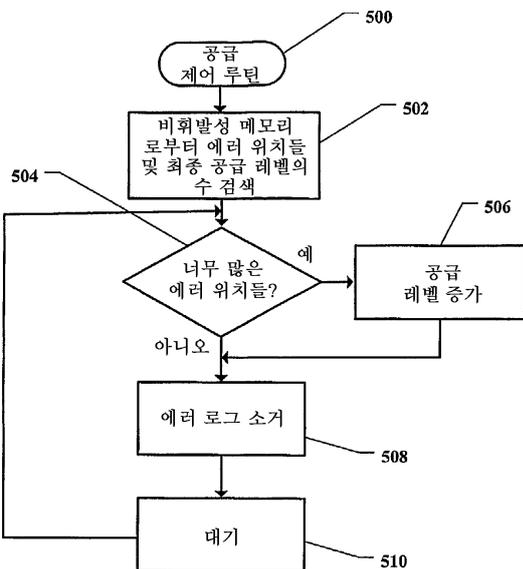
도면3



도면4



도면5



도면6

