



I283352

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92131706

※ 申請日期： 921112

※IPC 分類： G06F13/28 (2006.01)

壹、發明名稱：(中文/英文)

具有多重操作模式之積體電路(二)

INTEGRATED CIRCUIT HAVING MULTIPLE MODES OF OPERATION

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司/ INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛/SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd. Santa Clara, CA, USA

國 籍：(中文/英文) 美國/U.S.A.

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 亞特萊 德夫/ATALLAH, DEIF

2. 貝克特 理查/ BECKETT, RICHARD

住居所地址：(中文/英文)

1. 美國亞歷桑那州章德勒·西雪菲德街 2741 號

2741 W. Sheffield Ave Chandler, AZ 85224, U.S.A.

2. 美國亞歷桑那州鳳凰市南第 25 街 15032 號

15032 South 25 Street Phoenix, AZ 85048, U.S.A.

國 籍：(中文/英文)

1. 2. 美國/U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002, 11, 20；10/301, 027

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

相關申請之交互參考

本申請主題係關於待決之美國專利申請編號「尚未指定」(代理人編號第42390.P14963號)，標題為“具有多重操作模式之積體電路”，其目前正與本申請主題同時建檔中。

本發明領域

本專利申請係關於一種具有多重操作模式之積體電路。

10 【先前技術】

發明背景

在傳統的資料儲存組態中，一個電腦節點包含一主機匯流排配接卡(HBA)。該HBA使用與主機匯流排相關的主機匯流排協定，經由主機匯流排而與其主機裝置通訊。該HBA亦使用與一個或多個通訊鏈路相關的通訊協定，經由一個或多個通訊鏈路而與一資料儲存系統通訊。如果該資料儲存系統包含獨立碟片之冗餘陣列(RAID)，則HBA一般也會執行與RAID相關的操作(例如，涉及執行RAID的操作)。

20 該HBA包含多數個積體電路晶片，可供HBA用於執行在HBA與主機處理器之間的通訊、HBA與資料儲存系統之間的通訊，以及涉及執行RAID的操作。一般而言，這些積體電路晶片會限制HBA的通訊能力，以至於HBA僅能夠使用單一預定主機匯流排協定以及單一預定通訊協定。

【發明內容】

發明概要

本發明係為一種方法，其包含：以一選擇的操作模式操作一積體電路，該積體電路包含處理器電路和界面電路，該處理器電路包含多數個處理器核心，該界面電路能夠依據多數個不同協定而通訊，該等處理器核心之至少一組能夠發出一命令至該界面電路以依據對應至該積體電路之該被選擇操作模式的多數個不同協定之至少一組而通訊。

10 圖式簡單說明

本申請之實施例的特色及優點將透過下列「詳細說明」逐步展示，並且在參考「圖示」時，相同的編號代表相同組件，其中：

第1圖展示一系統實施例。

15 第2圖展示第1圖之系統實施例中之積體電路的詳細資料。

第3圖展示第2圖之積體電路中之界面電路的詳細資料。

第4圖展示另一系統實施例。

20 第5圖是展示可根據一實施例執行之操作的流程圖。

雖然下列的「詳細說明」將參考所示的實施例進行，但熟習於相關技術之人員將可瞭解其中的許多替代方案、修改方案以及變更方案。因此，預期本申請主題將可用廣泛的方式檢視，並且其定義在附加申請專利範圍中提出。

【實施方式】

較佳實施例之詳細說明

第1圖展示本申請主題的系統實施例100。系統100可包含一組耦合至一晶片組14之主機處理器12。主機處理器12可包含，例如，Intel® Pentium® IV微處理器，其可以商業方式從本申請主題的「受託人」取得。當然，主機處理器12也可包含另一種類型的微處理器，例如，一種由本申請主題的「受託人」以外的來源所製造及/或以商業方式取得的微處理器，而不脫離此實施例的範圍。

晶片組14可包含一主機橋接/集線器系統，其可讓主機處理器12、系統記憶體21以及使用者界面系統16彼此耦合並且耦合至匯流排系統22。晶片組14也可包含一I/O橋接/集線器系統(未展示)，其可將主機橋接/集線器系統耦合至匯流排22。晶片組14可包含積體電路晶片，例如以商業方式從本申請主題的受託人取得的積體電路晶片中所選擇的晶片組(例如，圖形記憶體及I/O控制器集線器晶片組)，儘管也可以另外使用其他積體電路晶片，也不會脫離此實施例的範圍。使用者界面系統16可包含，例如，鍵盤、指示裝置，以及顯示系統，讓使用者可輸入指令至系統100並監控其操作狀況。

匯流排22可包含一匯流排，其符合週邊組件互連(PCI) Express™基本規格1.0版，發佈於2002年7月22日，可得自於PCI特別有關團體,Portland, Oregon,美國，(此處之後稱為「PCI Express™匯流排」)。另外，匯流排22也可包含一匯

流排，其符合PCI-X規格1.0a版，2000年7月24日，可得自於PCI特別有關團體,Portland, Oregon,美國，(此處之後稱為「PCI-X匯流排」)。此外，匯流排22可包含其他類型與組態的匯流排系統，而不脫離此實施例的範圍。

- 5 控制器界面卡20可被耦合至大量儲存裝置28並控制其操作。在此實施例中，大量儲存裝置28可包含，例如，一個或多個獨立碟片之冗餘陣列(RAID)29。可由RAID 29所執行的RAID位準可以是0、1或大於1。

 處理器12、系統記憶體21、晶片組14、匯流排22與電
10 路界面卡電槽30可被包含於單一電路板中，例如，系統主機板32。大量儲存裝置28可被包含於一個或多個分別的包圍物中，其可與包圍主機板32以及包含在主機板32之元件的包圍物分隔。

 界面卡20可經由一個或多個網路通訊鏈路44被耦合至
15 大量儲存裝置28。如下所述，至少部分取決於可包含於界面卡20中之積體電路40的操作模式，該界面卡20可使用一或多種不同的通訊協定(例如，光纖通道(FC)、序列式先進技術附加(S-ATA)及/或序列式附加小型電腦系統界面(SAS)協定)經由鏈路44與大量儲存裝置28交換資料及/或指令。當
20 然，I/O控制器界面卡20也可以使用其他及/或額外的通訊協定與大量儲存裝置28交換資料及/或指令，而不脫離本實施例的範圍。

 根據本實施例，如果控制器界面卡20使用FC協定與大量儲存裝置28交換資料及/或指令，該協定可符合或相容於

ANSI標準光纖通道(FC)實際和信號界面-3X3.303:1998規格中所說明的界面/協定。另外，如果控制器界面卡20使用S-ATA協定與大量儲存裝置28交換資料及/或指令，該協定可符合或相容於“串列ATA:高速序列化AT附加”1.0版(由串

5 列ATA工作群於2001年8月29日發佈)中所述的協定。此外，如果控制器界面卡20使用SAS協定與大量儲存裝置28交換資料及/或指令，該協定可符合或相容於由美國國家標準院於2002年10月19日發佈之“資訊技術-串列附加SCSI(SAS)”，資訊技術標準國際委員會(INCITS)之T10技

10 術委員會美國國家標準工作草案，計劃T10/1562-D,2b版(此處之後稱為“SAS標準”)，及/或SAS標準稍後發佈的版本中所述的協定。

根據匯流排22是包含PCI Express™匯流排或是PCI-X匯流排而定，電路界面卡電槽30可包含，例如，一PCI

15 Express™或PCI-X匯流排相容或相符的擴充電槽或界面36。界面36可包含一匯流排連接器37，其可與一包含在電路界面卡20中之匯流排擴充電槽或界面35的匹配匯流排連接器34進行電子式和機械式匹配。

電路界面卡20可包含一積體電路40、操作模式選擇器

20 電路42、電腦可讀取的開機指令記憶體39以及電腦可讀取的記憶體38。另外，雖然未列於圖示中，但積體電路40可包含記憶體38及/或記憶體39。如此處所使用，「積體電路」代表一種半導體裝置及/或微電子裝置，例如，半導體積體電路晶片。記憶體38及/或39可各自包含一或多種下列的記

憶體類型：半導體韌體記憶體、可程式化記憶體、非依電性記憶體、唯讀記憶體、電子式可程式化記憶體、隨機存取記憶體、快閃記憶體、磁碟記憶體及/或光碟記憶體。記憶體38及/或39可以額外或另外方式各自包含其他及/或後

5 續研發的電腦可讀取記憶體類型。

機器可讀取韌體程式指令可儲存於記憶體38中。如下所示，這些指令可由積體電路40加以存取並執行。當由積體電路40執行時，這些指令可導致積體電路40執行此處所述如積體電路40執行的操作。

10 電槽30與界面卡20的建構方式為允許界面卡20被插入電槽30中。當界面卡20被正確插入電槽30後，連接器34與36便以電子式與機械式彼此互相耦合。當連接器34與36以此方式彼此耦合之後，界面卡20便電子式耦合至匯流排22並且可經由匯流排22與晶片組14與系統記憶體21、主機處理器12及/或使用

15 者界面系統16交換資料及/或指令。

另外，在不脫離本實施例範圍的情況下，該界面卡20的操作電路可不包含在界面卡20中，而是包含在其他結構、系統及/或裝置中。這些結構、系統及/或裝置可以，例如，包含在主機板32中或耦合至匯流排22，並且與系統100

20 中的其他元件(例如，系統記憶體21、主機處理器12及/或使用

者界面系統16)交換資料及/或指令。

第2圖是積體電路40的結構圖。積體電路40包含處理器電路202、I/O界面電路204、記憶體控制電路232、記憶體控制電路230、處理器匯流排206以及匯流排橋接電路208。

處理器電路202、I/O界面電路204、記憶體控制電路232、
記憶體控制電路230以及匯流排橋接電路208可以電子方式
耦合至匯流排206並經由其交換資料及/或指令。匯流排橋
接電路208可以將處理器匯流排206電子方式耦合至輸入/
5 輸出(I/O)匯流排254，並且可允許耦合至匯流排206之裝置
與耦合至匯流排254之裝置交換資料及/或指令，同時允許
匯流排206與254的個別位址空間彼此獨立。記憶體控制電
路230、主機匯流排界面電路210、開機指令碼記憶體界面
242以及周邊界面電路244也可以電子方式耦合至匯流排
10 254，並且可經由匯流排254彼此交換資料及/或指令。記憶
體控制電路230可以電子方式耦合至記憶體38。開機指令碼
記憶體界面242可被耦合至記憶體39。記憶體控制電路232
可以電子方式被耦合至電腦可讀取記憶體228。記憶體228
可包含，例如，多埠靜態隨機存取記憶體(SRAM)，雖然記
15 憶體228可包含其他類型的電腦可讀取記憶體，但不脫離此
實施例的範圍。主機匯流排界面電路210可以電子方式耦合
至主機匯流排界面35。

模式選擇器電路42可以電子方式被耦合至可包含在界
面電路246中之一般用途的I/O界面電路248。界面電路246
20 可包含其他及/或額外類型的界面電路(未展示)而不脫離此
實施例的範圍。包含在界面246中的界面電路可經由，例
如，一周邊匯流排(未展示)耦合在一起。界面246可經由周
邊界面電路244被耦合至匯流排254，該電路允許可耦合至
電路246中的周邊匯流排之電路246中的界面電路與耦合至

匯流排254之裝置交換資料及/或指令。

例如，在積體電路40重置之後，開機指令碼記憶體界面電路242允許處理器電路202擷取並執行儲存於記憶體39中的程式指令。更明確地說，處理器電路202可經由匯流排206、橋接電路208、匯流排254及界面電路242提供一項或多項指令至記憶體39及/或界面電路242，而導致這些程式指令自記憶體39被擷取並且經由界面242、匯流排254、橋接電路208與匯流排206被提供至電路202。

積體電路40也可以包含效能監視(PMON)電路226。

10 PMON電路226可監控，例如，經由匯流排206及/或匯流排254所執行的資料及/或指令交換，及/或由積體電路40中的其他電路所執行的其他及/或額外的操作，並且至少可以部分根據此監控狀況，來判斷積體電路40是否運作正常。PMON電路226可將其監控活動的結果傳送至，例如，處理器電路202及/或經由電路210傳至外部裝置，例如，主機處理

15 器12。

處理器電路202可包含多數個處理器核心216與218。如此處所使用，「處理器核心」可包含硬體接線電路、可程式化電路，及/或狀態機器電路。同時，如此處所使用，「處理器電路」可包含硬體接線電路、可程式化電路，及/或狀態機器電路。在此實施例中，各處理器核心216與218可包含個別的電路，其電路可相容及/或符合《Intel®XScale™核心研發人員手冊》(由本申請主題的「受託人」於2000年12月發佈)中所述的「Intel®XScale™核心微基礎架構」。當然，

20

如上所述，電路202可包含其他類型的處理器核心電路而不會脫離此實施例的範圍。在此實施例中，處理器核心216與218可分別包含，例如，電腦可讀取程式指令記憶體220與224，該記憶體可包含處理器核心216與218可分別執行之微碼程式指令的個別集合。這些程式指令的個別集合由處理器核心216與218分別執行會導致，例如，此處所說明由電路202、核心216及/或核心218所執行的操作如同由電路202、核心216及/或核心218分別執行一般。例如，在積體電路40重置之後，至少這些程式指令之個別集合的一部份可自，例如，開機指令碼記憶體39被擷取。處理器核心216也可以包含一組L2快取記憶體222，讓處理器核心216用於執行此處所述的操作，如同由處理器核心216執行一般。

界面電路204可包含協定引擎250A、250B、...、250N以及實體層界面電路252A、252B、...、252N。如下所述，各別的協定引擎250A、250B、...250N可與個別的實體層界面電路252A、252B、...、252N建立關聯並交換資料及/或指令。因此，例如，協定引擎250A可分別與實體層界面電路252A建立關聯並交換資料及/或指令，協定引擎250B可分別與實體層界面電路252B建立關聯並交換資料及/或指令，並且協定引擎250A可分別與實體層界面電路252N建立關聯並交換資料及/或指令。在此實施例中，各協定引擎250A、250B、...、250N的個別建構與操作可以是相同的。此外，在此實施例中，各界面252A、252B、...、252N的個別建構與操作可以是相同的。協定引擎252A、252B、...、252N、

實體層界面252A、252B、...、252N以及鏈路44的個別數量可以改變，而不會脫離此實施例的範圍。但是，在此實施例中，協定引擎250A、250B、...250N的數量可等於實體層界面252A、252B、...、252N的數量。在此實施例中，各實體層界面252A、252B、...、252N可被耦合至個別的鏈路44，因此，在此實施例中，實體層界面252A、252B、...、252N可等於鏈路44的數量。

主機匯流排界面電路210可包含個別的界面電路，用以允許積體電路40能夠根據匯流排22可符合或相容的多數個不同的主機匯流排協定，與可耦合至匯流排22之其他裝置交換資料及/或指令。例如，在此實施例中，電路210可包含PCI-X匯流排界面電路212以及PCI Express™匯流排界面電路214。亦即，如下所述，至少部分根據匯流排22可符合或相容的匯流排協定，積體電路40的一種特定操作模式可被選擇，其中電路210中僅單一適當的個別界面電路被引動以與可耦合至匯流排22的裝置交換資料及/或指令，其他電路210中的個別界面電路則不被引動。例如，在此實施例中，如果匯流排22是PCI-X匯流排，則在選定的操作模式下，PCI-X界面電路212可被引動而PCI Express™匯流排界面電路214則不被引動。反之，在實施例中，如果匯流排22是PCI-X匯流排，則在選定的操作模式下，PCI-X界面電路212不被引動而PCI Express™匯流排界面電路214可被引動。

雖然未展示於圖示中，但在此實施例中的記憶體控制

電路232及/或DMA電路234可以電子方式耦合至匯流排254。在此實施例中，記憶體控制電路232可包含直接記憶體存取(DMA)電路234。記憶體控制電路232可控制記憶體228的資料存取。例如，在此實施例中，記憶體控制電路232可與，例如處理器電路202、界面電路204、界面電路210及/或記憶體控制電路230交換指令及/或資料。記憶體控制電路232至少部分根據這些指令而可與記憶體228交換資料及/或指令。這樣會導致記憶體228根據供應至記憶體控制電路的指令及/或資料而儲存及/或擷取資料。此外，按積體電路40之選定操作模式而定，DMA電路234可根據電路234自積體電路40中的其他電路所接收的指令及/或資料，來控制在I/O界面204及積體電路40中的其他電路之間交換經由一個或多個鏈路44由I/O界面電路204接收或預計傳送的資料及/或指令。在不脫離本實施例之範圍的情況下，DMA電路234可以不包含在電路232中，而可包含不同於電路232且被耦合至電路232與匯流排254的電路。

在此實施例中，記憶體控制電路230可包含RAID操作相關的電路240。電路240可包含，例如，DMA電路238以及RAID計算電路236。記憶體控制電路230可控制外部記憶體38的資料存取。例如，在此實施例中，記憶體控制電路230可與，例如處理器電路202、界面電路210及/或記憶體控制電路232交換指令及/或資料。記憶體控制電路230至少部分根據這些指令而可與記憶體38交換資料及/或指令。這樣會導致記憶體38根據供應至記憶體控制電路的指令及/或資

料而儲存及/或擷取資料。此外，按積體電路40之選定操作模式而定，DMA電路238可根據電路238自積體電路40中的其他電路所接收的指令及/或資料，來控制在積體電路40中的其他電路之間交換RAID相關資料。如此處所使用，

5 「RAID相關資料」是指涉及、因而產生、作為輸入或運算元，及/或用於執行及/或促進涉及執行及/或維持RAID(例如，RAID 29)之操作的資料。RAID計算電路236可包含運算加速電路(未展示)，該電路能夠執行一或多種使用及/或涉及RAID相關資料之運算及/或邏輯操作(例如，邏輯互斥

10 或操作)，其可自初始使用者資料產生RAID同位資料及/或自此RAID同位資料重新產生初始使用者資料。在不脫離本實施例之範圍的情況下，DMA電路238及/或RAID計算電路236可以不包含在電路230中，而可包含不同於電路230且被耦合至電路230與匯流排254的電路。同時在不脫離本實施

15 例之範圍的情況下，積體電路40可不包含RAID計算電路236，但另外，至少部分根據積體電路40的選定操作模式，由電路236執行的運算及/或邏輯操作可改由處理器核心216執行。

如上所述，各協定引擎250A、250B、...、250N的個別

20 建構可以是相同的。第3圖展示協定引擎250A。協定引擎250A可包含資料傳送層協定與資料鏈路層協定電路304以及控制電路302。資料傳送層協定與資料鏈路層協定電路304可以電子方式被耦合至控制電路302、匯流排206以及與協定引擎250A相關的實體層界面電路252A。在此實施例

中，電路304可包含多數個不同的個別資料傳送層協定電路306A、306B、...、306M以及可分別與不同的個別資料傳送層協定電路306A、306B、...、306M建立關聯的多數個不同的個別資料鏈路層協定電路308A、308B、...、308M。例如，

5 在此實施例中，資料傳送層協定電路306A可分別建立關聯並以電子方式耦合至資料鏈路層協定電路308A、資料傳送層協定電路306B可分別建立關聯並以電子方式耦合至資料鏈路層協定電路308B，而資料傳送層協定電路306M可分別建立關聯並以電子方式耦合至資料鏈路層協定電路308M。

10 在此實施例中，資料傳送層協定電路306A、306B、...、306M能夠執行不同的個別資料傳送層通訊協定，該協定可根據哪張界面卡20可經由一個或多個鏈路44與大量儲存裝置28通訊而建立關聯及/或包含於不同的個別通訊協定中。相似地，資料鏈路層協定電路308A、308B、...、306M

15 能夠執行不同的個別資料鏈路層通訊協定，該協定可根據哪張界面卡20可經由一個或多個鏈路44與大量儲存裝置28通訊而建立關聯及/或包含於不同的個別通訊協定中。各資料傳送層協定電路306A、306B、...、306M可分別建立關聯並以電子方式耦合至個別的鏈路層協定電路308A、

20 308B、...、308M，該鏈路層協定電路能夠執行個別的資料鏈路層協定，而其協定可建立關聯及/或包含於相同的個別通訊協定中，且資料傳送層協定可執行資料傳送層協定電路306A、306B、...、306M。例如，在此實施例中，電路306A與電路308A能夠分別執行資料傳送層協定以及資料鏈路層

協定，而這些協定可分別建立關聯及/或包含在用於SAS協定的資料傳送層協定以及資料鏈路層協定中。此外，例如，在此實施例中，電路306B與電路308B能夠分別執行資料傳送層協定以及資料鏈路層協定，而這些協定可分別建立關聯及/或包含在用於FC協定的資料傳送層協定以及資料鏈路層協定中。此外，例如，在此實施例中，電路306M與電路308M能夠分別執行資料傳送層協定以及資料鏈路層協定，而這些協定可分別建立關聯及/或包含在用於S-ATA協定的資料傳送層協定以及資料鏈路層協定中。不同資料傳送層及資料鏈路層通訊協定的數目與類型可由電路304加以執行。

當作用時，個別的資料傳送層協定電路306A、306B、...、306M，至少部分反應於自處理器核心218所接收的指令及/或資料並根據由個別電路306A、306B、...、306M所執行的個別資料傳送層協定，而提供控制及/或資料信號至個別電路308A、308B、...、308M。這樣會導致接收此控制及/或資料信號的個別資料鏈路層協定電路308A、308B、...、308M根據由個別電路所執行的個別資料傳送層協定，提供對應的控制及/或資料信號至實體層界面電路252A。這樣會導致實體層界面電路252A根據包含由個別資料鏈路層電路所執行之個別資料鏈路層協定的個別通訊協定(例如，SAS、FC或S-ATA)，經由鏈路44的其中之一傳送對應的資料及/或控制信號至大量儲存裝置28。

同樣地，在此實施例中，實體層界面電路252A可根據鏈路44中其所耦合之鏈路所利用的個別通訊協定(例如，SAS、FC或S-ATA)，自大量儲存裝置28接收資料及/或控制信號。至少部分取決於積體電路40的選定操作模式而定，

5 實體層界面電路252A可將所接收的資料及/或控制信號提供至在選定操作模式下啟用的資料鏈路層協定電路308A、308B、...、308M。這樣會導致啟用的資料鏈路層協定電路根據啟用的資料鏈路層協定電路所執行的個別資料鏈路層協定而產生並供應對應的控制及/或資料信號至其所關聯

10 的資料傳送層協定電路，以供此資料傳送層協定電路使用。這樣會導致此傳送層協定電路根據此傳送層協定電路所執行的資料傳送層協定而產生對應的資料及/或指令，且該資料及/或指令可預期供，例如，處理器電路202及/或主機處理器12所執行的應用程式使用。處理器核心218可發信

15 號至記憶體控制電路232、界面電路210界面電路204及/或DMA電路234。這樣會導致，例如，由該傳送層協定電路產生的資料及/或指令被儲存於記憶體228中、被提供至處理器核心218及/或被提供至主機處理器12以供，例如，該應用程式使用。

20 在此實施例中，為至少部分反應於界面電路204自，例如，處理器核心218所接收的一個或多個指令，協定引擎250A中的控制電路302可選擇何組資料傳送層協定電路306A、306B、...、306M以及何組資料鏈路層協定電路308A、308B、...、308M中何者是啟用的及/或在操作中。亦即，如

下所述，取決於積體電路40的選定操作模式而定，處理器核心218可提供一個或多個與該選定操作模式相關的指令至界面電路204。這樣會導致控制電路302發信號至電路304。這導致與積體電路40之選定操作模式關聯的傳送層協定電路306A、306B、...306M的其中之一(例如，電路306A)以及資料鏈路層協定電路308A、308B、...308M的其中之一(例如，與電路306A關聯的電路308A)在協定引擎250A中是啟用的及/或在操作中。因此，協定引擎250A僅可根據包含及/或關聯至分別由在協定引擎250A中啟用的傳送與資料鏈路層電路306A與308A所執行的傳送與資料鏈路層協定之通訊協定(例如，SAS協定)而與大量儲存裝置28通訊。因此，積體電路40之操作模式的選擇可對應並導致處理器核心218產生一個或多個指令，其導致選擇傳送與資料鏈路層協定電路中何者在協定引擎250A中是啟用的及/或在操作中，以及因而選擇可讓協定引擎250A用來與大量儲存裝置28通訊的通訊協定。按相同方式，由於選擇積體電路40的操作模式而讓處理器核心218提供至界面電路204的一個或多個指令，也會導致選擇可由界面電路204中各協定引擎用於與大量儲存裝置28通訊之個別通訊協定。這些一個或多個指令也可以額外或另外的方式，來選擇何組協定引擎250A、250B、...、250N是啟用的及/或操作中的，或是停用的及/或非操作中的。

此外，至少部分根據積體電路40的操作模式而定，處理器核心216及/或RAID操作相關的電路240可以啟用以執

行或停用以不執行涉及執行及/或維護RAID(例如, RAID 29)的一項或多項操作。例如, 如果處理器核心216及電路240被啟用以執行此等操作時, 處理器核心216可執行(以至少部分反應於), 例如, 主機處理器12所發出至積體電路40的一項或多項要求, 以便儲存、擷取及/或重建使用者資料於RAID 29中, 而儲存於記憶體220中的程式指令會導致處理器核心216根據, 例如, 傳統的RAID技術來判斷RAID 29中要儲存及/或自其中擷取檢查資料及/或與檢查資料相關的使用者資料之位置。如此處所使用, 「檢查資料」意指至少部分根據第二資料所產生的第一資料並且可從該資料至少部分重新產生第二資料。如果在RAID 29中所執行的RAID位準等於零, 則檢查資料不會存在RAID 29中, 並且這些位置可包含, 例如, 使用者資料之一個或多個磁帶(未展示)的RAID 29中的位置。如果在RAID 29中所執行的RAID位準大於一, 則檢查資料可包含同位資料, 且這些位置可包含, 例如, 檢查資料及/或使用使用者資料之一個或多個磁帶(未展示)的RAID 29中的位置。另外, 如果在RAID 29中所執行的RAID位準等於一(亦即, RAID 29執行資料鏡射), 則檢查資料可包含使用者資料的複製, 且這些位置可包含, 例如, 使用者資料及RAID 29中個別鏡射之量(未展示)的使用者資料的冗餘複製之位置。在此實施例中, 處理器核心216及/或RAID計算電路236可使用傳統的RAID技術以至少部分根據使用者資料而產生檢查資料及/或至少部分根據檢查資料而重新產生使用者資料。根據積體電路40

的選定操作模式而定，處理器核心218可發信號至界面電路204。這樣會導致協定引擎的其中之一(例如，協定引擎250A)將使用資料及/或檢查資料經由其相關的界面252A及該界面252A可耦合之鏈路44的其中之一而傳送至及/或擷取自大量儲存裝置28。該使用者資料及/或檢查資料可在處理器216所決定的位置中被儲存於及/或擷取自RAID。

記憶體39、記憶體220、記憶體224及/或記憶體228可包含程式指令，而該指令在由積體電路40執行後，另外還會導致界面卡20根據一組實施例執行操作。第5圖是根據一組實施例展示可在系統100中執行的這些和其他操作600之流程圖。

如操作602所示，操作600可始於選擇積體電路40的選定操作模式。在此實施例中，積體電路40的選定操作模式可至少部分根據及/或由於一個或多個自選擇器電路42提供至GPIO界面電路248的信號、一個或多個由主機處理器12提供至主機匯流排界面電路210的信號、一個或多個儲存在記憶體39中由處理器電路202所執行的程式指令、及/或一個或多個由電路204偵測及/或探索使用於一個或多個鏈路44之個別的通訊協定。

例如，在此實施例中，選擇器電路42可包含一個或多個跨接器及/或一個或多個雙列直排式封裝(DIP)切換器43，且該切換器可被設定(例如，由未展示的操作人員設定)於多數個不同的組態中，以選擇積體電路40的選定操作模式。亦即，跨接器及/或切換器43之多數個不同的組態可對

應於積體電路40各別的不同操作模式。當一個或多個跳接器及/或DIP切換器43被設於一特殊組態中時，該選擇器電路42可產生一組或多組控制信號，其可對應於及/或指示對應於該特殊組態的積體電路40之操作模式。例如，在積體

5 電路40重置之後，這些一組或多組控制信號可經由電路246、電路244、匯流排254、橋接電路208及匯流排206被供應至處理器核心216與218。

為至少部分反應於這些一組或多組控制信號，處理器核心218可產生並供應一組或多組指令至界面電路204及/

10 或主機匯流排界面電路210，該指令可根據對應於及/或由一組或多組控制信號所指示之積體電路40的操作模式而分別選擇匯流排界面212與214何者被引動或不被引動、協定引擎250A、250B、...、250N何者被引動或不被引動，及/或要由協定引擎250A、250B、...、250N所執行的協定。處

15 理器核心218也會產生並供應一組或多組指令至DMA電路234，該指令可根據對應於及/或由一組或多組控制信號所指示之積體電路40的操作模式而引動DMA電路234以控制或不引動DMA電路234，而使之無法控制在I/O界面204及積體電路40之其他電路中交換接收自或預計由I/O界面電路

20 204經由一個或多個鏈路44所傳送的資料及/或指令。

同時，假設在由跨接器及/或切換器43所選擇的積體電路40的操作模式中，為至少部分反應於這些來自選擇器電路42之一組或多組控制信號，處理器核心216可根據對應於及/或由一組或多組控制信號所指示之積體電路40的操作

模式而決定處理器核心216及/或RAID操作相關的電路240是否預計為操作中及/或被引動，或非操作中及/或不被引動。

如果處理器核心216決定處理器核心216及/或RAID操作相關電路240預計為操作中及/或被引動，則處理器核心216可發信號至電路240。這樣會導致處理器核心216及/或電路240執行一項或多項涉及執行及/維護RAID(例如，RAID 29)的操作。

反之，如果處理器核心216決定處理器核心216及/或RAID操作相關電路240預計為非操作中及/或不被引動，則處理器核心216可發信號至電路240。這樣會導致處理器核心216及/或電路240無法執行一項或多項涉及執行及/維護RAID(例如，RAID 29)的操作。

額外地或另外地，來自選擇器電路42的一組或多組控制信號也可以被供應至電路210、電路234及/或電路240。這樣可根據對應於及/或由一組或多組控制信號所指示之積體電路40的操作模式而導致引動或不引動匯流排界面電路212、匯流排界面電路214、電路240及/或電路234。

額外地或另外地，在此實施例中，積體電路40之選定操作模式可以在操作602中，至少部分根據及/或由於主機處理器12供應至主機匯流排界面電路210的一個或多個信號而被選擇。例如，主機匯流排界面電路210可包含一個或多個記憶體位置(未展示)，其位置可包含一組或多組可指示積體電路40之選定操作模式的值。這些記憶體位置可包

含，例如，一個或多個組態暫存器。在系統100重設之後，該一組或多組值可指示積體電路40之預設操作模式，其中根據，例如，匯流排22是PCI-X匯流排或是PCI Express™匯流排而定，來引動界面電路212與界面電路214其中適當且

5 預定的一組電路。主機處理器12可根據匯流排22可符合或相容的匯流排協定來啟動及/或執行一個或多個組態週期，其中主機處理器12可提供一組或多組控制信號至可至少部分導致這些一組或多組值的改變之電路210，以選擇希望積體電路40操作的操作模式。亦即，這些至少部分由主

10 機處理器12改變的一組或多組值可指示希望積體電路40操作的操作模式。在其之前或同時，系統100的操作員可選擇積體電路40之所要的操作模式，並且可經由使用者界面系統16發出一個或多個指令至主機處理器12，該使用者界面系統會導致主機處理器12改變這些一組或多組值，以至於

15 該值在改變後會指示所要的操作模式。

隨後，處理器核心216與218可檢查這些儲存在主機匯流排界面電路210中的一個或多個記憶體位置之一組或多組值，並且可由此決定積體電路40的選定操作模式。處理器核心218可產生並供應一個或多個指令至界面電路204，

20 該指令可根據對應於及/或由這些一組或多組值所指示之積體電路40的操作模式，來分別選擇協定引擎250A、250B、...、250N何者將被引動或不被引動，及/或將要由協定引擎250A、250B、...、250N執行的協定。處理器核心218也會產生並供應一組或多組指令至DMA電路234，該指令可

根據對應於及/或由一組或多組值所指示之積體電路40的操作模式而引動DMA電路234以控制或不引動DMA電路234，而使之無法控制在I/O界面204及積體電路40之其他電路中交換接收自或預計由I/O界面電路204經由一個或多個

5 鏈路44所傳送的資料及/或指令。

假設在由一組或多組值所指示之積體電路40的操作模式中，處理器核心216可根據對應於及/或由一組或多組值所指示之積體電路40的操作模式，來決定處理器核心216及/或RAID操作相關電路240是否預計為操作中及/或被引動的，或是非操作中及/或不被引動的。

10

如果處理器核心216決定處理器核心216及/或RAID操作相關電路240預計為操作中及/或被引動，則處理器核心216可發信號至電路240。這樣會導致處理器核心216及/或電路240執行一項或多項涉及執行及/維護RAID(例如，

15 RAID 29)的操作。

反之，如果處理器核心216決定處理器核心216及/或RAID操作相關電路240預計為非操作中及/或不被引動，則處理器核心216可發信號至電路240。這樣會導致處理器核心216及/或電路240無法執行一項或多項涉及執行及/維護

20 RAID(例如，RAID 29)的操作。

額外地或另外地，電路234及/或電路240可以檢查儲存於電路210中的一組或多組值。這樣可根據對應於及/或由一組或多組值所指示之積體電路40的操作模式而導致引動或不引動電路240及/或電路234。

額外地或另外地，在此實施例中，積體電路40之選定操作模式可以在操作602中，至少部分根據及/或由於處理器電路202執行儲存在記憶體39中的一個或多個程式指令來選擇。亦即，根據本實施例，積體電路40不同的個別操作模式可與不同的個別韌體程式指令集影像相關聯，其在至少部分由處理器核心216與處理器核心218執行時，會導致個別的操作模式與這些選定的個別影像相關聯，並且還會導致積體電路40以個別的操作模式操作。在此實施例中，只有單一韌體程式指令集影像可儲存於記憶體39、記憶體220及/或記憶體224中。此單一韌體程式指令集影像可包含一個或多個韌體程式指令，其指令可在例如，積體電路40重置後，由處理器核心216及處理器218加以執行。這樣會導致處理器核心218產生並供應一個或多個指令至界面電路204，該指令可根據與儲存於記憶體39、記憶體220及/或記憶體224之單一韌體程式集影像相關的積體電路40的操作模式，來分別選擇界面212與214何者將被引動、協定引擎250A、250B、...、250N何者將被引動或不被引動，及/或將要由協定引擎250A、250B、...、250N執行的協定。這樣還會導致處理器核心218產生並供應一組或多組指令至DMA電路234，該指令可根據與儲存於記憶體39之單一韌體程式集影像相關的積體電路40的操作模式而引動DMA電路234以控制或不引動DMA電路234，而使之無法控制在I/O界面204及積體電路40之其他電路中交換接收自或預計由I/O界面電路204經由一個或多個鏈路44所傳送的資料及/或

指令。

在此積體電路40的操作模式中，處理器核心216執行這些一個或多個程式指令還會導致處理器核心216根據與儲存於記憶體39之單一韌體程式指令集影像相關的積體電路40的操作模式，來決定處理器核心216及/或RAID操作相關電路240預計將是操作中的及/或被引動的，或是非操作中的及/或不被引動的。

如果處理器核心216決定處理器核心216及/或RAID操作相關電路240預計為操作中及/或被引動，則處理器核心216可發信號至電路240。這樣會導致處理器核心216及/或電路240執行一項或多項涉及執行及/維護RAID(例如，RAID 29)的操作。

反之，如果處理器核心216決定處理器核心216及/或RAID操作相關電路240預計為非操作中及/或不被引動，則處理器核心216可發信號至電路240。這樣會導致處理器核心216及/或電路240無法執行一項或多項涉及執行及/維護RAID(例如，RAID 29)的操作。

額外地或另外地，在此實施例中，積體電路40之選定操作模式可以在操作602中，至少部分根據及/或由於一個或多個由電路204偵測及/或探索使用於一個或多個鏈路44之個別的通訊協定。亦即，電路204可檢查經由一個或多個鏈路44傳送至電路204的信號，該鏈路可包含資料及/或指令，並且可至少部分根據此檢查而偵測及/或探索一個或多個個別的通訊協定，而該指令及/或資料可透過此協定經由

一個或多個鏈路44被傳送至電路204。電路204可提供一組或多組信號至處理器核心218，其可指示一個或多個被偵測及/或被探索的協定，並且可根據這些被偵測及/或被探索的協定來分別選擇協定引擎250A、250B、...、250N何者將被
5 引動或不被引動，及/或將由協定引擎250A、250B、...、250N執行的一個或多個協定。至少部分根據電路204提供至處理器核心218的指示，處理器核心218可產生並供應一個或多個指令至DMA電路234，該指令可引動DMA電路234控制在I/O界面204及積體電路40之其他電路中交換接收自或預計
10 由I/O界面電路204經由一個或多個鏈路44所傳送的資料及/或指令。自選擇器電路42提供至GPIO界面電路248的一組或多組信號、由主機處理器12提供至主機匯流排界面電路210的一組或多組信號、及/或儲存於記憶體39中由處理器電路202執行的一組或多組程式指令可用於，例如，以上述
15 方式選擇處理器核心216及/或RAID操作相關電路240是否預計為操作中及/或被引動的、或是非操作中及/或不被引動的、以及界面212與214中何者將要被引動。

在操作602中選擇了積體電路40的選定操作模式之後，積體電路40便可按選定的操作模式操作，如第5圖之操作604所示。例如，一可在操作602中選擇的操作模式可由
20 第4圖之系統100'中的積體電路40所執行。除非與所述對照，否則系統100'的建構及操作基本上是與第1圖所示之系統100的建構及操作相同的。在此積體電路40之操作模式中，界面電路204可至少部分根據由處理器核心218所接收

的指令而與RAID 29交換資料及/或指令。處理器核心216及電路240可不被引動，且一項或多項包含在執行及/或促進涉及執行及/或維持RAID 29的操作可由一RAID控制器界面卡504執行，而非由處理器核心216及/或電路240執行。

- 5 在系統100'中，界面卡504可包含一匯流排界面510。例如，根據匯流排22是包含一PCI Express™匯流排或是PCI-X匯流排而定，系統100'可包含一含電路界面卡電槽510之電路界面卡電槽502，其可包含，例如，一PCI Express™或PCI-X匯流排可相容或相符的擴充電槽或界面506。界面506可包含一匯流排連接器508，其可與一包含在電路界面卡504中之匯流排擴充界面510的匹配匯流排連接器512電子式和機械式匹配。當連接器508與連接器512匹配之後，界面卡504便可經由匯流排22與其他裝置，例如，界面卡20而交換資料及/或指令。

- 15 在系統100'中，由界面卡20自RAID 29所接收且預計接受及/或將被使用於一項或多項包含在執行及/或促進涉及執行及/或維持RAID 29之操作的資料及/或指令，可經由匯流排22自積體電路40傳送至界面卡504。界面卡504可執行這些操作，並且傳送其他可代表及/或包含這些操作之結果的指令及/或資料至積體電路40。處理器核心218可提供一組或多組控制信號至界面204，其可導致界面204傳送這些其他的資料及/或指令至RAID 29，以至少部分執行及/或維護RAID 29。

另外地，在積體電路40的另一種操作模式中，除了經

由匯流排22與積體電路40交換資料及/或指令之外，界面卡504可經由一個或多個通訊鏈路500而與積體電路40交換資料及/或指令，且該鏈路可被耦合至一個或多個個別的實體界面252A、252B、...、252N。亦即，在積體電路40的此操作模式中，實體界面252A、252B、...、252N的子集可被耦合至一個或多個鏈路44，而實體界面252A、252B、...、252N的不同子集可經由一個或多個鏈路500被耦合至界面卡504。在積體電路40的此操作模式中，處理器核心216和電路240可不被引動，而由界面卡20自RAID 29所接收且預計接受及/或將被使用於一項或多項包含在執行及/或促進涉及執行及/或維持RAID 29之操作的資料及/或指令，可經由一個或多個鏈路500自積體電路40傳送至界面卡504。界面卡504可執行這些操作，並且傳送其他可代表及/或包含這些操作之結果的指令及/或資料至積體電路40。處理器核心218可提供一組或多組控制信號至界面204，其可導致界面204傳送這些其他的資料及/或指令至RAID 29，以至少部分執行及/或維護RAID 29。

因此，簡言之，一系統實施例可包含一組能夠被耦合至儲存裝置的電路界面卡。該電路界面卡可包含一積體電路。該積體電路能夠在選定的操作模式下操作。該積體電路可以包含第一電路和第二電路。該第一電路可進行至少一組操作，該至少一組操作至少部分地包含，至少部分地依據其他資料而產生的檢查資料，至少部分地依據該檢查資料而重新產生其他資料，及/或決定儲存器中該檢查資料

與其他資料的至少一組之一組或多組位置。該第二電路可能控制，至少部分地，在該積體電路處所發射及接收之至少一組檢查資料和其他資料之至少一種之至少一組界面。至少部分地依據該積體電路之被選擇操作模式，該第一電

5 路可以被引動以進行或不引動而不進行該至少一組操作。

同時，簡言之，一系統實施例可包含一組內含積體電路之電路界面卡。該電路界面卡能夠被耦合至一匯流排。該積體電路能夠在選定的操作模式下操作。該積體電路可以包含處理器電路和界面電路。該處理器電路可包含多數

10 個處理器核心。該界面電路能夠根據多數個不同的協定進行通訊。其中至少一組處理器核心能夠發出指令至界面電路，以便至少根據多數個不同協定的其中之一協定進行通訊，且該協定對應於積體電路的選定操作模式。

相較於先前技術，這些系統實施例之積體電路的優點

15 在於，可提供增強的通訊能力，並且可使用更多主機匯流排和通訊協定進行通訊。其他優點為，這些系統實施例之積體電路所使用的主機匯流排及或通訊協定可加以選擇。此外，這些系統實施例之積體電路可包含單一個別封裝及/或「軌跡」，其可包含用於執行RAID相關操作及/或通訊協

20 定操作的電路。此優點在於，可提升這些系統實施例之積體電路的用途及/多功能性，因為這些積體電路可用於執行此RAID相關操作或者可配合執行此操作之其他RAID控制器裝置一起使用。

此處所使用的字詞與表示方式係作為說明而非限制所

用，且使用這些字詞和表示方式並非欲排除任何所示和所說明(或其部分)特點的等效範圍，並且將認可的是，在申請專利範圍的範疇之內可有各種修改。因此，本申請專利範圍欲涵蓋所有此類等效者。

5 【圖式簡單說明】

第1圖展示一系統實施例。

第2圖展示第1圖之系統實施例中之積體電路的詳細資料。

第3圖展示第2圖之積體電路中之界面電路的詳細資料。

第4圖展示另一系統實施例。

第5圖是展示可根據一實施例執行之操作的流程圖。

【圖式之主要元件代表符號表】

12…主機處理器	35…主機匯流排界面
14…晶片組	36…界面
16…使用者界面系統	37…匯流排連接器
20…控制器界面卡	38…記憶體
21…系統記憶體	39…記憶體
22…匯流排系統	40…積體電路
28…大量儲存裝置	42…操作模式選擇器電路
29…冗餘陣列(RAID)	43…雙列直排式封裝(DIP)切換器
30…電路界面卡電槽	44…鏈路
32…系統主機板	100…系統實施例
34…匹配匯流排連接器	202…處理器電路

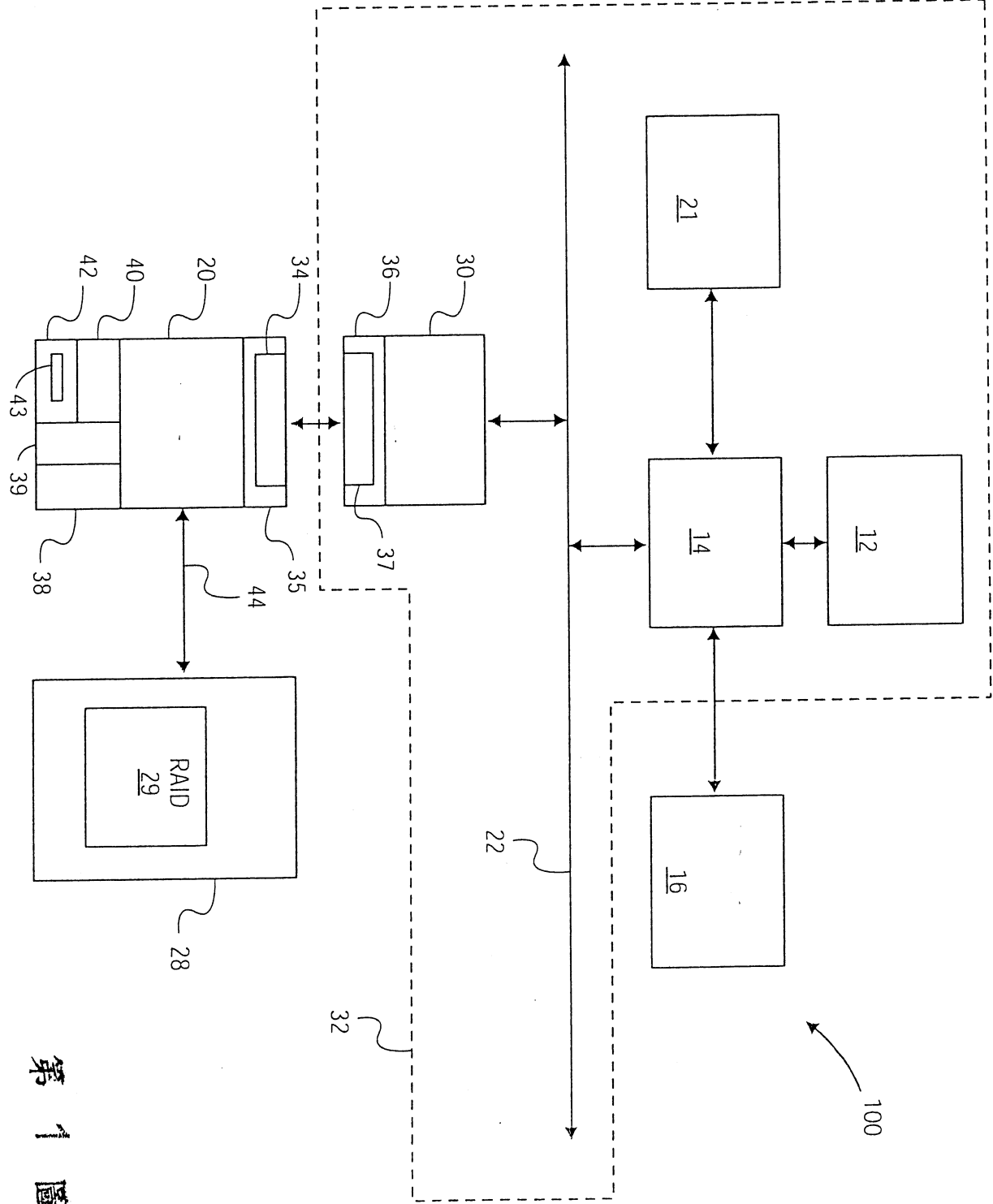
204...I/O 界面電路	242...開機碼記憶體界面
206...處理器匯流排	244...周邊界面電路
208...匯流排橋接電路	246...界面電路
210...主機匯流排界面電路	248...I/O 界面電路
212...PCI-X 匯流排界面電路	250...協定引擎
214...PCIExpress™匯流排界面電路	252...實體層界面電路
216...處理器核心	254...輸入/輸出(I/O)匯流排
218...處理器核心	302...控制電路
220...電腦可讀取程式指令記憶體	304...資料傳送層協定與資料 鏈路層協定電路
222...L2 快取記憶體	306...資料傳送層協定電路
224...電腦可讀取程式指令記憶體	308...資料鏈路層協定電路
226...效能監視(PMON)電路	500...通訊鏈路
228...電腦可讀取記憶體	502...電路界面卡電槽
230...記憶體控制電路	504...界面卡
232...記憶體控制電路	506...界面
234...直接記憶體存取(DMA)電路	508...匯流排連接器
236...RAID 計算電路	510...電路界面卡電槽
238...DMA 電路	512...匹配匯流排連接器
240...電路	

伍、中文發明摘要：

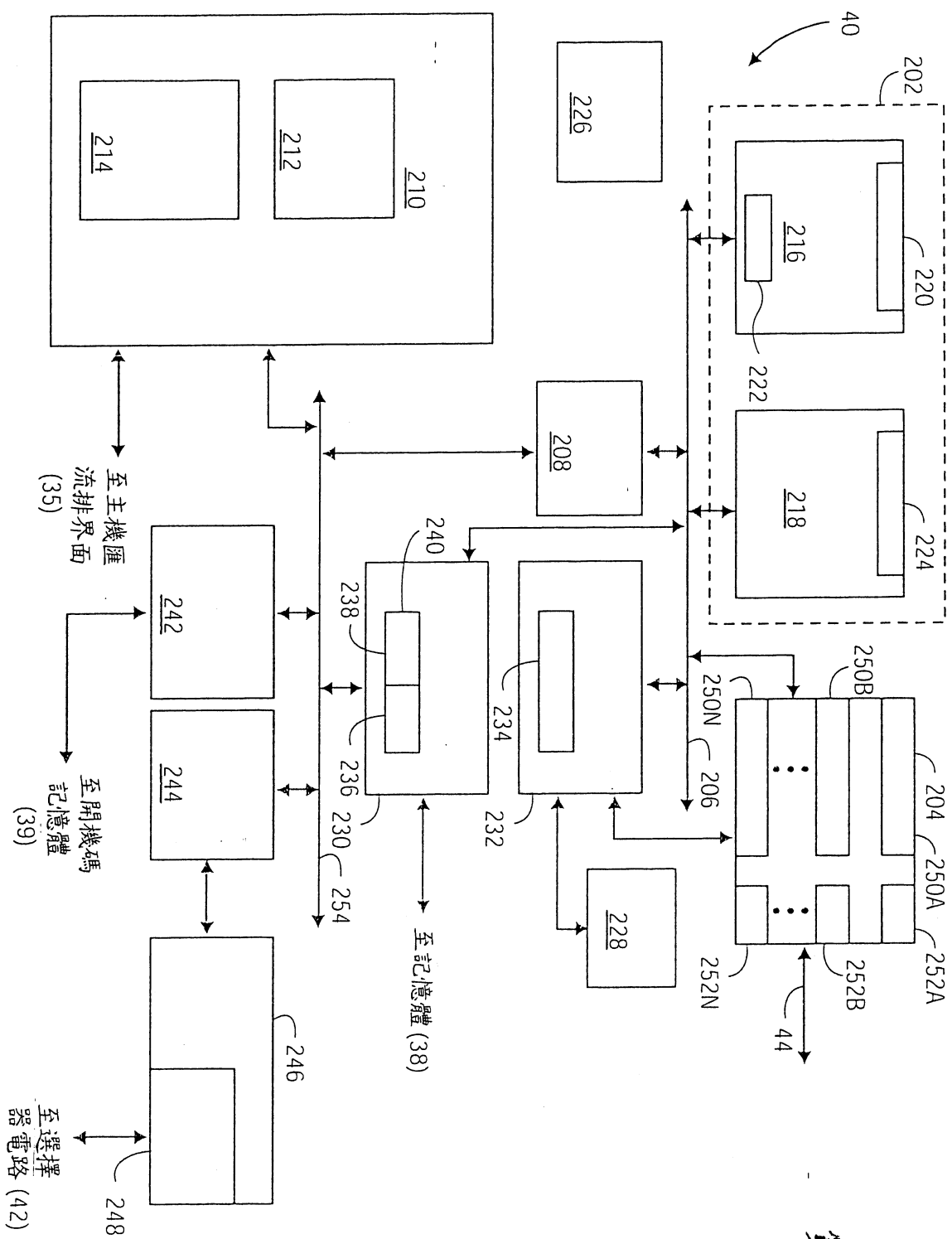
一種依據一實施例之方法，其可包含以被選擇操作模式而操作一積體電路。該積體電路可以包含處理器電路和界面電路。該處理器電路可以包含多數個處理器核心。該界面電路可以依據多數個不同協定而通訊。該等處理器核心之至少一組可以發出一組命令至該界面電路以依據對應至該積體電路之該被選擇操作模式的多數個不同協定之至少一組而通訊。

陸、英文發明摘要：

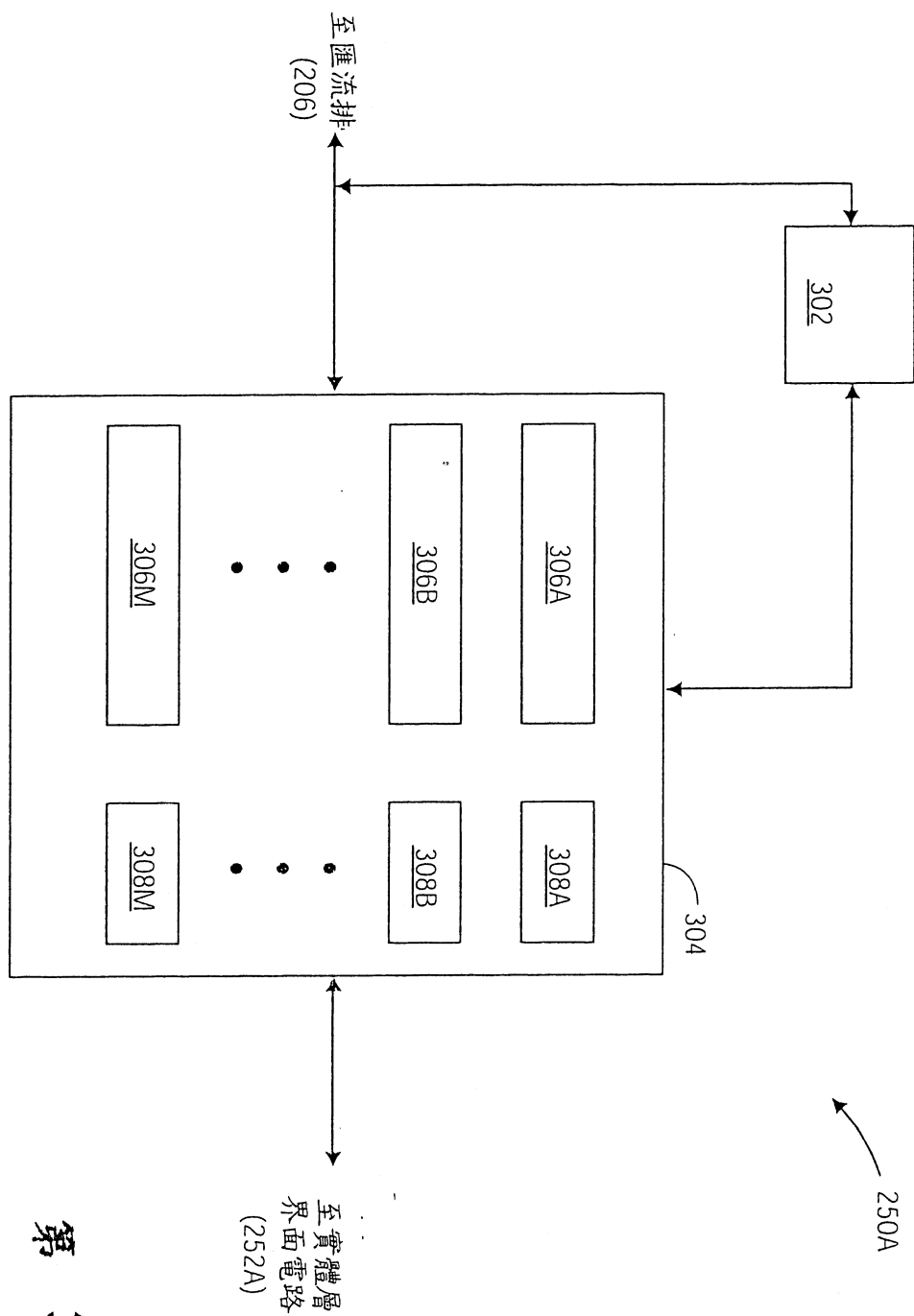
A method according to one embodiment may include operating an integrated circuit in a selected mode of operation. The integrated circuit may include processor circuitry and interface circuitry. The processor circuitry may include a plurality of processor cores. The interface circuitry may be capable of communicating in accordance a plurality of different protocols. At least one of the processor cores may be capable of issuing a command to the interface circuitry to communicate in accordance with at least one of the plurality of different protocols that corresponds to the selected mode of operation of the integrated circuit.



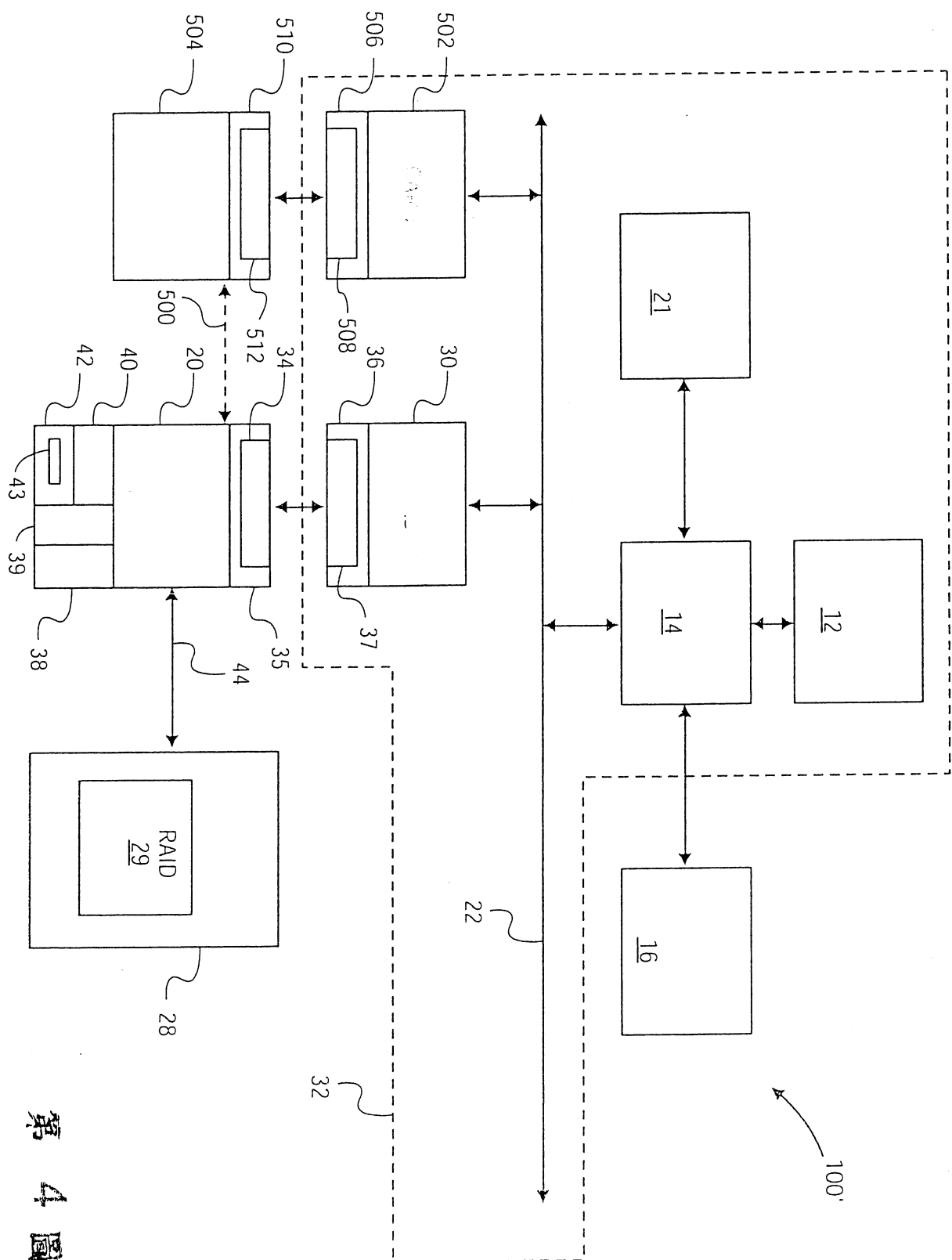
第 1 圖



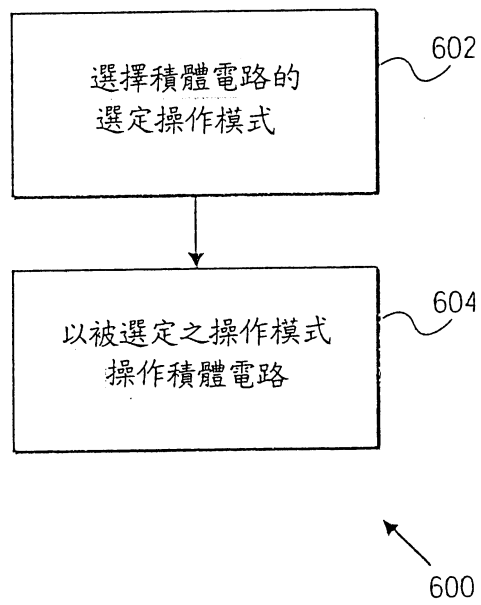
第 2 回



第 3 圖



四
丁
子



第 5 圖

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

12…主機處理器	35…主機匯流排界面
14…晶片組	36…界面
16…使用者界面系統	37…匯流排連接器
20…控制器界面卡	38…記憶體
21…系統記憶體	39…記憶體
22…匯流排系統	40…積體電路
28…大量儲存裝置	42…操作模式選擇器電路
29…冗餘陣列(RAID)	43…雙列直排式封裝(DIP)切換器
30…電路界面卡電槽	44…鏈路
32…系統主機板	100…系統實施例
34…匹配匯流排連接器	

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

第92131706號申請案申請專利範圍修正本 96.01.17.

1. 一種用於操作積體電路之方法，其包含下列步驟：

以一選擇的操作模式操作一積體電路，該積體電路
5 包含處理器電路和界面電路，該處理器電路包含多數個
處理器核心，該界面電路能夠依據多數個不同協定而通
訊，該等處理器核心之至少一組能夠發出一命令至該界
面電路以依據對應至該積體電路之該被選擇操作模式
的多數個不同協定之至少一組而通訊。

- 10 2. 如申請專利範圍第1項之方法，其中：

該等多數個不同協定之至少一組包含該等多數個
不同協定之至少兩組。

3. 如申請專利範圍第1項之方法，其中：

該界面電路包含多數個協定引擎和分別的實際層
15 界面電路；並且

該協定引擎能夠依據該等多數個不同協定經由該
分別的實際層電路而通訊。

4. 如申請專利範圍第3項之方法，其中：

該命令指示被選自該等多數個不同協定的分別協
20 定，該等協定引擎經由該分別協定而被要求通訊。

5. 如申請專利範圍第1項之方法，其中：

該界面電路包含匯流排界面電路；並且

該等多數個不同協定包含多數個不同的匯流排協定。

6. 如申請專利範圍第1項之方法，其進一步地包含：

選擇該被選擇操作模式，該被選擇操作模式之選擇包含供應一組或多組信號至該積體電路，而該一組或多組信號指示，至少部分地，該被選擇操作模式。

7. 如申請專利範圍第1項之方法，其進一步地包含：

5 選擇該被選擇操作模式，該被選擇操作模式之選擇包含利用該積體電路而執行一組或多組程式指令，該一組或多組程式的執行，至少部分地，導致該選擇操作模式的選擇。

8. 一種電腦運算裝置，其包含：

10 一組能夠以一被選擇操作模式而操作之積體電路，該積體電路包含處理器電路和界面電路，該處理器電路包含多數個處理器核心，該界面電路能夠依據多數個不同協定而通訊，該等處理器核心之至少一組能夠發出一命令至該界面電路以依據對應至該積體電路之該
15 被選擇操作模式的多數個不同協定之至少一組而通訊。

9. 如申請專利範圍第8項之裝置，其中：

 該等多數個不同協定之至少一組包含該等多數個不同協定之至少兩組。

10. 如申請專利範圍第8項之裝置，其中：

20 該界面電路包含多數個協定引擎和分別的實際層界面電路；並且

 該協定引擎能夠依據該等多數個不同協定經由該分別的實際層電路而通訊。

11. 如申請專利範圍第10項之裝置，其中：

該命令指示被選自該等多數個不同協定的分別協定，該等協定引擎經由該分別協定而被要求通訊。

12. 如申請專利範圍第8項之裝置，其中：

該界面電路包含匯流排界面電路；並且

5 該等多數個不同協定包含多數個不同的匯流排協定。

13. 如申請專利範圍第8項之裝置，其中：

該積體電路能夠接收一組或多組信號，該一組或多組信號指示，至少部分地，該被選擇操作模式。

14. 如申請專利範圍第8項之裝置，其中：

10 該處理器電路能夠執行一組或多組程式指令，而該一組或多組程式的執行，至少部分地，導致該選擇操作模式的選擇。

15. 一種儲存有指令之儲存媒體，當該等指令被一機器執行時，會導致下面的結果：

15 以一被選擇的操作模式而操作一積體電路，該積體電路包含處理器電路和界面電路，該處理器電路包含多數個處理器核心，該界面電路能夠依據多數個不同協定而通訊，該等處理器核心之至少一組能夠發出一命令至該界面電路以依據對應至該積體電路之該被選擇操作模式的

20 多數個不同協定之至少一組而通訊。

16. 如申請專利範圍第15項之儲存媒體，其中：

該等多數個不同協定之至少一組包含該等多數個不同協定之至少兩組。

17. 如申請專利範圍第15項之儲存媒體，其中：

該界面電路包含多數個協定引擎和分別的實際層界面電路；並且

該協定引擎能夠依據該等多數個不同協定經由該分別的實際層電路而通訊。

- 5 18. 如申請專利範圍第17項之儲存媒體，其中：

該命令指示被選自該等多數個不同協定的分別協定，該等協定引擎經由該分別協定而被要求通訊。

19. 如申請專利範圍第15項之儲存媒體，其中：

該界面電路包含匯流排界面電路；並且

- 10 該等多數個不同協定包含多數個不同的匯流排協定。

20. 如申請專利範圍第15項之儲存媒體，其中：

在該被選擇操作模式中的該操作是反應於，至少部分地，至該積體電路而指示，至少部分地，該被選擇操作模式之一組或多組信號的供應。

- 15 21. 如申請專利範圍第15項之儲存媒體，其中：

該等指令包含至少一組程式指令，利用該機器而執行該等指令，至少部分地，導致該選擇操作模式的選擇。

22. 一種電腦運算系統，其包含：

- 20 一組包含一積體電路之電路卡，該電路卡能夠被耦合至一匯流排，該積體電路能夠以被選擇操作模式而操作，該積體電路包含處理器電路和界面電路，該處理器電路包含多數個處理器核心，該界面電路能夠依據多數個不同協定而通訊，該等處理器核心之至少一組能夠發出一命令至該界面電路以依據對應至該積體電路之該

被選擇操作模式的多數個不同協定之至少一組而通訊。

23. 如申請專利範圍第22項之系統，其進一步地包含：

一組電路板，其包含匯流排和一匯流排界面電槽，
該電路卡能夠被耦合至該匯流排界面電槽。

5 24. 如申請專利範圍第23項之系統，其中：

該電路板同時也包含一組處理器，其能夠經由該匯
流排和匯流排界面電槽而供應一組或多組控制信號至
該電路卡，至該電路卡之一組或多組控制信號的供應，
至少部分地，導致該被選擇操作模式的選擇。

10 25. 如申請專利範圍第22項之系統，其中：

該界面電路能夠被耦合至儲存器。

26. 如申請專利範圍第25項之系統，其中：

該儲存器包含獨立碟片之冗餘陣列(RAID)。

27. 如申請專利範圍第22項之系統，其中：

15 該界面電路包含第一匯流排界面電路，其能夠依據
一第一匯流排協定而通訊，以及一第二匯流排界面，其
能夠依據一第二匯流排協定而通訊。

28. 如申請專利範圍第22項之系統，其中：

該界面電路包含匯流排界面電路和網路界面電路。

20 29. 如申請專利範圍第22項之系統，其中：

該電路卡進一步地包含第一記憶體；並且

該積體電路進一步地包含一組第二記憶體，以及至
少部分地控制該第一記憶體和該第二記憶體之記憶體
控制器電路。