

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-172592

(P2007-172592A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int. Cl.	F I	テーマコード (参考)
G06K 19/077 (2006.01)	G06K 19/00 K	5B035
H01L 23/52 (2006.01)	H01L 21/88 T	5F033
H01L 21/3205 (2006.01)	G06K 19/00 H	5F038
G06K 19/07 (2006.01)	H01L 27/04 E	
H01L 21/822 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 28 頁) 最終頁に続く

(21) 出願番号	特願2006-313406 (P2006-313406)	(71) 出願人	000153878
(22) 出願日	平成18年11月20日 (2006.11.20)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2005-340981 (P2005-340981)		神奈川県厚木市長谷398番地
(32) 優先日	平成17年11月25日 (2005.11.25)	(72) 発明者	齋藤 利彦
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	加藤 清
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	佐藤 岳尚
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		Fターム(参考)	5B035 AA04 BA03 BB09 CA08 CA23 CA34
			5F033 UU01 VV07 VV15
			最終頁に続く

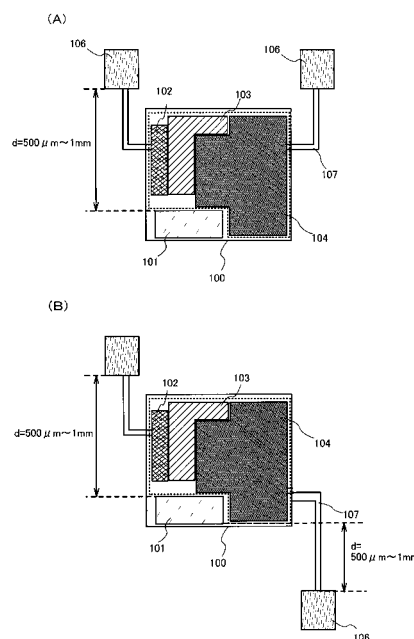
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】薄膜を有する無線チップにおいて、アンテナ圧着時の不具合を改良する。

【解決手段】薄膜からなる無線チップを形成し、特に無線チップ内に有機化合物層を有するメモリ領域を有し、メモリ領域の一端部とパッドの一端部との距離を500 μ m以上とする。その結果、アンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。このような無線チップを設ける基板には、ガラス基板やシリコンウェハを用いることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

無線通信を行うためのアンテナと、
前記アンテナに接続された高周波回路部及びロジック回路部と、
前記ロジック回路部により制御されるメモリ回路部と、
前記高周波回路部と前記アンテナを接続するパッド部を有し、
前記メモリ回路部の一端部と、パッド部の一端部とは、少なくとも直線距離で 500 μ m
以上離れていることを特徴とする半導体装置。

【請求項 2】

無線通信を行うためのアンテナと、
前記アンテナに接続された高周波回路部及びロジック回路部と、
前記ロジック回路部により制御されるメモリ回路部と、
前記高周波回路部と前記アンテナを接続するパッド部を有し、
前記メモリ回路部の一端部と、パッド部の一端部とは、少なくとも直線距離で 750 μ m
以上離れていることを特徴とする半導体装置。

【請求項 3】

無線通信を行うためのアンテナと、
前記アンテナに接続された高周波回路部及びロジック回路部と、
前記ロジック回路部により制御されるメモリ回路部と、
前記高周波回路部と前記アンテナを接続するパッド部を有し、
前記メモリ回路部の一端部と、パッド部の一端部とは、直線距離で 500 μ m 以上 1 mm
以下離れていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて
前記アンテナは直線状であることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 3 のいずれかーにおいて
前記アンテナはコイル状であることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて
前記アンテナはアンテナ用基板に設けられ、前記パッドに圧着されたことを特徴とする半
導体装置。

【請求項 7】

請求項 6 において
異方性導電体フィルムを用いて、前記アンテナは前記パッドに圧着されたことを特徴とす
る半導体装置。

【請求項 8】

請求項 7 において
前記メモリ回路は、複数のメモリセルを有し、前記メモリセルはスイッチング素子及びメ
モリ素子を有することを特徴とする半導体装置。

【請求項 9】

請求項 8 において
前記メモリ素子は、ビット線を構成する第 1 の導電層と、ワード線を構成する第 2 の導電
層との間に有機化合物層を有することを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれかーにおいて
前記メモリ回路部は有機メモリ素子を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、無線通信により情報の入出力を行う半導体装置に係り、特にその回路配置及び配線接続構造に関する。

【背景技術】

【0002】

無線通信機能を有する半導体装置は、その用途によりＩＤタグ、ＩＣタグ、ＩＣチップ、ＲＦ（Ｒａｄｉｏ Ｆｒｅｑｕｅｎｃｙ）タグ、無線タグ、電子タグとも呼ばれる。この用途の半導体装置において、半導体集積回路によって通信回路やメモリを構成したものは無線チップとも呼ばれている。

【0003】

無線チップの構成は、インターフェース、メモリ、制御部等を有する。メモリは、書き込み読み出しが可能なランダム・アクセス・メモリ（以下、「ＲＡＭ」とも記す）、読み出しを専用とする読み出し専用メモリ（以下、「ＲＯＭ」とも記す）が使用され、目的に応じて使い分けられている。具体的には、特定のアプリケーション毎にメモリ領域が割り当てられており、アプリケーション毎、並びにディレクトリ毎にアクセス権が管理されている。アクセス権を管理するため、無線チップはアプリケーションの暗証コードと比較照合する照合手段を有し、照合手段による比較照合の結果、暗証コードが一致するアプリケーションに関するアクセス権をユーザに与える制御手段を有する（特許文献１参照）。 10

【0004】

このような無線チップは、シリコンウエハから形成され、半導体基板の回路面にメモリ回路、演算回路等の集積回路が形成されている（特許文献２参照）。 20

【0005】

シリコンウエハから形成された無線チップは、フェイスダウン状態でアンテナと接続される。例えば、フレキシブル基板上に形成されたチップは、接触端子として出っ張りを有し、フェイスダウン状態で、別基板に設けられたアンテナと接続される（特許文献３参照）。またはバンプが形成された半導体素子を加圧することによって、フェイスダウン状態で、配線シートに加圧接続される（特許文献４参照）。

【0006】

このような無線チップが搭載されたカード（所謂ＩＣカード）と、磁気カードとを比較すると、ＩＣカードはメモリ容量が大きく、演算機能を備えることができ、認証性が高く、改ざんすることが極めて困難である、といったメリットを有する。そのため、地方自治体等にも採用されており、個人情報の管理に好適である。 30

【特許文献１】特開２００３－１６４１８号公報

【特許文献２】特開２０００－１１１２９号公報

【特許文献３】特開平８－８８５８６号公報

【特許文献４】特開２０００－１５１０５７号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

無線チップは、マイクロプロセッサや半導体メモリと同じく高価なシリコンウエハを使用して製造されている。そのためにチップの単価を下げるには自ずと限界があった。特に、無線チップに必要なメモリ領域は、チップ内で大きな面積を占めており、記憶容量を変えずにメモリ領域の占有面積を縮小することが、チップ単価を削減する上で必要となっている。 40

【0008】

また、従来の無線チップは、小片化したとしてもシリコンを構造体として用いているので、曲面形状の基体に貼り付けるには適していなかった。シリコンウエハ自体を研削研磨して薄片化する方法もあるが、そのための工程数が増えるので低コスト化と相反する矛盾があった。薄片化したとしても、商品に付して使用されるＩＣタグのようなものでは、無線チップを薄い紙片に貼り付けると、表面に突起が生じてしまい利用者に違和感を与えてしまうものであった。 50

【 0 0 0 9 】

従来の技術によれば、個々の無線チップを識別するために、識別情報を無線チップ内のROMに記憶させなければならず、そのために配線接続工程が増加して生産性を損ねていた。またこの配線接続工程で、チップにアンテナを圧着接続するとき、チップ、特にロジック回路部が破壊してしまうことがあった。

【 0 0 1 0 】

本発明はこのような状況に鑑みなされたものであり、無線通信機能を有する半導体装置の薄型化を図りつつ、生産性を向上させることを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

上記課題を鑑み本発明は、薄膜からなる無線チップを形成し、特に無線チップ内に有機化合物層を有するメモリ領域、つまりメモリ素子を形成することを特徴とする。メモリ素子は、一対の電極間に挟持された有機化合物層を備える。メモリが有する電極には、それぞれスイッチング素子が設けられ、所謂アクティブ型のメモリを有する。有機化合物層とは、有機材料を含む層であり、異なる機能を奏する層が積層された構造であっても、単層構造であってもよい。

【 0 0 1 2 】

このようなメモリは、無線チップを構成する回路等と一体形成することができる。そのため、製造工程や製造コストを増やすことなく、無線チップにメモリを設けることができる。

【 0 0 1 3 】

このような薄膜からなる新たな無線チップにおいて、アンテナを圧着接続するパッドを素子形成領域の外側に設けることを特徴とする。好ましくは、パッドとメモリ素子を構成する有機化合物層が設けられた領域（以下、メモリ領域と記す）との直線距離を、500 μ m以上、好ましくは750 μ m以上、範囲で示すと500 μ m以上1mm以下とする。アンテナを圧着するときには、100 から350 の加熱とともに、30 kPaから60 kPaの圧力を接着するまでかけ続ける。

【 0 0 1 4 】

本発明は、無線通信を行うためのアンテナと、アンテナに接続された高周波回路部及びロジック回路部と、ロジック回路部により制御されるメモリ回路部と、高周波回路部と前記アンテナを接続するパッド部を有し、メモリ回路部の一端部と、パッド部とは、離間して設けられている非接触で情報の入出力が可能な半導体装置である。

【 0 0 1 5 】

以下に、本発明の具体的な構成について説明する。

【 0 0 1 6 】

本発明の一形態は、無線通信を行うためのアンテナと、アンテナに接続された高周波回路部及びロジック回路部と、ロジック回路部により制御されるメモリ回路部と、高周波回路部とアンテナを接続するパッド部を有する半導体装置である。そして、メモリ回路部の一端部と、パッド部、具体的にはパッド部の一端部とは、少なくとも直線距離で500 μ m以上離れていることを特徴とする。

【 0 0 1 7 】

本発明の別形態は、無線通信を行うためのアンテナと、アンテナに接続された高周波回路部及びロジック回路部と、ロジック回路部により制御されるメモリ回路部と、高周波回路部とアンテナを接続するパッド部を有する半導体装置である。そして、メモリ回路部の一端部と、パッド部、具体的にはパッド部の一端部とは、少なくとも直線距離で750 μ m以上離れていることを特徴とする。

【 0 0 1 8 】

本発明の別形態は、無線通信を行うためのアンテナと、アンテナに接続された高周波回路部及びロジック回路部と、ロジック回路部により制御されるメモリ回路部と、高周波回路部とアンテナを接続するパッド部を有する半導体装置である。そして、メモリ回路部の一

10

20

30

40

50

端部と、パッド部、具体的にはパッド部の一端部とは、少なくとも直線距離で500 μm以上1 mm以下離れていることを特徴とする。この距離は、チップサイズに左右されない。またメモリ回路部の一端部とは、成膜や配線コンタクトのために開口が設けられた所、つまり物理的強度が相対的に弱いところ側を指す。

【0019】

本発明において、アンテナは直線状を有していてもよし、アンテナはコイル状を有していてもよい。このようなアンテナはアンテナ用基板に設けられ、パッドに圧着される。

圧着時、異方性導電体フィルムを用いて、アンテナはパッドに圧着される。

【0020】

本発明において、メモリ領域は、複数のメモリセルを有し、メモリセルはスイッチング素子及びメモリ素子を有する。 10

【0021】

本発明において、メモリ素子は、ビット線を構成する第1の導電層と、ワード線を構成する第2の導電層との間に有機化合物層を有する。

【発明の効果】

【0022】

本発明によれば、電圧で一回書き込み可能な有機メモリ素子を、無線チップのROMとして用いることにより、生産性を高めることができる。

【0023】

本発明によれば、薄膜トランジスタで形成された集積回路における高周波回路部と、無線通信を行うアンテナを接合するパッド部と、集積回路におけるメモリ領域とを離間して設けることにより、薄膜の状態で当該集積回路とアンテナとを一体的に形成させることができる。アンテナとパッド部とを圧着する工程、薄膜トランジスタで形成された集積回路を基板から剥離する工程を経ても、メモリ領域における有機メモリ素子がストレスで劣化することを防ぐことができる。 20

【0024】

このように本発明によれば、アンテナと集積回路を薄膜の状態で一体的に形成された無線通信可能な半導体装置を得ることができる。

【0025】

薄膜からなる無線チップは、シリコンウエハからなる無線チップと比較して、薄型化及び柔軟性を高めることができる。 30

【0026】

柔軟性に富んだ無線チップにおいて、パッドを素子形成領域外に設け、好ましくはパッドとメモリ領域を離すことにより、アンテナ圧着時の素子の破壊や変形を防止することができる。その結果、無線チップの誤動作を防止することができる。

【発明を実施するための最良の形態】

【0027】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。 40

【0028】

(実施の形態1)

本実施の形態では、有機メモリを有する無線チップの構成について説明する。なお本実施の形態では、無線チップの構成のみを記載するが、これに通信周波数に応じたアンテナを設けることにより、無線通信が可能となる。

【0029】

図1(A)には、無線チップ100を示し、チップ内にはメモリ領域101；外部信号入 50

力部 102、RF 入力部 103 などを含む高周波回路部；ロジック回路部 104 を有し、外側にはパッド 106 が設けられている。

【0030】

メモリ領域 101 は、情報を書き込む領域であり、ROM や RAM が設けられている。本実施の形態では ROM には、無線チップの固有情報を書き込む。ROM は、書き換えることが不可能な、所謂ライトワンス型である。そのため、無線チップ固有情報のような書き換える必要のない、又は書き換えられては困る情報を書き込む。固有情報を書き込むためのメモリ容量は 64 bit 程度であれば足りるが、本発明はこれに限定されず、64 bit 以上のメモリ容量を設けてもよい。一方、RAM は書き換え可能なメモリであり、無線チップの流過程で得た情報を書き込むとよい。

10

【0031】

本発明では、上記 ROM を、有機化合物層を有するメモリから形成する。メモリは、一対の電極間に挟持された有機化合物層を備えており、メモリが有する電極には、スイッチング素子が設けられている。所謂アクティブ型のメモリを ROM として設ける。

【0032】

外部信号入力部 102 は、メモリ領域に書き込みを行うための信号を入力する機能を有し、例えば電源及び制御信号を入力するための複数のパッドを有する。

【0033】

RF 入力部 103 は、アンテナから受信した電波から電源およびクロックを生成する機能を有し、例えば電源回路、クロックジェネレータ、復調回路、変調回路等を有する。

20

【0034】

ロジック回路部 104 は、上記電源および上記クロックを用いて、制御信号を生成する機能を有し、例えばコントローラや CPU を有する。

【0035】

本発明は、無線チップの外側にパッド 106 が設けられていることを特徴とする。すなわちパッド 106 の下方には特定の機能を奏する回路の素子が形成されていない。そのため、パッド 106 は配線 107 を介して無線チップ内の回路と接続されている。このような配線 107 を引き回し配線と呼ぶ。引き回し配線は、無線チップ内の素子間をつなぐ配線と比べると、非常に長い。そのため、引き回し配線は、無線チップ内の素子間をつなぐ配線よりも抵抗の低い材料から形成すると好ましい。

30

【0036】

無線チップにおいて、図 1 (A) 示すようなパッド 106 とメモリ領域 101 との直線距離（以下、単に距離と記す） d は、500 μm 以上、好ましくは 750 μm 以上、範囲で示すと 500 μm 以上 1 mm 以下離すことが好ましい。この距離は絶対値であり、無線チップの寸法が縮小した場合であっても、維持することが好ましい。本発明においては、パッドとメモリ領域との距離とは、メモリ領域の一側端部（一端部）とパッドの一側端部（一端部）との間の距離のことをいい、最短直線距離を指している。アンテナを圧着するときには、100 から 350 の加熱とともに、30 kPa から 60 kPa の圧力を接着するまでかけ続ける。本発明において「圧着」とは、ある物体に圧力をかけながら加熱をすることをいい、「熱圧着」ともいう。このようなアンテナ圧着時に生じる圧力は、パッド 106 上に生じるだけでなく、その近傍にも伝播する。この伝播は、フィルム基板上に形成された無線チップにおいて、大きな影響を受ける。圧着時にフィルム基板が容易に変形してしまうからである。そのため、積極的に無線チップ内のメモリ領域 101 と、パッド 106 との距離を離すと好ましい。またメモリ領域とパッドとの距離は、メモリ領域の成膜や配線コンタクトのために開口が設けられた所、つまり物理的強度が相対的に弱いところから、パッドまでの距離を指す。このようにメモリ領域と、パッドとを離すことにより、圧着時の熱による有機メモリの劣化を防止することができる。

40

【0037】

図 1 (A) において、パッドは無線チップの外側であって、一端に揃って設けられている。しかしながら本発明は、無線チップの外側にパッドを設けることを趣旨としているため

50

、パッドを無線チップの一端に揃えて配置する構成に限定されない。例えば図1(B)に示すように、無線チップの外側であって、対向する端にパッドを設けてもよい。図1(B)に示すように、複数のパッドを設け、それらの位置が異なる無線チップの形態では、すべてのパッド106とメモリ領域101との距離dは、500 μ m以上、好ましくは750 μ m以上、範囲で示すと500 μ m以上1mm以下離すことが好ましい。この距離は、チップサイズに左右されない。

【0038】

(実施の形態2)

本実施の形態では、アンテナを備えた無線チップの形態について説明する。

【0039】

図2(A)には、電磁誘導方式のデータ転送方式に対応したコイル状のアンテナ110が無線チップ100にパッド106を介して接続された形態を示す。電磁誘導方式はアンテナの指向性が広く、交信範囲が広いという特長がある。周波数帯としては135kHzなどの長波帯、13.56MHzなどの短波帯が用いられる。通信距離は数センチメートルから数十センチメートルである。パッド106は、メモリ領域101と500 μ m以上、好ましくは750 μ m以上、範囲で示すと500 μ m以上1mm以下離す。このような構成により、アンテナ接着時による無線チップ、特にメモリ領域の破壊や変形を防止することができる。

【0040】

図2(B)は、ダイポールアンテナ110が無線チップ100にパッド106を介して接続された形態を示す。パッド106は、メモリ領域101と500 μ m以上、好ましくは750 μ m以上、範囲で示すと500 μ m以上1mm以下離す。ダイポールアンテナも無指向性であるが、900MHz帯(例えば、950~956MHz)の超極短波帯(UHF帯)を用いれば、通信距離を1~6メートル程度まで拡大させることができる。また、2.45GHz帯を使えば指向性の高い通信を行うことができる。さらに通信距離が短くても構わなければ、アンテナを小型化することができるため、高い指向性に伴って、セキュリティの高い無線認証等を行うことができる。いずれにしても、このような構成により、アンテナ圧着時による無線チップ、特にメモリ領域の破壊や変形を防止することができる。

【0041】

図2(A)及び図2(B)におけるパッド106と、メモリ領域101との距離は、アンテナの形状や無線チップの寸法によらず絶対値であり、この距離を維持することが好ましい。

【0042】

図2(C)には、パッド106部分の拡大図を示し、パッド106とアンテナ110との接続の模式図を示す。パッド106と、配線107とは同一材料から形成することができ、抵抗の低い導電性材料を用いるとよい。配線107は引き回し配線であり、低抵抗材料が望まれ、パッド106はアンテナ110との接触領域のため、アンテナからの損失を低減するためにも低抵抗材料が望まれる。パッド106上に開口部を有する絶縁層126を設け、アンテナ110圧着時の、アンテナ貼り合わせ位置の確認を簡便なものとすることができる。絶縁層126は、公知の無機材料又は有機材料から形成することができる。絶縁層126の開口部では、その側面に傾斜を設けるとよい。開口部内には、導電体123及び接着性を有する有機材料124を有する異方性導電体フィルムACF(Anisotropic Conductive Film)121を配置し、アンテナ110とパッド106とを接続する。また銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤、NCP(Non Conductive Paste)や半田接合等を用いてアンテナ110とパッド106との接続を行うこともできる。アンテナ110はフレキシブル基板からなるアンテナ用基板112に形成されていると好ましい。勿論、アンテナ110はその他の基板に形成されていてもよく、硬度の高いガラス基板や石英基板を用いることにより、圧着を簡便なものとすることもできる。

10

20

30

40

50

【 0 0 4 3 】

このような薄膜からなる無線チップは、フレキシブル基板上に形成することができる。その結果、柔軟性を高めた半導体装置を提供することができる。半導体装置としては、ＩＣカードやＩＣタグ等が挙げられる。

【 0 0 4 4 】

(実施の形態 3)

本実施の形態では、無線チップのマスキレイアウト例について説明する。

【 0 0 4 5 】

図 1 1 (A) に無線チップのマスキレイアウト例を示し、図 1 1 (B) にそのブロック図を示す。

10

【 0 0 4 6 】

無線チップは、最も大きな面積を占めるロジック回路部 4 0 2 が設けられ、これに隣接してＲＦ入力部 4 0 1、メモリ領域 4 0 4 が設けられている。メモリ領域 4 0 4 の一領域には、調整回路部 4 0 5、抵抗 4 0 7 が設けられており、これらは隣接して設けられている。ＲＦ入力部 4 0 1 に隣接して外部信号入力部 4 0 3 が設けられている。外部信号入力部 4 0 3 は、パッドを有するため、無線チップ 1 0 0 の一辺に接する領域に設けるとよい。パッド接続時、無線チップの一辺を基準として貼り合わせることができるからである。

【 0 0 4 7 】

このときパッドとメモリ領域との距離は、5 0 0 μ m 以上、好ましくは 7 5 0 μ m 以上、範囲で示すと 5 0 0 μ m 以上 1 mm 以下とする。すなわち、少なくともチップのメモリ領域とパッドとは重ならないように形成する。好ましくは、パッドから引き回された配線（引き回し配線）と、メモリ領域とは重ならないように形成するとよい。アンテナ圧着時の応力や熱が、引き回し配線を伝播してメモリ領域に印加されることを防止できる。

20

【 0 0 4 8 】

さらに好ましくは、メモリ領域以外の特定の機能を奏する回路もパッドと重ならない構成とする。すなわちパッドの下方には特定の機能を奏する回路の素子が形成されていない。その結果、アンテナの圧着による応力や熱の影響を受けることなく、データ処理を行うことができる。

【 0 0 4 9 】

図 1 1 (B) では、ＲＦ入力部 4 0 1、ロジック回路部 4 0 2、外部信号入力部 4 0 3、メモリ領域 4 0 4、調整回路部 4 0 5、ダイオード 4 0 6、抵抗 4 0 7 の配置をブロック図で示している。

30

【 0 0 5 0 】

これら回路等は、上記実施の形態で示した作製方法により形成することができる。

【 0 0 5 1 】

このような無線チップは、アンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【 0 0 5 2 】

(実施の形態 4)

本実施の形態では、無線チップの構成及びその動作について説明する。

40

【 0 0 5 3 】

図 5 (A) に示すように、無線チップは、ＲＦ入力部 4 0 1、ロジック回路部 4 0 2、外部信号入力部 4 0 3、メモリ領域 4 0 4、調整回路部 4 0 5 を有する。

【 0 0 5 4 】

ＲＦ入力部 4 0 1 は、高電位側電源（ＶＤＤ）用端子、低電位側電源用端子、クロック信号（ＣＬＫ）用端子を有する。本実施の形態では、低電位側電源として、接地電位（ＧＮＤ）を用いる。ＲＦ入力部 4 0 1 は、アンテナ（図示せず）から受信した電波を整流してＶＤＤを生成し、また受信した電波を分周してＣＬＫを生成する。ＲＦ入力部 4 0 1 は、その他電源回路、クロックジェネレータ、復調回路、変調回路を有することができる。電源回路は、整流回路と保持容量とを有し、電源電圧を生成することができる。復調回路は

50

、LPF (Low Pass Filter) を有し、無線信号からデータを抽出することができる。変調回路は、マンチェスター方式により、無線信号にデータを重畳することができる。

【0055】

ロジック回路部402は、上記高電位側電源及び接地電位に接続され、上記クロック信号が入力される。ロジック回路部402は、その他コントローラやCPUを有することができる。コントローラは、無線通信用インターフェース、クロック制御回路、制御レジスタ、受信データ用レジスタ、送信データ用レジスタ、CPU用インターフェース等を有する。復調回路及び変調回路は、無線通信用インターフェースを介して制御レジスタ、受信データレジスタ、送信データレジスタと信号のやりとりを行うことができる。クロックジェネレータは、クロック制御回路によって制御され、クロック制御回路は制御レジスタに基づき動作する。制御レジスタ、受信データレジスタ及び送信データレジスタは、CPU用インターフェースを介してCPUと信号のやりとりを行うことができる。

10

【0056】

外部信号入力部403は、複数のパッドが設けられており、例えば信号出力(DATA OUT)用パッド、書き込み信号入力(WEB)用パッド、読み出し信号入力(REB)用パッド、クロック信号(CLK)用パッド、接地電位(GND)用パッド、高電位側電源(VDD)用パッド、書き込み電源(VDDH)用パッドを有する。

【0057】

メモリ領域404は、VDDH用パッドを介して信号が入力されるVDDH用端子、VDD用パッドを介した信号が入力されるVDD用端子、GND用パッドを介した信号が入力されるGND用端子、CLK用パッドを介した信号が入力されるCLK用端子、REB用パッドを介した信号が入力されるREB用端子、WEB用パッドを介した信号が入力されるWEB用端子、が設けられている。メモリ領域には、メモリ素子としてROMやRAMが形成される。そしてROMやRAMは、CPU用インターフェースを介して、制御レジスタ、受信データレジスタ及び送信データレジスタとやりとりを行うことができる。

20

【0058】

メモリ領域は、ROMやRAMを調整するための調整回路部405が設けられている。調整回路部405は、複数の抵抗を有する。当該抵抗のいずれかーを介して、メモリ領域404のCLK用端子と、例えばロジック回路部402のMROM(マスクROM)CLK用端子1及び2とが接続される。また当該抵抗とは異なるいずれかの抵抗を介して、メモリ領域404のREB用端子と、例えばロジック回路部402のROMEN(ROM Enable)用端子1及び2とが接続される。このような調整回路部405は、外部信号を用いメモリ領域404にデータを書き込む、もしくは読み出す時に、ロジック回路部402より不要な制御信号がメモリ領域404に入力されないように調整するものである。

30

【0059】

また、抵抗407はプルアップ回路であり、調整回路として機能する。調整回路部405は、メモリ領域404にデータを書き込み時に、ロジック回路部402より不要な制御信号がメモリ領域404に入力されないように調整するものである。同様に、抵抗407も、メモリ領域404にデータを書き込む時に、ロジック回路部402よりメモリ領域404に信号が入力されないように調整するものである。メモリ領域404にデータを書き込む時は、ダイオード406により外部信号入力部403からの信号は遮断されるが、メモリ領域404よりデータを読み取る時は、メモリ領域404のVDDHをRF入力部401より印加されるVDDに固定し、安定させる。ダイオード406は、ダイオード接続した薄膜トランジスタから形成することができる。例えば、pチャネル型の薄膜トランジスタをダイオード接続した素子を用いることができる。

40

【0060】

またRF入力部401の高電位側電源(VDD)用端子と、メモリ領域404のVDDH用端子とは、ダイオード406を介して接続されている。このようにダイオードを介して接続することにより、メモリ領域へ書き込みを行うときに、高電位側電源(VDD)用端

50

子の先に接続されている電源と、VDDH用端子とがショートすることを防止できる。

【0061】

このような無線チップは、パッドを介してアンテナが接続され、当該アンテナと共振容量とで共振回路を構成する。そして、アンテナを介して無線通信により信号や電力を得ることができる。

【0062】

また、上述した非接触でデータの入出力が可能である無線チップにおける信号の伝送方式は、電磁結合方式、電磁誘導方式またはマイクロ波方式等を用いることができる。伝送方式は、実施者が使用用途を考慮して適宜選択すればよく、伝送方式に伴って最適なアンテナを設ければよい。

10

【0063】

そして外部信号入力部403から入力された電圧及び信号は、メモリ領域404に入力され、メモリ領域404にデータ(情報)が書き込まれる。書き込まれたデータは、RF入力部401において、アンテナからの交流信号を受信する。受信された信号と、メモリ領域404に書き込まれたデータはロジック回路部402に入力する。ロジック回路部402を介して信号は制御信号となり、制御信号がメモリ領域404に入力されることでメモリ領域404より再び読み出される。

【0064】

本発明の無線チップの構成では、メモリ領域404にデータを書き込む時は、ダイオード406により、外部信号入力部403からの信号は遮断されるが、アンテナからの信号によってメモリ領域404よりデータを読み取る時は、メモリ領域404のVDDHをRF入力部401のVDDに固定し、安定させることができる。

20

【0065】

また図5(B)に示すように、保護回路410を設けてもよい。保護回路410は、外部信号入力部403の近傍に設けるとよい。外部信号入力部には静電気が生じることが多いからである。本実施の形態では、WEB用パッド、REB用パッド、及びCLK用パッドと、WEB用端子、REB用端子、及びCLK用端子との間に保護回路410を設ける。保護回路410は、各パッド(WEB用パッド、REB用パッド、及びCLK用パッド)と各端子間に少なくとも一つの薄膜トランジスタを有する。薄膜トランジスタのチャネル長を長くするにつれて、静電気等に対する耐性を高めることができ、好ましい。

30

【0066】

勿論、図5(A)及び図5(B)に示す無線チップは、パッドとメモリ領域との距離を500 μ m以上、好ましくは750 μ m以上、範囲で示すと500 μ m以上1mm以下とすることにより、アンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【0067】

(実施の形態5)

本実施の形態では、上記形態と異なる無線チップの構成及びその動作について説明する。

【0068】

図6(A)には、図5(A)と調整回路部405の構造が異なる無線チップの構成を示す。図6(A)に示す無線チップは、RF入力部411、ロジック回路部412、外部信号入力部413、メモリ領域414、調整回路部415、ダイオード416、抵抗417、スイッチング素子418を有している。本実施の形態の無線チップにおける調整回路部415はスイッチで構成されている。スイッチとしては、インバータやアナログスイッチ等を用いることができる。本実施の形態では、インバータやアナログスイッチを用い、抵抗417とWEB用端子との間にインバータの入力端子及びアナログスイッチが接続され、インバータの出力端子及びアナログスイッチは互いに接続されている。

40

【0069】

さらにスイッチング素子418として、インバータやアナログスイッチを用いることができる。本実施の形態では、外部信号入力部413の読み出し信号入力(REB)用パッド

50

と、メモリ領域 4 1 4 の R E B 用端子との間にアナログスイッチが設けられ、また外部信号入力部 4 1 3 の C L K 用パッドと、メモリ領域 4 1 4 の C L K 用端子との間にアナログスイッチが設けられている。

【 0 0 7 0 】

抵抗 4 1 7 は外部信号入力部 4 1 3 の書き込み信号入力 (W E B) 用パッドに外部入力がないときには W E B 用パッドに V D D が入力されるが、外部入力があるときにはその入力を優先させるために設置する。調整回路部 4 1 5 は外部入力で W E B 用パッドに L o 信号が入った、即ち外部入力を行う場合、ロジック回路部 4 1 2 からの不要な信号を遮断し、逆に W E B 用パッドに H i 信号が入った、もしくは外部入力がない場合、外部入力の R E B、C L K の信号を遮断することでメモリ領域 4 1 4 に安定した信号を供給する。

10

【 0 0 7 1 】

本実施の形態の無線チップも、上記実施の形態と同様に動作させることが可能である。但し、インバータやアナログスイッチを有する調整回路部 4 1 5 は電源生成に専用化させることができるため、V D D H の電位が、ダイオード 4 1 6 のしきい値電圧分だけ低下するといった問題が生じることがなく、好ましい。

【 0 0 7 2 】

また図 6 (B) に示すように、保護回路 4 1 9 を設けてもよい。保護回路 4 1 9 は、外部信号入力部 4 1 3 の近傍に設けるとよい。外部信号入力部には静電気が生じることが多いからである。本実施の形態では、W E B 用パッド、R E B 用パッド、及び C L K 用パッドと、W E B 用端子、R E B 用端子、及び C L K 用端子との間に保護回路 4 1 9 を設ける。保護回路 4 1 9 は、各パッド (W E B 用パッド、R E B 用パッド、及び C L K 用パッド) と各端子間に少なくとも一つの薄膜トランジスタを有する。薄膜トランジスタのチャネル長を長くするにつれて、静電気等に対する耐性を高めることができ、好ましい。

20

【 0 0 7 3 】

勿論、無線チップは、パッドとメモリ領域との距離を 5 0 0 μ m 以上、好ましくは 7 5 0 μ m 以上、範囲で示すと 5 0 0 μ m 以上 1 m m 以下とすることにより、アンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【 0 0 7 4 】

(実施の形態 6)

本実施の形態では、メモリ領域に設けられたメモリ (記憶装置とも記す) の構成及びその動作について説明する。

30

【 0 0 7 5 】

図 3 には、メモリの構成を示す。本発明のメモリは、メモリセル 4 0 9 がマトリクス状に設けられたメモリセルアレイ 4 4 2 と、デコーダ 4 4 3、4 4 4 と、セクタ 4 4 5 と、読み出し / 書き込み回路 4 4 6 とを有する。メモリセル 4 0 9 は、メモリ素子 4 5 8 及びスイッチング素子 4 5 7 を有し、これをアクティブ型のメモリと記す。その他のメモリの構成として、スイッチング素子が設けられていないパッシブ型のメモリがある。本発明は、パッシブ型のメモリにも適用することができる。

【 0 0 7 6 】

メモリセル 4 0 9 は、ビット線 B x (1 x m) と、ワード線 W y (1 y n) との交差領域に設けられる。そして、メモリ素子は、ビット線を構成する第 1 の導電層と、ワード線を構成する第 2 の導電層との間に有機化合物層を有する構成である。

40

【 0 0 7 7 】

スイッチング素子 4 5 7 のゲート電極はワード線 W y (1 y n) に接続され、ソース電極及びドレイン電極の一方はビット線 B x (1 x m) に接続され、ソース電極及びドレイン電極の他方は、メモリ素子 4 5 8 の一方の電極に接続する。

【 0 0 7 8 】

このようなメモリ素子に対しては電氣的又は光学的な作用によって書き込みや読み出しを行うことができる。光学的作用によって書き込みや読みだしを行う場合、第 1 の導電層と第 2 の導電層のうち、一方又は両方は透光性を有することが必要である。透光性を有する

50

導電層は、インジウム錫酸化物（ITO）等の透明な導電性材料を用いて形成するか、又は、透明な導電性材料でなくても、光を透過する厚さで形成する。

【0079】

次に、電気的作用によりデータの書き込みを行う場合の動作について説明する。この場合、最初に、デコーダ443、444、セクタ445により、1つのメモリセル409を選択する。その後、読み出し/書き込み回路446により、メモリセル409にデータを書き込む。具体的には、選択されたメモリセル409が有するメモリ素子458に所定の電圧を印加して、大電流を流し、メモリ素子458の一对の導電層間を短絡させる。短絡したメモリ素子は、他のメモリ素子458と比較すると抵抗値が大幅に小さくなる。このように、電気的作用を加えることにより、メモリ素子458の抵抗値が変化することを利用してデータの書き込みを行う。例えば、電気的作用を加えていないメモリ素子458を「0」のデータとする場合、「1」のデータを書き込む際は、選択されたメモリ素子458に電圧を印加して大電流を流すことによって、短絡させる。有機化合物層のガラス転移温度によって、短絡状態を制御することができる。すなわち、ガラス転移温度が低温であれば、電流を流すことにより簡便に短絡させることができる。

10

【0080】

続いて、データの読み出しを行う際の動作について説明する。本実施の形態では、読み出し/書き込み回路446が抵抗素子とセンスアンプを有する構成の場合で説明する。但し、読み出し/書き込み回路446の構成は上記構成に制約されず、どのような構成を有していてもよい。

20

【0081】

データの読み出しは、メモリ素子458の第1の導電層と第2の導電層との間に電圧を印加して、メモリ素子458の抵抗値を読み取ることにより行う。例えば、電気的作用の印加によりデータの書き込みを行った場合、電気的作用を加えていないメモリ素子458の抵抗値と、電気的作用を加えたメモリ素子458の抵抗値は異なる値となる。このような抵抗値の相違を電氣的に読み取ることにより、データの読み出しを行うことができる。

【0082】

図4にメモリセル409の構成例を示す。

【0083】

図4に示すように、メモリセル409は、スイッチング素子457と、メモリ素子458とを有する。スイッチング素子457には、薄膜トランジスタを適用することができる。薄膜トランジスタを用いる場合、デコーダやセクタ等の回路と、スイッチング素子とを同時に形成することができ好ましい。

30

【0084】

メモリ素子458は、第1の導電層、有機化合物層、第2の導電層を有し、第2の導電層は、メモリセルアレイ442内のメモリセルで共有することができる。これを共通電極449と記す。共通電極は、記憶装置の読み出し時、及び書き込み時に、全てのメモリセルに共通の電位を与えるものである。

【0085】

上記構成を有する記憶装置は、揮発性のメモリ、代表的にはDRAM（Dynamic Random Access Memory）として使用することができる。

40

【0086】

このようなメモリ領域、具体的にはメモリ素子が形成された領域からパッドは500 μ m以上、好ましくは750 μ m以上、範囲で示すと500 μ m以上1mm以下離れるように設ける。特にメモリは有機化合物層を有するため、アンテナ圧着時における応力や熱の影響を大きく受けやすいが、所定の距離とすることによりアンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【0087】

（実施の形態7）

本実施の形態では、無線チップの作製方法について説明する。

50

【0088】

図7(A)には、絶縁表面を有する基板(以下、絶縁基板と記す)600上に、剥離層601、絶縁層602、半導体膜603を順に形成する。絶縁基板600には、ガラス基板、石英基板、珪素からなる基板、金属基板、プラスチック基板等を用いることができる。また絶縁基板600は研磨することによって薄型化してもよい。薄型化された絶縁基板を用いることによって、完成品を軽量化、薄型化することができる。

【0089】

剥離層601には、W、Ti、Ta、Mo、Nb、Nd、Ni、Co、Zr、Zn、Ru、Rh、Pd、Os、Ir、Siから選ばれた元素または前記元素を主成分とする合金材料もしくは化合物材料から形成することができる。剥離層は、上記元素等の単層構造、又は上記元素等の積層構造を用いることができる。このような剥離層はCVD法、スパッタリング法または電子ビーム等によって形成することができる。本実施の形態では、WをCVD法により形成する。このとき、O₂、N₂又はN₂Oを用いてプラズマで処理を行うとよい。すると、後の工程である剥離工程を簡便に行うことができる。剥離層601は、単層構造又は積層構造を用いることができる。また剥離層601は、絶縁基板全体に形成する必要はなく、選択的に形成しても良い。すなわち、剥離層601は、後に絶縁基板600を剥離させることができればよく、剥離層を形成する領域は限定されない。

【0090】

絶縁層602には、酸化珪素、窒化珪素等の無機材料を用いることができる。絶縁層602は、単層構造又は積層構造を用いることができる。窒化珪素を用いることにより、絶縁基板からの不純物元素の侵入を防止することができる。このような窒化珪素は、積層構造を有する場合、いずれか一の層にあることによって、効果を発揮する。

【0091】

半導体膜603には、シリコンを有する材料を用いることができる。半導体膜はCVD法、又はスパッタリング法を用いて形成することができる。半導体膜603の結晶構造は、非晶質、結晶質、微結晶のいずれであってもよい。結晶性が高いほど、薄膜トランジスタの移動度を高くすることができ、好ましい。また微結晶や非晶質では、隣接する半導体膜間での結晶状態のばらつきがなく、好ましい。

【0092】

結晶質の半導体膜を形成するためには、絶縁層602に直接形成する場合もあるが、絶縁層602上に形成された非晶質半導体膜を加熱することにより作製される。例えば、非晶質半導体膜に対して加熱炉、レーザ照射を用いて加熱する。その結果、結晶性の高い半導体膜を形成することができる。このとき、加熱温度を低くするため、結晶化を促進する金属元素を用いてもよい。例えば、ニッケル(Ni)を非晶質半導体膜表面上に添加し、加熱処理を行うことによって、温度を低下させることができる。その結果、耐熱性の低い絶縁基板上に結晶質半導体膜を形成することができる。なおレーザ照射を用いる場合、選択的に半導体膜を加熱することができるため、加熱温度は使用する絶縁基板の耐熱性に制約されない。

【0093】

図7(B)に示すように、半導体膜603を所定の形状を有するように加工する。加工には、フォトリソグラフィ法によって形成されたマスクを用いたエッチングを用いることができる。エッチングには、ドライエッチング法又ウエットエッチング法を用いることができる。

【0094】

加工された半導体膜を覆うように、ゲート絶縁膜604として機能する絶縁層を形成する。ゲート絶縁膜604は、無機材料を用いて形成することができ、例えば、窒化珪素、酸化珪素を用いて形成することができる。ゲート絶縁膜604の形成前、または形成後にプラズマ処理を行ってもよい。プラズマ処理には、酸素プラズマ、又は水素プラズマを用いることができる。このようなプラズマ処理により、ゲート絶縁膜被形成面、又はゲート絶縁膜表面の不純物を除去することができる。

10

20

30

40

50

【0095】

その後、ゲート絶縁膜604を介して、半導体膜上にゲート電極605として機能する導電層を形成する。ゲート電極605は、単層構造、又は積層構造を有することができる。ゲート電極605には、チタン(Ti)、タングステン(W)、タンタル(Ta)、モリブデン(Mo)、ネオジウム(Nd)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、アルミニウム(Al)、金(Au)、銀(Ag)、銅(Cu)、インジウム(In)から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料を用いることができる。

【0096】

10

図7(C)に示すように、ゲート電極605側面にサイドウォール607として機能する絶縁物を形成する。サイドウォール607は、無機材料又は有機材料を用いて形成することができる。無機材料として、酸化珪素、窒化珪素が挙げられる。例えば、酸化珪素をゲート電極605を覆うように形成し、等方性のエッチングを行うと、ゲート電極605の側面にのみ残存し、これをサイドウォールとして用いることができる。等方性のエッチングには、ドライエッチング法又ウエットエッチング法を用いることができる。サイドウォール607を加工するとき、ゲート絶縁膜604もエッチング除去される。その結果、半導体膜の一部が露出される。

【0097】

サイドウォール607及びゲート電極605を用いて、自己整合的に不純物元素を半導体膜へ添加する。その結果、異なる濃度を有する不純物領域が半導体膜に形成される。サイドウォール607の下方に設けられた不純物領域609は、露出された半導体膜に形成された不純物領域608より、低濃度となる。このように不純物領域の濃度を異ならせることによって、短チャネル効果を防止することができる。

【0098】

図7(D)に示すように、半導体膜、ゲート電極等を覆って絶縁層611、612を形成する。半導体膜、ゲート電極等を覆う絶縁層は、単層構造を用いてもよいが、本実施の形態のように積層構造とすると好ましい。なぜなら、絶縁層611を無機材料を用いて形成することにより不純物の侵入を防止でき、またCVD法を用いた無機材料を適用することによって、絶縁層611中の水素を用いて半導体膜中のダングリングボンドを終端させることができるからである。その後、絶縁層612を有機材料を用いて形成することにより、平坦性を高めることができる。有機材料はポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。なお、シロキサンとは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。ポリシラザンは、珪素(Si)と窒素(N)の結合を有するポリマー材料を出発原料として形成される。

【0099】

その後、絶縁層611、612、ゲート絶縁膜604を貫通し、不純物領域608と接続する配線613を形成する。配線613は、単層構造、又は積層構造を用いることができ、チタン(Ti)、タングステン(W)、タンタル(Ta)、モリブデン(Mo)、ネオジウム(Nd)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、アルミニウム(Al)、金(Au)、銀(Ag)、銅(Cu)、インジウム(In)から選ばれた元素、または前記元素を主成分とする合金材料を用いて形成することができる。配線613と同時に、絶縁層612上にその他の配線を形成することができる。その他の配線とは、引き回し配線等に相当する。

【0100】

このようにして薄膜トランジスタ(TFT)615、及びTFT群616を形成すること

50

ができる。T F T 群とは、一定の機能を奏する回路を構成する T F T の集まりを指す。

【 0 1 0 1 】

図 8 (A) に示すように、絶縁層 6 1 2 上に絶縁層 6 2 0 を形成する。絶縁層 6 2 0 は絶縁層 6 1 1、6 1 2 と同様に無機材料、又は有機材料を用いて形成することができる。絶縁層 6 2 0 を貫通するように、配線 6 2 1 を形成する。配線 6 2 1 は、配線 6 1 3 と同様に形成することができる。配線 6 2 1 は、絶縁層 6 2 0 に設けられた開口部を介して、領域 6 2 2 で配線 6 1 3 と電氣的に接続している。領域 6 2 2 では、後に形成されるメモリ素子の共通電極を接地することができる。また配線 6 2 1 と同一層から、パッド 6 2 3 が形成される。パッド 6 2 3 は、絶縁層 6 2 0 に設けられた開口部を介して、領域 6 2 4 で配線と電氣的に接続している。

10

【 0 1 0 2 】

図 8 (B) に示すように、絶縁層 6 2 0 上に絶縁層 6 3 0 を形成する。絶縁層 6 3 0 は、絶縁層 6 1 1、6 1 2 と同様に無機材料、又は有機材料を用いて形成することができる。絶縁層 6 3 0 は、開口部を設ける。開口部の側面は、傾斜を有するように絶縁層 6 3 0 を加工する。

【 0 1 0 3 】

T F T 6 1 5 上に設けられた開口部に、有機化合物層 6 3 1 を形成する。有機化合物層 6 3 1 は、蒸着法、スパッタリング法により形成することができる。このような有機化合物層は、公知のエレクトロルミネッセンス材料から形成することができる。その後、有機化合物層 6 3 1、絶縁層 6 3 0 の一部を覆って、配線 6 3 2 が形成される。配線 6 3 2 は、配線 6 2 1 と同様に形成することができる。配線 6 3 2 が形成される領域は、メモリ領域及びコンタクト領域となる。配線 6 3 2 は、メモリ素子の共通電極となる。

20

【 0 1 0 4 】

図 8 (C) に示すように、アンテナ 6 4 0 を形成する。このとき、パッド 6 2 3 に対して熱圧着して、アンテナ 6 4 0 を電氣的に接続する。このようにして、引き回し配線等が形成される配線領域 6 4 4、メモリ素子が形成されるメモリ領域 6 4 2、T F T 群を有し、特定の機能を有する回路が形成される集積回路領域 6 4 3、パッド領域 6 4 5、コンタクト領域 6 4 6 を有する無線チップが形成される。そして、パッド領域とメモリ領域との距離は、500 μm 以上、好ましくは 750 μm 以上、範囲で示すと 500 μm 以上 1 mm 以下になるように形成される。その結果、アンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

30

【 0 1 0 5 】

またアンテナ圧着は、絶縁基板の柔軟性が低い状態で行うとよい。そのため、本実施の形態では、アンテナ圧着後、フィルム基板に転置する形態を示す。

【 0 1 0 6 】

図 9 (A) に示すように、剥離層 6 0 1 を除去することにより、絶縁基板 6 0 0 を剥離する。剥離層 6 0 1 は、化学的に除去する場合と、絶縁基板 6 0 0 へ物理的な力を加える場合とがある。例えば、半導体膜への加熱処理等により、剥離層 6 0 1 の結晶構造をも変化させることができる。その後、剥離層 6 0 1 の一部が露出するよう開口部を設け、露出した剥離層 6 0 1 にレーザ光を照射する。剥離層 6 0 1 にレーザ光を照射することによって、剥離のきっかけを与えることができる。すると、物理的に絶縁基板と、薄膜トランジスタ等を剥離させることもでき、しいては特段力を加えることなく、膜の応力により絶縁基板から薄膜トランジスタ等が自然に剥がれることもある。または、剥離層 6 0 1 へ到達する開口部を形成し、開口部を介してエッチング剤を導入し、化学反応を利用して剥離層 6 0 1 を除去することができる。

40

【 0 1 0 7 】

その後図 9 (B) に示すように、フィルム基板 6 5 0 を貼り合わせる。フィルム基板 6 5 0 の表面に接着性を有する場合、そのまま貼り合わせることができる。また接着性がない場合、接着剤を介してフィルム基板 6 5 0 を貼り合わせることができる。

【 0 1 0 8 】

50

そして、フィルム基板に薄膜トランジスタ等が転置された無線チップを形成することができる。このような無線チップは、有機メモリ領域が一体形成された上、軽量化、薄型化を図り、柔軟性に富む、といった付加価値を有する。

【0109】

(実施の形態8)

本実施の形態では、上記実施の形態と異なり、ガラス基板上に形成された無線チップの作製方法について説明する。

【0110】

上記実施の形態では剥離層601を形成し、これを剥離することによってフィルム基板に薄膜トランジスタを転置する無線チップの作製方法を説明した。しかしながら、本発明の無線チップは、ガラス基板上に直接形成することができる。

10

【0111】

ガラス基板上に形成された無線チップは、最上面に保護膜として窒化珪素膜を形成するとよい。

【0112】

また薄型化を望む場合、ガラス基板を研磨することができる。例えば、薄膜トランジスタが形成されない側のガラス基板を、CMP法等によって研磨する。その結果、無線チップにおいて、無線チップに用いられる層の中で最も厚みを有するガラス基板の薄型化を達成でき、無線チップ全体の薄型化を図ることができる。

【0113】

このようにガラス基板上に無線チップを作製できるのは、薄膜トランジスタが有する結晶性半導体膜の作製工程が金属元素を用いたり、レーザ照射を用いたことによってプロセスが低温化された、又はガラスへの加熱を防止できたことによる。

20

【0114】

(実施の形態9)

本実施の形態では、上記実施の形態と異なりコイル状のアンテナを有する無線チップの構成について説明する。

【0115】

図10(A)には、コイル状のアンテナを有する無線チップの上面図を示す。無線チップ100は、フィルム基板650の中心部にメモリ領域642、集積回路領域643を有し、これらを囲むようにコイル状のアンテナ647が設けられている。コイル状のアンテナとは、矩形状に設けられたアンテナであり、4つ以上の角を有する。またこのようなアンテナは、中心から外側へ向かって、直径が増すようにコイル状に巻かれた状態を有する。

30

【0116】

そしてアンテナ647の先端には、集積回路領域643と接続するためのパッド623が設けられている。そしてパッド623と、メモリ領域642との距離dは、500 μ m以上、好ましくは750 μ m以上、範囲で示すと500 μ m以上1mm以下となる。その結果、コイル状のアンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【0117】

本実施の形態は、上記実施の形態の作製方法を参照することができ、例えば絶縁基板からフィルム基板650への転置することによって無線チップを形成することができる。

40

【0118】

図10(B)には、このような無線チップのA-Bにおける断面図を示す。A-Bの断面図において、無線チップは、アンテナが設けられるアンテナ領域648を両側に有し、一方のアンテナ領域648から順にコンタクト領域646、メモリ領域642、集積回路領域643、パッド領域645が設けられている。

【0119】

フィルム基板650上には、上記実施の形態と同様に絶縁層602を介してTF T 615、TF T 群616等が設けられている。TF T 615上には、メモリ素子633が形成さ

50

れており、メモリ素子 6 3 3 を区分けするための絶縁層 6 3 0 がメモリ領域 6 4 2、集積回路領域 6 4 3 に渡って設けられている。

【0120】

絶縁層に開口部を設け、パッド 6 2 3 が形成され、パッドに圧着するようにアンテナ 6 4 0 が設けられている。このときメモリ領域と、パッドとの距離は 5 0 0 μm 以上、好ましくは 7 5 0 μm 以上、範囲で示すと 5 0 0 μm 以上 1 mm 以下とする。その結果、コイル状のアンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【0121】

(実施の形態 10)

本実施の形態では、上記実施の形態と異なり L S I を用いて形成されたトランジスタを有する無線チップであって、コイル状のアンテナを有する構成について説明する。

【0122】

図 1 8 (A) には、無線チップの上面図を示す。上記実施の形態と同様にコイル状のアンテナを有する無線チップであって、パッド 6 2 3 と、メモリ領域 6 4 2 との距離 d は、5 0 0 μm 以上、好ましくは 7 5 0 μm 以上、範囲で示すと 5 0 0 μm 以上 1 mm 以下となる。その結果、アンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【0123】

図 1 8 (B) には、このような無線チップの C - D における断面図を示す。C - D の断面図において、無線チップは、上記実施の形態と同様にアンテナが設けられるアンテナ領域 6 4 8 を両側に有し、一方のアンテナ領域 6 4 8 から順にコンタクト領域 6 4 6、メモリ領域 6 4 2、集積回路領域 6 4 3、パッド領域 6 4 5 が設けられている。上記実施の形態と異なる構成は、シリコン基板 7 5 0 に形成されたトランジスタ 7 5 2、7 5 3 を有する点である。シリコン基板を用いた無線チップであっても、アンテナ圧着時における応力や熱の影響を受けることなく、アンテナを貼り付けることが必要となる。

【0124】

トランジスタ 7 5 2、7 5 3 を形成するため、L S I 技術を用い、シリコン基板 7 5 0 に、素子分離のための酸化物層 7 5 1 を形成する。酸化物層 7 5 1 は、熱酸化法により選択的に形成される。その後、ゲート絶縁層 7 5 4、ゲート絶縁層上にゲート電極 7 5 5 を形成する。ゲート電極 7 5 5 の両側には、サイドウォールとして機能する絶縁層 7 5 6 を形成する。この状態で、ゲート電極 7 5 5 及び絶縁層 7 5 6 を用いて、ゲート絶縁層 7 5 4 をエッチング除去する。その後、不純物元素を添加し、トランジスタ 7 5 2、7 5 3 を形成する。

【0125】

またシリコン基板 7 5 0 の膜厚を薄くするため、トランジスタが形成されない側を研磨してもよい。

【0126】

このような L S I 技術を用いたトランジスタを用いて、本発明の無線チップを形成することができる。L S I 技術を用いたトランジスタは、電気特性が高いため、集積回路領域 6 4 3 のスイッチング素子等に適用すると好ましい。

【0127】

(実施の形態 11)

本実施の形態では、上記実施の形態と異なり、コイル状アンテナの外側にメモリ領域 6 4 2、集積回路領域 6 4 3 が設けられた無線チップの形態を説明する。

【0128】

図 1 9 に示すように、コイル状のアンテナ 6 4 7 の右外側に、メモリ領域 6 4 2、集積回路領域 6 4 3 が設けられている。その他の構成は、上記実施の形態と同様であるため説明を省略する。

このような形態を有する無線チップにおいても、パッド 6 2 3 と、メモリ領域 6 4 2 との

10

20

30

40

50

距離 d は、 $500\text{ }\mu\text{m}$ 以上、好ましくは $750\text{ }\mu\text{m}$ 以上、範囲で示すと $500\text{ }\mu\text{m}$ 以上 1 mm 以下となる。その結果、コイル状のアンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【0129】

本実施の形態は、上記実施の形態と自由に組み合わせることができる。

【0130】

(実施の形態12)

本実施の形態ではアンテナ用基板に形成されたアンテナの形状について説明する。

【0131】

無線チップにおける信号の伝送方式として、電磁結合方式または電磁誘導方式（例えば 13.56 MHz 帯）を適用することができる。電磁誘導方式を用いる場合には、磁界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電層を輪状（例えば、ループアンテナ）、らせん状（例えば、スパイラルアンテナ）に形成する。 10

【0132】

また、無線チップにおける信号の伝送方式として、マイクロ波方式（例えば、 UHF 帯（ $860\sim 960\text{ MHz}$ 帯）、 2.45 GHz 帯等）を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電層の長さ等の形状を決定する。例えば、アンテナとして機能する導電層を線状（例えば、ダイポールアンテナ）、平坦な形状（例えば、パッチアンテナ）またはリボン型の形状等に形成することができる。また、アンテナとして機能する導電層の形状は線状に限られず、電磁波の波長を考慮して曲線 20 状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

【0133】

図12(A)には、アンテナとして機能する導電層を幅の狭い線状とし、さらに矩形を帯びるように形成した例を示す。図12(A)において、アンテナとして機能する導電層502（ダイポールアンテナの形状をなす）が形成されたアンテナ用基板501にメモリ領域505等を有する集積回路503が貼り付けられている。ダイポールアンテナは、2本のアンテナエレメントを線状に配置したアンテナで、アンテナ線に直交する方向にドーナツ状にゲイン（利得）を持つアンテナパターンとなる。指向性については無指向性が強く、角度的な通信範囲は広がる。 $300\text{ kHz}\sim 30\text{ MHz}$ の短波帯や極超短波（ UHF 帯）の通信周波数を用いれば、数センチメートルから数十センチメートルの通信距離を確保することができる。また、マイクロ波帯（代表的には 2.45 GHz ）の通信周波数に適用すれば、数メートルの通信距離を確保することもできる。アンテナは、メモリ領域505から $500\text{ }\mu\text{m}$ 以上、好ましくは $750\text{ }\mu\text{m}$ 以上、範囲で示すと $500\text{ }\mu\text{m}$ 以上 1 mm 以下離れて設けられたパッド506を介して、集積回路503と電氣的に接続されている。 30

【0134】

図12(B)には、アンテナとして機能する導電層を幅の広い線状、つまり直線状となるように形成したモノポール若しくはダイポールアンテナの例を示す。このアンテナ形状は、アンテナの指向性や、インピーダンスを考慮して適宜定めている。図12(B)において、アンテナとして機能する導電層502（パッチアンテナの形状をなす）が形成された 40 アンテナ用基板501にメモリ領域505等を有する集積回路503が貼り付けられている。パッチアンテナは非常に指向性が高く、またアンテナ形状により一方向の指向性を高めることができる。周波数帯としては、 $900\sim 980\text{ MHz}$ の UHF 帯、 2.45 GHz 等のマイクロ波帯を使用することができる。アンテナは、メモリ領域505から $500\text{ }\mu\text{m}$ 以上、好ましくは $750\text{ }\mu\text{m}$ 以上、範囲で示すと $500\text{ }\mu\text{m}$ 以上 1 mm 以下離れて設けられたパッド506を介して、集積回路503と電氣的に接続されている。

【0135】

図12(C)には、アンテナとして機能する導電層をリボン型の形状（扇状とも記す）に形成した例を示す。これはモノポール型若しくはダイポール型アンテナの一種であり、他のアンテナと同様に 13.56 MHz などの短波帯、 $950\sim 956\text{ MHz}$ などの UHF 50

帯、2.45GHzに代表されるマイクロ波帯の通信に適用することができる。図12(C)において、アンテナとして機能する導電層502が形成されたアンテナ用基板501にメモリ領域505等を有する集積回路503が貼り付けられている。アンテナは、メモリ領域505から500μm以上、好ましくは750μm以上、範囲で示すと500μm以上1mm以下離れて設けられたパッド506を介して、集積回路503と電氣的に接続されている。

【0136】

アンテナとして機能する導電層は、アンテナ用基板にCVD法、スパッタ法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)、インジウム(In)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

10

【0137】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電層を形成する場合には、粒径が数nmから数十μmの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、珪素樹脂等の有機樹脂が挙げられる。また、導電層の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子(例えば粒径1nm以上100nm以下)を用いる場合、150~300の温度範囲で焼成することにより硬化させて導電層を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20μm以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

20

30

【0138】

また、上述した材料以外にも、セラミックやフェライト等をアンテナに適用してもよい。

【0139】

また、電磁結合方式または電磁誘導方式を適用する場合であって、アンテナを備えた無線チップを金属に接して設ける場合には、当該半導体装置と金属との間に透磁率を備えた磁性材料を設けることが好ましい。なぜなら、磁界の変化に伴い金属に渦電流が流れ、当該渦電流により発生する反磁界によって、磁界の変化が弱められて通信距離が低下してしまう。そのため、無線チップと金属との間に透磁率を備えた材料を設けることにより金属の渦電流を抑制し通信距離の低下を抑制することができる。なお、磁性材料としては、高い透磁率を有し高周波損失の少ないフェライトや金属薄膜を用いることができる。

40

【0140】

このようにアンテナ用基板に形成されたアンテナを電氣的に接続するパッドの配置を、メモリ領域より500μm以上、好ましくは750μm以上、範囲で示すと500μm以上1mm以下離すことによって、アンテナ圧着時における応力や熱の影響を受けることなく、データの書き込みを行うことができる。

【実施例1】

【0141】

本実施例では、図13(A)に示すように、パッド106とメモリ領域101との距離を変化させ、パッドの位置にアンテナに相当するFPC(flexible printed circuit)を熱圧着させ、熱圧着により無線チップへ与える影響を調べるため

50

の実験及びその結果を示す。具体的には、ある程度メモリ領域にデータを書き込み、その後熱圧着させ、データの変化を測定し、また再度書込を行ったとき正確にデータを書き込むことが可能かを測定した。

【0142】

このような測定を行う条件として、パッドとメモリ領域の上部電極との距離を $-1000\ \mu\text{m}$ 、 $0\ \mu\text{m}$ 、 $1000\ \mu\text{m}$ 、 $1500\ \mu\text{m}$ とした。なお、メモリ領域は実際に有機化合物層が形成される領域を指し、当該有機化合物層を覆って上部電極が設けられている。メタルマスクを用いて上部電極と、有機化合物層とは形成されるが、メタルマスクのマー

10

【0143】

図13(B)には、 $d = -250\ \mu\text{m}$ のときであって、メモリ領域101とパッド106とが重なった状態の無線チップ100を示す。このようにパッド106とメモリ領域101(その上部電極の縁)との距離がマイナスの場合、メモリ領域101と、パッド106とが $1000\ \mu\text{m}$ 程度重なった状態で、パッドへFPCを熱圧着する。

【0144】

図13(C)には、 $d = 750\ \mu\text{m}$ のときであって、メモリ領域101の上部電極の縁と、パッドの縁とが接する状態の無線チップ100を示す。このようにパッド106とメモリ領域101(その上部電極の縁)との距離がゼロの場合、メモリ領域101の上部電極の縁と、パッドの縁とが接する状態で、パッドへFPCを熱圧着する。

20

【0145】

$d = 1750\ \mu\text{m}$ 、 $2250\ \mu\text{m}$ は図示しないが、図13(A)に示す距離 d が $1750\ \mu\text{m}$ 、 $2250\ \mu\text{m}$ のときであり、この状態でパッドへFPCを熱圧着するものとする。

【0146】

図14には、 $d = -250\ \mu\text{m}$ のときのFPC圧着前と、FPC圧着後との、書き込まれた状態の変化を示す。図14(A)には、FPC圧着前のメモリ領域の状態を示し、メモリ領域の128個のメモリセルに対して印加電圧10V、書き込み時間100msで書き込みを行い、125個のメモリセルに対して書き込みが行われた。その後、リーダライタ

30

【0147】

図14(B)には、FPC圧着後の上記メモリ領域の状態を示す。FPCを、パッドの位置に280、圧力50kPa、20秒かけて熱圧着させた後、リーダライタ装置を用いて、応答の有無を測定した。すると、書き込みが行われた図中左側4列領域中、読み取ることができなかった領域が増加していることがわかる。読み取ることができなかった領域は、メモリ領域の上半分に集中している。これはFPCの圧着場所から、メモリ領域のうち下半分の領域に圧着されていると推測され、下半分は熱、及び圧力によってメモリセルが破壊されてしまったと考えられる。メモリセルが破壊されたことによって、書き込み状態となっていると考えられる。このときメモリ領域の上半分は、下半分にかかった圧力の反動で電極が持ち上がってしまい、データが読み取れない状況となっていると考えられる。

40

【0148】

このように、 $d = -250\ \mu\text{m}$ の場合、メモリ領域に非常に大きな変化が生じてしまった。

【0149】

次に、 $d = 750\ \mu\text{m}$ のときのFPC圧着前と、FPC圧着後との書き込まれた状態の変

50

化を示す。図 1 5 (A) には、F P C 圧着前のメモリ領域の状態を示し、メモリ領域の 1 2 8 個のメモリセルに対して印加電圧 9 V、書き込み時間 1 0 0 m s で書き込みを行い、5 7 個のメモリセルに対して書き込みが行われた。このように書き込まれたメモリセルの数が少ない理由は、印加電圧が低いことに起因する。その後、リーダライタ装置を用いて、読み取り信号の有無により書き込みが行われた領域か否かを判定した。図 1 4 と同様に、書き込みが行われた領域は「0」と、書き込みが行われていない領域は「1」と記し、図中左側 4 列の 1 2 8 個のメモリセルのうち、5 7 個のメモリセルに対してのみ書き込みが行われたことがわかる。

【0 1 5 0】

図 1 5 (B) は、 $d = - 2 5 0 \mu m$ の場合と同様に、F P C を、パッドの位置に 2 8 0、圧力 5 0 k P a、2 0 秒かけて熱圧着させた後、リーダライタ装置を用いて、応答の有無を測定した結果を示す。F P C 圧着後に変化はあらわれなかったことがわかる。

10

【0 1 5 1】

図 1 5 (C) には、メモリ領域全体に対して、印加電圧 1 0 V、書き込み時間 1 0 m s ~ 1 0 0 m s で再度書き込みを行った状態を示す。図 1 4 と同様に、書き込みが行われた領域は「0」と、書き込みが行われていない領域は「1」と記し、全メモリセルのうち、9 9 5 個のメモリセルに対して書き込みが行われたことがわかる。再度書き込みを行うことにより、F P C の圧着による書き込みへの影響を調べることができる。また書き込み電圧に大幅な変化が見られるか否かを調べることができる。本実験では、書き込みは正常に行われ、書き込み電圧も F P C 圧着による影響を受けていないと判断される。

20

【0 1 5 2】

次に $d = 1 7 5 0 \mu m$ のときの F P C 圧着前と、F P C 圧着後との書き込まれた状態の変化を示す。図 1 6 (A) には、F P C 圧着前のメモリ領域の状態を示し、メモリ領域の 1 2 8 個のメモリセルに対して印加電圧 9 V、書き込み時間 1 0 0 m s で書き込みを行い、8 0 個のメモリセルに対して書き込みが行われた。その後、リーダライタ装置を用いて、読み取り信号の有無により書き込みが行われた領域か否かを判定した。図 1 4 と同様に、書き込みが行われた領域は「0」と、書き込みが行われていない領域は「1」と記し、図中左側 4 列の 1 2 8 個のメモリセルのうち、8 0 個のメモリセルに対してのみ書き込みが行われたことがわかる。

【0 1 5 3】

図 1 6 (B) は、 $d = - 2 5 0 \mu m$ の場合と同様に、F P C を、パッドの位置に 2 8 0、圧力 5 0 k P a、2 0 秒かけて熱圧着させた後、リーダライタ装置を用いて、応答の有無を測定した結果を示す。F P C 圧着後に変化はあらわれなかったことがわかる。

30

【0 1 5 4】

次に図 1 6 (C) には、メモリ領域全体に対して、印加電圧 1 0 V、書き込み時間 1 0 m s ~ 1 0 0 m s で再度書き込みを行った状態を示す。図 1 4 と同様に、書き込みが行われた領域は「0」と、書き込みが行われていない領域は「1」と記し、全メモリセルのうち、1 0 1 6 個のメモリセルに対して書き込みが行われたことがわかる。再度書き込みを行ったことにより、F P C の圧着による書き込みへの影響、書き込み電圧に大幅な変化が見られるか否かを調べることができる。本実験では、書き込みは正常に行われ、書き込み電圧も F P C 圧着による影響を受けていないと判断される。

40

【0 1 5 5】

次に、 $d = 2 2 5 0 \mu m$ のときの F P C 圧着前と、F P C 圧着後との書き込まれた状態の変化を示す。図 1 7 (A) には、F P C 圧着前のメモリ領域の状態を示し、メモリ領域の 1 2 8 個のメモリセルに対して印加電圧 9 V、書き込み時間 1 0 0 m s で書き込みを行い、1 2 7 個のメモリセルに対して書き込みが行われた。その後、リーダライタ装置を用いて、読み取り信号の有無により書き込みが行われた領域か否かを判定した。図 1 4 と同様に、書き込みが行われた領域は「0」と、書き込みが行われていない領域は「1」と記し、図中左側 4 列の 1 2 8 個のメモリセルのうち、1 2 7 個のメモリセルに対してのみ書き込みが行われたことがわかる。

50

【 0 1 5 6 】

図 1 7 (B) は、 $d = - 2 5 0 \mu m$ の場合と同様に、F P C を、パッドの位置に 2 8 0、圧力 5 0 k P a、2 0 秒かけて熱圧着させた後、リーダライタ装置を用いて、応答の有無を測定した結果を示す。F P C 圧着後に変化はあらわれなかったことがわかる。

【 0 1 5 7 】

次に図 1 7 (C) には、メモリ領域全体に対して、印加電圧 1 0 V、書き込み時間 1 0 m s ~ 1 0 0 m s で再度書き込みを行った状態を示す。図 1 4 と同様に、書き込みが行われた領域は「 0 」と、書き込みが行われていない領域は「 1 」と記し、全メモリセルのうち、1 0 2 3 個のメモリセルに対して書き込みが行われたことがわかる。再度書き込みを行ったことにより、F P C の圧着による書き込みへの影響、書き込み電圧に大幅な変化が見られるか否かを調べることができる。本実験では、書き込みは正常に行われ、書き込み電圧も F P C 圧着による影響を受けていないと判断される。

10

【 0 1 5 8 】

このような結果からも、パッドとメモリ領域との距離は、5 0 0 μm 以上、好ましくは 7 5 0 μm 以上、範囲で示すと 5 0 0 μm 以上 1 m m 以下とするとよいことがわかる。

【図面の簡単な説明】

【 0 1 5 9 】

【図 1】本発明の無線チップを示した上面図である

【図 2】本発明の無線チップを示した図である

【図 3】本発明のメモリを示した回路図である

20

【図 4】本発明のメモリ素子を示した回路図である

【図 5】本発明の無線チップを示した回路図である

【図 6】本発明の無線チップを示した回路図である

【図 7】本発明の無線チップの作製工程を示した断面図である

【図 8】本発明の無線チップの作製工程を示した断面図である

【図 9】本発明の無線チップの作製工程を示した断面図である

【図 1 0】本発明の無線チップを示した上面図及び断面図である

【図 1 1】本発明の無線チップを示した上面図である

【図 1 2】本発明の無線チップに搭載されるアンテナを示した上面図である

【図 1 3】実験条件を示した図である

30

【図 1 4】実験結果を示した図である

【図 1 5】実験結果を示した図である

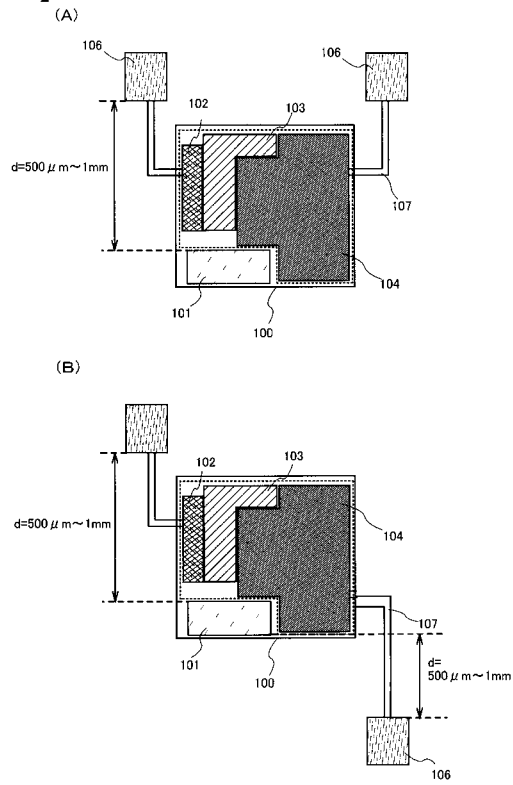
【図 1 6】実験結果を示した図である

【図 1 7】実験結果を示した図である

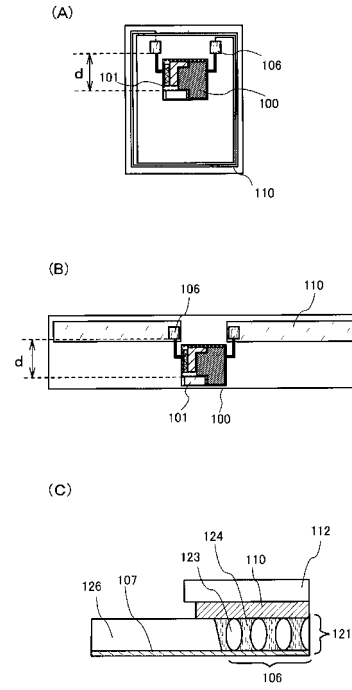
【図 1 8】本発明の無線チップを示した上面図及び断面図である

【図 1 9】本発明の無線チップを示した上面図である

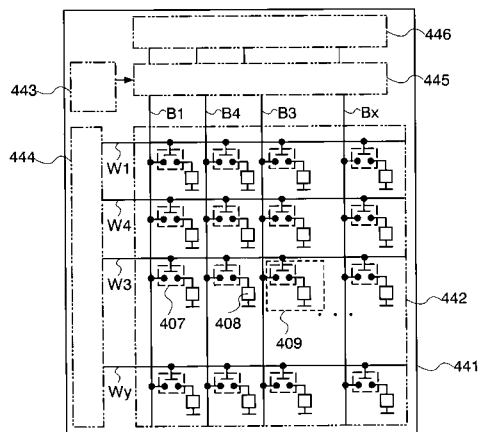
【図 1】



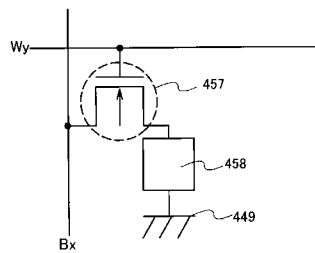
【図 2】



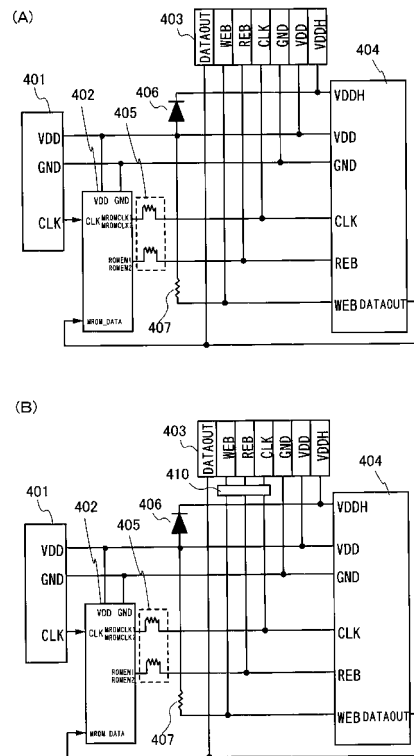
【図 3】



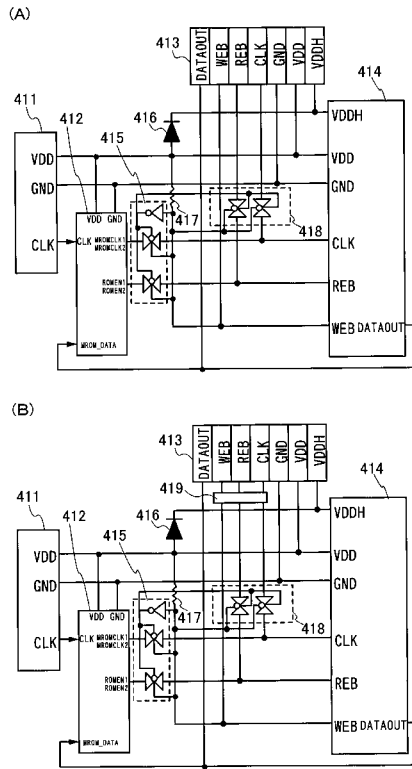
【図 4】



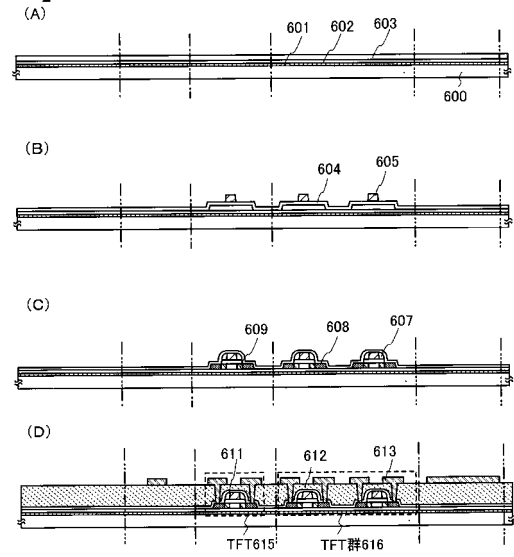
【図 5】



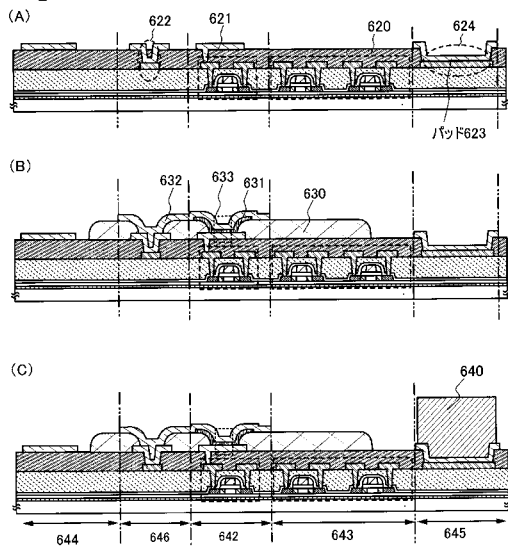
【図 6】



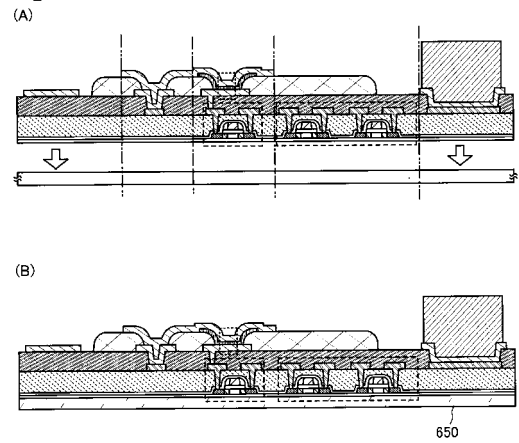
【図 7】



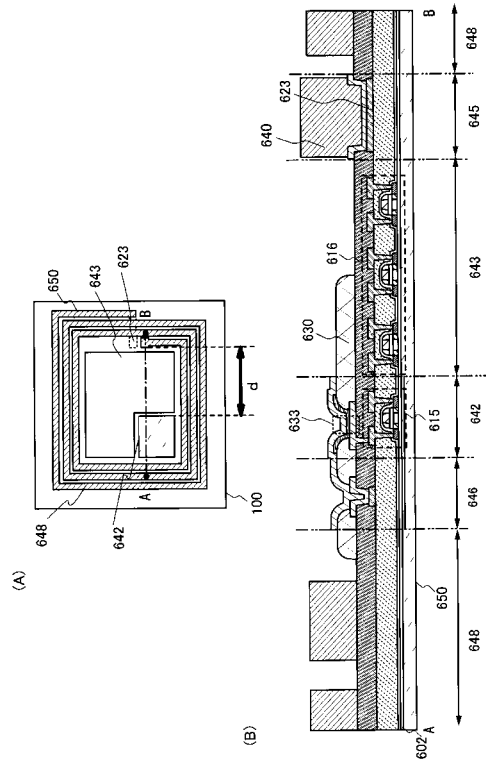
【図 8】



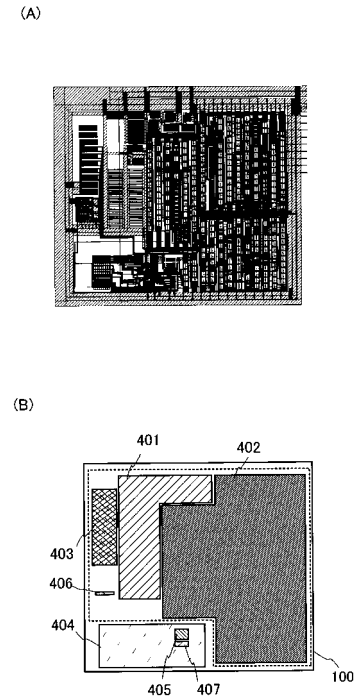
【図 9】



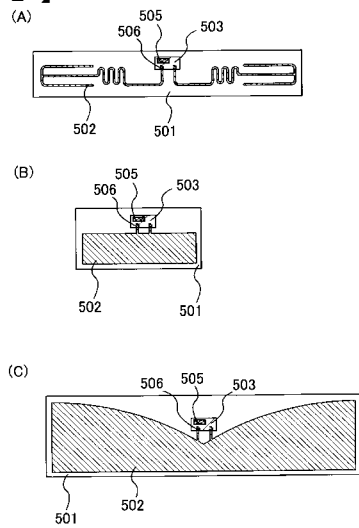
【 図 1 0 】



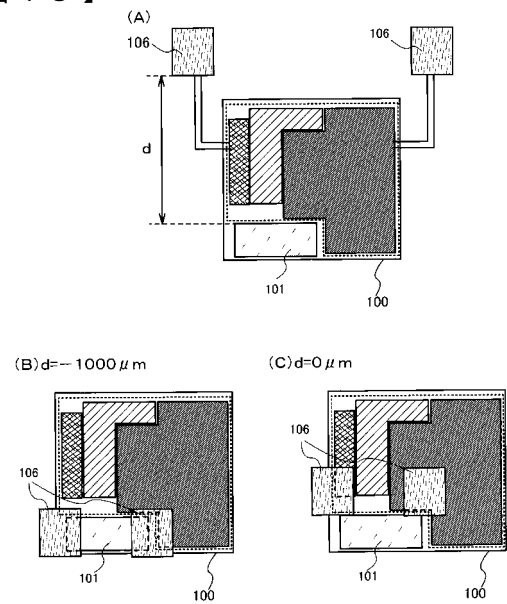
【 図 1 1 】
(A)



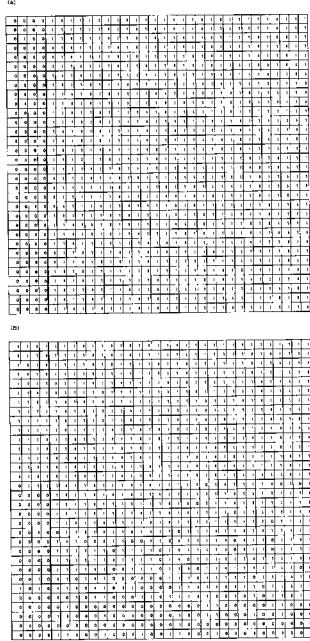
【 図 1 2 】



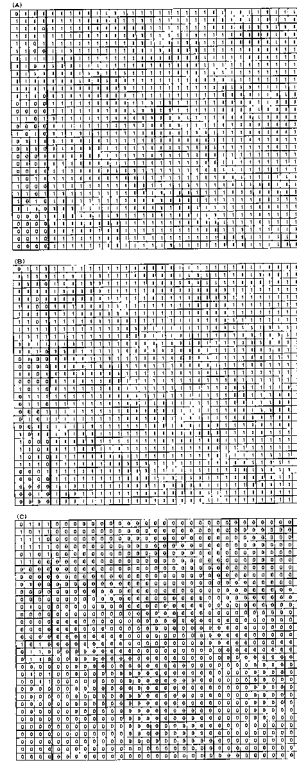
【 図 1 3 】



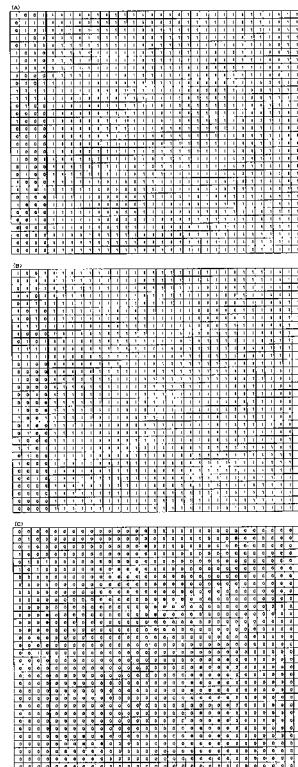
【図 14】



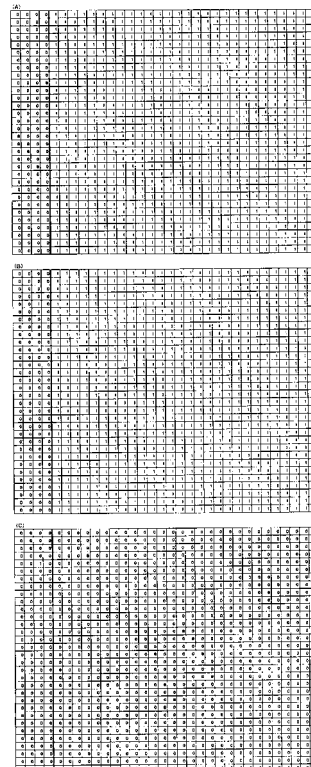
【図 15】



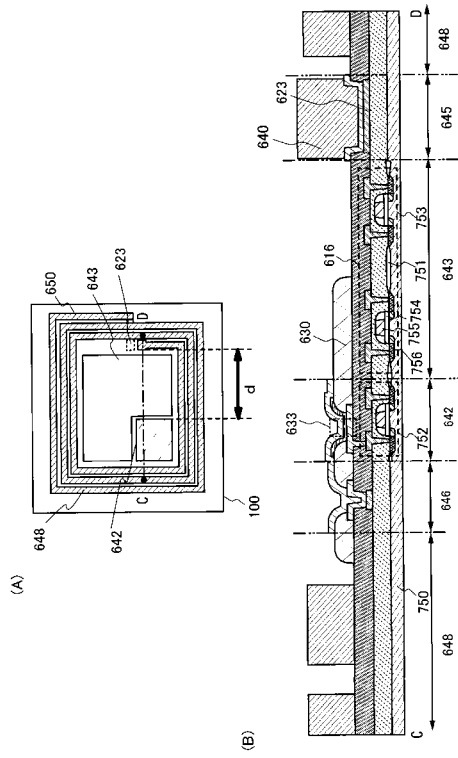
【図 16】



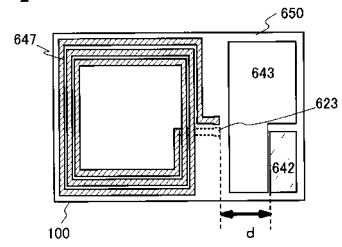
【図 17】



【図 18】



【図 19】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

H 0 1 L 27/04 (2006.01)

F ターム(参考) 5F038 AZ04 BE07 BE08 BG04 BH07 BH13 CA02 CA03 CA10 DF04
DF05 EZ04 EZ06 EZ11 EZ15 EZ17 EZ20