

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/088

H01L 23/60 H03K 19/0175



[12] 发明专利申请公开说明书

[21] 申请号 200410054441.6

[43] 公开日 2005 年 2 月 9 日

[11] 公开号 CN 1577859A

[22] 申请日 2004. 7. 22

[21] 申请号 200410054441.6

[30] 优先权

[32] 2003. 7. 22 [33] JP [31] 277461/2003

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 森下泰之

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

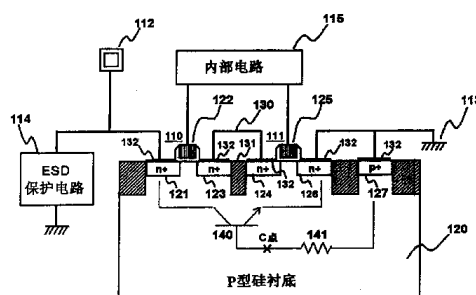
代理人 穆德骏 关兆辉

权利要求书 3 页 说明书 8 页 附图 5 页

[54] 发明名称 半导体集成电路

[57] 摘要

提供一种输出 MOS 晶体管的漏区的寄生电容和寄生电阻小、并且可以实现电路的快速动作的耐 ESD 性能强的输出电路。在输出端子和接地端子之间(或电源端子之间)设置专用的静电保护电路,与该静电保护电路并联连接的输出电路通过源、漏区的整个区域被实施了硅化处理的第二 MOS 晶体管和第一 MOS 晶体管级联连接而构成。两晶体管的栅电极连接至内部电路,第一 MOS 晶体管的源区扩散层和第二 MOS 晶体管的漏区扩散层分别隔离开而形成,并且通过金属布线连接着。



ISSN 1008-4274

1. 一种在半导体衬底上构成的半导体集成电路，其特征在于，
具有：设在输出端子和接地端子之间的静电保护电路；和具备在
5 所述输出端子和所述接地端子之间级联连接的第一 MOS 晶体管和第
二 MOS 晶体管的输出电路，

所述第一 MOS 晶体管由第 1 漏区和第 1 源区及第 1 栅电极构成，
所述第二 MOS 晶体管由第 2 漏区和第 2 源区及第 2 栅电极构成，所
述第 1 漏区连接至所述输出端子，所述第 1 源区连接至所述第 2 漏区，
10 所述第 2 源区连接至所述接地端子，所述第 1 栅电极和所述第 2 栅电
极连接至内部电路，所述第 1 源区和所述第 2 漏区分别隔离开形成。

2. 根据权利要求 1 所述的半导体集成电路，其特征在于，所述
第 1 漏区、所述第 1 源区、所述第 2 漏区、所述第 2 源区的整个区域
15 均被实施硅化处理。

3. 根据权利要求 1 所述的半导体集成电路，其特征在于，在所
述第 1 源区和所述第 2 漏区之间设置所述输出电路的衬底接触区。

20 4. 根据权利要求 1 所述的半导体集成电路，其特征在于，在所
述第 1 源区和所述第 2 漏区之间设置元件分离区。

5. 根据权利要求 1 所述的半导体集成电路，其特征在于，在所
述第 1 源区和所述第 2 漏区之间设置沟槽隔离。

25 6. 一种在半导体衬底上构成的半导体集成电路，其特征在于，
具有：设在输出端子和电源端子之间的静电保护电路；和具备在
所述输出端子和所述电源端子之间级联连接的第三 MOS 晶体管和第
四 MOS 晶体管的输出电路，

30 所述第三 MOS 晶体管由第 3 漏区和第 3 源区及第 3 栅电极构成，

所述第四 MOS 晶体管由第 4 漏区和第 4 源区及第 4 栅电极构成，所述第 3 漏区连接至所述输出端子，所述第 3 源区连接至所述第 4 漏区，所述第 4 源区连接至所述电源端子，所述第 3 栅电极和所述第 4 栅电极连接至内部电路，所述第 3 源区和所述第 4 漏区分别隔离开形成。

5

7. 根据权利要求 6 所述的半导体集成电路，其特征在于，所述第 3 漏区、所述第 3 源区、所述第 4 漏区、所述第 4 源区的整个区域均被实施硅化处理。

10

8. 根据权利要求 6 所述的半导体集成电路，其特征在于，在所述第 3 源区和所述第 4 漏区之间设置所述输出电路的衬底接触区。

9. 根据权利要求 6 所述的半导体集成电路，其特征在于，在所述第 3 源区和所述第 4 漏区之间设置元件分离区。

15

10. 根据权利要求 6 所述的半导体集成电路，其特征在于，在所述第 3 源区和所述第 4 漏区之间设置沟槽隔离。

20

11. 根据权利要求 6 所述的半导体集成电路，其特征在于，所述第三 MOS 晶体管和所述第四 MOS 晶体管在与所述衬底导电类型相反的阱中形成。

25

12. 根据权利要求 11 所述的半导体集成电路，其特征在于，所述第 3 漏区、所述第 3 源区、所述第 4 漏区、所述第 4 源区的整个区域均被实施硅化处理。

13. 根据权利要求 11 所述的半导体集成电路，其特征在于，设置使所述阱为电源电位的阱接触区。

30

14. 根据权利要求 11 所述的半导体集成电路，其特征在于，在

所述第 3 源区和所述第 4 漏区之间设置元件分离区。

15. 根据权利要求 11 所述的半导体集成电路，其特征在于，在所述第 3 源区和所述第 4 漏区之间设置沟槽隔离。

半导体集成电路

5 技术领域

本发明涉及一种半导体集成电路，特别涉及具有强化了抗静电性的快速输出电路的半导体集成电路。

背景技术

10 构成半导体集成电路的 MOS 晶体管在近年来日益向细微化方向发展。伴随着细微化的栅绝缘膜的薄膜化和 PN 结的浅结化使得半导体集成电路的静电保护（ESD 保护）越来越困难，为了防止静电破坏，对 ESD 保护电路的性能改善是必不可缺的。

15 伴随着细微化的推进，为了使源、漏扩散层成为低电阻，引入利用钴硅化物或钛硅化物等对扩散层实施硅化处理的技术，但在被实施了硅化处理的 MOS 晶体管中，由于 ESD 电流集中在低电阻的硅化物膜上，所以耐 ESD 性能明显降低。因此，在对扩散层实施硅化处理的
20 半导体集成电路中，为了防止连接至输出端子的 MOS 晶体管的 ESD 破坏，在漏区扩散层和输出端子之间设置高阻区（例如参照专利文献 1 或 2）。作为第 1 现有技术示例，使用附图说明专利文献 1。图 6 表示其输出电路，其构成为，通过并联连接的、在 NMOS 晶体管漏极 30 和输出端子 34 之间设有电阻体 32 的多个晶体管 T1~Tn 输出信号。多个晶体管 T1~Tn 的栅极 40 分别共同连接内部电路 41。

25

图 7 是专利文献 1 的输出晶体管的剖视图。在形成于 P 型衬底 220 上的 NMOS 晶体管的 N+漏区 48、N+源区 46、及 N+漏极接触区 56 上形成有硅化膜 54、58。栅电极 50 连接至内部电路（未图示），并被供给应从内部电路输出的信号。位于场绝缘膜 55 下部的 N 阱 260
30 形成高阻区，N+漏区 48 通过 N 阱 260、N+漏极接触区 56 及硅化膜

58 连接至输出端子 34。在该第 1 现有技术示例中，即使向输出端子 34 施加 ESD 冲击，由于在输出端子 34 和 N+漏区 48 之间设有高阻区，所以能够避免 ESD 电流向硅化膜集中，可以改善耐 ESD 性能。

5 作为改善输出端子的耐 ESD 性能的其他方式，已经公知使输出晶体管成为级联型来加长栅极的实效长度的现有技术示例（例如参照专利文献 3）。图 8 表示该第 2 现有技术示例的输出端子和接地端子之间的输出电路的构成。利用接受应从内部电路 215 输出的信号并进行开关动作的 NMOS 晶体管 210 和将栅电极连接至电源端子 VDD 的 NMOS 晶体管 211 构成输出电路。图 9 是其俯视图，NMOS 晶体管 210 构成为，把 N+扩散层 60、64、68 作为漏区，把 N+扩散层 61、63、65、67 作为源区，把多晶硅 69、72、73、76 作为栅电极。多晶硅 69、72、73、76 连接至内部电路（未图示）。并且，NMOS 晶体管 211 构成为，把 N+扩散层 61、63、65、67 作为漏区，把 N+扩散层 62、66 作为源区，把多晶硅 70、71、74、75 作为栅电极。多晶硅 70、71、74、75 连接至电源端子 VDD（未图示）。

图 10 是沿图 9 的 A—A' 部的剖视图。如图 10 所示，在第 2 现有技术示例中，在相对接地端子 32 向输出端子 33 施加正极 ESD 冲击时，在 N+扩散层 60 和 P 型硅衬底 220 的 PN 结之间通过冲击离子化，产生空穴电流。通过该空穴电流，使寄生于 P 型硅衬底 220 内的衬底电阻 241 产生电压下降，P 型硅衬底 220 的 B 点的电位高于接地端子 32。在 B 点的电位高到使得 N+扩散层 62 和 P 型硅衬底 220 的 PN 结发生正向偏置的情况下，以 N+扩散层 60 为集电极、P 型硅衬底 220 为基极、N+扩散层 62 为发射极的寄生 NPN 双极晶体管导通。该寄生 NPN 双极晶体管的动作是，通过使 P 型硅衬底 220 的 B 点的电位高于连接至接地端子的 N+扩散层 62 而产生的，所以未接地的 N+扩散层 61 对寄生 NPN 双极晶体管的动作几乎没有帮助。通过以上的寄生 NPN 双极晶体管的动作，决定了流过 ESD 电流，图 11 表示此时的电流—电压特性（I—V 特性）的示意图。在寄生 NPN 双极晶体管导

通时，产生显示负阻现象（迅速复原）。并且，在该寄生 NPN 双极晶体管的导通电流到达热界限时，输出电路损坏。在该第 2 现有技术示例中，即使将 N+ 扩散层硅化的情况下（相当于图 10 的 232），相对 ESD 电流的热界限电平明显降低，和第 1 现有技术示例相同，如果
5 不在输出端子 33 和 N+ 扩散层 60、64、68 之间设置高阻区，将不能确保充足的耐 ESD 性能。并且，所述第 1 现有技术示例、第 2 现有技术示例均构成为输出电路自身起到 ESD 保护电路的作用。

专利文献 1 美国专利 5019888 号公报（第 5、6 页，图 2、3）
10 专利文献 2 特开平 8-55958 号公报（第 7 页，图 11）
专利文献 3 特开平 9-326685 号公报（第 4、5 页，图 1、3）

在上述第 1 现有技术示例中，以设在输出晶体管的漏区的 N 阱为起因，漏区的寄生电容变大，所以晶体管的开关速度变慢，具有不能
15 实现输出电路的快速化的问题。在第 2 现有技术示例中，通过保护元件的寄生双极晶体管的动作，使流过 ESD 电流，所以在将扩散层硅化的情况下，需要采取和第 1 现有技术示例相同的对策，依然具有不能实现输出电路的快速化的问题。并且，在第 2 现有技术示例中，使经常导通的 NMOS 晶体管的栅电极连接至电源端子 VDD，所以担心栅
20 极氧化膜因输出端子和电源端子之间的 ESD 冲击而损坏。特别是在栅极氧化膜约为 1.6nm 的 90nm 节点的尖端 CMOS 技术中，在输出端子和电源端子之间设置保护电路也是必不可缺的，所以因输出端子和电源端子之间的保护电路产生的寄生电容也妨碍输出电路的快速化。

25 发明内容

为了解决上述课题，本发明的半导体集成电路，具有：设在输出端子和接地端子之间的静电保护电路；和具有在所述输出端子和所述
接地端子之间级联连接的第一 MOS 晶体管和第二 MOS 晶体管的输出
电路，所述第一 MOS 晶体管由第 1 漏区和第 1 源区及第 1 栅电极构成，
30 所述第二 MOS 晶体管由第 2 漏区和第 2 源区及第 2 栅电极构成，

所述第 1 漏区连接至所述输出端子，所述第 1 源区连接至所述第 2 漏区，所述第 2 源区连接至所述接地端子，所述第 1 栅电极和所述第 2 栅电极连接至内部电路，所述第 1 源区和所述第 2 漏区形成为分别隔离开。本发明适合于所述第 1 漏区、所述第 1 源区、所述第 2 漏区、
5 所述第 2 源区的整个区域均被实施硅化处理的半导体集成电路。另外，本发明也可以构成为，在所述第 1 源区和所述第 2 漏区之间设置所述输出电路的衬底接触区。

并且，本发明可以适用于半导体集成电路的输出端子和电源端子之间，该情况时，也可以构成为具有：设在输出端子和电源端子之间的静电保护电路；具有在所述输出端子和所述电源端子之间级联连接的第三 MOS 晶体管和第四 MOS 晶体管的输出电路，所述第三 MOS 晶体管由第 3 漏区和第 3 源区及第 3 栅电极构成，所述第四 MOS 晶体管由第 4 漏区和第 4 源区及第 4 栅电极构成，所述第 3 漏区连接至
10 所述输出端子，所述第 3 源区连接至所述第 4 漏区，所述第 4 源区连接至所述电源端子，所述第 3 栅电极和所述第 4 栅电极连接至内部电路，所述第 3 源区和所述第 4 漏区形成为分别隔离开。并且，适合于所述第 3 漏区、所述第 3 源区、所述第 4 漏区、所述第 4 源区的整个区域均被实施硅化处理的半导体集成电路。另外，也可以构成为在所述
15 所述第 3 源区和所述第 4 漏区之间设置所述输出电路的衬底接触区。

在本发明中，不用牺牲耐 ESD 性能，即可排除输出端子和输出晶体管之间的高阻区，所以能够把连接至输出端子的 MOS 晶体管的扩散层减小到制造界限程度，可以对该扩散层整个区域实施硅化处理。
20 并且，输出电路的栅电极不与电源端子和接地端子连接，全部连接至内部电路，所以 ESD 电流容易均匀地流向输出电路，可以防止输出电路自身的 ESD 破坏，同时不再需要输出端子和电源端子之间的 ESD 保护电路。因此，可以使输出电路中的寄生扩散层电容和寄生扩散层电阻极小，能够实现输出电路的信号的快速动作。在 90nm 节点
25 CMOS 半导体集成电路的输出端子中，为了使人体模型(Human-Body
30

一Model) 静电耐压 (HBM-ESD 耐压) 为 2000V, 在现有技术中产生约 4pF 的寄生电容, 如果不牺牲静电耐压, 则不能实现电路的快速动作。但是, 在适用了本发明的输出端子中, 可以把寄生电容抑制在 0.1pF 以下, 并且满足 2000V 以上的 HBM-ESD 耐压, 实现约 10Gbps 的信号快速动作。

附图说明

图 1 是表示本发明的实施方式的主要部分的电路图。

图 2 是表示本发明的第 1 实施方式的剖视图。

图 3 是适合本发明的静电保护电路的电路图。

图 4 是表示本发明的实施方式的输出电路和静电保护电路的电流-电压特性的示意图。

图 5 是表示本发明的第 2 实施方式的剖视图。

图 6 是表示第 1 现有技术示例的输出电路的电路图。

图 7 是表示第 1 现有技术示例的输出晶体管的剖视图。

图 8 是表示第 2 现有技术示例的输出电路的电路图。

图 9 是表示第 2 现有技术示例的输出晶体管的俯视图。

图 10 是表示第 2 现有技术示例的输出晶体管的剖视图。

图 11 是表示第 2 现有技术示例的输出电路的电流-电压特性的示意图。

实施方式

以下, 参照附图说明本发明的第 1 实施方式。图 1 是表示第 1 实施方式的主要构成部分的电路图。在图 1 中, 112 表示半导体集成电路的输出端子。114 表示设在输出端子 112 和接地端子 113 之间的专用 ESD 保护电路, 115 表示内部电路。110 是第一 NMOS 晶体管, 111 是第二 NMOS 晶体管, 被级联连接。借助于该第一 NMOS 晶体管 110 和第二 NMOS 晶体管 111 构成用于输出内部电路 115 的信号的输出电路 116, 第一 NMOS 晶体管 110 和第二 NMOS 晶体管 111 的栅电极均连接至内部电路 115。

图 2 是表示第 1 实施方式的主要构成部分的剖视图。在 P 型衬底 120 上形成第一 NMOS 晶体管 110、第二 NMOS 晶体管 111。121、123 是成为第一 NMOS 晶体管 110 的漏区、源区的 N+ 扩散层，124、126 是成为第二 NMOS 晶体管 111 的漏区、源区的 N+ 扩散层。127 是用于获取输出电路的衬底接触的高浓度 P+ 扩散层。在这些扩散层上的整个区域实施了由钴硅化物构成的硅化处理。第一 NMOS 晶体管 110 的漏区 121 通过硅化膜 132 连接至输出端子 112，第一 NMOS 晶体管 110 的源区 123 和第二 NMOS 晶体管 111 的漏区 124 通过硅化膜 132 和金属布线 130 而连接。第一 NMOS 晶体管 110 的源区 123 和第二 NMOS 晶体管 111 的漏区 124 通过浅沟槽隔离部 131 被隔离开。第二 NMOS 晶体管 111 的源区 126 和高浓度 P+ 扩散层 127 连接至接地端子 113。第一 NMOS 晶体管 110、第二 NMOS 晶体管 111 的栅电极均连接至内部电路 115，并且信号从内部电路 115 被供给。

15

下面，说明第 1 实施方式的动作。在图 2 中，第一 NMOS 晶体管 110、第二 NMOS 晶体管 111 的栅电极 122、125 均连接至内部电路，并且不与接地端子短路，所以在相对接地端子 113 向输出端子 112 施加正极 ESD 冲击时，在栅电极下部容易形成沟道层。并且，相对接地端子 113 向输出端子 112 施加正极 ESD 冲击时，电流从 N+ 扩散层 121 经由第一 NMOS 晶体管 110 的沟道层（未图示）、N+ 扩散层 123 和硅化膜 132 及金属布线 130、第二 NMOS 晶体管 111 的硅化膜 132 和 N+ 扩散层 124、并经由第二 NMOS 晶体管 111 的沟道层（未图示）、N+ 扩散层 126 及硅化膜 132 流到接地端子 113。此时，通过第一 NMOS 晶体管 110 的漏区 121 的冲击离子化产生空穴电流，该空穴电流经由 P 型硅衬底的寄生电阻 141、高浓度 P+ 扩散层 127 及硅化膜 132 流入接地端子 113。

25

此处，通过寄生电阻 141 的电压下降，P 型硅衬底 120 内的 C 点的电位高于接地端子 113 时，P 型硅衬底 120 与连接至接地端子 113

30

的 N+扩散层 126 的 PN 结产生正向偏置。但是，通过设在 N+扩散层 123 和 N+扩散层 124 之间的浅沟槽隔离部 131 的隔离效果，使以 N+扩散层 121 为集电极、P 型硅衬底 120 为基极、N+扩散层 126 为发射极的寄生 NPN 双极晶体管 140 不导通。这是因为，从发射极（N+扩散层 126）到集电极（N+扩散层 121）的基极区域（P 型硅衬底 120）的载流子扩散长度通过浅沟槽隔离部 131 的隔离效果而变长，从而使寄生 NPN 双极晶体管的电流放大率 β 明显降低。

通过形成以上结构，相对接地端子 113 向输出端子 112 施加正极 ESD 冲击时，可以避免输出电路 116 中的寄生 NPN 双极晶体管动作，使 ESD 电流通过专用的 ESD 保护电路 114 流向接地端子 113。在本发明中大大抑制了流向输出电路的 ESD 电流，所以即使在输出端子 112 和第一 NMOS 晶体管 110 的漏区 121 之间不设置高阻区，也能防止输出电路因受热而损坏。另外，输出电路的栅电极全部连接至内部电路，这对使输出电路中的 ESD 电流均匀流过，防止输出电路中的 ESD 损坏也是非常有效的。并且，栅电极不连接至电源端子，相对输出端子和电源端子之间的 ESD 现象，栅极氧化膜不会受到 ESD 冲击，所以不必在输出端子和电源端子之间配置 ESD 保护电路。

本发明中使用的 ESD 保护电路 114 寻求以更低的电压来动作，具有较高的放电能力，但作为该 ESD 保护电路，例如图 3 所示的并用了晶闸管和二极管的保护电路也是适合的。该保护电路已在美国专利 6,545,321 号（图 9B）公开。

在本发明中，从减小输出电路中的寄生 NPN 双极晶体管的电流放大率 β 的观点考虑，浅沟槽隔离部 131 优选形成得更深。在第 1 实施方式中，使用 90nm 节点 CMOS 技术，浅沟槽隔离部 131 的深度约为 $0.3\mu\text{m}$ ，相当于寄生 NPN 双极晶体管 140 的基极区域的 P 型硅衬底（P 型阱）的杂质浓度约为 10^{17}cm^{-3} 。并且，通过实验确认了，该输出电路不迅速复原。图 4 表示第 1 实施方式的放电特性示意图。输出

5 电路由于所有栅电极连接至内部电路，所以电流开始均匀流过，但由于不进行迅速复原动作，所以损坏电压电平变高。所适用的 ESD 保护电路具有比输出电路的损坏电压电平低的导通电压，并设定 ESD 保护电路的规格，以便能够以比输出电路的损坏电压电平低的电压流过所期望的 ESD 电流，所以输出电路不会因 ESD 电流而损坏，不必在输出端子 112 和第一 NMOS 晶体管 110 的漏区 121 之间设置 N 阱等的高阻区。

10 图 5 是表示本发明的第 2 实施方式的剖视图。在该第 2 实施方式中，在成为第一 NMOS 晶体管 110 的源区的 N+ 扩散层 123 和成为第二 NMOS 晶体管 111 的漏区的 N+ 扩散层 124 之间，配置成为输出电路的衬底接触的高浓度 P 型扩散层 127。其他构成和第 1 实施方式相同。在第 2 实施方式中，可以使 P 型硅衬底的寄生电阻 141 低于第 1 实施方式。因此，即使 N+ 扩散层 123、124 和高浓度 P 型扩散层 127 之间的浅沟槽隔离部 131 的深度是比第 1 实施方式浅的结构时，也可以避免寄生 NPN 双极晶体管 140 导通。在第 2 实施方式中，通过实验确认到，即使浅沟槽隔离部 131 的深度为 $0.2\mu\text{m}$ 时，也能获得和第 1 实施方式相同的放电特性。

20 以上，根据实施方式说明了本发明，但本发明不限于这些实施方式，可以在不脱离本发明宗旨的范围内进行各种变形。例如，各衬底和扩散层等的导电类型不限于前述实施方式所述形式，可以采用相反导电类型。另外，在实施方式中，级联连接的晶体管被设置在输出端子和接地端子之间，但也可以设在输出端子和电源端子（VDD）之间。

25 在这种情况下，在与 P 型衬底导电类型相反的 N 阱中形成第一 PMOS 晶体管和第二 PMOS 晶体管。输出电路接触区（N+ 扩散层）成为使该阱为电源电位的阱接触区。

图1

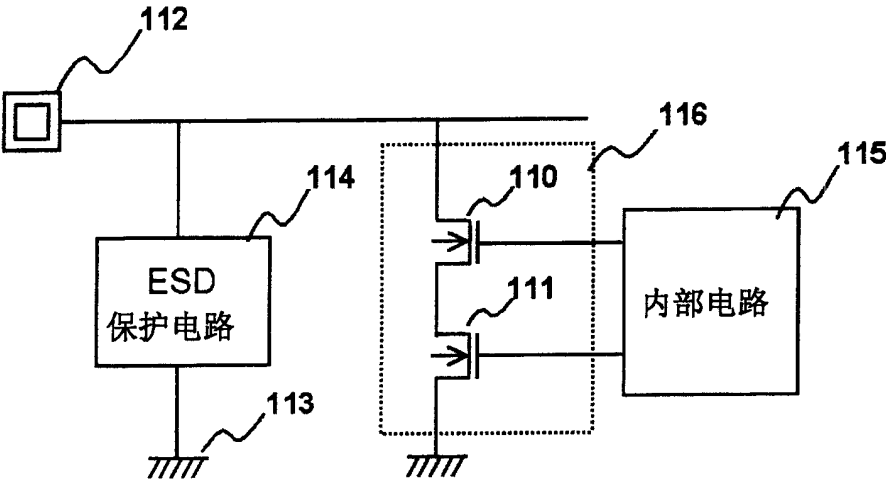


图2

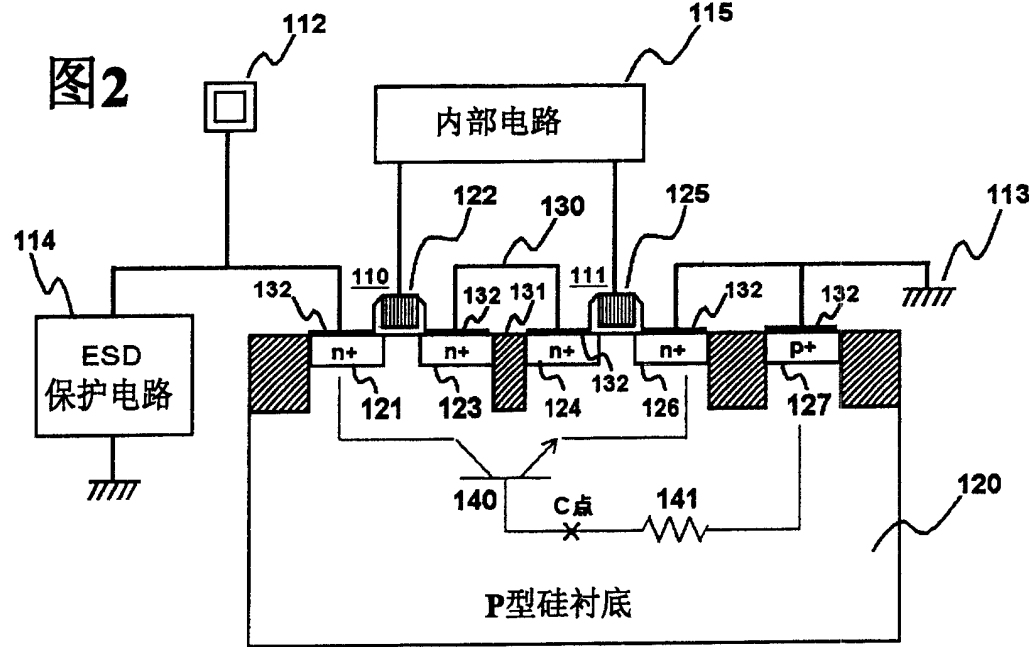


图3

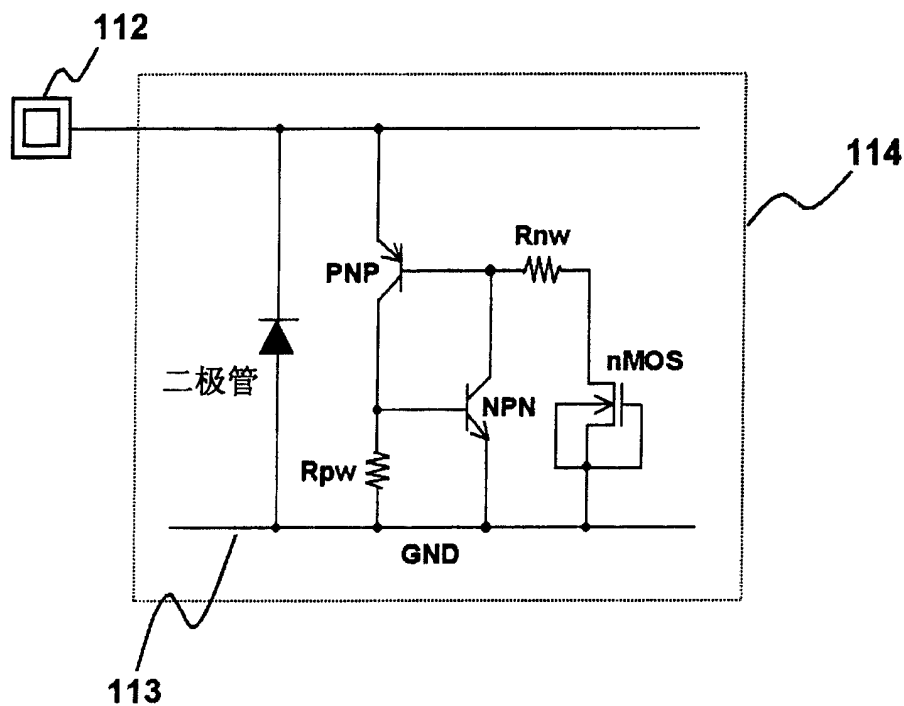


图4

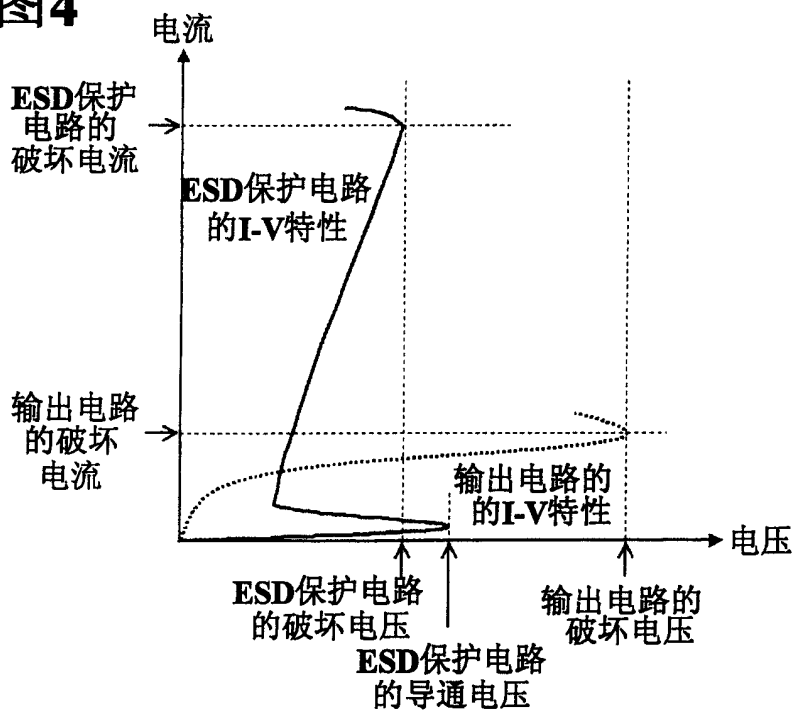


图5

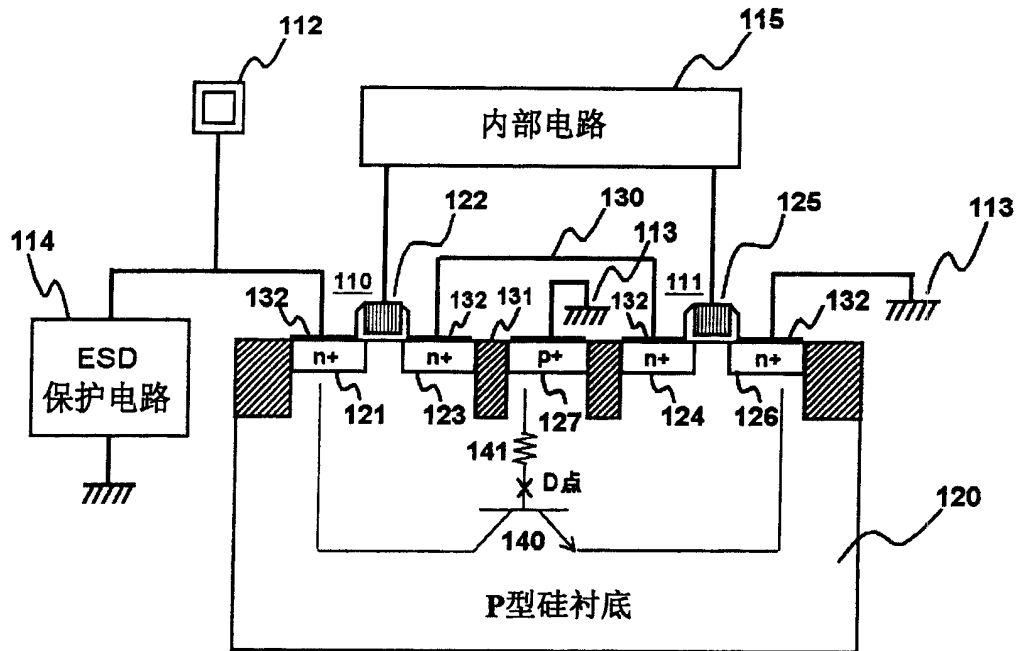


图6

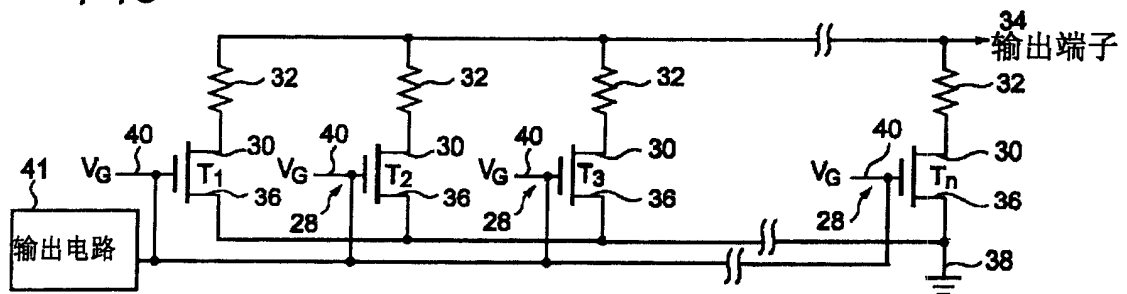
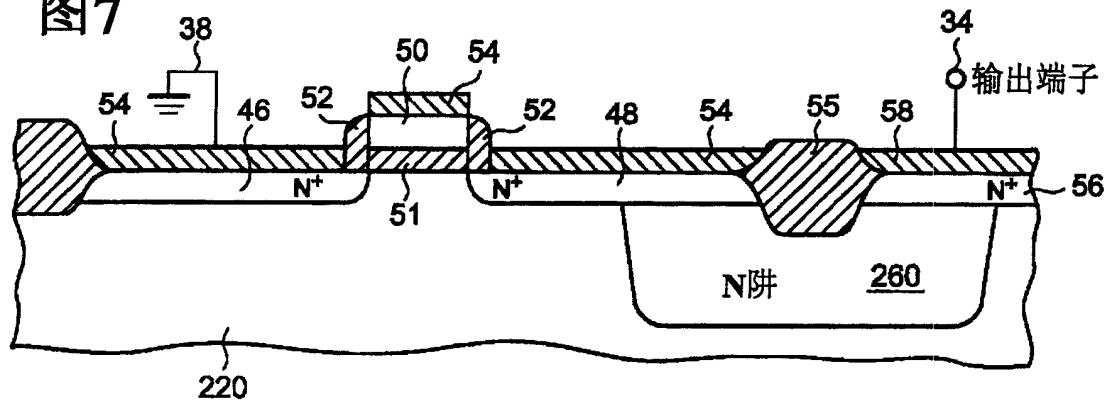


图7



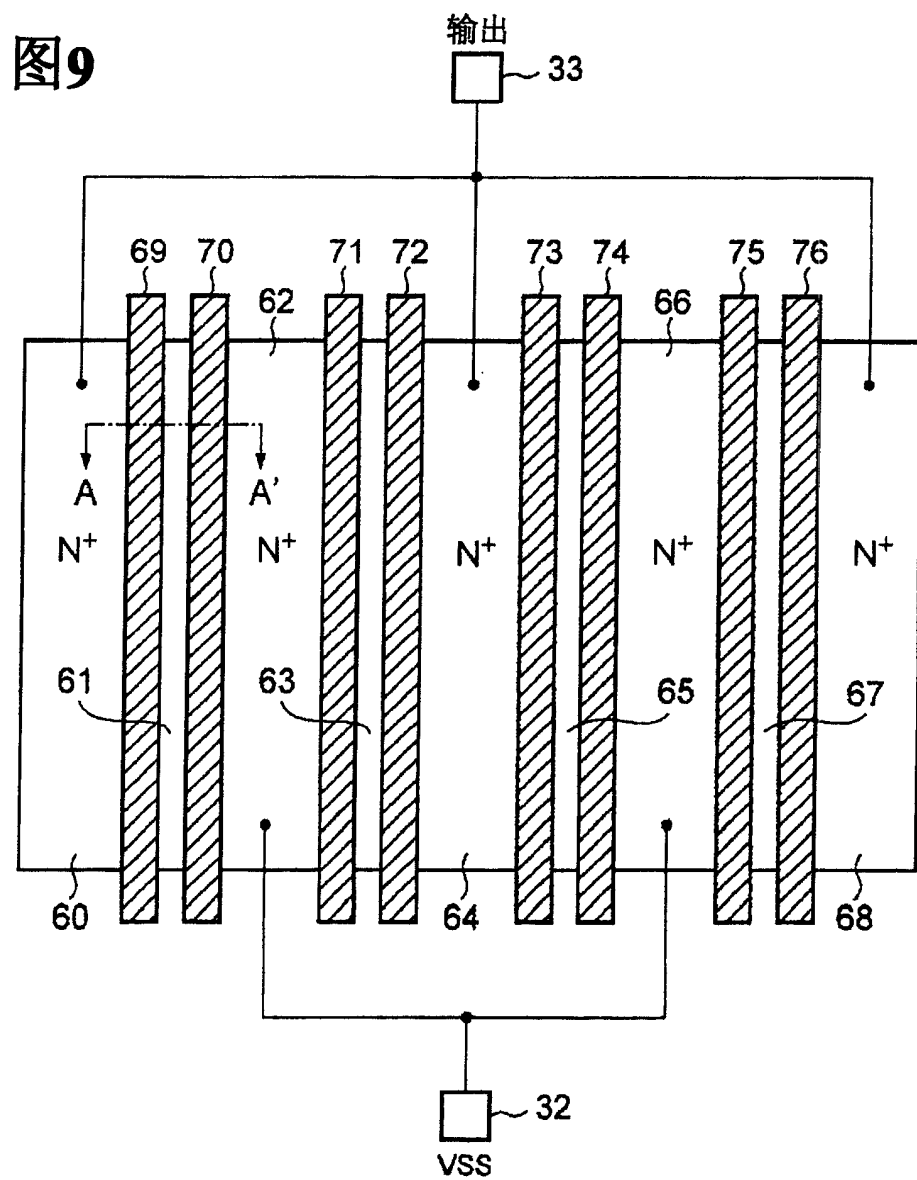
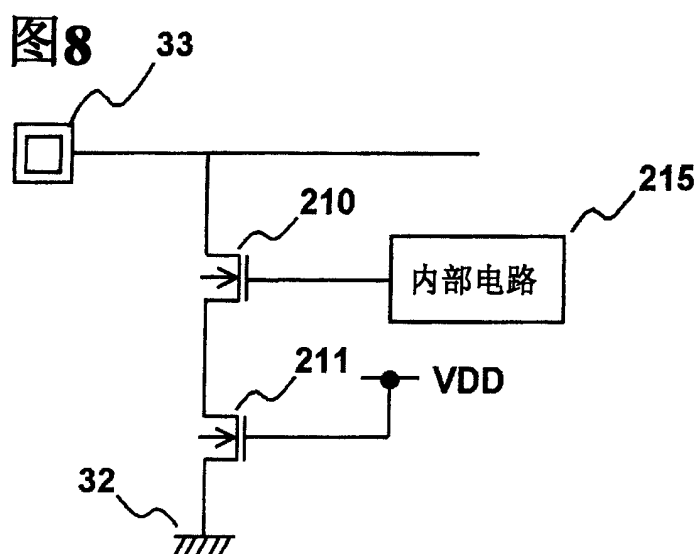


图10

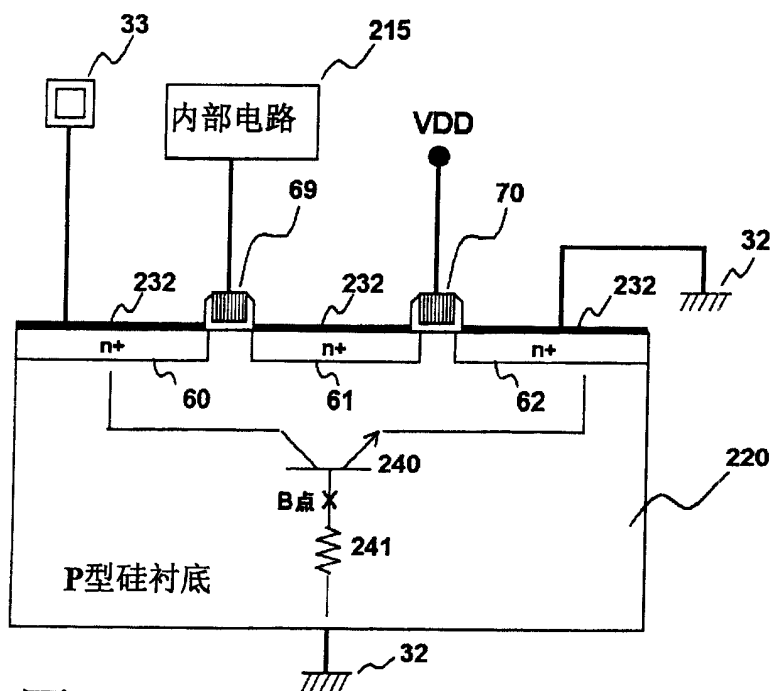


图11

