



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0110711
(43) 공개일자 2015년10월02일

(51) 국제특허분류(Int. Cl.)
H03F 1/02 (2006.01) H03F 3/19 (2006.01)
H03F 3/21 (2006.01) H03F 3/24 (2006.01)
(52) CPC특허분류
H03F 1/0222 (2013.01)
H03F 1/0227 (2013.01)
(21) 출원번호 10-2015-7022731
(22) 출원일자(국제) 2014년01월21일
심사청구일자 없음
(85) 번역문제출일자 2015년08월21일
(86) 국제출원번호 PCT/US2014/012393
(87) 국제공개번호 WO 2014/116608
국제공개일자 2014년07월31일
(30) 우선권주장
13/752,287 2013년01월28일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
마테, 레나르트 칼-악셀
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
리, 펑페이
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

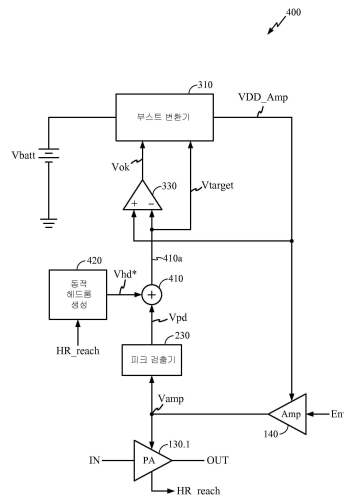
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 포락선 추적을 위한 동적 헤드룸

(57) 요약

포락선 추적 시스템에 대한 헤드룸 전압을 동적으로 생성하기 위한 기술들이 기재된다. 일 양상에서, 초기 헤드룸 전압은, 전력 증폭기(PA)로부터의 신호가 PA 헤드룸이 불충분하다고 표시하는 경우 업데이트된다. 초기 헤드룸 전압은, 초기 전압 더하기 부족 전압 더하기 마진을 포함하는 동작 헤드룸 전압으로 업데이트될 수도 있다. 이러한 방식에서, 동작 헤드룸 전압은, 전력 소모를 최소화하면서 여전이 PA가 선형임을 보장하도록 동적으로 선택될 수도 있다. 추가적인 양상에서, 카운터를 사용하는 헤드룸 전압 생성기의 특정한 예시적인 실시예가 설명된다.

대표도 - 도4



(52) CPC특허분류

H03F 3/19 (2013.01)

H03F 3/21 (2013.01)

H03F 3/245 (2013.01)

H03F 2200/102 (2013.01)

H03F 2200/451 (2013.01)

(72) 발명자

시, 송

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉘컴 인코포레이티드 (내)

시, 윤페이

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉘컴 인코포레이티드 (내)

루트코우스키, 조셉

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉘컴 인코포레이티드 (내)

명세서

청구범위

청구항 1

장치로서,

증폭기에 대한 증폭기 공급 전압을 생성하도록 구성가능한 부스트 변환기(boost converter) — 상기 증폭기는 추적 공급 전압을 출력하도록 구성되고, 상기 추적 공급 전압은, 출력 전압을 생성하기 위해 입력 전압을 증폭 시키도록 구성되는 전력 증폭기에 공급되고, 상기 증폭기 공급 전압은, 상기 부스트 변환기에 커플링되는 부스트 공급 전압보다 더 높도록 구성가능하며, 상기 부스트 변환기는, 상기 추적 공급 전압의 피크(peak)와 헤드룸(headroom) 전압의 합이 상기 증폭기 공급 전압보다 더 큰 것에 응답하여 인에이블링(enable)되도록 구성됨 — 및;

상기 헤드룸 전압을 생성하도록 구성되는 동적 헤드룸 생성 블록을 포함하며,

상기 헤드룸 전압은, 헤드룸 도달 신호(headroom reached signal)를 검출하는 것에 응답하여 초기 헤드룸 전압 으로부터 업데이트(update)되는, 장치.

청구항 2

제 1 항에 있어서,

상기 전력 증폭기는 적어도 하나의 트랜지스터를 포함하고, 상기 헤드룸 도달 신호는 상기 적어도 하나의 트랜지스터가 포화(saturation)라는 것을 표시하는, 장치.

청구항 3

제 1 항에 있어서,

업데이트된 헤드룸 전압은, 초기 헤드룸 전압, 부족(deficiency) 전압 및 전압 마진의 합을 포함하는, 장치.

청구항 4

제 3 항에 있어서,

상기 부족 전압은, 상기 추적 공급 전압의 피크 및 상기 초기 헤드룸 전압의 합과 상기 증폭기 공급 전압 사이의 차이를 포함하는, 장치.

청구항 5

제 1 항에 있어서,

업데이트된 헤드룸 전압은, 상기 추적 공급 전압의 피크와 상기 증폭기 공급 전압 사이의 차이와 전압 마진의 합을 포함하는, 장치.

청구항 6

제 1 항에 있어서,

상기 부스트 변환기는, 상기 증폭기 공급 전압을 타겟(target) 전압으로 드라이빙(drive)하도록 구성가능하며, 상기 타겟 전압은, 상기 추적 공급 전압의 피크와 상기 헤드룸 전압의 합에 대응하는, 장치.

청구항 7

제 1 항에 있어서,

상기 추적 공급 전압의 피크는, 미리결정된 시간 간격에 걸친 상기 추적 공급 전압의 피크에 대응하는, 장치.

청구항 8

제 1 항에 있어서,

상기 동적 헤드룸 생성 블록은, 상기 초기 헤드룸 전압에 대응하는 값으로 초기화되는 카운터(counter)를 포함하며,

상기 카운터는, 상기 헤드룸 도달 신호, 및 상기 증폭기 공급 전압이 상기 추적 공급 전압의 피크와 상기 헤드룸 전압의 합보다 작다는 것을 표시하는 신호를 검출하는 것에 응답하여 인에이블링되도록 구성되는, 장치.

청구항 9

제 8 항에 있어서,

상기 카운터는 클록(clock)에 커플링되고,

상기 카운터는, 인에이블링되는 경우, 상기 클록의 상승 엣지(edge)에 응답하여 상기 카운터의 값을 증분시키도록 구성되는, 장치.

청구항 10

제 1 항에 있어서,

상기 동적 헤드룸 생성 블록은, 상기 헤드룸 도달 신호를 검출하는 것에 응답하여 상기 헤드룸 전압을 한 번 업데이트하도록 구성되는, 장치.

청구항 11

방법으로서,

출력 전압을 생성하기 위해 입력 전압을 증폭하도록 구성되는 전력 증폭기에 공급하기 위한 추적 공급 전압을 증폭기를 사용하여 생성하는 단계;

상기 증폭기에 대한 증폭기 공급 전압을 생성하는 단계 - 상기 증폭기 공급 전압은 부스트 공급 전압보다 더 높도록 구성가능함 -;

상기 추적 공급 전압의 피크와 헤드룸 전압의 합이 상기 증폭기 공급 전압보다 더 큰 것에 응답하여, 상기 증폭기 공급 전압을 상기 부스트 공급 전압보다 더 높도록 구성하는 단계; 및

헤드룸 도달 신호를 검출하는 것에 응답하여 상기 헤드룸 전압을 초기 값으로부터 업데이트하는 단계를 포함하는, 방법.

청구항 12

제 11 항에 있어서,

상기 헤드룸 도달 신호를 검출하는 것은, 상기 전력 증폭기의 적어도 하나의 트랜지스터가 포화라는 것을 검출하는 것을 포함하는, 방법.

청구항 13

제 11 항에 있어서,

상기 부스트 공급 전압은 배터리 전압인, 방법.

청구항 14

제 11 항에 있어서,

상기 업데이트하는 단계는,

카운터를 상기 초기 값으로 초기화하는 단계;

상기 헤드룸 도달 신호, 및 상기 추적 공급 전압의 피크와 추적 전압의 합보다 상기 증폭기 공급 전압이 작다는

것을 표시하는 신호를 검출하는 것에 응답하여, 클록 신호의 상승 엣지마다 상기 카운터를 증분시키는 단계;

상기 헤드룸 도달 신호가 거짓(false)이거나, 또는 상기 증폭기 공급 전압이 상기 추적 공급 전압의 피크와 상기 추적 전압의 합보다 작지 않은 경우, 상기 카운터를 디스에이블링(disable)하는 단계를 포함하는, 방법.

청구항 15

제 11 항에 있어서,

상기 업데이트하는 단계는, 상기 헤드룸 도달 신호를 검출하는 것에 응답하여 상기 헤드룸 전압을 한 번 업데이트하는 단계를 포함하는, 방법.

청구항 16

장치로서,

출력 전압을 생성하기 위해 입력 전압을 증폭하도록 구성되는 전력 증폭기에 공급하기 위한 추적 공급 전압을 증폭기를 사용하여 생성하기 위한 수단;

상기 증폭기에 대한 증폭기 공급 전압을 생성하기 위한 수단 — 상기 증폭기 공급 전압은 부스트 공급 전압보다 더 높도록 구성가능함 —;

상기 추적 공급 전압의 피크와 헤드룸 전압의 합이 상기 증폭기 공급 전압보다 더 큰 것에 응답하여, 상기 증폭기 공급 전압을 상기 부스트 공급 전압보다 더 높도록 구성하기 위한 수단; 및

헤드룸 도달 신호를 검출하는 것에 응답하여 상기 헤드룸 전압을 초기 값으로부터 업데이트하기 위한 수단을 포함하는, 장치.

청구항 17

제 16 항에 있어서,

상기 헤드룸 도달 신호는, 상기 전력 증폭기의 적어도 하나의 트랜지스터가 포화라는 것을 표시하는 신호를 포함하는, 장치.

청구항 18

제 16 항에 있어서,

상기 부스트 공급 전압은 배터리 전압인, 장치.

청구항 19

제 16 항에 있어서,

상기 업데이트하기 위한 수단은 초기 값으로 초기화되는 카운터를 포함하며,

상기 카운터는, 상기 헤드룸 도달 신호, 및 상기 증폭기 공급 전압이 상기 추적 공급 전압의 피크와 상기 헤드룸 전압의 합보다 작다는 것을 표시하는 신호를 검출하는 것에 응답하여 인에이블링되도록 구성되는, 장치.

청구항 20

제 16 항에 있어서,

상기 업데이트하기 위한 수단은, 상기 헤드룸 도달 신호를 검출하는 것에 응답하여 상기 헤드룸 전압을 한 번 업데이트하기 위한 수단을 포함하는, 장치.

발명의 설명

기술 분야

[0001] **관련 출원(들)에 대한 상호-참조**

[0002] [0001] 본 국제 출원은, 발명의 명칭이 "DYNAMIC HEADROOM FOR ENVELOPE TRACKING"으로 2013년 1월 28일자로 출원된 미국 정규출원 일련번호 13/752,287호를 우선권으로 주장하며, 상기 정규출원은 그 전체가 본 명세서에 인용에 의해 명백히 포함된다.

[0003] [0002] 본 개시는 전력 증폭기들에 대한 포락선 추적(envelope tracking)에 관한 것이다.

배경 기술

[0004] [0003] 포락선 추적은, 전력 증폭기들의 효율성을 증가시키기 위한 기술이다. 포락선 추적(ET) 시스템에서, 전력 증폭기의 공급 전압은, 전력 증폭기가 선형성을 유지할 충분한 헤드룸(headroom)으로 동작하도록 유지시키면서 그럼에도 불구하고 DC 전력 소모를 최소화하도록 동적으로 조정된다. 전력 증폭기의 공급 전압은 일반적으로, 전력 증폭기 출력의 포락선을 추적하는 별개의 선형 증폭기를 사용하여 생성된다. 특정한 종래 기술 구현들에서, 선형 증폭기는, 부스트 변환기에 의해 생성되는 증폭기 공급 전압에 그 자체로 커플링되며, 부스트 변환기는, 선형 증폭기에 대해, 그렇지 않으면 시스템에 대해 이용가능한 최대 공급 전압, 예컨대 배터리 전압을 초과하는 부스팅된 공급 전압을 생성할 수 있다. 이러한 방식에서, 전력 증폭기 출력은 배터리 전압에 이를 수 있고, 필요한 경우, 심지어 배터리 전압을 초과할 수 있다.

[0005] [0004] 증폭기 공급 전압은 통상적으로, 전력 증폭기 출력에 요구되는 피크 더하기 약간의 부가적인 헤드룸 전압보다 더 높도록 셋팅된다. 특정한 종래 기술 구현들에서, 이러한 헤드룸 전압은, 미리-프로그래밍되고 시간에 따라 업데이트되지 않는 정적 값이다. 그러나, 바람직한 헤드룸 전압은 상이한 동작 시나리오들, 예컨대, 상이한 프로세스들, 온도들, 로드 조건들 등에 따라 상당히 다를 수도 있기 때문에, 헤드룸 전압에 대한 단일의 정적 값이 모든 경우들에서 최적인 것은 아닐 수도 있다. 또한, 바람직하지 않게, 너무 낮게 선택된 헤드룸 전압은 부스트 변환기(boost converter)에서의 시동 실패를 유도할 수도 있으며, 이는 시스템의 선형성을 손상시킬 것이다.

[0006] [0005] 특정한 동작 시나리오들에 따라 ET 시스템에 대한 최적의 헤드룸 전압을 동적으로 결정하고, 추가로 ET 시스템들에서의 부스트 변환기들에 대한 시동 실패를 방지하기 위한 기술들을 제공하는 것이 바람직할 것이다.

도면의 간단한 설명

[0007] [0006] 도 1은 포락선 추적(ET) 시스템의 종래 기술 구현을 예시한다.

[0007] 도 2는, 도시된 특정한 방식으로 V_{en} 및 V_{target} 이 생성되는 ET 시스템의 구현을 예시한다.

[0008] 도 3은 ET 시스템의 대안적인 구현을 예시한다.

[0009] 도 4는 본 개시에 따른 ET 시스템의 예시적인 구현을 예시한다.

[0010] 도 5는 동적 헤드룸 생성 블록에 의해 구현될 수도 있는 방법의 예시적인 실시예를 예시한다.

[0011] 도 6 및 7은, 상술된 본 개시의 기술들에 따른 예시적인 동작 시나리오를 예시한다.

[0012] 도 8은 본 개시에 따른 ET 시스템의 예시적인 실시예를 예시하며, 여기서, 동적 헤드룸 생성 블록의 특정한 예시적인 실시예가 도시된다.

[0013] 도 9는 본 개시에 따른 방법의 예시적인 실시예를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0008] [0014] 본 개시의 다양한 양상들이 첨부된 도면들을 참조하여 아래에서 더 완전히 설명된다. 그러나 본 개시는 많은 상이한 형태들로 구현될 수도 있으며, 본 개시 전반에 걸쳐 제시된 임의의 특정한 구조 또는 기능으로 제한되는 것으로서 해석되지는 않아야 한다. 오히려, 이들 양상들은, 본 개시가 철저하고 완전하며, 당업자들에게 본 개시의 범위를 완전히 전달하기 위해 제공된다. 본 명세서에서의 교시들에 기초하여, 당업자는, 본 개시의 임의의 다른 양상과 독립적으로 구현되든지 또는 그 양상과 결합되든지에 관계없이, 본 개시의 범위가 본 명세서에 기재된 본 개시의 임의의 양상을 커버하도록 의도됨을 인식해야 한다. 예를 들어, 본 명세서에 기재된 임의의 수의 양상들을 사용하여 장치가 구현될 수도 있거나 방법이 실시될 수도 있다. 부가적으로, 본 개시의 범위는, 본 명세서에 기재된 본 개시의 다양한 양상들에 부가하여 또는 그 이외에 다른 구조, 기능, 또는 구조

및 기능을 사용하여 실시되는 그러한 장치 또는 방법을 커버하도록 의도된다. 본 명세서에 기재된 본 개시의 임의의 양상이 청구항의 하나 또는 그 초과의 엘리먼트들에 의해 구현될 수도 있음이 이해되어야 한다.

[0009]

[0015] 첨부된 도면들과 관련하여 아래에 기재되는 상세한 설명은, 본 발명의 예시적인 양상들의 설명으로서 의도되며, 본 발명이 실시될 수 있는 유일한 예시적인 양상들만을 표현하도록 의도되지 않는다. 본 명세서 전반에 걸쳐 사용된 용어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하고, 다른 예시적인 양상들에 비해 반드시 바람직하거나 유리한 것으로서 해석되지는 않아야 한다. 상세한 설명은 본 발명의 예시적인 양상들의 철저한 이해를 제공하려는 목적을 위해 특정한 세부사항들을 포함한다. 본 발명의 예시적인 양상들이 이들 특정한 세부사항들 없이 실시될 수도 있다는 것은 당업자들에게 명백할 것이다. 몇몇 예시들에서, 본 명세서에 제시된 예시적인 양상들의 신규성을 불명료하게 하는 것을 회피하기 위해, 잘-알려진 구조들 및 디바이스들은 블록도 형태로 도시되어 있다. 본 명세서에서 및 청구항들에서, 용어 "모듈" 및 "블록"은 설명된 동작들을 수행하도록 구성된 엔티티를 나타내기 위해 상호교환가능하게 사용될 수도 있다.

[0010]

[0016] 본 명세서에서 및 청구항들에서, "하이(high)" 또는 "로우(low)"와 같은 신호 또는 전압의 표시는, 그러한 신호 또는 전압이 로직 "하이" 또는 "로우"에 있는 것을 지칭할 수도 있으며, 이는 신호 또는 전압에 대한 "참"(예를 들어, = 1) 또는 "거짓"(예를 들어, = 0) 상태에 대응할 수도 있음(그러나, 대응할 필요는 없음)을 유의한다. 당업자는, 본 명세서에 설명된 로직 관례(convention)들을, 본 명세서에 설명된 것과 실질적으로 등가인 기능을 갖는 회로를 도출하도록 용이하게 변형(예를 들어, "로우"에 대해 "하이"로 및/또는 "하이"에 대해 "로우"로 치환)시킬 수도 있음이 인식될 것이다. 그러한 대안적인 예시적 실시예들은 본 개시의 범위 내인 것으로 고려된다.

[0011]

[0017] 도 1은 포락선 추적(ET) 시스템(100)의 종래 기술 구현을 도시한다. 도 1은 예시적인 목적들만을 위해 도시되었으며, ET 시스템의 임의의 특정한 구현으로 본 개시의 범위를 제한하도록 의도되지 않음을 유의한다. 예를 들어, 아래에서 설명되는 기술들은, 도시되지 않은 대안적이거나 부가적인 모듈들, 예컨대 전력 증폭기에 대해 점감된(steppped-down) 전압 공급을 동시에 생성하기 위해 Vbatt를 Vamp에 커플링시키는 벅 변환기를 포함하는 시스템들에 용이하게 적용될 수도 있다.

[0012]

[0018] 도 1에서, 전력 증폭기(PA)(130)는 입력 전압 IN을 수신하고, 증폭된 출력 전압 OUT을 생성한다. "추적 공급 전압"으로 또한 표시되는 전압 Vamp가 PA(130)에 공급 전압으로 제공된다. Vamp는, 선형 증폭기일 수도 있는 증폭기(140)에 의해 적어도 부분적으로 생성된다. 증폭기(140)는, "증폭기 공급 전압"으로 또한 표시되는 전압 VDD_Amp를 공급받는다. ET 시스템의 특정한 구현들에서, Vamp를 생성하기 위해, 증폭기(140)는 PA 출력 전압 OUT의 포락선을 추적하는 전압 Env를 증폭시킬 수도 있다.

[0013]

[0019] PA(130)에 제공되는 추적 공급 전압 Vamp는, PA(130)의 선형 동작을 보장하기에 충분한 레벨에서 유지될 수도 있지만(즉, 충분한 "헤드룸"을 제공받음), 불필요한 DC 전력 소모를 감소시킨다. 상술된 바와 같이, 특정한 구현들에서, PA(130)에 대한 공급을 위해 벅 변환기(도시되지 않음)가 함께 제공될 수도 있는데, 예를 들어, Vamp에서 PA(130)에 커플링되어 PA(130)의 전력 드라이빙 능력을 증가시킬 수도 있음을 유의한다.

[0014]

[0020] 특정한 동작 시나리오들에서, PA에 대한 충분한 헤드룸을 유지하기 위해, 그렇지 않으면 시스템에 대해 이용가능한 최대 공급 전압, 예컨대 시스템의 배터리로부터의 공급 전압인 Vbatt의 레벨을 초과하는 레벨("부스트 공급 전압"으로 또한 표시됨)로 Vamp를 드라이빙할 필요가 있을 수도 있다. 증폭기(140)가 Vbatt보다 더 높은 출력 Vamp를 생성하게 하기 위해, 부스트 변환기(110)가 제공되어 VDD_Amp를 생성할 수도 있다. 부스트 변환기(110)는, 도 1에 도시되진 않지만 당업계에 알려져 있는 동작 원리들에 따라, 예를 들어, 인덕터를 충전 및 방전시켜 부스팅된 출력 전압을 생성하도록 대안적으로 구성되는 복수의 스위치들을 사용하여, VDD_Amp를 Vbatt보다 더 높은 레벨로 부스팅할 수도 있다.

[0015]

[0021] ET 시스템의 효율성을 증가시키기 위해, 부스트 변환기(110)는, 필요한 경우, 예컨대 VDD_Amp를 Vbatt 위로 상승시켜 PA(130)에 대해 충분한 헤드룸을 유지할 필요가 있다고 결정하는 경우에만 턴 온 또는 인에이블링될 수도 있다. 그러므로, 부스트 변환기(110)는, VDD_Amp가 Vbatt보다 더 높은 레벨로 부스팅되어야 하는 경우를 표시하는 "인에이블" 신호 전압 Ven을 입력으로서 수신할 수도 있다. 부스트 변환기(110)는, 부스트 변환기(110)가 인에이블링되는 경우 VDD_Amp가 부스팅되어야 하는 목표 전압 Vtarget을 또한 제공받을 수도 있다. Vbatt보다 더 높은 VDD_Amp를 제공할 필요가 없는 경우, 부스트 변환기(110)는, 턴 오프 또는 디스에이블링(disable)될 수도 있거나, 그렇지 않으면, Vbatt를 VDD_Amp에 직접 커플링시키는 "우회" 모드로 제공될 수도 있음이 인식될 것이다.

- [0016] [0022] 도 2는, 도시된 특정한 방식으로 Ven 및 Vtarget이 생성되는 ET 시스템(200)의 구현을 도시한다. 도 2는 예시적인 목적들만을 위해 도시되었으며, Ven 및/또는 Vtarget을 생성하기 위한 임의의 특정한 기술들로 본 개시의 범위를 제한하도록 의도되지 않음을 유의한다.
- [0017] [0023] 도 2에서, PA(130)의 특정한 구현(130.1)은, PA(130.1)의 전압 헤드룸이 PA 선형성을 유지하기에 불충분한 (또는 그렇게 되는 것에 근접한) 경우를 표시하는 "헤드룸 도달 신호"로 또한 표시되는 전압 HR_reach를 생성한다. 예를 들어, HR_reach는, PA(130.1)의 하나 또는 그 초과 트랜지스터들(도시되지 않음)이 포화된 경우에는 언제나 하이로 어서팅(assert)될 수도 있다. 예를 들어, 일 예시적인 실시예에서, PA(130.1)의 트랜지스터의 드레인 및 소스에 걸친 전압 강하를 감지하기 위해 전압 증폭기가 제공될 수도 있으며, 감지된 전압 강하는 전압 비교기에 의해 미리결정된 임계 전압과 비교될 수도 있다. 트랜지스터에 걸친 전압 강하가 미리결정된 임계 전압보다 더 작거나 그와 동일하면, HR_reach는 하이로 어서팅될 수도 있다. 이러한 경우에서, 미리결정된 임계 전압은, 대응하는 트랜지스터가 포화되기 위해 기대되는 값에 대응할 수도 있다.
- [0018] [0024] 도 2에서, HR_reach는 Ven으로서 부스트 변환기(110)에 직접 커플링된다. 이러한 방식에서, PA(130.1)의 전압 헤드룸이 불충분하다는 것을 HR_reach가 표시할 때는 언제나 부스트 변환기(110)가 또한 인에이블링된다. 대안적인 구현들에서, HR_reach의 값에서의 잠재적인 트랜지언트 토글링(transient toggling)을 고려하여, 예를 들어, 미리결정된 시간의 양 동안 Ven의 값을 홀딩(hold)하기 위해, HR_reach가 부스트 변환기(110)에 공급되기에 앞서 HR_reach를 프로세싱하도록, 래치(latch) 또는 다른 메모리 엘리먼트가 또한 제공될 수도 있음을 유의한다.
- [0019] [0025] 예를 들어, 미리결정된 시간 간격에 걸쳐 Vamp의 검출된 피크 값에 대응하는 전압 Vpd를 생성하도록 Vamp에 커플링되는 피크 검출기(230)가 도 2에 추가로 도시된다. 또한, 미리결정된 "헤드룸 전압" Vhd를 생성하기 위한 헤드룸 생성 블록(220)이 제공된다. 도시된 구현에서, Vhd는, 가산기(210)를 사용하여 Vpd에 부가됨으로써 부스트 타겟 전압 Vtarget(또는 210a)을 생성한다. 인에이블링되는 경우, 부스트 변환기(110)가 증폭기 공급 전압 VDD_Amp를 타겟 전압 Vtarget으로 드라이빙할 수도 있음이 인식될 것이다.
- [0020] [0026] 도 2는 예시적인 목적들만을 위해 도시되었으며, 반드시 도시된 바와 같이 Ven 및 Vtarget이 생성되는 ET 시스템들로 본 개시의 범위를 제한하도록 의도되지 않음을 유의한다. 예를 들어, 특정한 구현들에서, Vtarget은 도 2에 도시된 바와 같이 생성될 수도 있지만, Ven이 당업계에 알려진 다른 기술들(도 2에 도시되지 않음)을 사용하여 생성될 수도 있으며; 유사하게, Ven은 도시된 바와 같이 생성되고, Vtarget이 다른 기술들을 사용하여 생성될 수도 있다. 그러한 대안적인 구현들은 본 개시의 범위 내인 것으로 고려된다.
- [0021] [0027] 도 3은 ET 시스템의 대안적인 구현(300)을 예시한다. 도 2 및 3에서 유사하게 라벨링(label)된 엘리먼트들은 달리 언급되지 않으면 유사한 기능을 수행하는 엘리먼트들에 대응할 수도 있음을 유의한다. 도 3의 부스트 변환기(310)는 예시적인 목적들만을 위해 도시되었으며, 당업자에 의해 명백할 방식으로 시그널링 관례들을 변형함으로써 도 1의 부스트 변환기(110)가 ET 시스템(300)에 또한 사용될 수도 있음이 인식될 것임을 유의한다. 그러한 대안적인 예시적 실시예들은 본 개시의 범위 내인 것으로 고려된다.
- [0022] [0028] 도 3에서, ET 시스템(200)에서와 같이, 부스트 변환기(110)에 대한 Vtarget이 가산기(210)의 출력(210a)으로서 생성된다. 전압 Vok는 비교기(330)의 출력에서 생성되며, 비교기(330)는, 자신의 포지티브(+) 입력 단자에서의 VDD_Amp를 자신의 네거티브(-) 입력 단자에서의 가산기(210)의 출력(210a)과 비교한다. Vok가 하이가 되는 것은 전류 증폭기 공급 전압 VDD_Amp가 Vtarget을 초과함을 표시하며, 이러한 경우에서, PA에 충분한 헤드룸이 존재하기 때문에 부스트 변환기(310)가 인에이블링될 필요가 없음이 인식될 것이다.
- [0023] [0029] 부스트 변환기(310)가 인에이블링되는 경우, VDD_Amp는 Vtarget과 동일한 DC 값을 갖지만 VDD_Amp에 아직 AC 컴포넌트가 존재할 수도 있으며, 따라서, Vok는 대안적으로, 시간에 걸쳐 하이와 로우 값들 사이에서 토글링 중일 수도 있음을 유의한다. 따라서, Ven은 그에 따라, Vok의 역(inverse)의 필터링 및/또는 래칭(latch)된 버전으로서 생성될 수 있다. 특히, 특정한 예시적인 실시예들에서, 예를 들어, 인버터(도시되지 않음) 뿐만 아니라 Vok의 잠재적인 대안적 토글링 값을 주기적으로 래칭하기 위한 래치를 사용하여 Vok로부터 Ven을 도출하기 위한 로직 회로(도시되지 않음)가 제공될 수도 있다.
- [0024] [0030] ET 시스템(300)에 따르면, 검출된 피크(Vpd)와 헤드룸 Vhd의 합이 VDD_Amp를 초과하는 경우, Vok는 로우일 것이고(예를 들어, Ven은 하이일 것임), 부스트 변환기(310)가 인에이블링될 것이다. 위의 설명에 따라, Vamp의 검출된 피크 레벨 Vpd가 VDD_Amp의 전압 강하 Vhd 내에 있는 경우, 즉, Vpd가 VDD_Amp 빼기 Vhd보다 더 큰 경우에만 Vok가 로우일 것임이 인식될 것이다. 본 명세서에서 및 청구항들에서, Vok의 상태가 로우인 것은,

증폭기 공급 전압이 추적 공급 전압의 피크와 헤드룸 전압의 합보다 작다는 것을 표시하는 신호에 대응하는 경우로서 또한 표시된다.

- [0025] [0031] 도 3 및 관련된 예시적인 실시예들은 예시적인 목적들만을 위해 도시되었으며, 도시된 임의의 특정한 예시적인 실시예들로 본 개시의 범위를 제한하는 것으로 의도되지 않음을 유의한다. 당업자는, 본 개시의 관점에서 대안적인 등가의 로직 시그널링 방식들을 용이하게 도출할 수도 있다. 예를 들어, 비교기(330)는, 대신, 포지티브(+) 및 네거티브(-) 입력 단자들에 커플링된 신호 전압들을 스위칭함으로써 V_{ok}' (즉, V_{ok} 의 로직 역)를 생성하도록 구성될 수도 있으며, 그러한 경우에서, 부스트 변환기(310)는 V_{ok} 보다는 V_{en} 을 직접 프로세싱하도록 대안적으로 구성될 수도 있다. 그러한 대안적인 예시적 실시예들은 본 개시의 범위 내인 것으로 고려된다.
- [0026] [0032] 또한, 도 3(및 본 명세서의 임의의 다른 도면)에 도시된 컴포넌트들이 일반적으로 아날로그 입력 및/또는 출력 전압들을 프로세싱할 수도 있지만, 그러한 아날로그 컴포넌트들 중 임의의 컴포넌트는, 신호들의 내부 디지털 프로세싱을 허용하기 위한 하나 또는 그 초과 디지털-투-아날로그 변환기(DAC)들 및/또는 아날로그-투-디지털 변환기(ADC)들을 포함할 수도 있음이 인식될 것이다. 예를 들어, 헤드룸 생성 블록은 DAC(도시되지 않음)를 포함할 수도 있다.
- [0027] [0033] 특정한 종래 기술 구현들에서, 도 2 및 3 둘 모두의 헤드룸 생성 블록(220)은 고정형 미리결정된 전압으로서 V_{hd} 를 생성하도록 구성될 수도 있다. 이러한 경우에서, V_{hd} 의 고정 값은, 요구되는 헤드룸에 대한 "최적" 값 V_{hd_opt} , 예컨대, PA(130)의 왜곡-없는(distortion-free) 동작을 허용하면서 동시에 DC 전력 소모를 최소화하는 헤드룸 전압에 대한 값을 근사화하기 위한 설계에 의해 선택될 수도 있다. 그러나, 정상 동작 동안, 그러한 최적 값 V_{hd_opt} 는, 상이한 동작 시나리오들, 예컨대 상이한 프로세스들, 온도들, 및 로드 조건들에 따라 상당히 다를 수도 있음이 인식될 것이다. 예를 들어, 일 예시에서, V_{hd_opt} 는 예를 들어, PA(130)의 동작 온도에 의존하여 150 mV 내지 400 mV의 범위일 수도 있다.
- [0028] [0034] V_{hd} 의 고정 셋팅이 주어진 시나리오에 대한 최적 헤드룸 V_{hd_opt} 보다 크고(예를 들어, $V_{hd} > V_{hd_opt}$), 그에 따라 V_{hd} 가 V_{hd_opt} 를 과추정(over-estimates)하면, 증폭기(140)에 대한 공급 전압 V_{DD_Amp} 는 오버-부스팅(over-boost)될 수도 있음이 인식될 것이다. 이러한 경우에서, PA(130)는 왜곡-없이 동작하지만 전력이 불필요하게 낭비된다. 반면, V_{hd} 가 주어진 시나리오에 대한 최적 헤드룸 V_{hd_opt} 보다 더 작고(예를 들어, $V_{hd} < V_{hd_opt}$), 그에 따라 V_{hd} 가 V_{hd_opt} 를 과소추정(under-estimate)하면, 바람직하지 않게, 증폭기(130)의 출력에 왜곡이 도입될 수도 있다.
- [0029] [0035] 도 3에 도시된 특정한 ET 시스템(300)에 대해, $V_{hd} < V_{hd_opt}$ 와 연관된 추가적인 문제는, 특정한 경우들에서 부스트 변환기(310)가 시동하는 것을 완전히 실패할 수도 있다는 것임이 인식될 것이다. 특히, 충분한 헤드룸을 유지하기 위해, V_{amp} 가 ($V_{DD_Amp} - V_{hd_opt}$)를 초과하는 경우 부스트 변환기(310)가 인에이블링되어야 하지만, 그러나, $V_{hd} < V_{hd_opt}$ 가 주어지면, 사실, 부스트 변환기(310)는, V_{amp} 가 ($V_{DD_Amp} - V_{hd_opt}$)보다 더 높은 레벨일 것인 ($V_{DD_Amp} - V_{hd}$)를 초과할 때까지 인에이블링되지 않을 것이다. 즉, $V_{hd} < V_{hd_opt}$ 인 그러한 경우들에서, 부스트 변환기(310)는 너무 늦게 인에이블링되거나 어쩌면 결코 인에이블링되지 않을 것이고, 따라서, PA(130)의 선형성에 불리하게 영향을 미친다.
- [0030] [0036] 선형성을 최대화하는 것과 전력 소모를 최소화하는 것 사이의 절충(trade-off)들을 최적화하고, 추가적으로 부스트 시동 실패의 가능성을 최소화하기 위한 헤드룸 전압 V_{hd} 를 셋팅하기 위한 기술들을 제공하는 것이 바람직할 것이다.
- [0031] [0037] 도 4는 본 개시에 따른 ET 시스템(400)의 예시적인 실시예를 예시한다. 도 4에서, 동적 헤드룸 생성 블록(420)은, PA(130.1)로부터 전압 V_{hd_reach} 를 수신하고, 가산기(410)에 의해 V_{pd} 에 부가될 헤드룸 전압 V_{hd}^* 를 생성한다. 일 예시적인 실시예에서, V_{hd}^* 는, 시간에 걸쳐 초기 헤드룸 전압 V_{hd_init} 로부터 주어진 동작 시나리오에 대한 V_{hd_opt} 를 더 근접하게 근사화하는 하나 또는 그 초과 후속 값들로 업데이트된다. 헤드룸 생성 블록(420)은, 적어도 한번 시간에 걸쳐 변하는 "동적" 헤드룸 전압을 생성하는 것으로 이해될 수도 있다.
- [0032] [0038] 특히, 도 5는, 동적 헤드룸 생성 블록(420)에 의해 구현될 수도 있는 방법(500)의 예시적인 실시예를 예시한다. 방법(500)은 예시적인 목적들만을 위해 도시되었으며, 도시된 임의의 특정한 방법으로 본 개시의 범위를 제한하거나, 또는 방법(500)을 구현하는 그 예시적인 실시예들만으로 동적 헤드룸 생성 블록(420)을 제한하는 것으로 의도되지 않음을 유의한다.
- [0033] [0039] 도 5의 블록(510)에서, V_{hd}^* 는 초기 값 V_{hd_init} 로 셋팅된다. 일 예시적인 실시예에서, V_{hd_init} 는, 고정형 미리결정된 값, 예컨대, 400 mV에 대응하도록 선택될 수도 있다. V_{hd_init} 는 일반적으로, 요구되는 V_{hd}

에 대한 초기의 가장 양호한 추정에 대응하도록 선택될 수도 있음을 유의한다.

[0034] [0040] 블록(520)에서, HR_reach가 하이인지가 확인된다. 이것은, 예를 들어, 전술된 바와 같이, PA(130)의 하나 또는 그 초과 트랜지스터들(도시되지 않음)이 포화되었다는 것을 표시할 수도 있다. HR_reach가 하이이면, 방법은 블록(530)으로 진행할 수도 있다. 그렇지 않으면, 방법은 블록(520)을 반복할 수도 있다.

[0035] [0041] 블록(530)에서, HR_reach가 하이인 것을 검출하는 것에 응답하여, "부족(deficiency) 전압"으로 또한 표시되는 전압 Vhd_def가 다음과 같이 계산된다(수학식 1).

수학식 1

[0036]
$$Vhd_def = VDD_Amp - (Vpd + Vhd_init)$$

[0037] 특히, 검출된 피크 전압 Vpd와 초기 헤드룸 전압 Vhd_init의 합이 증폭기(140)의 전류 공급 전압 VDD_Amp로부터 감소된다. HR_reach가 하이가 되는 것을 검출하는 것과 동시에 이러한 감소가 수행되기 때문에, PA(130)의 하나 또는 그 초과 트랜지스터들이 포화에 도달하는 경우 Vhd_def가 헤드룸 전압에서의 부족분(또는 과잉분)의 측정을 제공함이 인식될 것이다. 일 예시적인 실시예에서, HR_reach가 하이라고 검출한 직후 수학식 1이 계산됨으로써, Vpd의 값은, HR_reach가 하이로 어서팅되게 하는 Vamp의 대응하는 값을 정확히 (예를 들어, 최소 지연으로) 반영할 수도 있다.

[0038] [0042] 블록(540)에서, Vhd*는 다음(수학식 2)과 같이 업데이트된다.

수학식 2

[0039]
$$Vhd* = Vhd_init + Vhd_def + Vmargin$$

[0040] 여기서, "전압 마진(margin)"으로 또한 표시되는 Vmargin은 고정형 미리결정된 포지티브 마진(예를 들어, 50 mV)이다.

[0041] [0043] 수학식 1에 따라, Vhd_def가 포지티브의 양, 즉, $VDD_Amp > (Vpd + Vhd_init)$ 이면, 이것은 $Vhd_init < Vhd_opt$ 인 경우, 즉, Vhd_init가 Vhd_opt의 추정보다 너무 낮은 경우에 대응할 수도 있음을 유의한다. 이러한 경우에서, 수학식 2에 따라, Vhd_init에 Vhd_def(포지티브의 양)를 부가하고, 마진 Vmargin을 더함으로써 Vhd*가 증가될 수도 있다. 반면, Vhd_def가 네거티브의 양, 즉, $VDD_Amp < (Vpd + Vhd_init)$ 이면, 이것은 $Vhd_init > Vhd_opt$ 인 경우, 즉, Vhd_init가 Vhd_opt의 추정보다 너무 높은 경우에 대응할 수도 있다. 이러한 경우에서, 수학식 2에 따라, Vhd_init에 Vhd_def(네거티브의 양)를 부가하고, 마진 Vmargin을 더함으로써 Vhd*가 감소될 수도 있다.

[0042] [0044] 특정한 경우들에서, $Vhd_init > Vhd_opt$ 는, 블록(520)에서의 검출이 수행되는 경우 HR_reach가 로우가 되는 것을 초래할 것이며, 따라서, 이러한 경우들에서는 방법(500)은 블록들(530, 540)로 진행하지 않을 수도 있음을 유의한다.

[0043] [0045] 상술된 동작들에 따라, Vhd*는 HR_reach가 하이인 것으로 검출되는 것에 대응하는 시간에 업데이트되고, 따라서, Vhd*는, HR_reach가 하이가 되는 것이 검출되는 때의 시간에서 요구되는 헤드룸에 대응하는 값으로 업데이트될 수도 있다.

[0044] [0046] 일 예시적인 실시예에서, 블록(540)에서의 Vhd*의 업데이트에 후속하여 Vhd*에 대한 어떠한 추가적인 업데이트들도 수행될 필요가 없으며, ET 시스템(400)은 업데이트된 Vhd*의 값으로 기능할 수도 있다. 대안적인 예시적 실시예들(도시되지 않음)에서, Vhd*에 대한 부가적인 업데이트들이 추가로 블록(540)에 후속하여 수행될 수도 있다. 예를 들어, 블록(540) 이후의 고정된 시간 간격 및/또는 HR_reach의 하이로부터 로우로의 트랜지션에 후속하여, 대안적인 예시적 실시예에 따른 방법은, HR_reach가 하이인 것으로 검출되는 다음 인스턴트(instant)를 대기하기 위해 블록(520)으로 되돌아갈 수도 있다. 이러한 방식에서, Vhd*는 필요한 경우 여러번 업데이트될 수도 있다. 그러한 대안적인 예시적 실시예들은 본 개시의 범위 내인 것으로 고려된다.

[0045] [0047] 도 4로 되돌아가면, 예를 들어, 방법(500)이 블록(510, 520, 또는 530)을 실행하는 경우, 동적 헤드룸

생성 블록(420)이 Vhd_init에 대응하는 Vhd*의 값을 초기에 출력할 것임이 관측될 것이다. 후속하여, HR_reach가 하이가 되는 것을 검출하는 것에 응답하여, Vhd*는 상술된 수학식 1 및 2에 따라 업데이트될 수도 있으며, 예를 들어, 방법(500)이 블록(540)에 도달한 이후에, Vhd*의 업데이트된 값이 후속하여 어서팅될 수도 있다.

[0046]

[0048] 도 4에 도시된 바와 같이, Vhd*는 Vtarget 및 Ven 둘 모두의 생성에 이용됨을 유의한다. 특히, Vhd*는, 가산기(410)에 의해 Vpd에 부가됨으로써, VDD_Amp에 대한 타겟 레벨을 셋팅하기 위해 부스트 변환기(310)에 제공되는 (410a) 또는 Vtarget을 직접 생성할 수도 있다. 또한, 전압(410a) 또는 Vtarget은 비교기(330)의 네거티브(-) 단자에 제공됨으로써, 인에이블 전압 Ven을 도출하기 위해 부스트 변환기(310)에 의해 (예를 들어, 래칭 및 로직 역에 후속하여) 이용될 수도 있는 Vok를 생성한다.

[0047]

[0049] 도 6 및 7은 상술된 본 개시의 기술들에 따른 예시적인 동작 시나리오를 예시한다. 도 6 및 7의 동작 시나리오는 예시적인 목적들만을 위해 설명되며, 임의의 방식으로 본 개시의 범위를 제한하는 것으로 의도되지 않음을 유의한다.

[0048]

[0050] 도 6에서, 시간 t0 이전의 ET 시스템(400)의 초기 상태가 도시되며, 여기서, 초기에 Vhd*는 Vhd_init로 셋팅된다. 일 예시적인 실시예에서, Vhd_init는, 예를 들어 400 mV일 수도 있다. 시간 t0 이전에, Vhd_init는 PA(130.1)에 대해 충분한 헤드룸을 제공하며, 따라서, HR_reach는 로우일 것이다. 가산기(410)의 출력(410a)은 $(Vpd + Vhd_init)$ 에 대응할 것이며, 비교기(330)의 포지티브(+)와 네거티브(-) 단자들 사이의 차이는 $VDD_Amp - (Vpd + Vhd_init)$ 이다. $VDD_Amp - (Vpd + Vhd_init)$ 는 시간 t0 이전에 포지티브일 것으로 기대되고, 따라서, 비교기(330)의 출력 Vok는 하이일 것으로 기대되며, 부스트 변환기(310)는 오프이거나 바이패스(bypass) 모드에 있을 것임을 유의한다. 예를 들어, 이전에 상술된 바와 같이, PA(130.1)가 불충분한 헤드룸을 가진다는 검출에 응답하여, 시간 t0에서 HR_reach가 로우로부터 하이로 트랜지션한다는 것이 도 6에 추가적으로 도시된다.

[0049]

[0051] 도 7은, 예를 들어, Vhd*가, 블록(540)을 참조하여 상술된 바와 같이 수학식 2에 따라 업데이트된 이후, t0에 후속하는 ET 시스템(400)의 상태를 예시한다. 도 7에서, 업데이트된 Vhd*는 $Vhd_init + Vhd_def + Vmargin$ 과 동일하다. 따라서, 가산기(410)의 출력(410a)은 $(Vpd + Vhd_init + Vhd_def + Vmargin)$ 또는 $VDD_Amp + Vmargin$ 에 대응할 것이다. 수학식 1에 따라 Vhd_def를 정의하면, 비교기(330)의 포지티브(+) 및 네거티브(-) 단자들 사이의 차이는 $-Vmargin$ 으로 간략화된다. Vmargin은 포지티브 값으로 셋팅되어 있고, 그에 따라 $-Vmargin$ 은 네거티브이기 때문에, 비교기(330)의 출력은 로우일 것으로 기대된다. 이러한 경우에서, 부스트 변환기(310)에 의해 도출되는 Ven은 하이일 것이고, 부스트 변환기(310)가 인에이블링되게 하며, 따라서, VDD_Amp는, $Vhd_init + Vhd_def + Vmargin + Vpd$ 에 대응하는 타겟 전압 Vtarget으로 드라이빙될 것이다.

[0050]

[0052] 도 7에 예시된 바와 같이, 추가 항 Vmargin을 업데이트된 Vhd*에 제공하는 것은, 유리하게, (HR_reach가 하이인 경우) $VDD_Amp - Vpd$ 의 요구되는 헤드룸을 초과하는 Vmargin의 존재가 비교기(330)의 출력 Vok를 하이로 부터 로우로 토글링되게 (그리고, 그에 따라 Ven이 로우로부터 하이로 토글링되게) 할 것이기 때문에, 부스트 변환기(310)의 적시의 시동을 보장한다.

[0051]

[0053] 도 8은 본 개시에 따른 ET 시스템(400)의 예시적인 실시예(400.1)를 예시하며, 여기서, 동적 헤드룸 생성 블록(420)의 특정한 예시적인 실시예(420.1)가 도시된다. 도 8은 예시적인 목적들만을 위해 도시되었으며, 도시된 동적 헤드룸 생성 블록의 임의의 특정한 예시적인 실시예로 본 개시의 범위를 제한하는 것으로 의도되지 않음을 유의한다.

[0052]

[0054] 도 8에서, 동적 헤드룸 생성 블록(420.1)은, AND 게이트(820), 및 클록 신호 CLK에 의해 드라이빙되는 카운터(810)를 포함한다. 카운터(810)는, 예를 들어, Vhd_init에 대응하는 값으로 초기화되는 N-비트 레지스터 (도시되지 않음)를 포함할 수도 있다. AND 게이트(820)의 출력 EN이 로우인 경우, 카운터(810)는 디스에이블링 되고, 카운터 출력 Vhd*는 Vhd_init로 일정하다. AND 게이트(820)의 출력 EN이 하이인 것을 검출할 시, 카운터(810)는 인에이블링되고, 그에 의해, CLK의 각각의 상승(또는 대안적으로, 하강) 엣지마다 자신의 N-비트 레지스터 값을 증분시키기 시작한다. EN이 로우인 경우, 카운터(810)는 디스에이블링되고, 그에 의해, 자신의 레지스터 콘텐츠들을 증분시키는 것을 중단한다. 일 예시적인 실시예에서, 카운터(810)의 디지털 출력을 아날로그 신호로 변환하기 위해 디지털-투-아날로그 변환기(DAC)(815)가 카운터(810)의 출력에 제공될 수도 있다.

[0053]

[0055] ET 시스템(400.1) 내의 동적 헤드룸 생성 블록(420.1)의 실-시간 동작은 다음과 같이 설명될 수도 있다. 초기 상태에서, HR_reach는 로우이고, Vok는 하이이다. 이것은, PA(130.1)가 충분한 헤드룸으로 동작하고, VDD_Amp가 $Vpd + Vhd*$ 보다 더 큰 상태에 대응한다. 따라서, AND 게이트(820)의 출력 EN은 로우이고, 따라서,

카운터(810)는 디스에이블링되며, Vhd*는 Vhd_init의 초기 값과 동일하다.

- [0054] [0056] 제 2 상태에서, HR_reach는 하이인 것으로 검출되며, 이는 PA(130.1)가 충분한 헤드룸을 갖지 않는다는 것을 표시한다. HR_reach 및 Vok 둘 모두가 하이이므로, AND 게이트(820)의 출력 EN 또한 하이이고, 따라서, 카운터(810)가 인에이블링된다. EN이 하이인 동안, 카운터(810)는 CLK의 상승 엣지마다 자신의 레지스터 값을 순차적으로 증분시킨다. 증분은 EN이 로우로 트랜지션할 때까지 계속되고, EN이 로우로 트랜지션할 시 카운터(810)가 디스에이블링된다. EN은, 예를 들어, Vok가 하이로부터 로우로 트랜지션하는 것에 응답하여 로우로 트랜지션할 수도 있고, 이는, 차례로, Vhd*에서의 계속적인 증분으로 인한 약간의 마진에 의해 전압(410a)이 결과적으로 VDD_Amp를 초과하는 것, 또는 예를 들어, Vhd* + Vpd에 의해 야기될 수도 있음을 유의한다. 일단 카운터(810)가 디스에이블링되면, 당시-존재하는(then-existing) 카운터(810)의 N-비트 레지스터의 값은 보존되고, 그 후에, 업데이트된 헤드룸 전압 Vhd*로서 유지됨을 유의한다.
- [0055] [0057] 도 9는 본 개시에 따른 방법(900)의 예시적인 실시예를 도시한다. 도 9는 예시적인 목적들만을 위해 도시되었으며, 도시된 방법의 임의의 특정한 예시적인 실시예로 본 개시의 범위를 제한하는 것으로 의도되지 않음을 유의한다.
- [0056] [0058] 도 9의 블록(910)에서, 출력 전압을 생성하기 위해 입력 전압을 증폭시키도록 구성되는 전력 증폭기에 공급하기 위한 추적 공급 전압이 증폭기를 사용하여 생성된다.
- [0057] [0059] 블록(920)에서, 증폭기에 대한 증폭기 공급 전압이 생성되며, 여기서, 증폭기 공급 전압은 부스트 공급 전압보다 더 높도록 구성가능하다.
- [0058] [0060] 블록(930)에서, 증폭기 공급 전압은, 추적 공급 전압의 피크와 헤드룸 전압의 합이 증폭기 공급 전압보다 더 큰 것에 응답하여, 부스트 공급 전압보다 더 높도록 구성된다.
- [0059] [0061] 블록(940)에서, 헤드룸 전압은, 헤드룸 도달 전압, 예컨대 HR_reach를 검출하는 것에 응답하여 초기 값으로부터 업데이트된다. 일 예시적인 실시예에서, HR_reach 신호는, 증폭기가 불충분한 헤드룸으로 동작 중인지를 표시한다.
- [0060] [0062] 본 명세서에서 그리고 청구항들에서, 엘리먼트가 다른 엘리먼트 "에 접속된" 또는 "에 커플링된" 것으로서 지칭되는 경우, 그것이 다른 엘리먼트에 직접 접속 또는 커플링될 수 있거나 개재(intervening) 엘리먼트들이 존재할 수도 있음이 이해될 것이다. 대조적으로, 엘리먼트가 다른 엘리먼트 "에 직접 접속된" 또는 "에 직접 커플링된" 것으로서 지칭되는 경우, 어느 개재 엘리먼트들도 존재하지 않는다. 또한, 엘리먼트가 다른 엘리먼트에 "전기적으로 커플링된" 것으로서 지칭되는 경우, 그것은 그러한 엘리먼트들 사이에 낮은 저항 경로가 존재한다는 것을 나타내지만, 엘리먼트가 다른 엘리먼트에 단순히 "커플링된" 것으로서 지칭되는 경우, 그러한 엘리먼트들 사이에 낮은 저항 경로가 존재할 수도 있거나 존재하지 않을 수도 있다.
- [0061] [0063] 당업자들은, 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 기술 및 기법을 사용하여 표현될 수도 있음을 이해할 것이다. 예를 들어, 상기 설명 전반에 걸쳐 참조될 수도 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 펄스들 또는 광학 입자들, 또는 이들의 임의의 결합에 의해 표현될 수도 있다.
- [0062] [0064] 당업자들은 본 명세서에 기재된 예시적인 양상들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 결합들로서 구현될 수도 있음을 추가적으로 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능의 관점들에서 일반적으로 상술되었다. 그러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 특정 애플리케이션 및 전체 시스템에 부과된 설계 제한들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대해 다양한 방식으로 구현할 수도 있지만, 그러한 구현 결정들이 본 발명의 예시적인 양상들의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.
- [0063] [0065] 본 명세서에 기재된 예시적인 양상들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적회로(ASIC), 펌드 프로그래밍가능 게이트 어레이(FPGA) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현되거나 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수도 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어

DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과와 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수도 있다.

[0064]

[0066] 본 명세서에 기재된 예시적인 양상들과 관련하여 설명된 방법 또는 알고리즘의 단계들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 결합으로 구현될 수도 있다. 소프트웨어 모듈은 랜덤 액세스 메모리(RAM), 플래시 메모리, 판독 전용 메모리(ROM), 전기적으로 프로그래밍가능 ROM(EPROM), 전기적으로 소거가능한 프로그래밍가능 ROM(EEPROM), 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체에 상주할 수도 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수도 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수도 있다. ASIC은 사용자 단말에 상주할 수도 있다. 대안적으로, 프로세서 및 저장 매체는 사용자 단말 내의 별개의 컴포넌트들로서 상주할 수도 있다.

[0065]

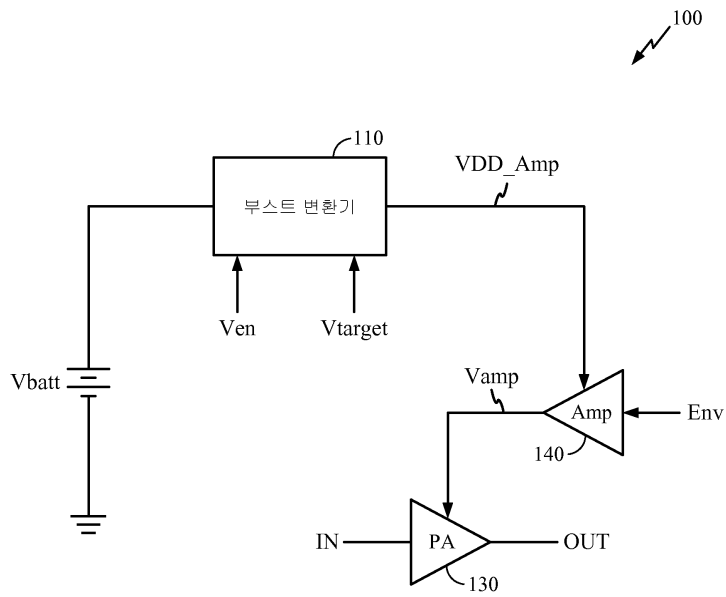
[0067] 하나 또는 그 초과와 예시적인 양상들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수 있다. 소프트웨어로 구현되면, 기능들은 컴퓨터-판독가능 매체 상에 하나 또는 그 초과와 명령들 또는 코드로서 저장되거나 이들을 통해 송신될 수도 있다. 컴퓨터-판독가능 매체들은, 일 장소에서 다른 장소로의 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체를 포함한 통신 매체들 및 컴퓨터 저장 매체들 양자를 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수도 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 반송 또는 저장하는데 사용될 수 있고, 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속수단(connection)이 컴퓨터-판독가능 매체로 적절히 지칭된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선(twisted pair), 디지털 가입자 라인(DSL), 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들을 사용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되면, 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들이 매체의 정의에 포함된다. 본 명세서에 사용되는 바와 같이, 디스크(disk) 및 디스크(disc)는 콤팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), 디지털 다목적 디스크(digital versatile disc)(DVD), 플로피 디스크(disk) 및 Blu-Ray 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 또한, 상기의 것들의 결합들은 컴퓨터-판독가능 매체들의 범위 내에 포함되어야 한다.

[0066]

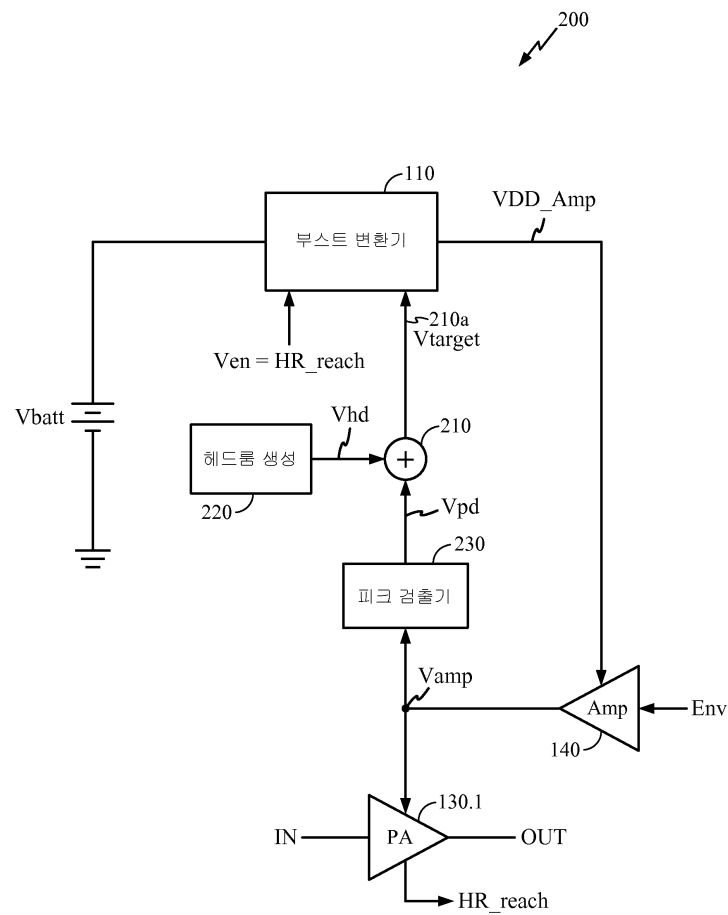
[0068] 기재된 예시적인 양상들의 이전 설명은 임의의 당업자가 본 발명을 사용 또는 실시할 수 있도록 제공된다. 이들 예시적인 양상들에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 본 발명의 사상 또는 범위를 벗어나지 않으면서 다른 예시적인 양상들에 적용될 수도 있다. 따라서, 본 개시는 본 명세서에 설명된 예시적인 양상들로 제한되도록 의도되는 것이 아니라, 본 명세서에 기재된 원리들 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

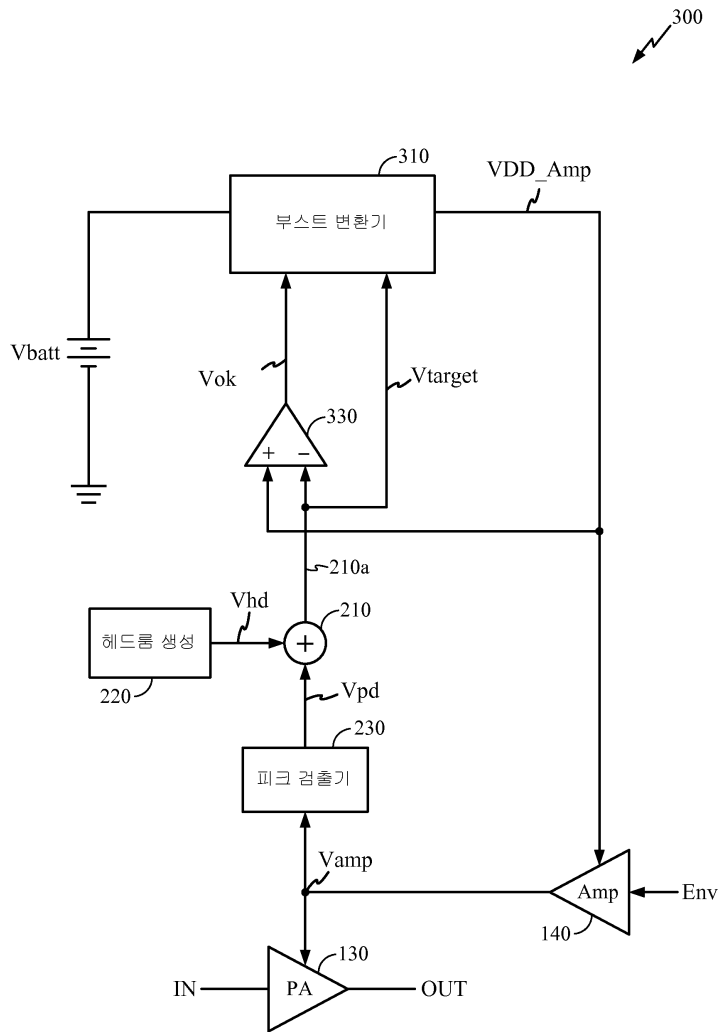
도면1



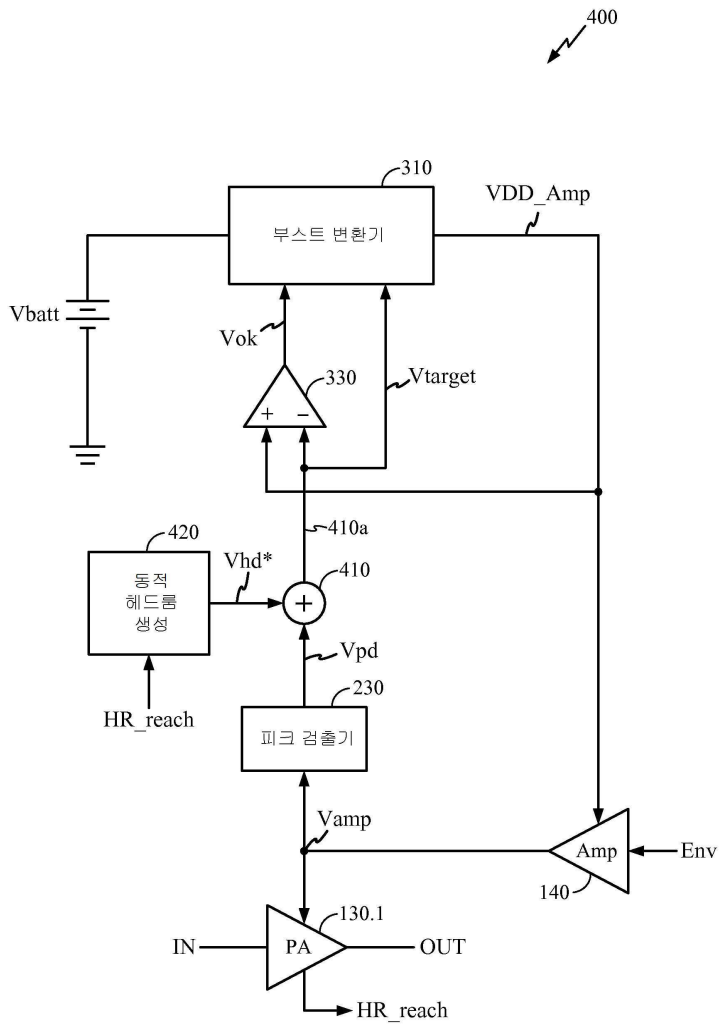
도면2



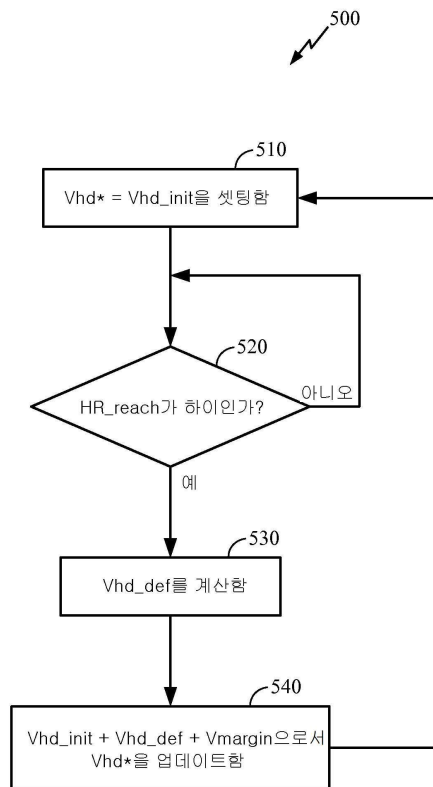
도면3



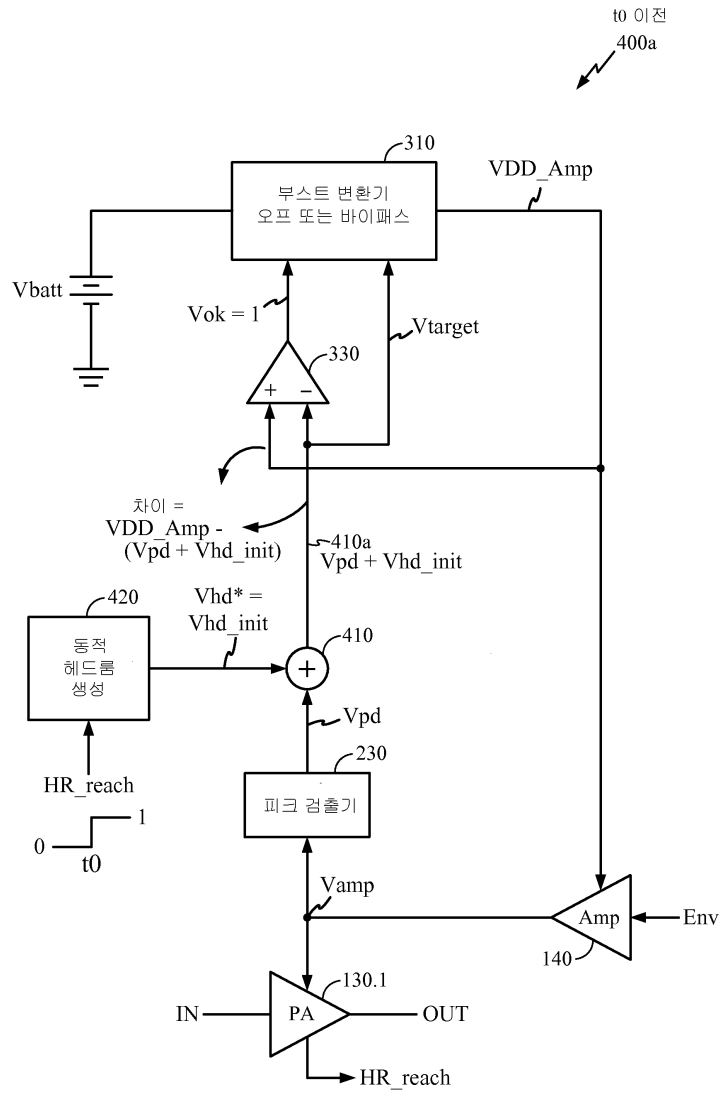
도면4



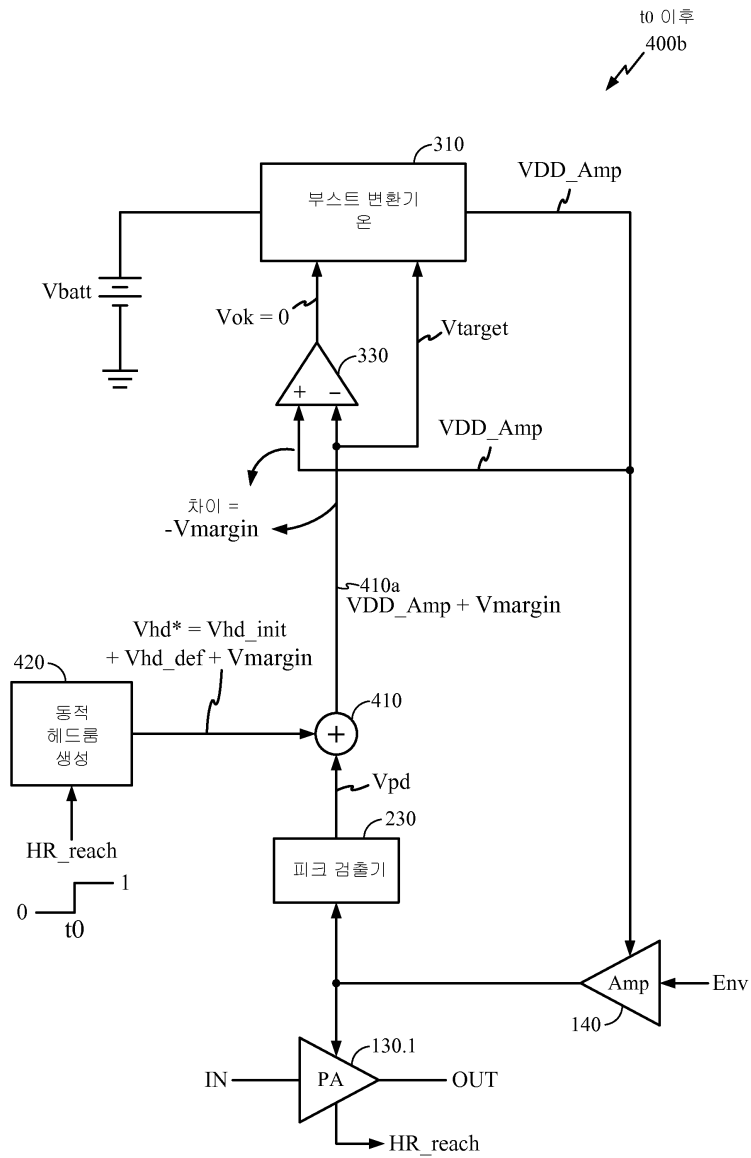
도면5



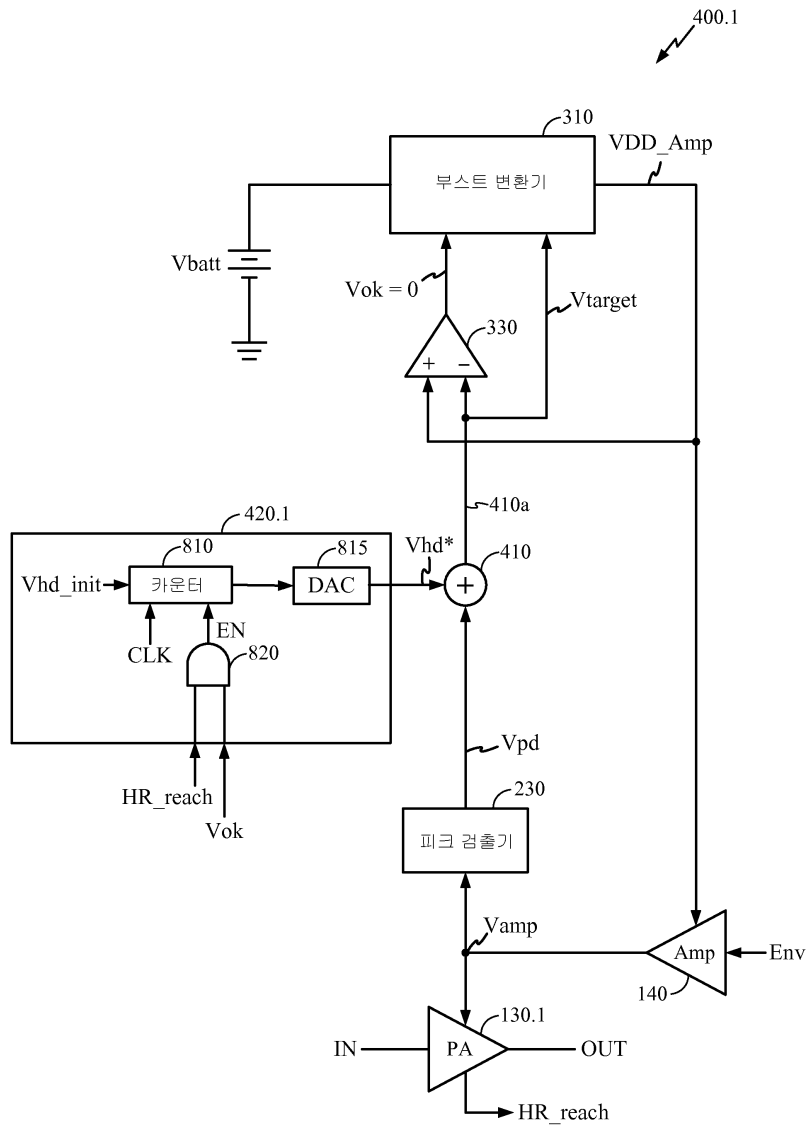
도면6



도면7



도면8



도면9

