发明名称  排序系统和方法

摘要

本发明涉及一种可对其记录个数两倍于排序系统的存储容量的数据串进行排序的系统和方法。这种系统和方法甚至能在常规大小的硬件归并分类器中完成较大文件的高速有效排序。该排序系统配有一常规大小的硬件归并排序器和包括一小型缓冲器的排序控制器。该硬件归并排序器配有n个串联的流水线级，其中每一级含一局部处理器和一局部存储器。这些局部存储器的总存储容量达2^n个记录。该硬件归并排序器还配有用于控制在一独创的专门排序中存储器的取取的选择器。
权利要求书

1. 一种用于对多个记录进行排序的排序系统，包括:
   一个硬件归并排序器，它又包括:
   多个串行级联的局部处理器，其中所述每一局部处理器接收由前一局部处理器输出的记录，将其排序成已排序数据串，并将所述已排序数据串输出至下一局部处理器，这样，所述硬件归并排序器在第一次通过该硬件归并排序器进行的排序中便产生至少一条已初次排序的数据串;

   存储容量为 $2^n$ 个记录且含多个局部存储器的存储器;

   多个处于各局部存储器和相应局部处理器之间并与两者耦合的选择器，以便在所述第一次排序中将多个局部存储器与多个局部处理器耦合，并在第二次排序时，使上述多个局部存储器与多个局部处理器中的一个耦合; 和

   一台控制所述局部处理器和选择器的控制器，所述硬件归并排序器在所述第一次排序中产生第一和第二条各含 $N$ 个记录的已排序数据串，而在所述第二次排序中产生一条含 $2N$ 个记录的数据串，其中 $N \leq 2^n$, $n$ 为整数。

2. 根据权利要求1所述的排序系统，其特征在于所述多个局部存储器包括至少存储容量各为 $2^m$ 个数据的二个局部存储器，且所述选择器在上述第二次排序中使所述两个局部存储器与所述一个局部处理器耦合。

3. 根据权利要求1或2所述的排序系统，其特征在于还包括一耦合于所述控制器和所述多个选择器之间的一条存储总线，用以将所述第一和第二条已排序数据串中的一条从所述控制器传至所述局部存储
器以便供所述第二次排序用。

4. 根据权利要求 1 所述的排序系统，其特征在于所述第一和第二条已排序数据串中的一条当所述第一次排序还在进行时便被存储入所述局部存储器。

5. 根据权利要求 1 所述的排序系统，其特征在于所述每一局部存储器具有 $2^n + 1$ 个数据的存储容量且由所述局部处理器中的两台来访问。

6. 根据权利要求 1 所述的排序系统，还包括置于每一相关组局部处理器和控制器之间的排序结束信号线，以便每一相关处理器在已完成第一次排序时通知控制器及控制器可以将两条经初次排序的数据串中的一条的一部段存入相关局部存储器。

7. 根据权利要求 4 所述的排序系统，其特征在于每一局部处理器一旦收到一串来自前一局部处理器的已排序记录及所述两条经初次排序的数据串中的一条被存入相关的局部存储器时便开始进行所述第二次排序。

8. 根据权利要求 1 所述的排序系统，还包括另一个具有相同的所述局部处理器，所述存储器和所述选择器的硬件归并排序器，并且其中所述控制器控制所述局部处理器，所述选择器和另一个硬件归并排序器，以便将多个记录在所述第一次排序中排序成四条各含 N 个记录的排序数据串，再将所述四条已排序数据串在所述第二次排序中排序成两条各含 2N 个记录的已排序数据串，最后又将所述两条已排序数据串在第三次排序中排序成一条含 4N 个记录的已排序数据串。

9. 根据权利要求 8 所述的排序系统，还包括一耦合于所述控制器和所述多个选择器之间的存储总线，用以将所述四条经第一次排序的数据串中的两条自所述控制器传至所述局部存储器供所述第二次排序用。
10. 根据权利要求 8 所述的排序系统，其特征在于所述四条经第一次排序的数据串中的一条当所述第一次排序还在进行当中时便被存入每个排序器单元的所述局部存储器中供所述第二次排序用。

11. 根据权利要求 8 所述的排序系统，其特征在于所述局部存储器，其每台具有 \(2^n + 1\) 个记录的存储容量且由所述每个硬件归并排序器单元中的所述局部处理器中的两台来访问。

12. 一种使用硬件归并排序器对多个记录进行排序的方法，该排序器包括多个局部处理器、多个局部存储器和多个选择器，每个选择器耦合于并位于该多个局部存储器的一个和一相应局部处理器之间，用来在第一步排序中使局部存储器每一个与相应的局部处理器耦合，而在第二步排序中使上述多个局部存储器与一个局部处理器耦合，该方法包括下述步骤:

   (A) 在所述第一步排序中使用所述每一局部处理器和所述每一局部存储器将 \(N\) 个记录排序成第一条已排序数据串，其中 \(N \leq 2^n\), \(n\) 为整数；

   (B) 在所述第一步排序中将另外 \(N\) 个记录排序成第二条已排序数据串；

   (C) 在所述第二步排序中将所述第一和第二条已排序数据串中的一条存入所述多个存储器；和

   (D) 将所述第一和第二条已排序数据串的另一条与所述已存储的已排序数据串进行排序以便在所述第二步排序中生成一条含 \(2N\) 个记录的已排序数据串。

13. 根据权利要求 12 所述的排序方法，包括至少两台硬件归并排序器，所述每台硬件归并排序器还包括多个在第三步排序中用于连接所述硬件归并排序器单元的多个局部处理器串行级联的输入输出总线选择器，本方法包括下述步骤:
(E)利用第二个硬件归并排序器单元和自(A)至(D)各步骤将第二
批 2N 个记录排序成第二条含 2N 个记录的已排序数据串;

(F)在所述第三步排序中将所述第一和第二条含 2N 个记录的已
排序数据串中的一条存入上述第一和第二个硬件归并排序器单元中的
多个上述局部存储器; 和

(G)将第一和第二条各含 2N 个记录的数据串中的另一条和存储
的 2N 个记录的数据串进行排序以便在所述第三步排序中生成一条含
4N 个记录的已排序数据串。

14. 根据权利要求 12 或 13 所述的方法，其特征在于所述第一和
第二条已排序数据串中的一条的存储步骤当上述将另外 N 个记
录排序成第二条数据串的操作还在进行时便已开始。
说明书

排序系统和方法

本发明涉及在排序系统中进行的高速排序，更准确地说，本发明涉及可用以对大量数据以高速度进行处理的基于选择器的高速排序方法和设备。

图16系一包括常规技术的硬件归并排序器的常规排序系统的整体框图，该技术在日本未审查专利公开号86043/1988中公开。

图16中的排序系统包括硬件归并排序器22、外存储器或磁盘单元30、一个盘控制器31、一个系统控制器41和一个通道接口42。根据该图，公用数据总线40在系统控制器41和通道接口42之间传递数据。数据总线43在通道接口42和主机之间传递数据。数据总线32在盘单元30和盘控制器31之间传递数据。盘控制器31和公用数据总线40之间的数据传递则由数据总线34来完成。排序数据输入总线33将排序数据传给硬件归并排序器22。已排序数据输出总线35将已排序数据自硬件归并排序器22传至公用数据总路线40。硬件归并排序器22将n个流水线级顺序线性排列并串行级联在一起。每一流水线级有一排序组件或局部处理器和一与之耦合的响应专用存储器或局部存储器。具体说来，第一流水线级有局部处理器P11和存储容量为1（2^1）个记录的局部存储器

M111；第二流水线级有局部处理器P22和存储容量为2（2^1）
个记录的局部存储器 $M_n$ 1 2；第三流水线级有局部处理器 $P_n$ 3 和存储容量为 $4 \times 2^2$ 个记录的局部存储器 $M_n$ 1 3，以此类推，直至最后流水线级有局部处理器 $P_n$ 6 和存储容量为 $2^{n-1}$ 个记录的局部存储器 $M_n$ 1 6。每一局部处理器配有内部缓冲器。相邻局部处理器间则配有行缓冲器。

图 17 是图 16 中所示常规排序系统的简化框图。图中，局部存储总线 1 0 6在硬件归并排序器 2 2 中任一流水线级上的局部处理器和相关局部存储器之间传递数据。排序控制器 1 0 0是一包括大体型缓冲器、盘单元 3 0、系统控制器 4 1、盘控制器 3 1 和一通用处理器的多功能装置。

根据图 16，待分排序数据由盘控制器 3 1 自盘单元 3 0 读出，并通常经数据总线 3 2 和排序数据输入总线 3 3 传至硬件归并排序器 2 2。另外，该数据流可经系统控制器 4 1 和通道接口 4 2 传至主机，然后再经通道接口 4 2 和系统控制器 4 1 回到盘控制器 3 1，以备输入至硬件归并排序器 2 2。

当硬件归并排序器 2 2 收到排序数据后，局部处理器 $P_n$ 1 至 $P_n$ 6 便与响应的局部存储器 $M_n$ 1 1 至 $M_n$ 1 6 一起进行一系列流水线归并排序器操作。当对输入数据通过各流水线级进行的排序后，所得已排序数据串便自硬件归并排序器 2 2 经已排序数据输出总线 3 5 传给公用数据总线 4 0。该已排序数据流可随即被传至系统控制器 4 1 或经通道接口 4 2 并通过数据总线 4 3 传至主机。

根据常规技术，图 16 或 17 中的常规硬件归并排序器 2 2 可利用 n 个含局部处理器和局部存储器的流水线级对 $N$ ($N \leq 2^n$, $n$ 为整数) 个记录进行排序。常规硬件归并排序器 2 2 是根据二路归并来
对数据进行排序的。N个记录被串行地输入至局部处理器P₁ 1并通过流水线级，以便这些记录被按序排列且有一串N个已排序记录被输出。二路归并排序输入并处理已存入每一流水线级的局部存储器和内部缓冲器这些单存储单元里的两串记录。这一操作完成后，局部处理器便将所得已排序记录串传至流水线级上的下一个局部处理器。例如，有一响应局部处理器Pᵢ 的局部存储器Mᵢ 能容纳 2ⁱ⁻¹ 个记录。局部处理器Pᵢ 自前一流水线级的局部处理器Pᵢ₋₁ 连续地接过两条各含 2ⁱ⁻¹ 个记录的记录中，然后将这两条记录串合并成一条含 2ⁱ 个记录的记录串。该含 2ⁱ 个记录的已排序记录串接着又被输出至邻近的流水线级的局部处理器Pᵢ₊₁ 供进一步归并排序用。

现在参考图 16 或 17 详细描述常规技术中的二路归并排序的基本操作。该操作分两阶段：存储阶段和归并排序阶段。存储阶段是归并排序阶段的准备。在存储阶段，自流水线级上的前一局部处理器相继传来的两串已排序数据被输入至局部处理器，并被分别存入相应的局部存储器和内部缓冲器。在归并排序阶段，局部处理器每次自己存储的两串记录中的每一串取一个记录供比较用。该对记录被按照给定的要求进行比较并被按序排列。例如，记录可按自最高初值起递减的顺序排序，或自最低初值起递增的顺序排序。结果，该对已排序记录中排在较先的那个记录便自局部处理器输出，以便归并进作为流水线级的行缓冲器中的已排序记录串。这样的归并排序操作可重复进行直至两存储单元中的每一个均已不再存有记录，从而所得记录串是有序的。上述已排序记录串随后被传至的流水线级上的下一台局部处理器供进一步归并排序用。由此可见，常规技术中的二路归并排序由于需要将两串记录合并成一串已排序记录而使得每一流水线级上的数据
量增加了一倍。

图 18 用于图解常规排序方法中的一连串常规流水线归并排序操作的概念图。图中，阴影三角，实际上应呈指数曲线状，标明各局部存储器的存储容量，而阴影方格则代表排序组件或局部处理器。根据图 18，排序数据流串行输入至局部处理器 P1, 在那里接受一连串常规归并排序操作，然后作为一已排序数据串自局部处理器 P1 输出。该完整的已排序数据串接着被传至排序控制器。

在二路归并排序中，存储中的已排序数据串当其领头记录被输出至局部处理器时将被用时以便失去了该领头记录。局部处理器中的领头记录的输入顺序在存储单元之间是随机的，主要取决于比较的结果。为了维持存储中的已排序数据串的领头记录的连续输出，一存储单元中的一个已排序串领头记录的地址空间应总是由同一数据串中余下的已排序数据串的领头记录所占据。换言之，存储中的数据串应每输出一个记录便向前进移位一个记录或地址空间以保持排序的序列。维持存储中的已排序数据串的排序序列及不停地输出领头记录是至关重要的。

从这一点看来，有必要采取或考虑一些措施以解决这一问题。

以下就通过处理定时来讨论一下二路归并排序。一般地讲，数据排序中的处理单位可以是一个记录、一个字或一个字节。常规技术采用基于记录的单字处理。图 19 用于图解二路归并排序操作中相邻局部处理器之间基于记录的单字处理的定时图。

根据图 19，一个记录由两个字段组成：含一定字数的数据段和一个双字指针。每一个字有三个周期：读周期 R0、读周期 R1 和写周期 W。按照基于记录的单字处理的二路归并排序基本上是通过一个记录逐字工作的。为了在归并排序步骤中进行比较，二路归并排序应
访问三个存储单元：局部存储器、局部处理器中的内部缓冲器及行缓冲器。换言之，局部处理器在读周期 R 0 和 R 1 中分别自两存储单元各接收一个字或记录以备进行比较，比较后在写周期 W 中将其中一个输出。因此，从每一流水线级出来的所得记录串是逐字顺序排列的。

如前所述，常规硬件归并排序器通常是由线性排列的串联流水线构成，其中任一流水线级包括一局部处理器和一相应局部存储器，后者的存储容量是前一流水线级的局部存储器的两倍。如果硬件归并排序是有 n 个流水线级，那么最后一个流水线级的局部存储器的存储容量便是 $2^{n-1}$ 个记录，为所有局部存储器的总存储容量的一半。根据常规技术，最后一个流水线级的局部存储器的存储容量限制住了常规硬件归并排序器的最大可排序记录数。换言之，常规硬件归并排序器只能对其记录数两倍于最终一流水线级的局部存储器的存储容量的数据串进行排序。这也可简单理解为只要能扩展常规排序系统中局部存储器的总存储容量，则其可排序记录数便没有上限，理论上，即便是就高速有效排序而言这也是可能的。然而，实际上，从体系结构或组装角度考虑，合局部存储器的流水线级数或硬件归并排序器尺寸的无限制扩大对于一计算系统来说是不可能的。超过上限数的记录事实上只能依赖软件来进行处理。这就形成了一个瓶颈并限制了高速有效排序。

本发明的目的显然就是要能提供一种在常规大小硬件归并排序器中可对较大文件中的数据进行高速有效排序的排序系统和方法。本目的以及别的目标可由本发明所给出的排序系统和方法来实现。

根据本发明，一种可对多个记录进行排序的排序系统包括：

(A) 一硬件归并排序器，它又包括：
（A - 1）多个串联的局部处理器，其中每一局部处理器接收前一局部处理的输出的记录，将其排序成经过排序的数据串，并将经过排序的数据串输出至下一局部处理器，从而硬件归并排序器在通过该排序器进行的第一轮排序中产生至少一条经初次排序的数据串；
（A - 2）—存储容量为 \(2^n\) 个记录并合多个局部存储器的存储器；
（A - 3）—多个处于局部存储器和相关局部处理器之间并与二者耦合的选择器，用以在第一轮排序中使局部存储器和相关局部处理器耦合，而在第二轮排序中使多个局部存储器与专门一局部处理器耦合；和
（B）—控制局部处理器和选择器的控制器，以便硬件归并排序器在第一轮排序中产生第一条和第二条各含 \(N\) 个记录的已排序数据串，而在第二轮排序中产生一条含 \(2N\) 个记录的已排序数据串。

根据本发明，在本排序系统中，多个局部存储器中至少有有两个局部存储器，其每一个存储容量达 \(2^{n-1}\) 个记录，且在第二轮排序中由选择器将这两台局部存储器与一专门局部处理器耦合。

根据本发明，本排序系统还包括一连接在控制器和多部选择器之间的用来将第一和第二条排序数据串中的一条从控制器传至局部存储器以备第二轮排序用的专用存储总线。

根据本发明，在本排序系统中，每一局部存储器具有 \(2^{n-1} + 1\) 个记录的存储容量且由两台局部处理器访问。

另据本发明，能对多个记录进行排序的排序系统包括：
（A）至少两个串联的硬件归并排序器单元，每一单元包括：
（A - 1）串联在一起的多个局部处理器，其中各局部处理器接收前一局部处理器输出的记录，将其排序成经过排序的数据串，并将经过排序的数据串输出至下一局部处理器，从而保证硬件归并排序器单
元在第一轮通过该硬件归并排序器单元产生至少一串经初次排序数据串；

（A - 2）一个存储容量为 2^n个记录并含多个局部存储器的存储器；

（A - 3）多部位于局部存储器和相应的局部处理器之间并与二者耦合的选择器，用来在第一轮排序中使局部存储器与相应的局部处理器耦合，在第二轮排序中将多个局部存储器与第一台专门的局部处理器耦合，而在第三轮排序中将多个局部存储器与第二台专门的局部处理器耦合；

（A - 4）多个与多台局部处理器串联的输入／输出总线选择器，用以连接各硬件归并排序器单元；和

（B）一台用来控制局部处理器、选择器和输入输出总线选择器的控制器，以便在第一轮排序中将多个数据排序成四条各含N个记录的已排序数据串，在第二轮排序中又将该四串已排序数据排序成两条各含2N个记录的已排序数据串，最后在第三轮排序中将前述两条已排序数据串排序成一条含4N个记录的已排序数据串。

又根据本发明，一种使用硬件归并排序器对多个记录进行排序的方法，其中的硬件归并排序器包括多个局部处理器、多个局部存储器及多个置于多个局部存储器与一相关局部处理器之间并与二者耦合的选择器，用于在第一排序步骤中将局部存储器与相应的局部处理器耦合，在第二排序步骤中则使得若干局部存储器与专门的局部处理器耦合。本方法包括下述步骤：

（A）在第一排序步骤中利用每一局部处理器和每一局部存储器将N个记录排序成第一条已排序数据串；

（B）在第一排序步骤中将另外N个记录排序成第二条已排序数
据串：

（C）在第二排序步骤中将上述第一条和第二条已排序数据串中的一条存入多个局部存储器；

（D）在第二排序步骤中将第一条和第二条已排序数据串中的另一条与已存储的数据串进行排序以产生一条合 2 N 个记录的已排序数据串。

根据本发明，一种使用至少两个硬件归并排序器单元对多个记录进行排序的方法，其中每一单元包括多台局部处理器、多台局部存储器及多台置于多台局部存储器和一台相关局部处理器之间并与二者耦合的选择器，用于在第一排序步骤中将局部存储器与相应的局部处理器耦合，在第二排序步骤中则将多台局部存储器与专门的局部处理器耦合，以及多个输入/输出总线选择器；它们与多个局部处理器串联并在第二和第三排序步骤中连接各硬件归并排序器单元。本方法包括下述步骤：

（A）在第一排序步骤中利用第一硬件归并排序器单元里第一台局部处理器和每一台局部存储器将 N 个记录排序成第一条已排序数据串；

（B）将第一条已排序数据串存入第二硬件归并排序器单元的多个局部存储器中；

（C）在第一硬件归并排序器单元中进行的第一排序步骤中将另外 N 个记录排序成第二条数据串；

（D）在第二排序步骤中将第二条已排序数据串和已存入第二硬件归并排序器单元的第一条已排序数据串进行排序以产生第一条合 2 N 个记录的已排序数据串；
（E）通过重复步骤 (A) 到 (D) 并使用第一和第二硬件归并排序器单元将另外 2N 个记录分成第二条含 2N 个记录的排序的数据串；

（F）在第三排序步骤中将第一条和第二条各含 2N 个记录的数据串的一条存入第一和第二硬件归并排序器单元的多个局部存储器里；和

（G）将上述第一条和第二条各含 2N 个记录的数据串的另一条与已存入的那条含 2N 个记录的数据串进行排序以便在第三排序步骤中产生一条含 4N 个已排序记录的数据串。

根据本发明，一种使用含多台局部处理器和多台局部存储器的硬件归并排序器来对多个记录进行排序的方法，本方法包括下述步骤：

（A）在第一排序步骤中利用每一台局部处理器和每一台局部存储器将 N 个记录分类成第一条已排序数据串；

（B）将余下的多个记录中取出的一个记录存入每一局部存储器里；

（C）在第二排序步骤中将第一条已排序数据串与那个已存入每一局部存储器的记录进行排序；和

（D）必要时重复步骤 (B) 和 (C) 至少一次以产生一串已排序记录。

根据本发明，本排序系统还包括置于各相关的多个局部处理器和控制器之间的排序结束信号线，从而每一相处理器能通知控制器它已完成了第一轮排序，并且，该控制器便可以将两条经初次排序的数据串中的一条的一部分存入相关局部存储器。

附图中，图 1 系说明第一和第二实施例中所述硬件归并排序器配
置和排序控制器的本发明排序系统的简化方框图；
图2系图1中总线控制区110的数据总线结构的一般局部方框图，用以说明第一实施例中所述数据控制技术；
图3系用来进一步说明图2中所示数据控制技术的数据总线结构的局部方框图；
图4系用来说明第一实施例中所述的已实现于大规模集成电路中的基于选择器的数据控制技术的局部示意方框图；
图5系用来说明第一实施例中所述地址控制技术的一般方框图；
图6系进一步说明图5中所示地址控制技术的地址总线结构的局部方框图；
图7系用来说明第一实施例中所述的基于控制信号的数据控制技术的地址总线结构的局部方框图；
图8系本发明的排序系统的方框图，用以说明第一实施例中所述的由硬件归并排序器在第一步归并排序中实现的一系列常规流水线归并排序操作；
图9系用来说明第一实施例中所述的在第二步归并排序中实现的存储器和归并排序操作的本发明排序系统的方框图；
图10系本发明的一排序系统配置的方框图，用以说明第三实施例中所述的适用于在多排序器系统中进行的串联操作的硬件归并排序器；
图11系用来说明第四和第六实施例中所述的适用于在多排序器系统中进行串联操作的另一硬件归并排序器的本发明排序系统结构的方框图；
图12系用来说明第一实施例中所述的本发明的基本排序方法的
概念图；

图 1.4 用来说明实施例中所述的多排器系统中本发明的一种基于串行的排序方法的概念图；

图 1.5 用来说明第五实施例中所述的适用于较小文件的独创分割方法的概念图；

图 1.6 说明根据第五实施例中所述独创排序方法进行的串行流水线并行排序操作的实例；

图 1.7 说明图 1.6 中所示常规排序系统的简化方框图；

图 1.8 说明常规排序方法的概念图；

图 1.9 说明在二路并行排序操作中基于记录的单字处理的定时图。

实施例 1

图 1.1 说明第一实施例中所述的硬件并行排序器配置和排序控制器的构图。图 1.2 中的硬件并行排序器是在图 7 中的常规硬件并行排序器基础上改装而成，其改进之处在于增加了一台存储容量为 1 个记录的辅助存储器 B、总线控制区 1 110 及局部存储器总线 1 020，并用局部存储器总线 1 111 替换了局部存储器总线 1 020。总线控制区 1 110 包括选择器或驱动／接收器 9 和 1 010 及局部地址／数据总线 1 221 至 1 24。硬件并行排序器由几个流水线级构成，其中第一流水线级含一局部处理器 P 1 1，第一流水线级合 P 2 2，第三流水线级含 P 3 3，以此类推，直至倒数第二流水线级含局部处理器 P n-15 及最后一流水线级含 P n 6。每一局部处理器有一响应的局部存储器经由总线控制区 1 110 中的驱动／接收器 9 并通
过局部存储器总线 111 与之相连。存储器包括局部存储器 M111、
M212、M313 等等，直至 Mn-115 和 Mn16，它们分别与编号
为 P11 至 Pn6 的局部处理器相耦合。局部处理器 Pn6 在完成
整个序列归并排序操作之后将己排序数据输出至己排序数据输出总线
35。排序控制器 101 是一包括图 16 中的系统控制器 41 和盘控
制器 31 的多功能装置。排序控制器 101 通过排序数据输入总线
33 将排序数据传至硬件归并排序器。完成排序后的数据被传至排序
控制器 101，否则经图 16 中所示的通道接口 42 和数据总线 43
被传至主机。

本发明的排序系统，其特征为通过排序控制器 101 和驱动／接
收器 10 来控制的专门或单独分配给一专用的局部处理器或局部处
理器 Pn6 的单一的操作。为实现这些单一操作，局部处理器 Pn6 可
通过局部地址／数据总线 121 至 124 访问包括辅助存储器 8 在内
的流水线各级的所有局部存储器。

图 2 至 4 均系图 1 中的总线控制区 110 中的一种数据总线结构
的局部方括图，用以说明本实施例所述的局部处理器与局部存储器之
间的数据控制技术。图 2 中，基本时钟信号 660 提供使各局部处理
器同步的信号。处理器间数据总线 650 将来自局部处理器的已排序
数据串传至流水线级中的下一台局部处理器。图 2 可用来说明用于一
种通过驱动／接收器 9 和 10 进行的双向数据控制技术的数据总线配
置。当流水线中每一台处理器执行完一个归并排序操作后，数据通过
驱动／接收器 9 而在流水线级上一对局部处理器和响应的局部存储器
之间进行传递。另一方面，数据通过多个驱动／接收器 10 而在每一
局部存储器与一专用的局部处理器之间传递。
基于图 2 的图 3 和 4 展示在硬件归并排序器含 19 个流水线级 (n = 19) 的条件下本发明的硬件归并排序器的最后三个流水线级。图 3 说明在此情况下图 2 中的数据控制技术。

图 4 说明一种实现在基于大规模集成电路 (LSI) 的配置中的基于选择器的数据控制区。图 4 中的虚线方框表示 LSI 线路图，它们包括一组写入和读出选择器 21a 和 21b，三个输入／输出缓冲器 20（驱动／接收器）和一台局部处理器。写入选择器 21a 当一个归并排序操作是在每一流水线级内执行时便自 LSI 中局部处理器中选取要写进局部存储器的数据流，而对于由局部处理器 P19 6 执行的唯一存储操作则自专门局部处理器 P19 6 里选取要写进局部存储器的数据流。读出选择器 21b 自流水线级上的局部存储器或自前一流水线级中的 LSI 选取数据流以备传至专门局部处理器供进行单一归并排序操作。

图 5 至 7 系图 1 中的硬件归并排序器的总线控制系统 I10 中的土地总线结构的局部方框图，用来说明本实施例所述局部处理器和局部存储器之间的地址控制技术。图 5 系说明由驱动／接受器 9 或 10 控制的地址控制技术的地址总线结构的全貌。基于图 5 的图 6 展示在硬件归并排序器含 19 个流水线级的条件下该归并排序器的最后三个流水线级。

根据图 6，当驱动／接受器 10 被停用时驱动／接受器 9 便被启用以便当每流水线级执行归并排序操作时将地址数据自局部处理器传至每一流水线级上相应局部存储器。另一方面，当驱动／接受器 10 被启用时驱动／接受器 9 便被停用，以便当局部处理器 P19 6 利用所有流水线级中的局部存储器进行存储和归并排序操作时地址数据
能自专门的局部处理器PN 6被传至流水线级中的每一局部存储器。

根据上述地址数据控制技术，当所有局部存储器为一静态随机存
取存储器（SRAM）时可使用芯片选择信号。当这些局部存储器为
一动态随机存取存储器（DRAM）时，则使用如列地址选通信号这
样的地址控制信号。图7展示在DRAM存储器情况下的另一地址控
制技术。根据图7，地址控制信号是在地址译码器91中根据地址总
线上的地址数据产生的。通过各流水线级上的局部处理器或向地址译
码器91选择一总线，一存储器阵列控制信号选择器90控制地址数
据向每一流水线级的局部存储器的写入。

现在参照图8和9详细描述根据图1中本实施例所述的独创硬件
归并排序器的基本操作。图8和9展示包含第一和第二步归并排序的
本发明的硬件归并排序器中进行的一系列独创归并排序。图8说明每
一局部处理器是如何在排序的第一步归并排序操作中利用驱动／接
收器9来访问其响应的局部存储器的：除了总线控制是由驱动／接收器
9完成以外，其阶段的串行流水线归并排序操作与常规技术的一样。图
9则说明局部处理器PN 6何以能在排序的第二步归并排序操作中利
用总线控制区中的局部地址数据总线121至124和驱动／接收器
10来单一地访问所有流水线级的局部存储器。

如前所述，常规排序方法可对N（N≤2^n）个数据进行排序。
另一方面，当要对其值介于2^n与2^{n+1}并含2^n+1的某N’
（2^n< N’< 2^{n+1}）个数据进行排序时，便得用本发明独创排序法
来对这样较大量的数据进行排序。根据本发明的独特排序方法，较大
文件中的数据应采用如图8和9中所示的常规和创新排序方法的组合
在本发明的硬件归并排序器里排序两次。如图8所示，N’个记录被
串行输入进本发明的硬件归并排序器并在第一轮排序中通过接受一系列常规流水线归并排序操作而被排序。结果，硬件归并排序器便连续地将所得到的经初始排序的分别合 $2^n$ 和 $N - 2^n$ 个记录的数据串输出至已排序数据输出总线 3 5。这些数据串接着又被传入排序控制器 1 0 1。

如图 9 所示，上述排序控制器 1 0 1 来自第一步骤归并排序的两串经初次排序的记录再在第二步骤归并排序中在本发明的硬件归并排序器里接受第二轮排序。这第二步骤归并排序的特征是那些只由局部处理器 $P_n$ 执行的单一和不可兼的操作。为了这种单一操作，所有流水线级上的局部存储器受到控制而只对局部处理器 $P_n$ 响应，而这种控制是借助总线控制区 1 1 0 中由驱动／接收器 1 0 控制的局部地址数据总线 1 2 1 至 1 2 4 来完成的。换言之，局部处理器 $P_n$ 利用一包括所有流水线级上的局部存储器 $M_{1 1 1} 至 M_{1 1 6}$ 以及 $M_8$ 的联合存储器独特地执行上述存储或归并排序操作，而这样的联合存储器的存储容量为 $2^n$ 个记录。第二步骤归并排序由两个不同的操作组成，即存储操作和归并排序操作。在存储操作中，两条经初始排序的记录串中的一条被通过专门局部处理器存入上述联合存储器中。为了这种单一操作，排序控制器 1 0 1 可以在记录串前端头一跳过程标记并跳过局部处理器 $P_{1} 至 P_{n-1 5}$ 将该记录串直接传至局部处理器 $P_n$。局部处理器 $P_n$ 在收到该记录串后便开始访问联合存储器以存储输入数据。将数据传到联合存储器后，局部处理器 $P_n$ 便为单一归并排序操作作好了准备，为了保证此阶段的存储操作的成功，前面关于应用驱动／接收器的地址数据控制技术的讨论应参照图 2 至 7 加以考虑。
当存储操作完成后，排序控制器 101 便通过排序数据输入总线 33 将余下的已初始排序的记录串传至硬件归并排序器以接受单一的归并排序操作。该记录串也可因使用了跳过标记而被直接传至局部处理器 Pn6。局部处理器 Pn6 在收到此串记录便开始将其单一地与联合存储器中的已串记录归并。结果便得到含 N' 个已排序记录的记录串由局部处理器 Pn6 输出至已排序数据输出总线 35。这样便完成了本实施例中所述的整个系列独创归并排序操作。

如上所述，本实施例所述的本发明的硬件归并排序器能够对额外数据文件进行排序。当处理 N' 或 2N ( \(= \sum N_i \)) 个排序记录时，本发明的硬件归并排序器在第一步归并排序中将这些记录归并成两条分别含 N1 和 N2 个记录的记录串。在第二步归并排序中，硬件归并排序器又将上述两条经初始化排序的记录串合并成一条经第二次排序的含 2N 个记录的记录串。

从而，本实施例中涉及的本发明的排序系统通过一能够对超过 \(2^n \) 个之多的记录也即超出常规归并排序器所能设法排序最大数目进行排序，而尺寸大小与常规硬件归并排序器无异的硬件归并排序器。

且对高速排序作进一步改善。

在本实施例中所讨论的本发明的排序方法可在常规技术中的硬件归并排序器上执行。但是，为了在第二步归并排序中使本发明的单一归并排序操作生效，需要增加一些选择技术或机构，如选择器或驱动

接收器。

图 12 系说明本发明的可在常规归并排序器上执行的排序方法的概念图。图中，三角形代表局部存储器，方块代表局部处理器，长方形代表排序控制器，而箭头则表明数据流的方向。这些记号若投上了
阴影则表示其功能处于执行之中。根据本实施例，硬件归并排序器可对介于 $2^n$ 与 $2^{n+1}$ 之间的 $N'$ 之中的记录进行排序。

图 12 (a) 说明第一步归并排序中执行的一系列常规流水线归并排序操作。根据本实施例，$N'$ 个记录在第一步归并排序中以在下列两步骤（S 1 - 1 和 S 1 - 2）中讨论的方式被排序成两条经初次排序的记录串。

S 1 - 1 : $2^n$ 个记录经过一系列常规流水线归并排序操作的处理并被作为一条含 $2^n$ 个经初次排序的记录的记录串 $N_1$ 而传至排序控制器。

S 1 - 2 : 余下的 $N' - 2^n$ 个记录相继被以与 S 1 - 1 中所述相同的方式处理，然后作为一条含 $N' - 2^n$ 个已初次排序记录的记录串 $N_2$ 而传至排序控制器。

图 12 (b) 说明在第二步归并排序中的单一操作这一阶段包括如下的存储操作步骤（S 2 - 1）和归并排序操作步骤（S 2 - 2）。

S 2 - 1 : 含 $2^n$ 个经初次排序的记录的记录串 $N_1$ 自排序控制器被直接传至最后一流水线级上的专门局部处理器供单一的存储操作之用。该局部处理器随后又将记录串 $N_1$ 传到包括一增加的存储容量为一个记录的辅助存储器的联合存储器供单一的操作用。

S 2 - 2 : 当上述单一存储操作完成后，含 $N' - 2^n$ 个记录的经初次排序的记录串 $N_2$ 被自排序控制器传至专门局部处理器供单一归并排序操作之用。局部处理器通过单一归并排序操作将两记录串 $N_1$ 和 $N_2$ 合并，然后输出一条完整的含 $N' (2^n < N' < 2^{n+1})$ 个记录的已排序记录串。
实施例 2

再据实施例 1，本发明的硬件归并排序器能提供另一局部存储器，即图 1 中的局部存储器 1 5 a，它具有与流水线级中最后一局部存储器 1 6 相同的存储容量 2^n-1 个记录。这意味着这两台局部存储器具有图 1 中所有流水线级上的局部存储器所共有的存储容量。换句话，专门局部处理器第二步归并排序中只须访问两台局部存储器而不是所有局部存储器。从结构角度出发，一方面本实施例所涉及的本发明的归并排序器由于一局部存储器的存储容量被增加，因而根据局部存储器的总存储容量则其尺寸将被扩大。另一方面，由于在第二步归并排序中采用了只访问两台局部存储器用的较简单的总线结构，本发明的硬件归并排序器所用的总线控制区 1 1 0 的尺寸将会缩小。由此看来，本实施例中涉及的硬件归并排序器就第二步归并排序中通过地址数据控制而进行的单一操作而言是有利的。

实施例 3

图 1 0 系本发明的又一实施例中所述的本发明的一排序系统配置的方框图，用以说明本发明的适用于在多排序器系统中实行串并操作的归并排序器。图 1 0 包括图 1，但增加了输入总线选择器 5 0、输入总线选择信号 5 1、排序器间数据总线 5 2、输出总线选择器 5 3、输出总线选择信号 5 4、驱动／接收器 1 1 3 和 1 1 5 以及串联存储总线 1 1 4 和 1 1 6。

图 1 0 中的硬件归并排序器可单独运行也可串行运行，这可通过使用输入总线选择器 5 0 和输出总线选择器 5 3 控制数据流来实现。输入总线选择信号 5 1 选择一条自排序控制器 1 0 1 或自前一级上的排序器传来的数据流。换句话说，如需硬件归并排序器单独运行，输入
总线选择器 5 0 使将排序数据输入总线 3 3 上的数据流输出至局部处理器 P 1。而若需该排序器在一多排序控制器系统中串联，则输入总线选择器 5 0 便往排序器间数据总线 5 2 输出一数据串。输出总线选择信号 5 4 为输出所得到的已排序记录串选择一总线。也就是说，若需排序器单独运行，输出总线选择器 5 3 将自局部处理器 P n 6 传来的所得已排序记录串输出到已排序数据输出总线 3 5。而若需排序器在一多排序器系统中串联运行，则输出总线选择器 5 3 使将已排序记录串输出至排序器间数据总线 5 2 供下一级在一排序器进行进一步操作之用。在已排序数据输出总线 3 5 上的已排序数据串被传至排序控制器 1 0 1 或如图 1 6 所示经通道接口 4 2 被传至主机。

当更多的本发明的硬件并行排序器被通过将其中一排序器的输出总线选择器 5 3 联到另一排序器的输入总线选择器 5 0 上而互相串联在一起时，所得多排序器系统的规模就会变得越来越大。结果，该系统的可排序数据量也将随着多排序器系统中的硬件归并排序器的数目增加而增加。

现在更具体地讨论一下当一多排序器系统有如图 1 0 所示的两串联的本发明的硬件归并排序器单元时该多排序器系统的基本操作。本实施例中所述上述两排序器系统可用三步归并排序操作来对 N″

\( 2^{n-1} < N″ < 2^{n-2} \) 个记录进行排序。在第一和第二步归并排序中，两台硬件归并排序器中的每一台以如第一实施例中所述的方式（参看图 8 和 9）单独运行。在第三步归并排序中，该两台排序器为第三步排序串联以产生一条完整的已排序记录串。

在第一步归并排序中，所有硬件归并排序器共用 N″ 个记录并通过常规流水线归并排序操作串行地对其进行处理。换言之，上述两硬
件归并排序器分别输出1或2串不多于2^n个的记录。结果，N^n个记录被分成3或4串经初次排序的记录并被传至排序控制器101。

排序控制器101中的这3或4串经初次排序的记录经过第二步归并排序并成两串，然后分别从两排序器输出至排序器控制器。根据本实施例，由两条各含2^n个记录的记录串合并而成的2^{n+1}个记录和自前述1或2条记录串生成的N^n - 2^{n-1}个记录在两合排序器中被单独进行排序。结果，排序控制器收到两条分别含2^{n-1}和N^n - 2^{n-1}个记录的第二次排序的记录串。然而，在此阶段，在排序器中处理的记录串的组合方式是可在排序控制器101中3或4条经初次排序的记录串变化的。

在第三步归并排序中，两硬件归并排序器串联并先后共同完成归并排序操作。这一阶段的操作基于涉及单一存储和归并排序操作的本实施例的第二步归并排序中的那些操作。为了此单一操作，在后面的级中应在排序器中提供专门局部处理器Pn6。

为了取得基于两串联排序器联合存储器，前面一级的排序器的串联存储总线114与后面一级的另一排序器的串联存储总线116相联。为了此阶段的单一操作，后一排序器的局部处理器Pn6或专门局部处理器包括两个排序器的局部存储器M111至Mn16和辅助存储器8在内的存储容量为2^{n+1}个记录的一联合响应存储器。为确保成功的存储操作，先前关于图2至7中所示地址数据总线控制技术的讨论应与本实施例结合起来加以考虑。

为了此阶段的单一存储操作，两条经第二次排序的记录串中的一条被输入至前面的排序器的局部处理器P11，然后又自排序控制器101直接传入后面的排序器的专门局部处理器Pn6。专门或独有
的局部处理器P n 6 将输入数据传到联合存储器。完成存储操作后，
专门局部处理器P n 6 使为利用联合存储器进行单一归并排序操作作
好了准备。排序控制器1 0 1 将余下的串记录直接传至专门局部处理器
P n 6。局部处理器P n 6 接着便开始对数据进行单一归并排序操
作。结果，一条完整的含N”(2^{n-1}<N”<2^{n-2})个记录的已排
序记录串便自后面的排序器输出至输出数据总线3 5。

因此，据本实施例，在图1 0 所示两串联硬件归并排序器的多排
序器系统中，在第一步归并排序中4 N个记录被排序成3或4条经初
次排序记录串。在第二步归并排序中，上述3或4条经初次排序记录
串合并成两条各含2 N个记录的经第二次排序的记录串。在基于串联
的第三步归并排序中，上述两经第二次排序的记录串又合并成一条完
整的含4 N个记录的经第三次排序的记录串。

一般说来，对于能对两倍于总存储容量的记录进行排序的排序器
或多排序器系统来说，存储容量是唯一限制最大可排序数据数的因
素。由此看来，随着多排序器系统通过串联越来越多的排序器而不断扩展
自身，在多排序器系统中可排序数据量可显著增加。

又据实施例1 及其附图图1 2，本发明的排序方法也可在多排序
器系统上执行。图1 3 就是用来说明本发明可在一串联的多排序器系
统上执行的排序方法的概念图。根据本实施例，该系统可对介于
2^{n-1}和2^{n-2}之间的N”(2^{n-1}<N”<2^{n-2})个记录进行排序。

图1 3（a）说明由两串联的硬件归并排序器各自单独执行的第
一和第二步归并排序。前面级上的硬件归并排序器专用于第一步归并
排序中的操作。后面级上的另一排序器则专用于第二步归并排序的操
作。根据本实施例，N”个记录通过两排序器以下列两步骤中所讨论
的方式在第一和第二步归并排序中被排序成2条经第二次排序的记录串。

$S \ 1 \ 1 \ - \ 1$: $N''$个记录被输入至前面级上的排序器。最初的 $2^n$个记录被排序成一条含 $2^n$个经初次排序的记录的记录串$N_1$。该记录串$N_1$接着被传入后面的排序器供第二步归并排序中的单一存储操作之用。另外 $2^n$个记录则在前面的排序器中被连续地排序成一条也含 $2^n$个经初次排序的记录的记录串$N_2$。该记录串$N_2$接着被传至后面的排序器。

记录串$N_1$和$N_2$通过单一归并排序操作被合并成一条含 $2^{n+1}$个第二次排序的记录的记录串$N_1 + N_2$。该记录串$N_1 + N_2$接着被传至排序控制器。

$S \ 1 \ 1 \ - \ 2$: 余下的 $N'' - 2^{n+1}$个记录必要时可接受第一步归并排序中的两系列操作并按 $S \ 1 \ 1 \ - \ 1$中所描述的方式被处理，最后以一条含 $N'' - 2^{n+1}$个记录的经第二次排序的记录串$N_3$ ($ + N_4$)被输出至排序控制器。

图13(b)说明由一组包括两台排序器的装置进行串联操作的第三步即基于串联的归并排序。本实施例的第三步归并排序中的操作与第三实施例的第三步即基于串联的归并排序中所描述的操作相同。两条分别合 $2^{n+1}$和 $N'' - 2^{n+1}$个记录的经第二次排序的记录串$N_1 + N_2$和$N_3$ ($ + N_4$)以在如下两个基于串联的步骤即单一存储操作($S \ 1 \ 2 \ - \ 1$)和单一归并排序操作($S \ 1 \ 2 \ - \ 2$)中所描述的方式被排序。

$S \ 1 \ 2 \ - \ 1$: 两条经第二次排序的记录串$N_1 + N_2$和$N_3$ ($ + N_4$)

中的一条通过前面的排序器自排序控制器被直接传至后面的排序
器的专门局部处理器，并存储在两排序器的联合存储器中。
S12-2：余下的那串记录则自排序控制器直接传入专门局部处理器。该串记录通过单一归并排序操作与存储器中的那串记录合并而成为一条完整的含N′（2^{n+1} < N \leq 2^{n+2}）个记录的已排序记录串。

实施例4

又据图10，本发明的硬件归并排序器可享有专用总线以便在第二步归并排序中的存储操作中将排序数据从排序控制器处直接传输至硬件归并排序器中的局部存储器。

图11系另一实施例中所述的本发明的一排序系统配置的方框图，用以说明另一适用于在多排序器系统中进行串行操作的硬件归并排序器。图11包括10，但增加了一专用存储总线70。专用存储总线70通过局部存储总线120将排序数据自排序控制器101和局部地址/数据总线121+124直接传至排序器中的局部存储器。驱动/接收器113是将专用存储总线70与局部存储总线120相联的接口。

根据本实施例，排序控制器101为第二步归并排序中的存储操作将经过第二步归并排序的得到的两条经初次排序的记录串中的一条通过专用存储总线70直接传至局部存储器M111至Mn16和辅助存储器8。此后在第二步归并排序中执行的单一归并排序操作与第一实施例（参看图9）中所述相同。

实施例5

又据第一实施例，本发明的排序方法适用于较小的文件。图14系说明本发明的可在常规硬件归并排序器上执行的排序方法的概念图。
根据本实施例，可通过下面三个步骤来处理 $2^n$ 个记录。然而，本实施例所述的本发明的排序方法适用对任何超过 $2^n$ 个的记录进行排序。图 14（a）、14（b）和14（c）分别说明第一、第二和第三步。

在如图 14（c）所示的第一步（步骤 1），$2^n$ 个记录通过一系列常规流水线并作排序操作被处理，并以一条含 $2^n$ 个记录的经初次排序的记录串而被输出至排序控制器。

在如图 14（b）所示的第二步（步骤 2）中，余下的 $n$ 个经预排序的记录以 $n$ 个流水线级的每一局部存储器接收一个记录的方式被存储备各局部存储器中。对于本步骤中的存储操作来讲，记录自排序控制器的成功的传递可通过该每一个记录带上一个地址标记来实现，或者设置一条专用存储总线来将记录直接自排序控制器存入局部存储器。

在如图 14（c）所示的第三步（步骤 3）中，步骤 1 中产生的一条含 $2^n$ 个记录的经初次排序的记录串在步骤 2 中被输入至硬件归并排序器。存储着的 $n$ 个记录通过一系列流水线归并排序操作的逐一向归并进一条含 $2^n$ 个记录的经初次排序的记录串。结果，硬件归并排序器输出一条完整的含 $2^{n+n}$ 个记录的已排序记录串。

当记录数超过 $2^n + n$ 时，可重复步骤 2 和 3 的组合直至下面没有归并可作。换言之，$2^n + k \cdot n$ 个记录可通过步骤 1 被处理一次然后经 $k$ 次步骤 2 和 3 的组合（$k \cdot n < 2$）而得到处理。这种排序方法当数据量为 $2^n$ 时特别适宜。

图 15 展示在如图 14（c）所示的步骤 3 中所执行的流水线归并排序操作的一个具体例子。该图说明存储着的一个记录是如何在一
合局部处理器的流水线级上被合并成一条按升序排列的已排序输入记录串中的。

在图 15（a）中，在第一流水线级上的局部处理器 P₁ 输入一串已排序记录和一个其值为 5 的存储中的记录并将它们按升序排序。
在图 15（b）中，上面得到的那串合置于 3 和 6 之间的 5 这个记录的已排序记录随后便被输入至下一流水线级的局部处理器 P₂。局部处理器 P₂ 将存储中的一其值为 2 的记录并入自局部处理器 P₁ 传来的已排序记录串中。这样得到的一串合置于 1 和 3 之间的 2 这个记录的已排序记录又自局部处理器 P₂ 输出至下一流水线级的局部处理器 P₃。因此，步骤 2 中存储着的记录在每一流水线级上被重复地并进一记录串直至局部存储器中不再留有记录。

根据本实施例，通过两种不同系列的流水线归并排序操作，本发明的排序方法可对其记录介于 $2^n$ 以上和 $2^n + n$ 之间的数据进行排序，而这些系列流水线归并排序操作涉及利用具有能对 $2^n$ 个记录排序的 n 个流水线级的常规归并排序系统来实施的三个步骤。

实施例 6

根据前述若干实施例，通过给每一流水级提供一排序结束信号及一如图 11 所示的排序结束信号线 400，本发明的排序系统和方法就能在第二步归并排序中提前开始存储操作。在第一和第二步归并排序之间或更具体地说在单一存储操作之前应有潜在的空闲时间。例如，根据第一实施例，存储操作要在最后一流水线级上的局部处理器完成第一步骤归并排序中最后一个归并排序操作才能开始。与此同时，前面各流水线级上的局部处理器在完成本流水线级上的归并排序操作后使处于无事可做状态。根据本实施例，当第一流水线级上的局部处理
器通过将一串已完成排序的记录输出于下一流水线级而完成一次归并排序操作时，第二步归并排序中的存储操作级可开始。换言之，每一流水线级上的局部处理器通过排序结束信号向排序控制器通报其在本流水线级上的归并排序操作的结束。排序控制器一旦收到该排序结束信号使通过排序数据输入总线33将数据传至该局部处理器供存储。这意味着局部处理器可在第一步归并排序中完成一归并排序操作后便存储数据供下一步归并排序用，这就通过减少空闲时间而节省了时间。

因此，本实施例所述的本发明的排序系统和方法具有将第二步归并排序中的存储操作提前的特点，从而可对较高速排序作出贡献。

实施例7

再据第五实施例，本发明的排序系统和方法可通过将图14(c)所示的步骤3中的流水线归并排序操作与图14(b)所示的步骤2中的存储操作并行而提早步骤3中的流水线归并排序操作。在步骤2中的存储操作与步骤3的归并排序操作之间应有潜在的空闲时间。根据本实施例，排序控制器101可在步骤2中的存储操作当中便传递记录供步骤3的归并排序操作用。每一局部处理器可在收到来自一流水线级的记录串及响应的局部存储器收到一个记录之后便开始执行归并排序操作。因此，就改善排序速度来讲，上述流水线归并排序操作对本实施例的步骤3是优化的。这也同时减少了空闲时间而节省了时间。

因此，本实施例所示的本发明排序系统和方法具有起因于提前进行归并排序操作并行操作的特点，从而提高了排序速度。

实施例8

再据前述若干实施例，在不改变2^n个记录这一总存储容量的前提下
提下，本发明的排序系统和方法可配以经改进的存储器或若干局部存储器。可能的改进之处便是给一台存储器配以 $n \div 2$（$n$ 为偶数）个流水线级。在此情况下，每一流水线级具有 $2^{n-1} + 1$ 个记录的存储容量，并且应访问 $n$ 台局部处理器中的两台。

此设想对多排序器系统也适用，如两串联的硬件归并排序器。一可能的改进之处就是给两排序器的联合存储器配以 $n$ 个流水线级。在此情况下，每一流水线级具有 $2^{n-1} + 1$ 个记录的存储容量，并且应访问两排序器的 $2^n$ 台局部处理器中的两台。
图 6

局部存储器 M17

局部存储器 M18

局部存储器 M19

处理器间数据总线

局部处理器 P17

局部处理器 P18

局部处理器 P19

基准时钟信号
图 7

局部存储器 Mi-2

存储器阵列控制信号选择器

90

处理器间数据总线

650

局部处理器 Pi-2

基准时钟信号

660

局部存储器 Mi-1

地址总线

91地址解码器

90

局部存储器 Mi

局部处理器 Pi-1
图 8
常规流水线并序方法（第一并序步骤）
创造性归并排序方法的一般概念

图 12(a)
常规某式归并排序方法
（第一归并排序步骤）

图 12(b)
创造性归并排序方法
（第二归并排序步骤）
基于级联的归并排序的创造性方法

图 13(a) 第一与第二归并排序步骤

图 13(b) 第三即基于级联的归并排序步骤
用于较小文件的创造性合并排序方法

图 14(a)
第一步

图 14(b)
第二步（存储操作）
排序数据输入总线
专用存储器总线

图 14(c)
第三步（流水线合并排序操作）
图 15(a)

输入 P1 的一串记录

局部处理器 P1

局部存储器 M1

局部处理器 P2

局部处理器 P3

图 15(b)

从 P1 输出的一串输出的记录，

或输入 P2 的一串记录

14 11 9 8 6 3 3 1

局部存储器 M2

局部处理器 P2

局部处理器 P3

从 P2 输出的一串输出的记录，或输入 P3 的一串记录

11 9 8 6 5 3 3 1
图 17
现有技术

数据总线 43
通道接口 42
输出总线 35
已排序数据
排序数据输入总线 33
局部存储器
局部存储器总线 106
局部处理器 P1
1 2 3 4 5 6
图 18

先有技术

常规线性线性并排序方法

1 2 3 ... n-1 n
图 19

现有技术

记录单位

数据段

指针

第一字  第二字  第T字

R0 R1 W  R0 R1 W  R0 R1 W  R0 R1 W  R0 R1 W  R0 R1 W

局部处理器 P_i

写周期 W

读周期 R0

读周期 R1

读周期 R1

局部处理器 P_{i+1}

时钟