

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5314964号
(P5314964)

(45) 発行日 平成25年10月16日 (2013. 10. 16)

(24) 登録日 平成25年7月12日 (2013. 7. 12)

(51) Int. Cl.	F I	
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78	3 O 1 G
HO 1 L 29/78 (2006. 01)	HO 1 L 27/08	3 2 1 D
HO 1 L 21/8238 (2006. 01)	HO 1 L 21/283	C
HO 1 L 27/092 (2006. 01)	HO 1 L 29/58	G
HO 1 L 21/283 (2006. 01)	HO 1 L 27/10	3 8 1
請求項の数 13 (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2008-208472 (P2008-208472)
 (22) 出願日 平成20年8月13日 (2008. 8. 13)
 (65) 公開番号 特開2010-45210 (P2010-45210A)
 (43) 公開日 平成22年2月25日 (2010. 2. 25)
 審査請求日 平成23年8月1日 (2011. 8. 1)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 栄森 貴尚
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 (72) 発明者 三瀬 信行
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

以下の工程を含むM I S トランジスタを備えた半導体装置の製造方法：

- (a) 半導体基板の主面上に、酸化シリコン膜を形成する工程；
- (b) 前記酸化シリコン膜上に、ハフニウムおよび酸素を含む膜状の基材を形成する工程；
- (c) 前記基材上に、前記基材より薄く、かつ、金属元素のみからなる膜状の混合材を形成する工程；
- (d) 前記混合材の表面を窒化した後にアニール処理を施し、前記基材に前記混合材を拡散することによって、前記酸化シリコン膜上に、酸化シリコンより誘電率が高く、前記基材のハフニウムおよび酸素と、前記混合材の金属元素とを含む混合膜を形成する工程；
- (e) 前記混合膜上に、導電性膜を形成する工程；
- (f) 前記導電性膜から構成されるゲート電極、前記混合膜および前記酸化シリコン膜から構成されるゲート絶縁膜を形成する工程。

【請求項2】

以下の工程を含むM I S トランジスタを備えた半導体装置の製造方法：

- (a) 半導体基板の主面上に、酸化シリコン膜を形成する工程；
- (b) 前記酸化シリコン膜上に、ハフニウムおよび酸素を含む膜状の基材を形成する工程；
- (c) 前記基材上に、前記基材より薄く、かつ、金属元素のみからなる膜状の混合材を形

成する工程；

(d) 前記混合材の表面を酸化した後にアニール処理を施し、前記基材に前記混合材を拡散することによって、前記酸化シリコン膜上に、酸化シリコンより誘電率が高く、前記基材のハフニウムおよび酸素と、前記混合材の金属元素とを含む混合膜を形成する工程；

(e) 前記混合膜上に、導電性膜を形成する工程；

(f) 前記導電性膜から構成されるゲート電極、前記混合膜および前記酸化シリコン膜から構成されるゲート絶縁膜を形成する工程。

【請求項3】

以下の工程を含むM I Sトランジスタを備えた半導体装置の製造方法；

(a) 半導体基板の主面上に、酸化シリコン膜を形成する工程；

10

(b) 前記酸化シリコン膜上に、ハフニウムおよび酸素を含む膜状の基材を形成する工程；

(c) 前記基材上に、前記基材より薄く、かつ、金属元素のみからなる膜状の混合材を形成する工程；

(d) 前記混合材の表面を酸化し、さらに窒化した後にアニール処理を施し、前記基材に前記混合材を拡散することによって、前記酸化シリコン膜上に、酸化シリコンより誘電率が高く、前記基材のハフニウムおよび酸素と、前記混合材の金属元素とを含む混合膜を形成する工程；

(e) 前記混合膜上に、導電性膜を形成する工程；

(f) 前記導電性膜から構成されるゲート電極、前記混合膜および前記酸化シリコン膜から構成されるゲート絶縁膜を形成する工程。

20

【請求項4】

以下の工程を含むM I Sトランジスタを備えた半導体装置の製造方法；

(a) 半導体基板の主面上に、酸化シリコン膜を形成する工程；

(b) 前記酸化シリコン膜上に、ハフニウムおよび酸素を含む膜状の基材を形成する工程；

(c) 前記基材上に、前記基材より薄く、かつ、金属元素のみからなる膜状の混合材を形成する工程；

(d) 前記混合材上に、保護膜を形成する工程；

(e) 前記保護膜を有する状態で、前記基材に前記混合材を拡散することによって、前記酸化シリコン膜上に、酸化シリコンより誘電率が高く、前記基材のハフニウムおよび酸素と、前記混合材の金属元素とを含む混合膜を形成する工程；

30

(f) 前記工程(e)の後、前記保護膜を除去する工程；

(g) 前記混合膜上に、導電性膜を形成する工程；

(h) 前記導電性膜から構成されるゲート電極、前記混合膜および前記酸化シリコン膜から構成されるゲート絶縁膜を形成する工程。

【請求項5】

前記M I Sトランジスタはnチャネル型であり、

前記工程(c)において、酸化ハフニウムより電気陰性度が小さい酸化金属物を構成する金属元素からなる前記混合材を形成することを特徴とする請求項4記載の半導体装置の製造方法。

40

【請求項6】

前記M I Sトランジスタはpチャネル型であり、

前記工程(c)において、酸化ハフニウムより電気陰性度が大きい酸化金属物を構成する金属元素からなる前記混合材を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】

前記工程(e)において、アニール処理によって前記基材に前記混合材を拡散することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項8】

50

前記工程(c)で真空状態において前記混合材を形成し、その真空状態を保ったまま前記工程(d)で前記保護膜を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項9】

前記工程(d)では、保護膜として窒化チタン膜を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項10】

以下の工程を含むMISトランジスタを備えた半導体装置の製造方法：

- (a) 半導体基板の主面上に、酸化シリコン膜を形成する工程；
- (b) 前記酸化シリコン膜上に、ハフニウムおよび酸素を含む膜状の基材を形成する工程；
- (c) 前記基材上に、保護膜を形成する工程；
- (d) 前記保護膜上に、前記基材より薄く、かつ、金属元素のみからなる膜状の混合材を形成する工程；
- (e) 前記保護膜を有する状態で、前記基材に前記混合材を拡散することによって、前記酸化シリコン膜上に、酸化シリコンより誘電率が高く、前記基材のハフニウムおよび酸素と、前記混合材の金属元素とを含む混合膜を形成する工程；
- (f) 前記工程(e)の後、前記保護膜を除去する工程；
- (g) 前記混合膜上に、導電性膜を形成する工程；
- (h) 前記導電性膜から構成されるゲート電極、前記混合膜および前記酸化シリコン膜から構成されるゲート絶縁膜を形成する工程。

【請求項11】

以下の工程を含むMISトランジスタを備えた半導体装置の製造方法：

- (a) 半導体基板の主面上に、酸化シリコン膜を形成する工程；
- (b) 前記酸化シリコン膜上に、ハフニウムおよび酸素を含む膜状の基材を形成する工程；
- (c) 前記基材上に、第1保護膜を形成する工程；
- (d) 前記第1保護膜上に、前記基材より薄く、かつ、金属元素のみからなる膜状の混合材を形成する工程；
- (e) 前記混合材上に、第2保護膜を形成する工程；
- (f) 前記第1保護膜および前記第2保護膜を有する状態で、前記基材に前記混合材を拡散することによって、前記酸化シリコン膜上に、酸化シリコンより誘電率が高く、前記基材のハフニウムおよび酸素と、前記混合材の金属元素とを含む混合膜を形成する工程；
- (g) 前記工程(f)の後、前記第2保護膜および前記第1保護膜を除去する工程；
- (h) 前記混合膜上に、導電性膜を形成する工程；
- (i) 前記導電性膜から構成されるゲート電極、前記混合膜および前記酸化シリコン膜から構成されるゲート絶縁膜を形成する工程。

【請求項12】

以下の工程を含むCMISを備えた半導体装置の製造方法：

- (a) 前記CMISの一方を構成する第1MISトランジスタが形成される第1領域と、前記CMISの他方を構成する第2MISトランジスタが形成される第2領域とを有する半導体基板を準備する工程；
- (b) 前記半導体基板の主面上に、酸化シリコン膜を形成する工程；
- (c) 前記酸化シリコン膜上に、ハフニウムおよび酸素を含む膜状の基材を形成する工程；
- (d) 前記基材上に、金属元素のみからなる膜状の第1混合材を形成する工程；
- (e) 前記第1混合材上に、第1保護膜を形成する工程；
- (f) 前記第2領域の前記第1保護膜および前記第1混合材を除去する工程；
- (g) 前記第2領域の前記基材上に、前記基材より薄く、かつ、前記第1混合材の金属元素とは異なる金属元素のみからなる膜状の第2混合材を形成する工程；

(h) 前記第2混合材上に、第2保護膜を形成する工程；

(i) 前記第1保護膜および前記第2保護膜を有する状態で、前記第1領域の前記基材に前記第1混合材を拡散すると共に、前記第2領域の前記基材に前記第2混合材を拡散することによって、

前記第1領域では、前記酸化シリコン膜上に、酸化シリコンより誘電率が高く、前記基材のハフニウムおよび酸素と、前記第1混合材の金属元素とを含む第1混合膜を形成し、

前記第2領域では、前記酸化シリコン膜上に、酸化シリコンより誘電率が高く、前記基材のハフニウムおよび酸素と、前記第2混合材の金属元素とを含む第2混合膜を形成する工程；

(j) 前記工程(i)の後、前記第1保護膜および前記第2保護膜を除去する工程；

(k) 前記第1混合膜および前記第2混合膜上に、導電性膜を形成する工程；

(l) 前記導電性膜から構成される前記第1MISトランジスタのゲート電極、前記第1混合膜および前記酸化シリコン膜から構成される前記第1MISトランジスタのゲート絶縁膜を形成し、

前記導電性膜から構成される前記第2MISトランジスタのゲート電極、前記第2混合膜および前記酸化シリコン膜から構成される前記第2MISトランジスタのゲート絶縁膜を形成する工程。

【請求項13】

前記工程(d)において、酸化ハフニウムより電気陰性度が大きい酸化金属物を構成する金属元素からなる前記第1混合材を形成し、

前記工程(g)において、酸化ハフニウムより電気陰性度が小さい酸化金属物を構成する金属元素からなる前記第2混合材を形成することを特徴とする請求項12記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、nチャネル型MISFET (Metal Insulator Semiconductor Field Effect Transistor) およびpチャネル型MISFETを備えた半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

半導体集積回路を構成するMISFET (以下、MISトランジスタという) を微細化、集積化しつつ、オン電流の増大などのトランジスタ駆動能力を向上する一つ的手段として、ゲート絶縁膜の薄膜化が行われる。しかしながら、従来から用いられている酸化シリコンのみでゲート絶縁膜を構成した場合、その膜厚が薄くなり過ぎると、ダイレクトトンネリングと呼ばれる量子効果によって電子がゲート絶縁膜中を通り抜けるようになるためにリーク電流が増大し、絶縁膜として機能しなくなってしまう。

【0003】

そこで、ゲート絶縁膜に、酸化シリコンより誘電率の高い高誘電率 (high-k) 材料が用いられてきている。これは、ゲート絶縁膜を高誘電率材料で構成した場合、酸化シリコン膜厚換算した絶縁容量が同じであっても、実際の物理膜厚を (高誘電率材料の誘電率 / 酸化シリコンの誘電率) 倍だけ厚くできるので、駆動能力を維持しつつ、リーク電流を低減することができるからである。したがって、絶縁膜として機能する物理膜厚を有する高誘電率膜を用いて、ゲート絶縁膜のEOT (Equivalent Oxide Thickness、酸化シリコン膜換算膜厚) を薄く (小さく) することでトランジスタ特性の向上が図られている。

【0004】

また、従来から用いられているポリシリコンのみでゲート電極を構成した場合、ゲート絶縁膜とゲート電極の界面でポリシリコンが空乏化する現象が生じる。空乏化したポリシリコン膜は容量絶縁膜として機能することから、高誘電率材料を用いてEOTの薄膜化を進めても、空乏化したポリシリコンの分だけ実質的にゲート絶縁膜の膜厚が厚くなってし

10

20

30

40

50

まう。このため、ゲート電極と半導体基板間の容量が小さくなってしまいうので、オン電流の十分な確保が困難となる。

【0005】

そこで、ゲート絶縁膜に高誘電率材料を用いる場合、その上に配置されるゲート電極材料をポリシリコンではなく金属を用いることが検討されている。

【0006】

さらに、トランジスタの高速性と低消費電力性を考慮した場合、低い閾値電圧が要求されるため、所望の閾値電圧に設計する必要がある。しかしながら、ゲート絶縁膜に高誘電率材料を用いた場合、絶縁膜中の電子のフェルミレベルが固定される現象（フェルミレベルピニング）によって、閾値電圧の制御性が困難となる問題がある。なお、閾値電圧は実効仕事関数に大きく依存するので、所望の閾値電圧を得るためには実効仕事関数が制御できれば良い。また、実効仕事関数は、MIS構造の様々な要因で、物性的な仕事関数とは異なるものである。

【0007】

そこで、高誘電率材料として例えばHf（ハフニウム）系酸化物を用いて、これに対して金属酸化物を拡散（添加）あるいは積層することによって、MISトランジスタの実効仕事関数を制御することが行われている。例えば、H.N. Alshareef et al., Symp. VLSI Tech., Dig., p.10, 2006（非特許文献1）では、HfSiO₂に対してLa₂O₃を拡散してゲート絶縁膜を構成する技術が開示されている。また、H-S. Jung, et al., Symp. VLSI Tech. Dig., p.204, 2006（非特許文献2）では、Hf(Si)O₂に対し、Al₂O₃を積層してゲート絶縁膜を構成する技術が開示されている。また、T. Schram, et al., Symp. VLSI Tech. Dig., p.44, 2008（非特許文献3）では、HfSiO₂(N)に対し、La₂O₃およびAl₂O₃を積層してそれぞれnMISおよびpMISのゲート絶縁膜を構成する技術が開示されている。

【非特許文献1】H.N. Alshareef et al., Symp. VLSI Tech., Dig., p.10, 2006

【非特許文献2】H-S. Jung, et al., Symp. VLSI Tech. Dig., p.204, 2006

【非特許文献3】T. Schram, et al., Symp. VLSI Tech. Dig., p.44, 2008

【発明の開示】

【発明が解決しようとする課題】

【0008】

MISトランジスタを構成するにあたり、そのゲート絶縁膜には絶縁膜が適用され、また、そのゲート電極には導電性を有し、かつゲート絶縁膜に影響を及ぼさない金属膜を含む導電性膜が適用されることが一般的である。このため、製造工程中からゲート絶縁膜およびゲート電極に最も適した材料が適用される。EOTを薄くするためにゲート絶縁膜に高誘電率材料を適用し、さらに、閾値、実効仕事関数が制御されたMISトランジスタを構成する場合も同様と考えられる。この場合、本発明者らは以下の課題があることを見出した。図30を参照して説明する。図30は本発明者らが検討したゲート絶縁膜に高誘電率材料を適用したMISトランジスタを説明するための図であり、(a)、(b)、(c)と製造工程順に示している。

【0009】

まず、図30(a)では、例えばシリコン(Si)からなる半導体基板（以下、単に基板という）101上にゲート絶縁膜の基材となるベース絶縁膜102（高誘電率膜）を形成し、基材への混合材として薄い金属酸化膜103を積層して形成する。なお、本願において「混合材」は、他の材料（例えば基材）に混ぜる（拡散させる）材料として用いている。

【0010】

これらベース絶縁膜および金属酸化膜103は、アニール処理（熱処理）によって基材のベース絶縁膜に混合材の金属酸化膜103の構成元素が拡散して、図30(b)に示すように、ゲート絶縁膜104（混合膜）を形成する。このように、MISトランジスタを構成するにあたり、そのゲート絶縁膜には、絶縁膜であるベース絶縁膜および金属酸化膜

10

20

30

40

50

103を適用している。その後、図30(c)では、ゲート絶縁膜104上にゲート電極105を形成する。MISトランジスタのゲート電極105を構成するにあたり、導電性を有し、かつゲート絶縁膜に影響を及ぼさない金属膜を含む導電性膜を適用している。なお、ベース絶縁膜に金属酸化膜103の構成元素が拡散されずとも、積層した状態でゲート絶縁膜104を構成する場合も考えられる。

【0011】

例えば、非特許文献1のように、ベース絶縁膜をHfSiO₂、金属酸化膜103をLa₂O₃とし、ゲート絶縁膜104にHfLaSiO、ゲート電極105にTa₂Nを適用することができる。また、非特許文献2のように、ベース絶縁膜をHf(Si)O、金属酸化膜103をAlOとし、ゲート絶縁膜104にそれらの積層構造、ゲート電極105にポリシリコンを適用することができる。また、非特許文献3のように、ベース絶縁膜をHfSiO(N)、金属酸化膜103をLa₂O₃またはAl₂O₃とし、ゲート絶縁膜104にそれらの積層構造を適用することができる。

10

【0012】

このように、MISトランジスタを構成するにあたり、その製造工程中から、そのゲート絶縁膜には酸化膜を含む絶縁膜(非特許文献1ではHfSiOとLa₂O₃)を適用し、そのゲート電極には導電性を有し、かつゲート絶縁膜に影響を及ぼさない金属膜を含む導電性膜(非特許文献1ではTa₂N)を適用することができる。これにより、図30を参照して説明したように、基材となる酸化膜(ベース絶縁膜)と、混合材となる別の薄い金属酸化膜とを積層した状態で、アニール処理することによって金属酸化膜の構成元素をベース絶縁膜中に拡散させて、MISトランジスタの実効仕事関数を制御することができる。

20

【0013】

しかしながら、ベース絶縁膜と金属酸化膜の2つの絶縁膜を積層するため、EOTが厚くなり、絶縁容量がベース絶縁膜単独の容量値よりも小さくなってしまう可能性がある。トランジスタの微細化において、これは駆動能力などトランジスタ特性を劣化させてしまう。

【0014】

本発明の目的は、MISトランジスタのトランジスタ特性を向上する技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

本発明の一実施の形態は、以下の工程を含むMISトランジスタを備えた半導体装置の製造方法とするものである。(a)半導体基板の主面上に、酸化シリコン膜を形成する。(b)前記酸化シリコン膜上に、第1ハフニウム系酸化膜を形成する。(c)前記第1ハフニウム系酸化膜上に、金属膜を形成する。(d)前記第1ハフニウム系酸化膜中に前記金属膜を構成する金属元素を拡散することによって、前記酸化シリコン膜上に、前記金属元素を化合物として含む第2ハフニウム系酸化膜を形成する。(e)前記工程(d)の後、前記第2ハフニウム系酸化膜上に、前記金属膜と異なる導電性膜を形成する。(f)前記工程(e)の後、前記導電性膜、前記第2ハフニウム系酸化膜および前記酸化シリコン膜を所定の形状にパターンニングすることによって、前記導電性膜を含むゲート電極と、前記第2ハフニウム系酸化膜および前記酸化シリコン膜を含むゲート絶縁膜を形成する。本願において「ハフニウム系酸化膜」は、酸化シリコンより誘電率が高く、ハフニウム(Hf)、酸素(O)を含んで構成された酸化膜(高誘電率膜)をいう。ハフニウム系酸化膜には、例えば酸化ハフニウム(HfO₂)膜、酸化ハフニウムマグネシウム(HfMgO

40

50

)膜、酸化ハフニウムアルミニウム(HfAlO)が含まれる。

【0018】

また、本発明の他の実施の形態は、以下の構成を含むMISトランジスタを備えた半導体装置である。半導体基板の主面上に設けられた酸化シリコン膜と、前記酸化シリコン膜上に設けられ、酸化シリコンより誘電率が高く、ハフニウム、酸素および金属元素を含む混合膜(高誘電率膜)と、前記混合膜上に設けられた導電性膜とを備えている。ここで、前記MISトランジスタのゲート電極は、前記導電性膜から構成され、前記MISトランジスタのゲート絶縁膜は、前記酸化シリコン膜および前記混合膜で構成され、前記ゲート絶縁膜のEOTは、1.5nm以下とするものである。

【発明の効果】

10

【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0020】

この一実施の形態によれば、MISトランジスタのトランジスタ特性を向上することができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する場合がある。また、以下の実施の形態を説明する図面においては、構成を分かり易くするために平面図であってもハッチングを付す場合がある。

20

【0022】

(実施の形態1)

本実施の形態では、SRAM(static random access memory)を備えた半導体装置に本発明を適用した場合について説明する。

【0023】

図1は本実施の形態における半導体装置を構成するSRAMのメモリセルMCを示す等価回路図である。図1に示すように、このメモリセルMCは、一对の相補性データ線(データ線DL、データ線/ (バー)DL)とワード線WLとの交差部に配置され、一对の駆動用MISトランジスタQd1、Qd2、一对の負荷用MISトランジスタQp1、Qp2および一对の転送用MISトランジスタQt1、Qt2により構成されている。駆動用MISトランジスタQd1、Qd2および転送用MISトランジスタQt1、Qt2はnチャネル型MISトランジスタ(以下、nMISトランジスタという)Qnで構成され、負荷用MISトランジスタQp1、Qp2はpチャネル型MISトランジスタ(以下、pMISトランジスタという)Qpで構成されている。

30

【0024】

メモリセルMCを構成するこれら6個のMISトランジスタのうち、駆動用MISトランジスタQd1および負荷用MISトランジスタQp1は、CMIS(Complementary MIS)でインバータINV1を構成し、駆動用MISトランジスタQd2および負荷用MISトランジスタQp2は、CMISでインバータINV2を構成している。これら一对のインバータINV1、INV2の相互の入出力端子(蓄積ノードA、B)は、交差結合され、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。

40

【0025】

また、このフリップフロップ回路の一方の入出力端子(蓄積ノードA)は、転送用MISトランジスタQt1のソース領域、ドレイン領域の一方に接続され、他方の入出力端子(蓄積ノードB)は、転送用MISトランジスタQt2のソース領域、ドレイン領域の一方に接続されている。さらに、転送用MISトランジスタQt1のソース領域、ドレイン領域の他方はデータ線DLに接続され、転送用MISトランジスタQt2のソース領域、

50

ドレイン領域の他方はデータ線/DLに接続されている。

【0026】

また、フリップフロップ回路の一端（負荷用MISトランジスタ Q_{p1} 、 Q_{p2} の各ソース領域）は電源電圧（ V_{cc} ）に接続され、他端（駆動用MISトランジスタ Q_{d1} 、 Q_{d2} の各ソース領域）は基準電圧（ V_{ss} ）に接続されている。

【0027】

この回路の動作を説明すると、一方のインバータINV1の蓄積ノードAが高電位（“H”）であるときには、駆動用MISトランジスタ Q_{d2} がオンになるので、他方のインバータINV2の蓄積ノードBが低電位（“L”）になる。したがって、駆動用MISトランジスタ Q_{d1} がオフになり、蓄積ノードAの高電位（“H”）が保持される。すなわち、10 10
 一方のインバータINV1、INV2を交差結合させたラッチ回路によって相互の蓄積ノードA、Bの状態が保持され、電源電圧が印加されている間、情報が保存される。

【0028】

転送用MISトランジスタ Q_{t1} 、 Q_{t2} のそれぞれのゲート電極にはワード線WLが接続され、このワード線WLによって転送用MISトランジスタ Q_{t1} 、 Q_{t2} の導通、非導通が制御される。すなわち、ワード線WLが高電位（“H”）であるときには、転送用MISトランジスタ Q_{t1} 、 Q_{t2} がオンになり、ラッチ回路と相補性データ線（データ線DL、/DL）とが電氣的に接続されるので、蓄積ノードA、Bの電位状態（“H”または“L”）がデータ線DL、/DLに現れ、メモリセルMCの情報として読み出される。20

【0029】

メモリセルMCに情報を書き込むには、ワード線WLを“H”電位レベル、転送用MISトランジスタ Q_{t1} 、 Q_{t2} をオン状態にしてデータ線DL、/DLの情報を蓄積ノードA、Bに伝達する。以上のようにして、SRAMを動作させることができる。

【0030】

図2は本実施の形態における半導体装置の要部（図1のメモリセルMC）を模式的に示す平面図であり、図3は図2のA-A'線における半導体装置を模式的に示す断面図、図4は図2のB-B'線における半導体装置を模式的に示す断面図である。図2では、ゲート電極Gと、活性領域を構成するnウェル3およびpウェル4との関係を明確にするために、図3、図4で示すような層間絶縁膜21など、一部を省略して示している。また、図3、図4では図示しないが、本実施の形態における半導体装置は多層配線構造であっても良く、最表面には保護膜（パッシベーション膜）が設けられている。また、図2～図4に示すpMIS領域はpMISトランジスタが形成される領域であり、nMIS領域はnMISトランジスタが形成される領域である。30

【0031】

まず、本実施の形態におけるSRAMのレイアウト構成について説明する。図2に示すように、基板1は素子分離領域2によって複数の活性領域A1～A4（nウェル3、pウェル4）に区画されている。nMISトランジスタ Q_n を形成するpウェル4（活性領域A1、A4）では、リンや砒素などのn型不純物を導入することにより、図示しない半導体領域（ソース/ドレイン）が形成されている。そして、これらソース領域とドレイン領域の間のpウェル4（活性領域A1、A4）上にゲート絶縁膜を介してゲート電極Gが形成されている。同様にpMISトランジスタ Q_p を形成するnウェル3（活性領域A2、A3）では、ボロンなどのp型不純物を導入することにより、図示しない半導体領域（ソース/ドレイン）が形成されている。そして、これらソース領域とドレイン領域の間のnウェル3（活性領域A2、A3）上にゲート絶縁膜を介してゲート電極Gが形成されている。なお、図2では、ゲート電極Gは、活性領域の延在する第1方向（図面上下方向）とは交差する第2方向（図面左右方向）に延在している。40

【0032】

例えば、図1に示したSRAMのメモリセルMCにおいて、活性領域A1に形成されているソース領域およびドレイン領域と2本のゲート電極Gにより、駆動用MISトランジ 50

スタQ d 1および転送用M I SトランジスタQ t 1が同一の活性領域A 1に形成されている。また、活性領域A 2に形成されているソース領域およびドレイン領域とゲート電極Gにより、負荷用M I SトランジスタQ p 1が形成され、活性領域A 3に形成されているソース領域およびドレイン領域とゲート電極Gにより、負荷M I SトランジスタQ p 2が形成されている。また、活性領域A 4に形成されているソース領域およびドレイン領域とゲート電極Gにより、駆動用M I S F E T Q d 2および転送用M I S F E T Q t 2が同一のアクティブ領域A 4に形成されている。

【 0 0 3 3 】

以上のようなS R A Mが基板1に形成されている。さらに、S R A Mにおいては、6つのM I SトランジスタからなるメモリセルM Cが複数形成されている以外に、S R A Mの構造上電位を得るための基板電位供給部が形成され、それらはコンタクトC N Tや配線を介して電氣的に接続される。なお、図2、図4に示すように、駆動用M I SトランジスタQ d 1、Q d 2のゲート電極と、負荷用M I S F E T Q p 1、Q p 2のゲート電極とは、1本のゲート電極Gとして形成されている。

10

【 0 0 3 4 】

次に、本実施の形態におけるn M I SトランジスタQ nの構成について説明する。図3、図4に示すように、例えばp型単結晶シリコンから構成される基板1のn M I S領域には、pウェル4が形成されており、そのpウェル4において、n M I SトランジスタQ nは、基板1上にゲート絶縁膜を介してゲート電極Gを有している。

【 0 0 3 5 】

このn M I SトランジスタQ nのゲート絶縁膜は、基板1の主面（素子形成面）上に設けられた酸化シリコン膜（S i O₂膜5）と、その上に設けられ、酸化シリコン（S i O₂）よりも誘電率が高く、ハフニウム（H f）、酸素（O）および金属元素のマグネシウム（M g）を含む高誘電率膜のH f M g O膜6 nとで構成される積層膜である。なお、H f M g O膜6 nには窒素（N）を含む構成（H f M g O N）であっても良い。

20

【 0 0 3 6 】

また、ゲート電極Gは、金属を含めた導電性材料から構成されており、n M I SトランジスタQ nのゲート絶縁膜上にT i N膜1 5と、T i N膜1 5上にポリシリコン膜1 6とを有している。ゲート電極G（ポリシリコン膜1 6）の表面にはがシリサイド化されたシリサイド膜2 0（例えば、ニッケルシリサイド膜、ニッケルコバルト膜）が形成されている。T i N膜1 5は、ゲート絶縁膜と直接接しており、主としてn M I SトランジスタQ nの閾値電圧を調整するために用いられるものである。一方、ポリシリコン膜1 6は、主としてゲート電極Gの低抵抗化のために用いられるものである。また、ゲート電極Gの両側の側壁には、サイドウォール1 9が形成されている。このサイドウォール1 9は、例えば窒化シリコン膜などの絶縁膜から形成されている。

30

【 0 0 3 7 】

また、サイドウォール1 9直下のpウェル4内には、ゲート電極Gに整合して設けられたn型半導体領域（ソース/ドレイン）1 8が形成されている。このn型半導体領域（ソース/ドレイン）1 8は、基板1にリン（P）や砒素（A s）などのn型不純物を導入して形成された不純物領域である。そして、n型半導体領域（ソース/ドレイン）1 8の表面には、コンタクトC N Tとの接続性を良好とするために、サイドウォール1 9に整合してシリサイド膜2 0が形成されている。このように一対のn型半導体領域1 8により、n M I SトランジスタQ nのソース領域とドレイン領域が形成されている。

40

【 0 0 3 8 】

本実施の形態では、n M I SトランジスタQ nのゲート絶縁膜のE O Tは、1 . 5 n m以下としている。具体的には、S i O₂膜5を0 . 5 n mなどとし、H f M g O膜6 nを2 ~ 3 n mなどとしている。これにより、ゲート絶縁膜を酸化シリコン膜のみで構成した場合と比較して、リーク電流を抑制し、M I Sトランジスタを微細化、集積化しつつ、オン電流の増大などのトランジスタ駆動能力を向上することができる。

【 0 0 3 9 】

50

また、本実施の形態では、 n MISトランジスタ Q_n のゲート絶縁膜に高誘電率膜の $HfMgO$ 膜6nを適用することで、ゲート絶縁膜のEOTを1.5nm以下としている。このように、 $HfMgO$ 膜と同様の効果を得ることができる高誘電率膜は、酸化シリコンより誘電率が高く、ハフニウム、酸素および金属元素を含むものであって、 $HfLaO$ 膜、 $HfGdO$ 膜、 $HfYO$ 膜などが挙げられる。これら高誘電率膜に含まれる金属元素のマグネシウム(Mg)、ランタン(La)、ガドリウム(Gd)、Y(イットリウム)は、図5の表に示すように、酸化ハフニウム(HfO_2)より電気陰性度が小さい金属酸化物を構成する金属元素である。

【0040】

このように、電気陰性度が酸化ハフニウム(HfO_2)より小さい金属酸化物を構成するマグネシウム(Mg)やランタン(La)などのランタノイド系金属のような金属元素を含む高誘電率膜をゲート絶縁膜に適用することで、実効仕事関数を制御することができ、 n MISトランジスタ Q_n を構成することができる。実効仕事関数をシリコンの伝導帯近傍(4.1eV近傍)に設定することで、 n MISトランジスタの閾値電圧の低下を図ることができる。また、 $HfMgO$ 膜と同様の効果を得ることができる高誘電率膜は、前記の他に、酸化ハフニウム膜にバリウム(Ba)が含まれた $HfBaO$ 膜などがある。

【0041】

次に、本実施の形態における p MISトランジスタ Q_p の構成について説明する。図3、図4に示すように、例えば p 型単結晶シリコンから構成される基板1の p MIS領域には、 n ウェル3が形成されており、その n ウェル3において、 p MISトランジスタ Q_p は、基板1上にゲート絶縁膜を介してゲート電極Gを有している。

【0042】

この p MISトランジスタ Q_p のゲート絶縁膜は、基板1の主面上に設けられた酸化シリコン膜(SiO_2 膜5)と、その上に設けられ、酸化シリコン(SiO_2)よりも誘電率が高く、ハフニウム(Hf)、酸素(O)および金属元素のアルミニウム(Al)を含む高誘電率膜の $HfAlO$ 膜6pとで構成される積層膜である。なお、 $HfAlO$ 膜6pは窒素(N)を含む構成($HfAlON$)であっても良い。

【0043】

また、ゲート電極Gは、金属を含めた導電性材料から構成されており、 p MISトランジスタ Q_p のゲート絶縁膜上にTiN膜15と、TiN膜15上にポリシリコン膜16とを有している。ゲート電極G(ポリシリコン膜16)の表面にはシリサイド化されたシリサイド膜20が形成されている。TiN膜15は、ゲート絶縁膜と直接接しており、主として p MISトランジスタ Q_p の閾値電圧を調整するために用いられるものである。一方、ポリシリコン膜16は、主としてゲート電極Gの低抵抗化のために用いられるものである。また、ゲート電極Gの両側の側壁には、サイドウォール19が形成されている。このサイドウォール19は、例えば窒化シリコン膜などの絶縁膜から形成されている。

【0044】

また、サイドウォール19直下の n ウェル3内には、ゲート電極Gに整合して設けられた p 型半導体領域(ソース/ドレイン)17が形成されている。この p 型半導体領域(ソース/ドレイン)17は、基板1にボロン(B)などの p 型不純物を導入して形成された不純物領域である。そして、 p 型半導体領域(ソース/ドレイン)17の表面には、コンタクトCNTとの接続性を良好とするために、サイドウォール19に整合してシリサイド膜20が形成されている。このように一对の p 型半導体領域17により、 p MISトランジスタ Q_p のソース領域とドレイン領域が形成されている。

【0045】

本実施の形態では、 p MISトランジスタ Q_p のゲート絶縁膜のEOTは、1.5nm以下としている。具体的には、 SiO_2 膜5を0.5nmなどとし、 $HfAlO$ 膜6pを2~3nmなどとしている。これにより、ゲート絶縁膜を酸化シリコン膜のみで構成した場合と比較して、リーク電流を抑制し、MISトランジスタを微細化・集積化しつつ、オン電流の増大などのトランジスタ駆動能力を向上することができる。

10

20

30

40

50

【0046】

また、本実施の形態では、pMISトランジスタQpのゲート絶縁膜に高誘電率膜のHfAlO膜6pを適用することで、ゲート絶縁膜のEOTを1.5nm以下としている。このように、HfAlO膜と同様の効果を得ることができる高誘電率膜は、酸化シリコンより誘電率が高く、ハフニウム、酸素および金属元素を含むものであって、HfTiO膜、HfTaO膜などが挙げられる。これら高誘電率膜に含まれる金属元素のアルミニウム(Al)、チタン(Ti)、タンタル(Ta)は、図5の表に示すように、酸化ハフニウム(HfO₂)より電気陰性度が大きい金属酸化物を構成する金属元素である。

【0047】

このように、電気陰性度が酸化ハフニウム(HfO₂)より小さい金属酸化物を構成するアルミニウム(Al)、チタン(Ti)、タンタル(Ta)のような金属元素を含む高誘電率膜をゲート絶縁膜に適用することで、実効仕事関数を制御することができ、pMISトランジスタQpを構成することができる。実効仕事関数をシリコンの伝導帯近傍(5.2eV近傍)に設定することで、pMISトランジスタの閾値電圧の低下を図ることができる。

10

【0048】

以上のように、基板1のnMIS領域にnMISトランジスタQnが形成され、基板1のpMIS領域にpMISトランジスタQpが形成されている。このようなnMISトランジスタQnおよびpMISトランジスタQpからCMISを構成することによって、半導体装置の高性能化を図ることができる。具体的には、CMISの閾値を低減することができ、高いオン電流を有し、かつ消費電力の低いCMISを実現することができる。

20

【0049】

次に、本実施の形態における半導体装置を構成するnMISトランジスタQnおよびpMISトランジスタQpの製造方法について図面を参照して説明する。図6～図18は本実施の形態における製造工程中の半導体装置の要部を模式的に示す断面図であり、図2のA-A'線におけるものである。

【0050】

まず、例えばp型単結晶シリコンから構成される基板1を準備し、表面処理を施した後、図6および図2に示すように、基板1の主面(素子形成面)に活性領域を区画する素子分離領域2を形成する。本実施の形態では、素子分離領域2は、基板1に形成された例えば250nm～400nm程度の深さの素子分離溝に、例えばCVD法を用いて埋め込まれた酸化シリコン膜から構成されるSTI(Shallow Trench Isolation)である。この素子分離領域2では、pMIS領域およびnMIS領域の境界が位置することとなる。このように、CMISの一方を構成するpMISトランジスタが形成されるpMIS領域と、CMISの他方を構成するnMISトランジスタが形成されるnMIS領域とを有する基板1を準備する。

30

【0051】

続いて、図6および図2に示すように、基板1のpMIS領域にpMISトランジスタのpチャンネルが生成されることとなるnウェル3を形成する。また、nMIS領域にnMISトランジスタのnチャンネルが生成されることとなるpウェル4を形成する。nウェル3は、イオン注入法を用いて、リン(P)や砒素(As)などのn型不純物を基板1内に導入することにより形成される。また、pウェル4は、イオン注入法を用いて、ボロン(B)やフッ化ボロン(BF₂)などのp型不純物を基板1内に導入することにより形成される。

40

【0052】

続いて、図6に示すように、基板1の主面上に、界面層として0.5nm程度の厚さで酸化シリコン膜(SiO₂膜5)を形成する。基板1にシリコンを適用しているため、例えば、酸素雰囲気での熱処理を行うことによって、SiO₂膜5が形成される。このSiO₂膜5は、後の工程でSiO₂膜5上に形成される高誘電率膜との界面にダイポール(電子双極子)を生成するため、MISトランジスタの実効仕事関数に影響を及ぼすもので

50

あると考えられる。

【0053】

続いて、図6に示すように、 SiO_2 膜5上に、2~3nm程度の厚さで酸化ハフニウム膜(HfO_2 膜6)を形成する。本実施の形態では、 SiO_2 膜5より厚く、ハフニウム(Hf)および酸素(O)を含む膜状の基材(以下、ベース絶縁膜ともいう)として HfO_2 膜6を形成している。 HfO_2 膜6は、例えば、原子層制御成膜(ALD:Atomic Layer Deposition)法、CVD法あるいはスパッタ法を用いて形成される。この HfO_2 膜6は、酸化シリコンより誘電率が高いので、高誘電率膜である。後の工程で、基材であるこの HfO_2 膜6に金属元素が拡散(混合)されることとなる。必要に応じて製造途中、最後に HfO_2 膜6を窒化や熱処理しても良い。

10

【0054】

続いて、図7に示すように、例えばスパッタ法を用いて、基板1上、すなわち基材である HfO_2 膜6上に、0.5nm程度の厚さでアルミニウム膜(Al膜7)を形成する。本実施の形態では、基材である HfO_2 膜6より薄く、かつ、金属元素のみからなる膜状の混合材(以下、金属薄膜ともいう)としてAl膜7を形成している。なお、後の工程で、混合材であるAl膜7の構成元素(金属元素)は、基材である HfO_2 膜6に拡散されて、pMISトランジスタQpのゲート絶縁膜を構成することとなる。

【0055】

本実施の形態では、pMISトランジスタQpのゲート絶縁膜を形成するために、絶縁性を示す金属酸化物や窒化物ではなく、金属元素のみで構成される金属薄膜のAl膜7を用いている。金属薄膜に含まれる金属元素は、アルミニウム(Al)に限らず、チタン(Ti)、タンタル(Ta)であっても良い。これら金属元素は、図5の表に示したように、酸化ハフニウム(HfO_2)より電気陰性度が大きい金属酸化物を構成するものである。このようなAl、Ti、Taのような金属元素を基材である HfO_2 膜6に拡散(あるいは混合)することによって、pMISトランジスタQpのゲート絶縁膜を構成する高誘電率膜(混合膜)が形成される。

20

【0056】

続いて、図8に示すように、混合材であるAl膜7上に、10nm程度の窒化チタン膜(TiN膜)8を形成する。本実施の形態では、Al膜7を変質させない膜、すなわち、耐湿性および耐酸化性を有する保護膜として、また、後の工程で、混合材であるAl膜7の金属元素を、基材である HfO_2 膜6に拡散させるためのアニール処理(熱処理)温度に耐える保護膜として、TiN膜8を適用している。

30

【0057】

このように、金属薄膜(Al膜7)を変質させない膜であれば、窒化シリコン(SiN)膜も保護膜として適用することができる。しかしながら、本実施の形態では、以下の理由により、金属膜(金属保護膜)を用いている。

【0058】

外気(O_2 や H_2O を含む)暴露に弱い混合材である金属薄膜を形成した同じ製造装置(例えば、スパッタ装置)において、真空度が保たれた状態で、連続成膜できることが望ましい。本実施の形態では、混合材である金属薄膜のAl膜7をスパッタ装置で形成しているので、スパッタ法を用いて連続成膜できる金属系のスパッタ膜としてAl膜7上に金属保護膜としてTiN膜8を形成している。これにより、金属薄膜のAl膜7により変質を与えることなく、安定した状態を保つことができる。

40

【0059】

また、金属保護膜としてTiN膜8を適用したのは、窒化チタンは、容易に除去できるウェット処理(薬液処理)材料が既知(例えば H_2O_2)であり、下地である金属薄膜のAl膜7にダメージを与えずに除去されるからである。なお、保護膜として、他の金属窒化物であってもウェット処理で除去することができ、下地の金属薄膜にダメージを与えないものであれば適用することができる。

【0060】

50

続いて、図 8 に示すように、例えば 450 程度の温度で CVD 法を用いて、TiN 膜 8 上に、後のドライエッチング工程のハードマスクとして窒化シリコン膜 (SiN 膜) 9 を 10 nm 程度形成する。次いで、フォトリソグラフィ技術を用いて、SiN 膜 9 上にレジスト膜 10 を形成する (図 9)。このレジスト膜 10 は、nMIS 領域では除去されて、図 9 に示すように、pMIS 領域の SiN 膜 9 を覆うようなマスクとして用いられる。なお、図 9 で示す製造工程では、その断面状態では SiN 膜 9 上にレジスト膜 10 が設けられているように、その平面状態 (図 2 参照) においても pMIS 領域にレジスト膜 10 が設けられている。

【0061】

続いて、図 9 に示すように、レジスト膜 10 をマスクにして nMIS 領域の SiN 膜 9 をドライエッチングによって除去し、ハードマスクとして機能を有する SiN 膜 9 を形成する。その後、このレジスト膜 10 を例えばアッシングなどによって除去する。

【0062】

続いて、図 10 に示すように、フォトリソグラフィ技術およびエッチング技術によって形成された SiN 膜 9 をハードマスクにして nMIS 領域の TiN 膜 8 を、例えば H₂O₂ および水洗によるウエットエッチングによって除去する。次いで、SiN 膜 9 をハードマスクにして nMIS 領域の Al 膜 7 を例えば希フッ酸 (以下、dHF と記す) および水洗によるウエットエッチングによって除去する。これによって、nMIS 領域の HfO₂ 膜 6 が露出することとなる。このように、金属薄膜の Al 膜 7 を保護膜の TiN 膜 8 で覆い、その TiN 膜 8 と合わせて Al 膜 7 を切り分けることによって、pMIS 領域のみに pMIS トランジスタのゲート電極材料を残すことができる。

【0063】

続いて、図 11 に示すように、例えばスパッタ法を用いて、基板 1 上、すなわち基材である HfO₂ 膜 6 上に、0.5 nm 程度の厚さでマグネシウム膜 (Mg 膜 11) を形成する。本実施の形態では、基材である HfO₂ 膜 6 より薄く、かつ、金属元素のみからなる膜状の混合材 (金属薄膜) として Mg 膜 11 を形成している。これにより pMIS 領域の HfO₂ 膜 6 上には Al 膜 7 が設けられ、nMIS 領域の HfO₂ 膜 6 上には pMIS 領域の金属元素とは異なる金属元素のみからなる Mg 膜 11 が設けられている。なお、後の工程で、混合材である Mg 膜 11 の構成元素 (金属元素) は、基材である HfO₂ 膜 6 に拡散されて、nMIS トランジスタ Qp のゲート絶縁膜を構成することとなる。

【0064】

本実施の形態では、nMIS トランジスタ Qp のゲート絶縁膜を形成するために、絶縁性を示す金属酸化物や窒化物ではなく、金属元素のみで構成される金属薄膜の Mg 膜 11 を用いている。金属薄膜に含まれる単一の金属元素は、マグネシウム (Mg) に限らず、ランタン (La)、ガドリニウム (Gd)、イットリウム (Y) であっても良い。これら金属元素は、図 5 の表に示したように、酸化ハフニウム (HfO₂) より電気陰性度が小さい金属酸化物を構成するものである。このような Mg、La、Gd、Y のような金属元素を基材である HfO₂ 膜 6 に拡散 (あるいは混合) することによって、nMIS トランジスタ Qp のゲート絶縁膜を構成する高誘電率膜 (混合膜) が形成される。

【0065】

続いて、図 11 に示すように、混合材である Mg 膜 11 上に、10 nm 程度の窒化チタン膜 (TiN 膜) 12 を形成する。本実施の形態では、Mg 膜 11 を変質させない膜、すなわち、耐湿性および耐酸化性を有する保護膜として、また、後の工程で、混合材である Mg 膜 11 の金属元素を、基材である HfO₂ 膜 6 に拡散させるためのアニール処理 (熱処理) 温度に耐える保護膜として、TiN 膜 12 を適用している。なお、本実施の形態において保護膜として TiN 膜 12 (金属保護膜) を用いている理由は前述した TiN 膜 8 を用いる理由と同様である。

【0066】

続いて、図 11 に示すように、例えば 450 程度の温度で CVD 法を用いて、TiN 膜 12 上に、後のドライエッチング工程のハードマスクとして窒化シリコン膜 (SiN 膜

10

20

30

40

50

）13を10nm程度形成する。次いで、フォトリソグラフィ技術を用いて、SiN膜13上にレジスト膜14を形成する（図12参照）。このレジスト膜14は、pMIS領域では除去されて、図12に示すように、nMIS領域のSiN膜13を覆うようなマスクとして用いられる。なお、図12で示す製造工程では、その断面状態ではSiN膜13上にレジスト膜14が設けられているように、その平面状態（図2参照）においてもpMIS領域にレジスト膜14が設けられている。

【0067】

続いて、図12に示すように、レジスト膜14をマスクにしてpMIS領域のSiN膜13をドライエッチングによって除去し、ハードマスクとして機能を有するSiN膜13を形成する。その後、このレジスト膜14を例えばアッシングなどによって除去する。

10

【0068】

続いて、図13に示すように、SiN膜13をハードマスクにしてpMIS領域のTiN膜12を、例えばH₂O₂および水洗によるウエットエッチングによって除去する。次いで、SiN膜13をハードマスクにしてpMIS領域のMg膜11を例えばdHFおよび水洗によるウエットエッチングによって除去する。これによって、pMIS領域のSiN膜9が露出することとなる。このように、金属薄膜のMg膜11を保護膜のTiN膜12で覆い、そのTiN膜12と合わせてMg膜12を切り分けることによって、nMIS領域のみにnMISトランジスタのゲート電極材料を残すことができる。

【0069】

続いて、ハードマスクとして用いたSiN膜9およびSiN膜13をドライエッチングによって除去し、図14に示すように、pMIS領域ではTiN膜8を露出し、nMIS領域ではTiN膜12を露出する。なお、これらTiN膜8およびTiN膜12によって、pMIS領域ではAl膜7の表面が保護され、nMIS領域ではMg膜11の表面が保護されている。

20

【0070】

続いて、pMIS領域では保護膜のTiN膜8を有し、nMIS領域では保護膜のTiN膜12を有する状態で、pMIS領域のHfO₂膜6（ベース絶縁膜）に、Al膜7（金属薄膜）を構成する金属元素を拡散（あるいは混合）し、また、nMIS領域のHfO₂膜6（ベース絶縁膜）に、Mg膜11（金属薄膜）を構成する金属元素を拡散（あるいは混合）する。

30

【0071】

これによって、図15に示すように、pMIS領域では、SiO₂膜5上に、SiO₂（酸化シリコン）よりも誘電率が高く、HfO₂膜6（ベース絶縁膜）のハフニウム（Hf）および酸素（O）と、Al膜7（金属薄膜）の金属元素であるアルミニウム（Al）とを含む高誘電率膜（混合膜）のHfAlO膜6pを形成する。この高誘電率膜のHfAlO膜6pはpMISトランジスタQpのゲート絶縁膜を構成するものである（図3参照）。また、nMIS領域では、SiO₂膜5上に、SiO₂（酸化シリコン）よりも誘電率が高く、HfO₂膜6（ベース絶縁膜）のハフニウム（Hf）および酸素（O）と、Mg膜11（金属薄膜）の金属元素であるマグネシウム（Mg）とを含む高誘電率膜（混合膜）のHfMgO膜6nを形成する。この高誘電率膜のHfMgO膜6nはnMISトランジスタQnのゲート絶縁膜を構成するものである（図3参照）。

40

【0072】

本実施の形態では、ベース絶縁膜（HfO₂膜6）に、金属元素のみからなる金属薄膜（Al膜7、Mg膜11）の金属元素を拡散させるために、ベース絶縁膜のHfO₂膜6上に、金属元素のみからなる膜状の混合材、すなわち金属薄膜のAl膜7、Mg膜11を積層し、基板1に対して例えば600～1000でアニール処理（熱処理）を行っている。これにより、高誘電率膜のHfAlO膜6p、HfMgO膜6nが形成される。

【0073】

図19は、本実施の形態における高誘電率膜の形成を説明するための図であり、nMISトランジスタの場合が示されている。なお、pMISトランジスタの場合も同様の工程

50

で形成することができる。

【0074】

図19に示す構造は、前述したように、まず、シリコン(Si)からなる基板の主面上に、基板界面絶縁膜として酸化シリコン(SiO_2)膜を形成し、その基板界面絶縁膜上に、ベース絶縁膜として酸化ハフニウム(HfO_2)膜を形成する。次いで、スパッタ法によって、真空状態で金属薄膜としてマグネシウム(Mg)膜を形成し、同一装置内でその真空状態を保ったまま、すなわち大気開放しない状態で保護膜として窒化チタン(TiN)膜を積層形成する。その後、アニール処理をすることによって、ベース絶縁膜に金属薄膜の構成元素(金属元素)を拡散(あるいは混合)して、高誘電率膜(混合膜)としてHfMgO膜を形成する。なお、ベース絶縁膜は、ハフニウムおよび酸素を含む膜状の基材であり、金属薄膜は、ベース絶縁膜より薄く数nmあるいは1nm以下であり、かつ、金属元素のみからなる膜状の混合材である。

10

【0075】

ところで、MISトランジスを製造するにあたり、一般に、その製造工程中から、そのゲート絶縁膜には酸化膜を含む絶縁膜を適用し、そのゲート電極にはゲート絶縁膜に影響を及ぼさない金属膜を含む導電性膜が適用されている。これに対して、本実施の形態における金属元素のみからなる金属薄膜(Al膜7、Mg膜11)は、ゲート絶縁膜(高誘電率膜)の構成元素になるにも関わらず、製造工程中において、ベース絶縁膜(HfO_2 膜6)上に積層されている。また、金属薄膜すべてがゲート絶縁膜の構成元素になり残存しなくなる点で、金属薄膜は、ゲート電極を構成するものではない。

20

【0076】

図30を参照して説明したように、基材となるベース絶縁膜102(例えば、 HfO_2 膜)と、混合材となる別の薄い金属酸化膜103(例えば、MgO膜)とを積層した状態で、アニール処理することによって金属酸化膜103の構成元素をベース絶縁膜中に拡散させて、MISトランジスタの実効仕事関数、すなわち閾値を制御することができる。しかしながら、ベース絶縁膜102と金属酸化膜103の2つの絶縁膜を積層するため、EOTが厚くなり、絶縁容量がベース絶縁膜単独の容量値よりも小さくなってしまふ。トランジスタの微細化において、これはゲート電界の制御特性を弱め、駆動能力などトランジスタ特性を劣化させてしまふ。具体的に、図20を参照して説明する。

【0077】

図20は、 HfO_2 のみのベース絶縁膜、Mg/ HfO_2 をアニール処理してなる混合膜、およびMgO膜/ HfO_2 をアニール処理してなる混合膜のEOTと、それらを用いたMISトランジスタの閾値($|V_{th}|$)との関係を説明するための図である。なお、ベース絶縁膜の HfO_2 膜はEOTが1.0nmとなるものとし、金属酸化膜のMgO膜は物理膜厚が0.5nmとなるものとし、金属薄膜のMg膜は物理膜厚が0.5nmとしている。

30

【0078】

図20に示すように、基材となるベース絶縁膜の HfO_2 膜と、混合材となる別の薄い金属酸化膜のMgO膜とを積層した状態で、アニール処理することによって、金属酸化膜の構成元素をベース絶縁膜中に拡散させてなる混合膜(高誘電率膜)をゲート絶縁膜に用いることで、閾値を小さくすることができる。しかしながら、EOTが、 HfO_2 膜と比較して増加してしまふため、トランジスタの微細化には好ましくない。

40

【0079】

これに対して、本実施の形態に示すように、基材となるベース絶縁膜の HfO_2 膜と、混合材となる金属薄膜のMg膜とを積層した状態で、アニール処理することによって、金属薄膜の構成元素をベース絶縁膜中に拡散させてなる混合膜(高誘電率膜)をゲート絶縁膜に用いることで、閾値を小さくことができ、またEOTも HfO_2 膜と比較して増加を抑制することができる。なお、図20ではベース絶縁膜の HfO_2 膜のEOTは1.0nmを用いたが、EOTが1.5nmの HfO_2 膜においても、若干傾きが変わるが、グラフの2本の直線は横軸のEOTが大きい方向に、ほぼ平行に移動し、同様の傾向を示

50

す。

【0080】

従来においては、高誘電率膜を含んでゲート絶縁膜を構成する場合、EOTが増加しても、MISトランジスタの閾値を低減することは駆動させるためには重要と考えられていた。また、ゲート絶縁膜であるので、それを構成する材料も絶縁材料からなる膜でなければならないと考えられていた。これに対して、本実施の形態では、ゲート絶縁膜を構成する材料に、絶縁材料（金属酸化物）ではなく金属薄膜を用いることによって、EOTの増加を抑制しつつ、所望の閾値を制御している。

【0081】

また、本実施の形態では、ベース絶縁膜上の金属薄膜は金属元素のみから構成されているので、酸素と結合し易い状態にある。このため、アニール処理によってベース絶縁膜を構成する酸化膜の酸素と結合するように、金属薄膜の金属元素がベース絶縁膜中に拡散しているものと考えられる。また、金属薄膜はベース絶縁膜より薄くすることによって、ゲート絶縁膜材料に金属元素のみからなる金属薄膜を用いても、その金属元素がすべてベース絶縁膜の酸素と結合する。このため、製造工程中に金属薄膜を用いたとしても、完成後にゲート絶縁膜として機能しないということはない。

【0082】

なお、ベース絶縁膜に金属元素を拡散させる方法として、ベース絶縁膜上に、その金属元素を含み、ベース絶縁膜に対して十分に厚いゲート電極材料を堆積させてアニール処理することも考えられる。このような方法ではアニール処理後であってもゲート電極材料は残存している。これに対して、本実施の形態では、ベース絶縁膜上に、それより薄い金属薄膜を堆積し、金属薄膜の金属元素をすべてベース絶縁膜中に拡散させるので、アニール処理後に金属薄膜は残存しないこととなる。また、金属薄膜の厚さを調整することでベース絶縁膜中に拡散させる金属元素の量を制御することができ、ゲート電極材料に含んだ金属元素をベース絶縁膜に拡散させる方法より制御性が優れている。

【0083】

このように、本実施の形態では、ゲート絶縁膜を構成する材料に、絶縁材料（金属酸化物）ではなく金属薄膜を用いることによって、EOTの増加を抑制しつつ、所望の閾値を制御している。したがって、金属薄膜を損傷、酸化などで変質させないことが重要となっている。そこで、本実施の形態では、金属薄膜上に保護膜を設けることによって、金属薄膜の酸化などの変質を防止している。具体的に、図21を参照して説明する。

【0084】

図21は、保護膜の有無によるMISトランジスタの閾値($V_{th}(V)$)のばらつきを説明するための図である。

【0085】

例えばベース絶縁膜に、金属薄膜の構成元素を拡散させるために、ベース絶縁膜上に金属薄膜を積層した後、一旦、装置を換えるなどのために真空状態を脱した状態、すなわちウェハ（基板）が大気開放されることが考えられる。このため、数nmあるいは1nm以下の薄い金属薄膜は、大気暴露により酸化や膜の変質を受けやすく、トランジスタ特性のばらつきを引き起こしてしまう。

【0086】

そこで本実施の形態では、ベース絶縁膜に金属薄膜の金属元素を拡散させるためにアニール処理を行うが、その際、それまで金属薄膜などを形成する製造装置から、アニール処理装置へ基板（ウェハ）を移動させることが考えられる。金属薄膜上に保護膜がない状態で基板を移動させた場合、 O_2 や H_2O を含む外気暴露によって金属薄膜は酸化など変質してしまう。また、金属薄膜上に保護膜がない状態でレジスト膜を用いてパターンニングした場合、そのレジスト膜を除去する際に金属薄膜の表面損傷などで変質してしまう。そこで、本実施の形態では、本実施の形態では、金属薄膜上に保護膜を設けることによって、金属薄膜の酸化などの変質を防止している。なお、図30を参照して説明したように、ベース絶縁膜に、金属酸化膜の構成元素を拡散させるなどのために、ベース絶縁膜上に金属

10

20

30

40

50

酸化膜を積層した後、一旦、装置を換えるなどのために真空状態を脱する状態におく場合であっても、その金属酸化膜上に保護膜を設けることは、金属酸化膜の酸化などの変質を防止するために有効である。

【0087】

また、本実施の形態では、例えば、スパッタ装置を用いて、真空状態において混合材となる金属薄膜を形成し、その真空状態を保ったままの状態 (in-situ) で保護膜を形成している。このため、外気暴露によって金属薄膜の変質を抑制することができる。また、例えば、スパッタ装置を用いて、金属薄膜を形成し、その上に保護膜を形成した後、基板をアニール処理装置へ移した場合であっても、外気暴露によって金属薄膜の変質を抑制することができる。

10

【0088】

また、例えば、スパッタ装置を用いて、真空状態において混合材となる金属薄膜を形成し、その真空状態を保ったままアニール処理を行うことによって、ベース絶縁膜に金属薄膜の金属元素を拡散し、混合膜 (高誘電率膜) を形成することもできると考えられる。本実施の形態では、さらに、金属薄膜上に保護膜を設けることによって、アニール処理時に金属薄膜の金属元素が外方拡散するのを防止することができ、金属薄膜の構成元素すべてをベース絶縁膜に拡散することができるので、閾値の制御性を向上することができる。

【0089】

また、本実施の形態では、金属薄膜上の保護膜として、窒化チタン (TiN) 膜を適用している。TiN膜は容易に除去できる材料が既知 (例えば、 H_2O_2) であり、下地の金属薄膜にダメージを与えずに除去することができる。

20

【0090】

図21に示すように、金属薄膜上に保護膜を設けずに形成されたMISトランジスタでは閾値のばらつきに対し、金属薄膜上に保護膜を設けて形成したMISトランジスタでは閾値のばらつきを抑制することができる。

【0091】

本実施の形態では、ベース絶縁膜と金属薄膜を積層し、その金属薄膜上に保護膜を設けて、ベース絶縁膜に金属薄膜の構成元素を拡散させて、ゲート絶縁膜を構成する混合膜 (高誘電率膜) を形成している。この保護膜を用いてMISトランジスタを形成することによって、混合膜の界面の損傷変質を抑制し、またアニール時の金属元素の外方拡散を抑制し、MISトランジスタの閾値のばらつきを抑制することができる。言い換えると、金属薄膜上に保護膜を設けることによって、金属薄膜の酸化などの変質を防止し、また、安定してベース絶縁膜に金属薄膜の金属元素を拡散することができる。

30

【0092】

このようなアニール処理をした後、図15に示す保護膜として用いたTiN膜8およびTiN膜12を、例えば H_2O_2 および水洗によるウエットエッチングによって除去し、pMIS領域ではHfAlO膜6pを露出し、nMIS領域ではHfMgO膜6nを露出する。

【0093】

続いて、図16に示すように、ゲート電極材料を形成するにあたり、先の工程で形成されたAl膜7やMg膜11の金属膜と異なる導電性膜として、pMIS領域のHfAlO膜6p上に、およびnMIS領域のHfMgO膜6n上にTiN膜15およびポリシリコン膜16を形成する。本実施の形態では、ゲート電極材料として、まず、HfAlO膜6pおよびHfMgO膜6n上に、スパッタ法を用いて、5~20nm程度のTiN膜15を形成し、その後、TiN膜15上に50~100nm程度の導電性のポリシリコン膜16を形成する。なお、本実施の形態では、ゲート電極材料として窒化チタン (TiN) を適用しているが、窒化タンタル (TaN) であっても良い。

40

【0094】

前述した保護膜として用いたTiN膜8、TiN膜12と、ゲート電極材料として用いたTiN膜15とは同じ窒化チタンであるため、TiN膜8、TiN膜12をアニール処

50

理後、除去せずにゲート電極材料として用いることも考えられる。本実施の形態では、保護膜として用いたTiN膜8、TiN膜12の工程中のダメージを考慮して、ゲート電極材料として再度TiN膜15を形成している。

【0095】

続いて、図17に示すように、導電性膜であるポリシリコン膜16、TiN膜15、混合膜であるHfAlO膜6p、HfMgO膜6n、基板界面絶縁膜であるSiO₂膜5を、例えばフォトリソグラフィ技術およびエッチングによって所定の形状にパターンニングする。これにより、pMIS領域では、ポリシリコン膜16およびTiN膜15から構成されるpMISトランジスタのゲート電極G、HfAlO膜6pおよびSiO₂膜5から構成されるゲート絶縁膜を形成する。また、nMIS領域では、ポリシリコン膜16およびTiN膜15から構成されるnMISトランジスタのゲート電極G、HfMgO膜6nおよびSiO₂膜5から構成されるゲート絶縁膜を形成する。なお、平面視したゲート電極Gが図2に示されている。

10

【0096】

続いて、図18に示すように、pMIS領域ではpMISトランジスタQpのp型半導体領域(ソース/ドレイン)17、nMIS領域ではnMISトランジスタQnのn型半導体領域(ソース/ドレイン)18を形成した後、ゲート電極の側面に沿ったサイドウォール19を形成し、ゲート電極G、p型半導体領域17、n型半導体領域18の表面にシリサイド膜20を形成する。

【0097】

フォトリソグラフィ技術およびイオン注入技術を用いて、pMIS領域の基板1に例えばボロンなどのp型不純物を導入し、またnMIS領域の基板1に例えばリンや砒素などのn型不純物を導入した後、アニール処理を行うことによって、pMIS領域ではそのゲート電極に整合したp型半導体領域(ソース/ドレイン)17を形成し、またnMIS領域ではそのゲート電極に整合したn型半導体領域(ソース/ドレイン)18を形成する。これにより、pMIS領域ではpMISトランジスタQpが形成され、またnMIS領域ではnMISトランジスタQnが形成される。

20

【0098】

本実施の形態では、ベース絶縁膜に金属薄膜の構成元素を拡散させるためのアニール処理と、ソース/ドレインを形成するためのアニール処理とを別工程で行っている。なお、ベース絶縁膜に金属薄膜の構成元素を拡散させるためのアニール処理は、先の工程で行わず、このソース/ドレイン形成のためのアニール処理で兼用できると考えられる。その場合、ゲート電極材料として適用するTiN膜が保護膜としての外方拡散防止などの機能を有する。

30

【0099】

半導体装置の微細化によって、ソース/ドレインを構成する半導体領域の深さも、従来と比較して浅い位置で形成されるため、基板1に注入した不純物をその注入された位置で活性化する必要がある。そのため、本実施の形態では、ソース/ドレイン形成のためのアニール処理は、レーザーアニール、フラッシュアニールなどのRTA(RapidThermal Anneal)であり、1000程度、数ミリ秒間で行っている。これに対して、ベース絶縁膜に金属薄膜の構成元素を拡散させるためのアニール処理は、金属薄膜の構成元素すべてをベース絶縁膜に拡散させる必要があるため、RTAより時間は長いものとなる。したがって、本実施の形態では、ベース絶縁膜に金属薄膜の構成元素を拡散させるためのアニール処理と、ソース/ドレインを形成するためのアニール処理とを別工程で行っている。

40

【0100】

サイドウォール19の形成は、nMIS領域およびpMIS領域を含む基板1上に、例えばCVD法によって窒化シリコン膜を形成し、その窒化シリコン膜を異方性エッチングすることにより、パターンニングされたゲート電極Gの側壁に形成する。

【0101】

シリサイド膜20の形成は、基板1の主面上に例えばニッケル膜を形成し、熱処理によ

50

って基板 1 およびゲート電極を構成するポリシリコン膜 1 6 のシリコンと反応（シリサイド化）させた後、未反応のニッケル膜を除去する。これによって、p M I S 領域では p M I S トランジスタ Q p のゲート電極上および p 型半導体領域（ソース/ドレイン）1 7 上にシリサイド膜 2 0 が形成され、n M I S 領域では n M I S トランジスタ Q n のゲート電極上および n 型半導体領域（ソース/ドレイン）1 8 上にシリサイド膜 2 0 が形成される。このシリサイド膜 2 0 により、後の工程で形成されるコンタクトとの接触抵抗を低減することができる。

【 0 1 0 2 】

続いて、図 3 に示すように、基板 1 の主面上に層間絶縁膜 2 1 を形成した後、所定の位置（図 2 参照）にコンタクトホール 2 2 を形成し、それに導電性材料を埋め込むことによってコンタクト C N T を形成する。その後、コンタクト C N T と電氣的に接続した配線 2 3 を形成する。さらに、図示しないが、例えば、配線 2 3 の上層に多層配線を形成し、最表面にパッシベーション膜が形成されることによって、半導体装置が完成する。

10

【 0 1 0 3 】

層間絶縁膜 2 1 の形成は、例えば、C V D 法を用いて酸化シリコン膜が堆積される。また、コンタクトホール 2 2 の形成は、フォトリソグラフィ技術およびエッチング技術を用いて、層間絶縁膜 2 1 を貫通し、ゲート電極 G、p 型半導体領域（ソース/ドレイン）1 7、および n 型半導体領域（ソース/ドレイン）1 8 に達するように行われる。

【 0 1 0 4 】

また、コンタクト C N T の形成は、まず、コンタクトホール 2 2 の底面および内壁を含む層間絶縁膜 2 1 上に、例えばスパッタ法を用いてチタン/窒化チタン膜を形成した後、コンタクトホール 2 2 を埋め込むように基板 1 上に、例えば C V D 法を用いてタングステン膜を形成する。次いで、層間絶縁膜 2 1 上に形成された不要なチタン/窒化チタン膜およびタングステン膜を例えば C M P 法で除去することによって、コンタクト C N T が形成される。コンタクト C N T のチタン/窒化チタン膜は、タングステン膜中のタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有するものである。

20

【 0 1 0 5 】

また、配線 2 3 は、まず、層間絶縁膜 2 1 上およびコンタクト C N T 上にチタン/窒化チタン膜、銅を含有するアルミニウム膜、チタン/窒化チタン膜を順次、形成する。これらの膜は、例えばスパッタ法を用いることにより形成することができる。次いで、フォトリソグラフィ技術およびエッチング技術を用いて、これらの膜のパターニングを行い、配線 2 3 を形成する。

30

【 0 1 0 6 】

このようにして、基板 1 上に S R A M を含む集積回路を形成することができる。すなわち、本実施の形態では、S R A M を構成する駆動用 M I S トランジスタの n M I S トランジスタ Q n と負荷用 M I S トランジスタの p M I S トランジスタ Q p を図示して半導体装置の製造工程について説明したが、S R A M を構成するその他の M I S トランジスタ（転送用 M I S トランジスタなどを含む）も基本的に同様な工程で形成される。以上のようにして、本実施の形態における半導体装置を製造することができる。

【 0 1 0 7 】

なお、p M I S トランジスタ Q p および n M I S トランジスタ Q n を製造していく工程の順番は逆になっても構わない。例えば、本実施の形態では、p M I S トランジスタ Q p のゲート電極材料となる A l 膜 7 を形成した後、n M I S トランジスタ Q n のゲート電極材料となる M g 膜 1 1 を形成しているが、その順番は逆であっても構わない。

40

【 0 1 0 8 】

（実施の形態 2）

前記実施の形態 1 では、p M I S トランジスタ Q p の H f A l O 膜 6 p と、n M I S トランジスタ Q n の H f M g O 膜 6 n の 2 種類の混合膜（高誘電率膜）を形成するために、それぞれに対応する A l 膜 7 および M g 膜 1 1 の金属薄膜の切り分けに際し、レジスト膜 1 0、1 4 を用いたマスク合わせを 2 回行う場合について説明した。本実施の形態では、

50

そのレジスト膜を用いたマスク合わせを1回省略する場合について説明する。それに伴う製造工程は前記実施の形態1と異なるが、最終構造は前記実施の形態1と同様となる。以下に、前記実施の形態1と相違する点を中心に説明する。図22～図24は本実施の形態における製造工程中の半導体装置の要部を模式的に示す断面図である。

【0109】

図10を参照して説明したように、フォトリソグラフィ技術およびエッチング技術によって形成されたSiN膜9をハードマスクにしてnMIS領域のTiN膜8、さらにはAl膜7を除去する。これによって、nMIS領域のHfO₂膜6が露出することとなる。このように、金属薄膜のAl膜7を保護膜のTiN膜8で覆い、そのTiN膜8と合わせてAl膜7を切り分けることによって、pMIS領域のみにpMISトランジスタのゲート電極材料を残すことができる。その後、ハードマスクとして用いたSiN膜9をドライエッチングによって除去し、図22に示すように、pMIS領域ではTiN膜8を露出する。

10

【0110】

続いて、図23に示すように、例えばスパッタ法を用いて、基板1上、すなわち基材であるHfO₂膜6上に、0.5nm程度の厚さでマグネシウム膜(Mg膜11)を形成する。本実施の形態では、基材であるHfO₂膜6より薄く、かつ、金属元素のみからなる膜状の混合材(金属薄膜)としてMg膜11を形成している。これによりpMIS領域のHfO₂膜6上にはAl膜7が設けられ、nMIS領域のHfO₂膜6上にはpMIS領域の金属元素とは異なる金属元素のみからなるMg膜11が設けられている。

20

【0111】

続いて、図23に示すように、混合材であるMg膜11上に、10nm程度の窒化チタン膜(TiN膜)12を形成する。Mg膜11を変質させない膜、すなわち、耐湿性および耐酸化性を有する保護膜として、また、後の工程で、混合材であるMg膜11の金属元素を、基材であるHfO₂膜6に拡散させるためのアニール処理(熱処理)温度に耐える保護膜として、TiN膜12を適用している。

【0112】

続いて、pMIS領域では保護膜のTiN膜8を有し、nMIS領域では保護膜のTiN膜12を有する状態で、pMIS領域のHfO₂膜6(ベース絶縁膜)に、Al膜7(金属薄膜)を構成する金属元素を拡散(あるいは混合)し、また、nMIS領域のHfO₂膜6(ベース絶縁膜)に、Mg膜11(金属薄膜)を構成する金属元素を拡散(あるいは混合)する。

30

【0113】

これによって、図24に示すように、pMIS領域では、SiO₂膜5上に、SiO₂(酸化シリコン)よりも誘電率が高く、HfO₂膜6(ベース絶縁膜)のハフニウム(Hf)および酸素(O)と、Al膜7(金属薄膜)の金属元素であるアルミニウム(Al)とを含む高誘電率膜(混合膜)のHfAlO膜6pを形成する。この高誘電率膜のHfAlO膜6pはpMISトランジスタQpのゲート絶縁膜を構成するものである(図3参照)。また、nMIS領域では、SiO₂膜5上に、SiO₂(酸化シリコン)よりも誘電率が高く、HfO₂膜6(ベース絶縁膜)のハフニウム(Hf)および酸素(O)と、Mg膜11(金属薄膜)の金属元素であるマグネシウム(Mg)とを含む高誘電率膜(混合膜)のHfMgO膜6nを形成する。この高誘電率膜のHfMgO膜6nはnMISトランジスタQnのゲート絶縁膜を構成するものである(図3参照)。

40

【0114】

このようなアニール処理をした後、図24に示す保護膜として用いたTiN膜8およびTiN膜12を、例えばH₂O₂および水洗によるウエットエッチングによって除去し、pMIS領域ではHfAlO膜6pを露出し、nMIS領域ではHfMgO膜6nを露出する。その後、図16を参照して説明した工程へと続き、最終的に図3に示したような半導体装置が完成する。

【0115】

50

本実施の形態では、pMIS領域ではフォトリソグラフィ技術によるマスクを設けることによって、ベース絶縁膜（HfO₂膜6）上に1つめの金属薄膜（Al膜7）を形成し、nMIS領域ではベース絶縁膜（例えばHfO₂膜6）上に2つめの金属薄膜（Mg膜11）を形成した後、フォトリソグラフィ技術によるマスクを設けずにアニール処理を行い、ベース絶縁膜にそれぞれの金属薄膜の構成元素を拡散させている。

【0116】

これにより、前記実施の形態1では、2種の高誘電率膜（HfAlO膜6p、HfMgO膜6n）を形成するために、金属薄膜の切り分けでマスク合わせが2回で形成していたものを1回にしてプロセスを簡略化し、かつ2枚マスクの境界部分が重ね合わせの程度（オーバーラップか離れるか）によって、膜除去のしやすさが変わることにより除去条件を調整する手間が省かれ、製造コストを削減することができる。

10

【0117】

（実施の形態3）

前記実施の形態2では、ハードマスクとして用いたSiN膜9を除去し、pMIS領域で保護膜のTiN膜8を露出した後、nMIS領域に金属薄膜のMg膜11、保護膜のTiN膜12を形成する場合について説明した。本実施の形態では、ハードマスクとして用いたSiN膜9を除去せずに以降の工程を行う場合について説明する。それに伴う製造工程は前記実施の形態2と異なるが、最終構造は前記実施の形態2と同様となる。以下に、前記実施の形態2と相違する点を中心に説明する。図25～図26は本実施の形態における製造工程中の半導体装置の要部を模式的に示す断面図である。

20

【0118】

図10を参照して説明したように、フォトリソグラフィ技術およびエッチング技術によって形成されたSiN膜9をハードマスクにしてnMIS領域のTiN膜8、さらにはAl膜7を除去する。これによって、nMIS領域のHfO₂膜6が露出することとなる。このように、金属薄膜のAl膜7を保護膜のTiN膜8で覆い、そのTiN膜8と合わせてAl膜7を切り分けることによって、pMIS領域のみにpMISトランジスタのゲート電極材料を残すことができる。

【0119】

続いて、図25に示すように、例えばスパッタ法を用いて、基板1上、すなわち基材であるHfO₂膜6上に、0.5nm程度の厚さでマグネシウム膜（Mg膜11）を形成する。本実施の形態では、基材であるHfO₂膜6より薄く、かつ、金属元素のみからなる膜状の混合材（金属薄膜）としてMg膜11を形成している。これによりpMIS領域のHfO₂膜6上にはAl膜7が設けられ、nMIS領域のHfO₂膜6上にはpMIS領域の金属元素とは異なる金属元素のみからなるMg膜11が設けられている。

30

【0120】

続いて、図25に示すように、混合材であるMg膜11上に、10nm程度の窒化チタン膜（TiN膜）12を形成する。Mg膜11を変質させない膜、すなわち、耐湿性および耐酸化性を有する保護膜として、また、後の工程で、混合材であるMg膜11の金属元素を、基材であるHfO₂膜6に拡散させるためのアニール処理（熱処理）温度に耐える保護膜として、TiN膜12を適用している。

40

【0121】

続いて、pMIS領域では保護膜のTiN膜8を有し、nMIS領域では保護膜のTiN膜12を有する状態で、pMIS領域のHfO₂膜6（ベース絶縁膜）に、Al膜7（金属薄膜）を構成する金属元素を拡散（あるいは混合）し、また、nMIS領域のHfO₂膜6（ベース絶縁膜）に、Mg膜11（金属薄膜）を構成する金属元素を拡散（あるいは混合）する。

【0122】

これによって、図26に示すように、pMIS領域では、SiO₂膜5上に、SiO₂（酸化シリコン）よりも誘電率が高く、HfO₂膜6（ベース絶縁膜）のハフニウム（Hf）および酸素（O）と、Al膜7（金属薄膜）の金属元素であるアルミニウム（Al）

50

とを含む高誘電率膜（混合膜）のHfAlO膜6pを形成する。この高誘電率膜のHfAlO膜6pはpMISトランジスタQpのゲート絶縁膜を構成するものである（図3参照）。また、nMIS領域では、SiO₂膜5上に、SiO₂（酸化シリコン）よりも誘電率が高く、HfO₂膜6（ベース絶縁膜）のハフニウム（Hf）および酸素（O）と、Mg膜11（金属薄膜）の金属元素であるマグネシウム（Mg）とを含む高誘電率膜（混合膜）のHfMgO膜6nを形成する。この高誘電率膜のHfMgO膜6nはnMISトランジスタQnのゲート絶縁膜を構成するものである（図3参照）。

【0123】

このようなアニール処理をした後、図26に示す保護膜として用いたTiN膜8およびTiN膜12を、例えばH₂O₂および水洗によるウエットエッチングによって除去し、pMIS領域ではHfAlO膜6pを露出し、nMIS領域ではHfMgO膜6nを露出する。この際、pMIS領域では、TiN膜11/SiN膜9/TiN膜8をリフトオフで除去できる。前記実施の形態2では、図10を参照して説明したように、SiN膜9を除去する際に、nMIS領域のHfMgO膜6nの表面にダメージを与える場合があるが、本実施の形態のように、nMIS領域のTiN膜12を除去する際に、pMIS領域のTiN膜11/SiN膜9/TiN膜8を除去してしまうので、HfMgO膜6nの表面へのダメージを抑制することができる。

10

【0124】

ここで、金属保護膜としてTiN膜8、TiN膜12を適用したのは、窒化チタンは、容易に除去できるウエット処理（薬液処理）材料が既知（例えばH₂O₂）であり、下地であるHfAlO膜6pおよびHfMgO膜6nにダメージを与えずに除去されるからである。

20

【0125】

その後、図16を参照して説明した工程へと続き、最終的に図3に示したような半導体装置が完成する。

【0126】

（実施の形態4）

前記実施の形態1では、例えば図19を参照して、大気暴露により金属薄膜の変質を抑制するために、金属薄膜（例えばMg膜）上に保護膜（例えばTiN膜）を設ける場合について、例えば図19を参照して説明した。本実施の形態では、この保護膜を設けずに、ベース絶縁膜に金属薄膜の金属元素を拡散させる場合について説明する。図27は、本実施の形態における高誘電率膜の形成を説明するための図であり、nMISトランジスタの場合が示されている。なお、前記実施の形態1とは相違する点を中心に説明し、pMISトランジスタの場合も同様の工程で形成することができるのでその説明は省略する。

30

【0127】

図27に示す構造は、まず、シリコン（Si）からなる基板の主面上に、基板界面絶縁膜として酸化シリコン（SiO₂）膜を形成し、その基板界面絶縁膜上に、ベース絶縁膜として酸化ハフニウム（HfO₂）膜を形成する。次いで、スパッタ法によって、真空状態で金属薄膜としてマグネシウム（Mg）膜を形成する。次いで、金属薄膜の表面を窒化した後、窒素雰囲気（プラズマ状でも良い）でのアニール処理（熱処理）を行うことによって、ベース絶縁膜に金属薄膜の構成元素（金属元素）を拡散して、高誘電率膜（混合膜）としてHfMgO膜を形成する。なお、ベース絶縁膜は、ハフニウムおよび酸素を含む膜状の基材であり、金属薄膜は、ベース絶縁膜より薄く数nmあるいは1nm以下であり、かつ、金属元素のみからなる膜状の混合材である。

40

【0128】

このように金属薄膜の表面を窒化することによって、金属薄膜の変質を抑制することができる。なお、金属薄膜を形成した後、金属薄膜の表面を酸化し、さらに窒化した後、アニール処理によってベース絶縁膜に金属薄膜の構成元素（金属元素）を拡散して、高誘電率膜（混合膜）としてHfMgO膜を形成することも考えられる。金属薄膜の表面が酸化してしまうが、微量にベース絶縁膜に酸素を拡散させて、より金属薄膜の金属元素と反応

50

させる場合に有効と考えられる。その場合であっても、酸化させた後に窒化を行うので金属薄膜の変質を抑制することができる。

【0129】

(実施の形態5)

前記実施の形態1では、例えば図19を参照して、大気暴露などにより金属薄膜の変質を抑制するために、金属薄膜(例えばMg膜)上のみ保護膜(例えばTiN膜)を設けた場合について説明した。本実施の形態では金属薄膜を保護膜で挟んで金属薄膜を保護する場合について説明する。図28は、本実施の形態における高誘電率膜の形成を説明するための図であり、nMISトランジスタの場合が示されている。なお、前記実施の形態1とは相違する点を中心に説明し、pMISトランジスタの場合も同様の工程で形成することが

10

【0130】

図28に示す構造は、まず、シリコン(Si)からなる基板の主面上に基板界面絶縁膜として酸化シリコン(SiO₂)膜を形成し、その基板界面絶縁膜上にベース絶縁膜(HfO₂膜)を形成する。次いで、例えば、スパッタ法を用いて、ベース絶縁膜上に第1保護膜(TiN膜)を形成し、その真空状態を保ったまま、スパッタ法を用いて、金属薄膜としてマグネシウム(Mg)膜、さらに第2保護膜(TiN膜)を形成する。その後、アニール処理をすることによって、ベース絶縁膜に金属薄膜の構成元素(金属元素)を拡散(あるいは混合)して、混合膜(高誘電率膜)としてHfMgO膜を形成する。なお、ベース絶縁膜は、ハフニウムおよび酸素を含む膜状の基材であり、金属薄膜は、ベース絶縁膜より薄く数nmあるいは1nm以下であり、かつ、金属元素のみからなる膜状の混合材

20

【0131】

このように、金属薄膜を第1保護膜と第2保護膜で挟んでも良く、この積層膜をアニール処理することによって、ベース絶縁膜に金属薄膜の金属元素を容易に拡散することができる。

【0132】

(実施の形態6)

前記実施の形態1では、例えば図19を参照して、大気暴露により金属薄膜の変質を抑制するために、金属薄膜(例えばMg膜)上に保護膜(例えばTiN膜)を設ける場合

30

【0133】

図29に示す構造は、まず、シリコン(Si)からなる基板の主面上に基板界面絶縁膜として酸化シリコン(SiO₂)膜を形成し、その基板界面絶縁膜上に、例えばスパッタ法を用いて、金属薄膜としてマグネシウム(Mg)膜を形成する。次いで、金属薄膜上にベース絶縁膜(HfO₂膜)を形成し、そのベース絶縁膜上に例えばスパッタ法を用いて保護膜(TiN膜)を形成する。その後、アニール処理をすることによって、ベース絶縁膜に金属薄膜の構成元素(金属元素)を拡散(あるいは混合)して、混合膜(高誘電率膜)としてHfMgO膜を形成する。なお、ベース絶縁膜は、ハフニウムおよび酸素を含む膜状の基材であり、金属薄膜は、ベース絶縁膜より薄く数nmあるいは1nm以下であり、かつ、金属元素のみからなる膜状の混合材である。また、ベース絶縁膜のHfO₂膜もスパッタ法を用いて形成する場合、真空状態を保ったまま連続して金属薄膜、ベース絶縁膜、保護膜を形成することができる。

40

【0134】

50

このように、基板界面絶縁膜上に金属薄膜を設けてアニール処理を行うことによって、基板界面絶縁膜付近の混合膜にダイポールを生成することができ、実効仕事関数の制御性を向上することができる。

【0135】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0136】

例えば、前記実施の形態では、混合材として、マグネシウムやアルミニウムなどの金属単体材料を用いる場合について説明したが、nMISトランジスタのゲート絶縁膜を構成するために、マグネシウム/ランタン、マグネシウム/他の希土類金属などの酸化金属物の電気陰性度が酸化ハフニウムより小さい構成元素同士や、アルミニウム/タンタルなどの酸化金属物の電気陰性度が酸化ハフニウムより大きい構成元素同士の積層膜を用いることができる。さらに、マグネシウム/アルミニウムなどのように酸化金属物の電気陰性度が酸化ハフニウムより大きい構成元素と小さい構成元素との組合せた積層膜を用いることで、閾値の微調整をすることもできると考えられる。

【0137】

また、例えば、前記実施の形態では、CMISを構成するにあたり、単結晶Siからなる半導体基板に適用した場合について説明したが、単結晶Ge基板や、GaAs、SiCなどの化合物半導体基板やSOI (Silicon On Insulator) 基板にも適用することができる。

【0138】

また、例えば、前記実施の形態では、SRAMの製造技術を対象としているが、これに限定されるものではなく、例えば、ロジック回路を構成するCMISの製造技術にも適用することができる。

【産業上の利用可能性】

【0139】

本発明は、半導体装置、特に、CMISを備えた半導体装置の製造業に幅広く利用されるものである。

【図面の簡単な説明】

【0140】

【図1】本発明の一実施の形態における半導体装置に含まれるSRAMのメモリセルを示す等価回路図である。

【図2】本発明の一実施の形態における半導体装置の要部を模式的に示す平面図である。

【図3】図2のA-A'線における半導体装置を模式的に示す断面図である。

【図4】図2のB-B'線における半導体装置を模式的に示す断面図である。

【図5】種々の酸化金属物とその電気陰性度を示す表である。

【図6】本発明の一実施の形態における製造工程中の半導体装置の要部を模式的に示す断面図である。

【図7】図6に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図8】図7に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図9】図8に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図10】図9に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図11】図10に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図12】図11に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図13】図12に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図14】図13に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図15】図14に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図16】図15に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図17】図16に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

10

20

30

40

50

【図18】図17に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図19】本発明の一実施の形態における高誘電率膜の形成を説明するための図である。

【図20】 HfO_2 のみのベース絶縁膜、 Mg/HfO_2 をアニール処理してなる混合膜、および MgO 膜/ HfO_2 をアニール処理してなる混合膜のEOTと、それらを用いたMISトランジスタの閾値との関係を説明するための図である。

【図21】保護膜の有無によるMISトランジスタの閾値のばらつきを説明するための図である。

【図22】本発明の他の実施の形態における製造工程中の半導体装置の要部を模式的に示す断面図である。

【図23】図22に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

10

【図24】図23に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図25】本発明の他の実施の形態における製造工程中の半導体装置の要部を模式的に示す断面図である。

【図26】図25に続く製造工程中の半導体装置の要部を模式的に示す断面図である。

【図27】本発明の他の実施の形態における高誘電率膜の形成を説明するための図である。

【図28】本発明の他の実施の形態における高誘電率膜の形成を説明するための図である。

【図29】本発明の他の実施の形態における高誘電率膜の形成を説明するための図である。

20

【図30】本発明者らが検討したゲート絶縁膜に高誘電率材料を適用したMISトランジスタを説明するための図であり、(a)、(b)、(c)と製造工程順に示している。

【符号の説明】

【0141】

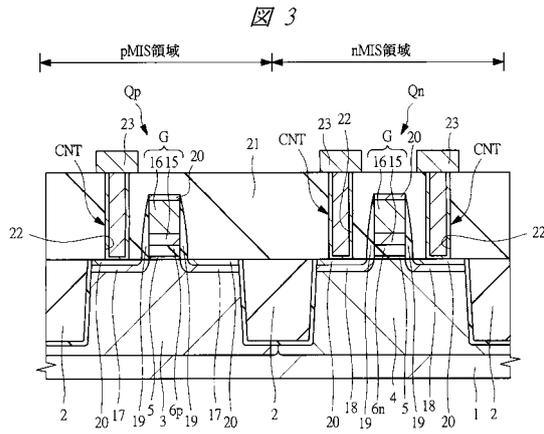
- 1 基板
- 2 素子分離領域
- 3 nウェル
- 4 pウェル
- 5 SiO_2 膜
- 6 HfO_2 膜
- 6n HfMgO 膜
- 6p HfAlO 膜
- 7 Al膜
- 8 TiN膜
- 9 SiN膜
- 10 レジスト膜
- 11 Mg膜
- 12 TiN膜
- 13 SiN膜
- 14 レジスト膜
- 15 TiN膜
- 16 ポリシリコン膜
- 17 p型半導体領域(ソース/ドレイン)
- 18 n型半導体領域(ソース/ドレイン)
- 19 サイドウォール
- 20 シリサイド膜
- 21 層間絶縁膜
- 22 コンタクトホール
- 23 配線
- 101 基板

30

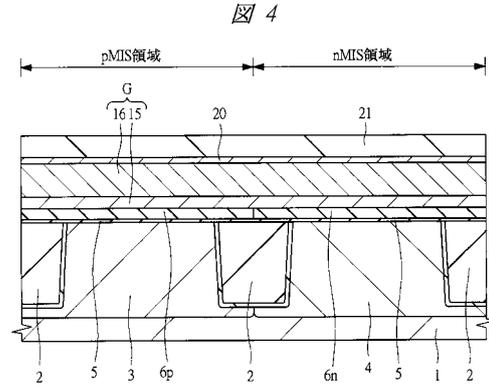
40

50

【 図 3 】



【 図 4 】



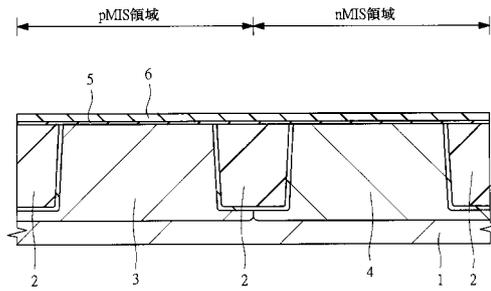
【 図 5 】

図 5

酸化金属物	電気陰性度
MgO	2.11
La ₂ O ₃	2.18
Gd ₂ O ₃	2.26
Y ₂ O ₃	2.27
HfO ₂	2.49
Al ₂ O ₃	2.54
TiO ₂	2.63
Ta ₂ O ₅	2.71

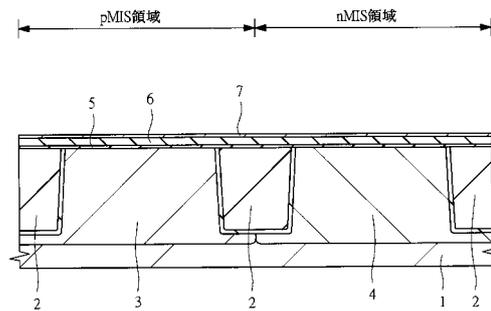
【 図 6 】

図 6

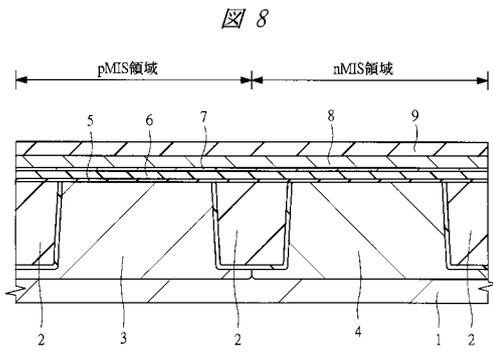


【 図 7 】

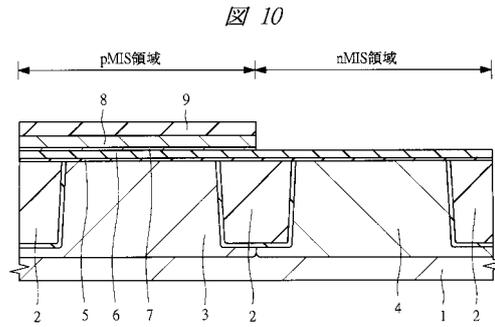
図 7



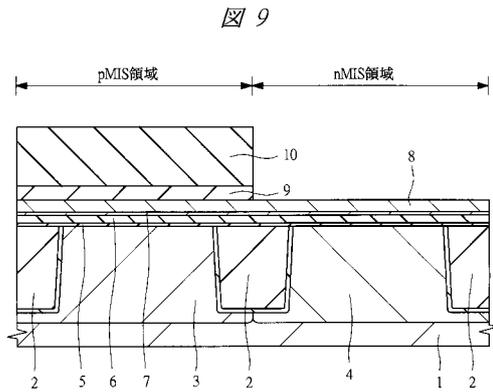
【図 8】



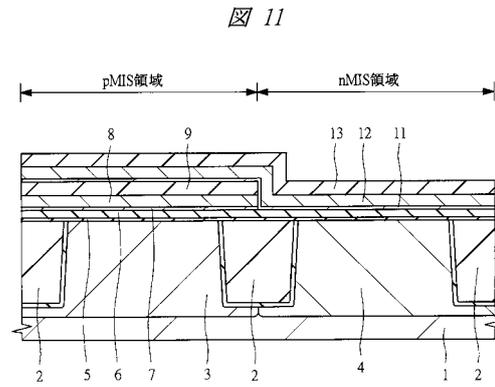
【図 10】



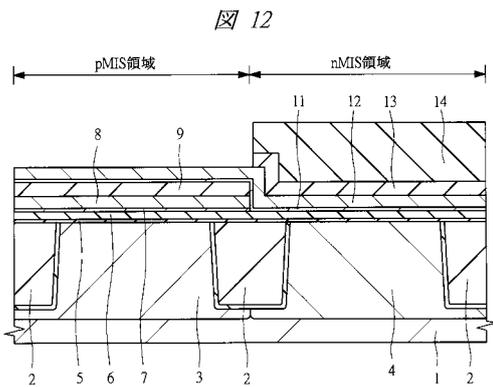
【図 9】



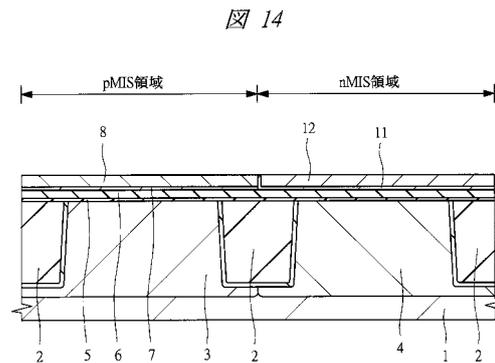
【図 11】



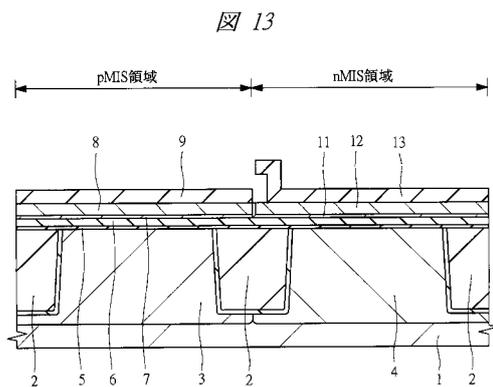
【図 12】



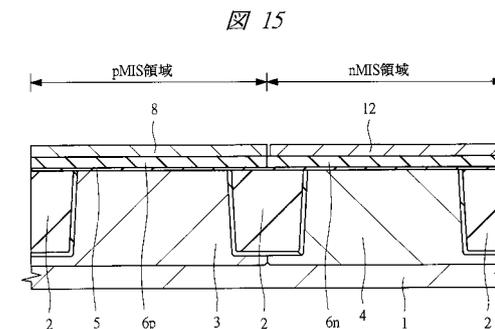
【図 14】



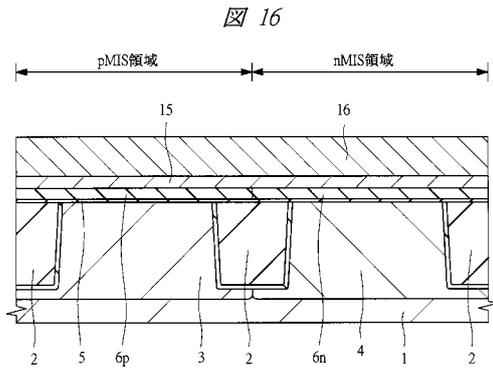
【図 13】



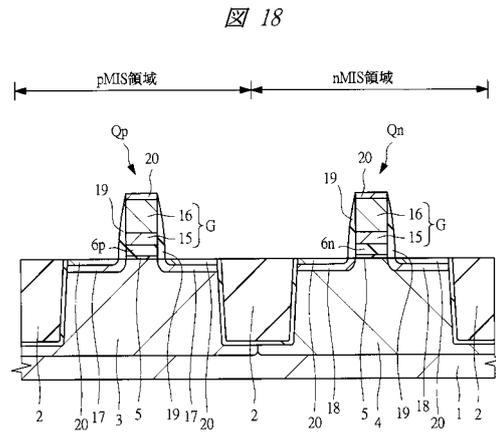
【図 15】



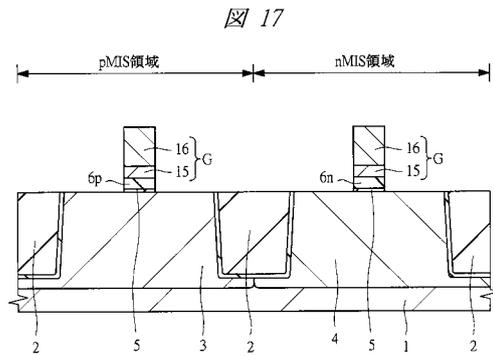
【図16】



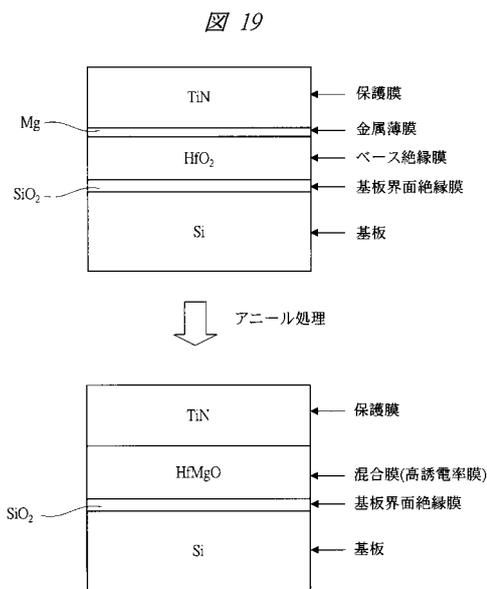
【図18】



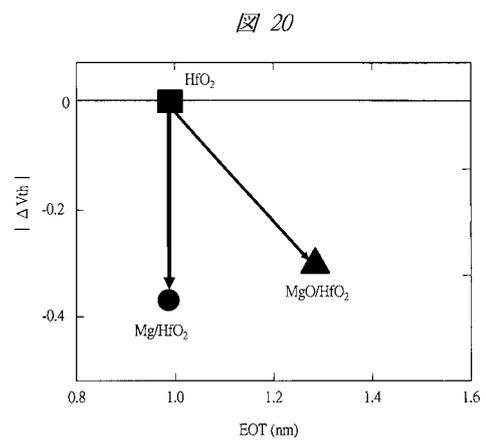
【図17】



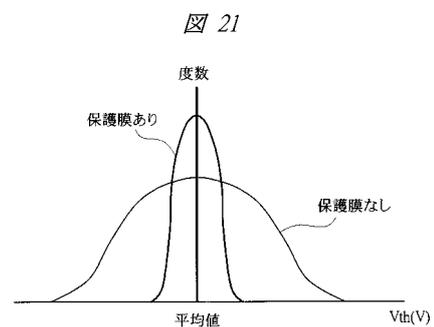
【図19】



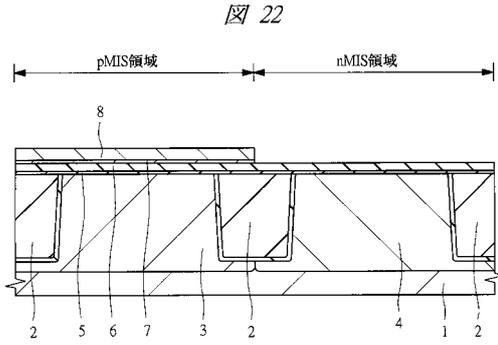
【図20】



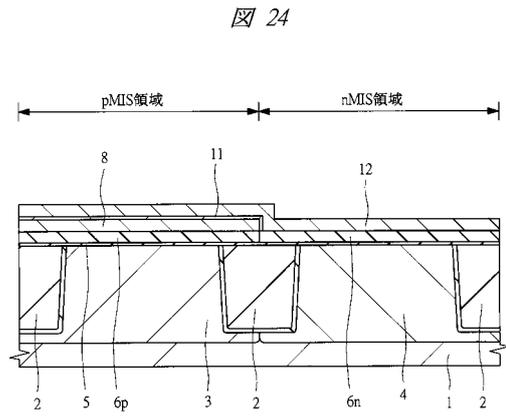
【図21】



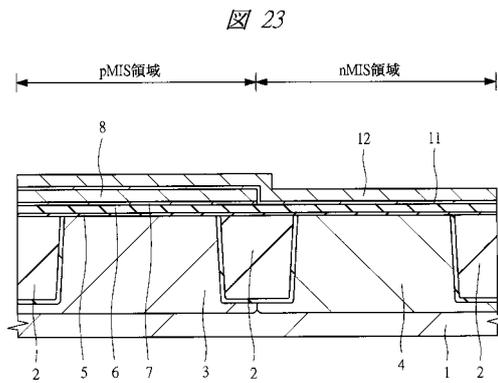
【図 2 2】



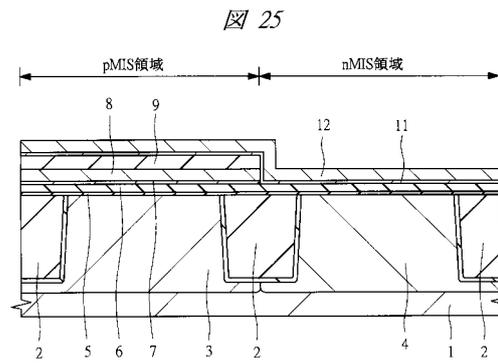
【図 2 4】



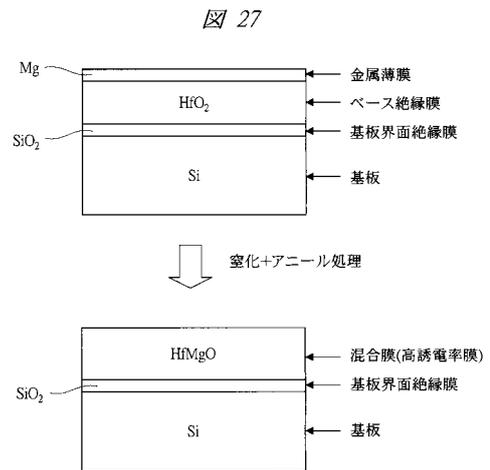
【図 2 3】



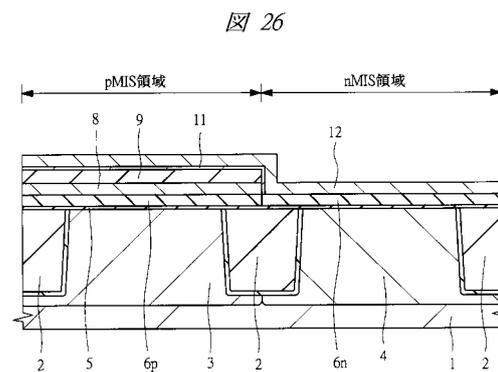
【図 2 5】



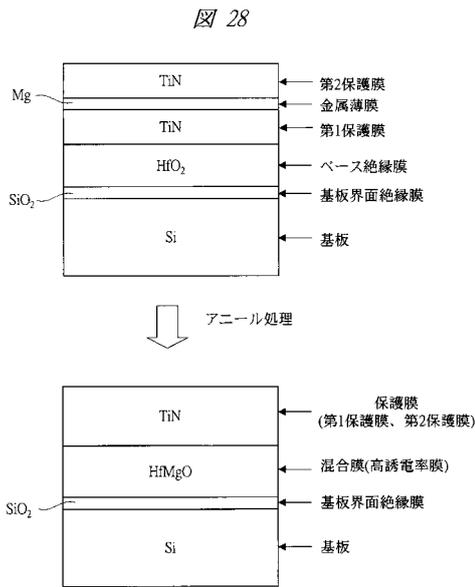
【図 2 7】



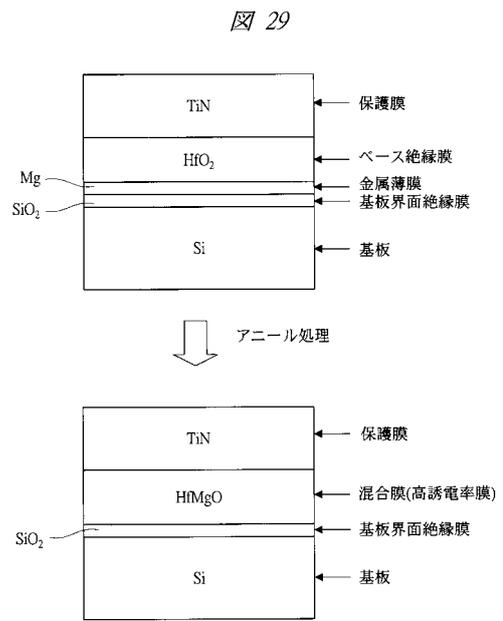
【図 2 6】



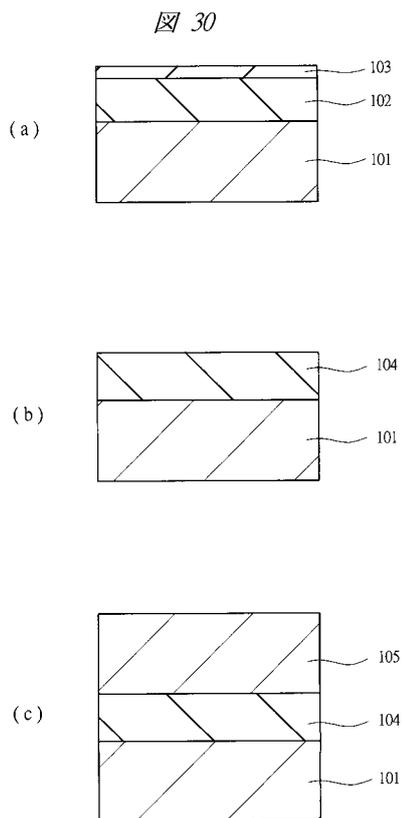
【図28】



【図29】



【図30】



フロントページの続き

(51) Int.Cl.		F I
H 0 1 L 29/423 (2006.01)		H 0 1 L 21/316 M
H 0 1 L 29/49 (2006.01)		H 0 1 L 21/316 P
H 0 1 L 21/8244 (2006.01)		H 0 1 L 27/08 3 3 1 E
H 0 1 L 27/11 (2006.01)		H 0 1 L 29/78 6 1 7 V
H 0 1 L 21/316 (2006.01)		H 0 1 L 29/78 6 1 3 A
H 0 1 L 27/08 (2006.01)		
H 0 1 L 29/786 (2006.01)		

- (56) 参考文献 国際公開第 2 0 0 7 / 1 3 8 6 9 3 (W O , A 1)
 国際公開第 2 0 0 5 / 0 3 8 9 2 9 (W O , A 1)
 特開平 1 1 - 1 3 5 7 7 4 (J P , A)
 特表 2 0 0 7 - 5 3 7 5 9 5 (J P , A)
 国際公開第 2 0 0 7 / 1 1 6 4 7 0 (W O , A 1)
 特開 2 0 0 5 - 3 4 0 3 2 9 (J P , A)
 特開 2 0 0 6 - 2 2 2 3 8 5 (J P , A)
 特開 2 0 0 7 - 2 4 3 0 0 9 (J P , A)
 von Haartman, M. , Comprehensive study on low-frequency noise and mobility in Si and Si
 Ge pMOSFETs with high- gate di, Electron Devices, IEEE Transactions on , 2 0 0 6 年
 4 月 , VOL.53, NO.4 , 836-843
 Wang, X.P. , Tuning effective metal gate work function by a novel gate dielectric HfLaO
 for nMOSFETs , Electron Device Letters, IEEE , 2 0 0 6 年 1 月 , VOL.27,NO.1 , 31-33

(58) 調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 2 8 3
 H 0 1 L 2 1 / 3 1 6
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 1 / 8 2 4 4
 H 0 1 L 2 7 / 0 8
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 7 / 1 1
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 7 8 6