

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成16年12月2日(2004.12.2)

【公開番号】特開2001-283589(P2001-283589A)

【公開日】平成13年10月12日(2001.10.12)

【出願番号】特願2000-95826(P2000-95826)

【国際特許分類第7版】

G 1 1 C 11/407

G 1 1 C 11/409

【F I】

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 5 4 Q

【手続補正書】

【提出日】平成15年12月18日(2003.12.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

外部クロック信号に同期してデータを出力する半導体記憶装置であって、

供給された前記外部クロック信号を分周し、第1の内部クロック信号を発生させる第1の分周器と、

前記外部クロック信号を遅延させる遅延回路と、

前記遅延回路から供給された信号を分周し、第2の内部クロック信号を発生させる第2の分周器と、

前記第1の内部クロック信号および前記第2の内部クロック信号に従って前記データを出力するデータ制御ユニットとによりなることを特徴とする半導体記憶装置。

【請求項2】

前記遅延回路は、前記外部クロック信号の位相に対し、Nをゼロでない整数として、N周期ずれた位相の信号を供給することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

前記遅延回路は、供給された前記外部クロック信号の位相を、前記外部クロック信号をnを自然数として、2n周期遅延させることにより調整することを特徴とする請求項1記載の半導体記憶装置。

【請求項4】

さらに、前記第1の分周器と前記第2の分周器とを同時に起動させるリセット回路を含むことを特徴とする請求項1記載の半導体記憶装置。

【請求項5】

前記リセット回路は、前記第1の分周器と前記第2の分周器とを、電源供給に応じて起動させることを特徴とする請求項4記載の半導体記憶装置。

【請求項6】

前記リセット回路は、外部から供給されるコマンドにより制御されることを特徴とする請求項4記載の半導体記憶装置。

【請求項7】

供給される外部クロック信号をバッファするクロックバッファと、供給されるデータ制御

信号により所定のデータを出力するデータ制御ユニットとを備え、前記データを前記外部クロック信号に同期して出力する半導体記憶装置であって、
前記クロックバッファにより形成された信号を遅延させる遅延回路と、
前記クロックバッファにより発生された前記信号を分周し第1の内部クロック信号を形成する第1の分周器と、
前記遅延回路から供給された信号を分周して第2の内部クロック信号を形成する第2の分周器と、
前記第1の内部クロック信号と前記第2の内部クロック信号に従って前記クロック信号を発生させる出力制御ユニットとを備えたことを特徴とする半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

【課題を解決するための手段】

上記の目的は、外部クロック信号に同期してデータを出力する半導体記憶装置であって、供給された前記外部クロック信号を分周し、第1の内部クロック信号を発生させる第1の分周器と、前記外部クロック信号を遅延させる遅延回路と、前記遅延回路から供給された信号を分周し、第2の内部クロック信号を発生させる第2の分周器と、前記第1の内部クロック信号および前記第2の内部クロック信号に従って前記データを出力するデータ制御ユニットとよりなることを特徴とする半導体記憶装置を提供することにより達成される。このような構成によれば、外部クロック信号の周波数が高くなる場合においても、内部動作周波数を低減することにより、データ制御ユニットから外部クロック信号に同期したデータの出力を実現できると共に、遅延手段に入力される信号の数を低減することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

ここで前記遅延回路は、前記外部クロック信号の位相に対し、Nをゼロでない整数として、N周期ずれた位相の信号を供給するように構成される。このような構成によれば、第一の分周器と第二の分周器の同期をとることができ。また前記遅延回路は、供給された前記外部クロック信号の位相を、前記外部クロック信号をnを自然数として、2n周期遅延させることにより調整することにより、容易に第一の分周器と第二の分周器の同期をとることができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

また、前記第1の分周器と前記第2の分周器とを同時に起動させるリセット回路を含むように構成することもできる。このような構成によれば、第一の分周器と第二の分周器の動作を保証することができる。ここで、より具体的には、第一の分周器と第二の分周器とを電源投入時に起動させることができる。そして、このような構成によれば、第一の分周器と第二の分周器の動作をより確実に保証することができる。また、外部から供給するコマンドによりリセット回路を制御することとすれば、第一の分周器と第二の分周器の動作に

おける自由度を高めることができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

また、本発明の目的は、供給される外部クロック信号をバッファするクロックバッファと、供給されるデータ制御信号により所定のデータを出力するデータ制御ユニットとを備え、前記データを前記外部クロック信号に同期して出力する半導体記憶装置であって、前記クロックバッファにより形成された信号を遅延させる遅延回路と、前記クロックバッファにより発生された前記信号を分周し第1の内部クロック信号を形成する第1の分周器と、前記遅延回路から供給された信号を分周して第2の内部クロック信号を形成する第2の分周器と、前記第1の内部クロック信号と前記第2の内部クロック信号に従って前記クロック信号を発生させる出力制御ユニットとを備えたことを特徴とする半導体記憶装置を提供することにより達成される。このような構成によれば、外部クロック信号の周波数が高くなる場合においても、周波数が低減された第1の内部クロック信号及び第2の内部クロック信号に応じて生成されるデータ出力制御信号により、データ制御ユニットからの外部クロック信号に同期したデータ出力を実現できると共に、遅延回路に入力される信号の数を低減することができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正の内容】

【0098】

【発明の効果】

上述の如く、外部クロック信号に同期してデータを出力する半導体記憶装置であって、供給された前記外部クロック信号を分周し、第1の内部クロック信号を発生させる第1の分周器と、前記外部クロック信号を遅延させる遅延回路と、前記遅延回路から供給された信号を分周し、第2の内部クロック信号を発生させる第2の分周器と、前記第1の内部クロック信号および前記第2の内部クロック信号に従って前記データを出力するデータ制御ユニットとよりなることを特徴とする半導体記憶装置によれば、外部クロック信号の周波数が高くなる場合においても、内部動作周波数を低減することにより、データ制御ユニットからの外部クロック信号に同期したデータ出力を実現できると共に、遅延回路に入力される信号の数を低減することができるため、遅延回路の回路規模を低減することにより半導体記憶装置の回路規模及び消費電流を低減し、かつ回路製造上における遅延回路の精度を高めて動作の信頼性を高めることができる

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正の内容】

【0099】

ここで前記遅延回路は、前記外部クロック信号の位相に対し、Nをゼロでない整数として、N周期ずれた位相の信号を供給するように構成すれば、第一の分周器と第二の分周器の同期をとることができるために、層だの信頼性を高めることができる。また前記遅延回路は、供給された前記外部クロック信号の位相を、前記外部クロック信号をnを自然数として、 2^n 周期遅延させることにより調整することにより、容易に第一の分周器と第二の分周器の同期をとることができるために、動作の信頼性を確実に得ることができる。

【手続補正8】**【補正対象書類名】**明細書**【補正対象項目名】**0100**【補正方法】**変更**【補正の内容】****【0100】**

また、前記第1の分周器と前記第2の分周器とを同時に起動させるリセット回路を含むように構成することにより、第一の分周器と第二の分周器の動作を保証することができ、半導体記憶装置の動作の信頼性を担保することができる。ここで、より具体的には、第一の分周器と第二の分周器とを電源投入時に起動させることにより、第一の分周器と第二の分周器の動作をより確実に保証することができる。

【手続補正9】**【補正対象書類名】**明細書**【補正対象項目名】**0101**【補正方法】**変更**【補正の内容】****【0101】**

また、外部から供給するコマンドによりリセット回路を制御することとすれば、第一の分周器と第二の分周器の動作における自由度を高めることができるとため、汎用性を向上させることができる。

【手続補正10】**【補正対象書類名】**明細書**【補正対象項目名】**0102**【補正方法】**変更**【補正の内容】****【0102】**

また、供給される外部クロック信号をバッファするクロックバッファと、供給されるデータ制御信号により所定のデータを出力するデータ制御ユニットとを備え、前記データを前記外部クロック信号に同期して出力する半導体記憶装置であって、前記クロックバッファにより形成された信号を遅延させる遅延回路と、前記クロックバッファにより発生された前記信号を分周し第1の内部クロック信号を形成する第1の分周器と、前記遅延回路から供給された信号を分周して第2の内部クロック信号を形成する第2の分周器と、前記第1の内部クロック信号と前記第2の内部クロック信号に従って前記クロック信号を発生させる出力制御ユニットとを備えたことを特徴とする半導体記憶装置によれば、外部クロック信号の周波数が高くなる場合においても、周波数が低減された第1の内部クロック信号及び第2の内部クロック信号に応じて生成されるデータ出力制御信号により、データ制御ユニットからの外部クロック信号に同期したデータ出力を実現できると共に、遅延回路に入力される信号の数を低減することができるため、遅延手段の回路規模を低減することにより半導体記憶装置の回路規模及び消費電流を低減し、かつ回路製造上における遅延手段の精度を高めて動作の信頼性を高めることができる。