201608694

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201608694 A

(43)公開日： 中華民國 105 (2016) 年 03 月 01 日

(21)申請案號：104123540 (22)申請日： 中華民國 104 (2015) 年 07 月 21 日

(51)Int. Cl.： *H01L23/60 (2006.01)*

(30)優先權：2014/08/07 美國 14/454,204

(71)申請人：西拉娜半導體美國股份有限公司 (美國) SILANNA SEMICONDUCTOR U. S. A., INC. (US)

美國

(72)發明人：斯圖柏 麥可A STUBER, MICHAEL A. (US)

(74)代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：22 項 圖式數：10 共 36 頁

(54)名稱

用於高頻層轉移裝置之電磁干擾屏蔽

EMI SHIELD FOR HIGH FREQUENCY LAYER TRANSFERRED DEVICES

(57)摘要

本發明揭示各種方法及裝置，該等方法及裝置涉及用於射頻層轉移裝置之EMI屏蔽。一種方法包含在絕緣體上半導體晶圓之主動層中形成射頻場效電晶體。該絕緣體上半導體晶圓具有內埋絕緣體側及主動層側。該方法進一步包含將第二晶圓接合至該絕緣體上半導體晶圓之該主動層側。該方法進一步包含形成用於該半導體裝置之屏蔽層。該屏蔽層包含導電材料。該方法進一步包含將該射頻場效電晶體耦接至包含射頻組件的電路。該方法進一步包含將該射頻場效電晶體、射頻組件及該屏蔽層切單(singulating)成晶粒。該屏蔽層位於該射頻組件之基板與該射頻場效電晶體之間。

Various methods and devices that involve EMI shields for radio frequency layer transferred devices are disclosed. One method comprises forming a radio frequency field effect transistor in an active layer of a semiconductor on insulator wafer. The semiconductor on insulator wafer has a buried insulator side and an active layer side. The method further comprises bonding a second wafer to the active layer side of the semiconductor on insulator wafer. The method further comprises forming a shield layer for the semiconductor device. The shield layer comprises an electrically conductive material. The method further comprises coupling the radio frequency field effect transistor to a circuit comprising a radio frequency component. The method further comprises singulating the radio frequency field effect transistor, radio frequency component, and the shield layer into a die. The shield layer is located between a substrate of the radio frequency component and the radio frequency field effect transistor.

指定代表圖：

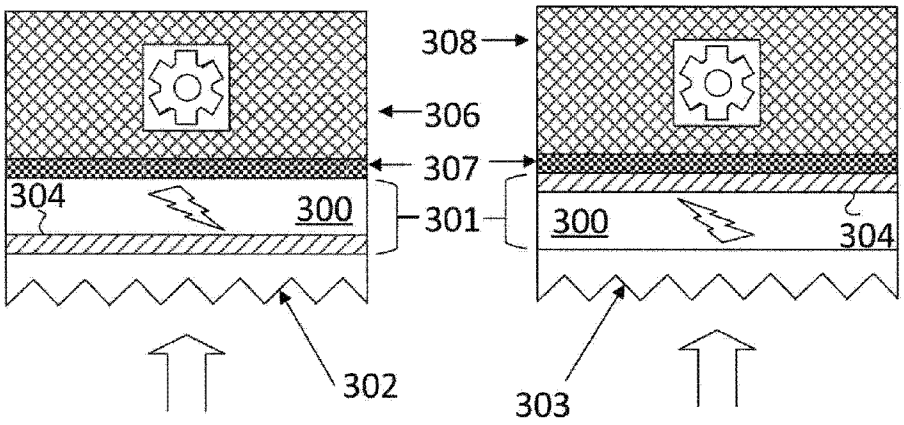

圖 3b

符號簡單說明：

300・・・主動層

301・・・晶圓

302・・・內埋絕緣體側

303・・・主動層側

304・・・內埋絕緣體、屏蔽層

305・・・SOI 基板

306・・・晶圓

201608694
201608694

發明摘要

※ 申請案號：104123540
※ 申請日：104 7 21 ※IPC 分類：H01L 23/60 (2006.01)

【發明名稱】(中文/英文)

用於高頻層轉移裝置之電磁干擾屏蔽/ EMI SHIELD FOR HIGH FREQUENCY LAYER TRANSFERRED DEVICES

【中文】

本發明揭示各種方法及裝置，該等方法及裝置涉及用於射頻層轉移裝置之 EMI 屏蔽。一種方法包含在絕緣體上半導體晶圓之主動層中形成射頻場效電晶體。該絕緣體上半導體晶圓具有內埋絕緣體側及主動層側。該方法進一步包含將第二晶圓接合至該絕緣體上半導體晶圓之該主動層側。該方法進一步包含形成用於該半導體裝置之屏蔽層。該屏蔽層包含導電材料。該方法進一步包含將該射頻場效電晶體耦接至包含射頻組件的電路。該方法進一步包含將該射頻場效電晶體、射頻組件及該屏蔽層切單(singulating)成晶粒。該屏蔽層位於該射頻組件之基板與該射頻場效電晶體之間。

【英文】

Various methods and devices that involve EMI shields for radio frequency layer transferred devices are disclosed. One method comprises forming a radio frequency field effect transistor in an active layer of a semiconductor on insulator wafer. The semiconductor on insulator wafer has a buried insulator side and an active layer side. The method further comprises bonding a second wafer to the active layer side of the semiconductor on insulator wafer. The method further comprises forming a shield layer for the semiconductor device. The shield layer comprises an electrically conductive material. The method further comprises coupling the radio frequency field effect transistor to a circuit comprising a radio frequency component. The method further comprises singulating the radio frequency field effect transistor, radio frequency component, and the shield layer into a die. The shield layer is located between a substrate of the radio frequency component and the radio frequency field effect transistor.

【代表圖】

【本案指定代表圖】：第（ 3b ）圖。

【本代表圖之符號簡單說明】：

300...主動層
301...晶圓
302...內埋絕緣體側
303...主動層側
304...內埋絕緣體、屏蔽層
305...SOI 基板
306...晶圓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

用於高頻層轉移裝置之電磁干擾屏蔽/ EMI SHIELD FOR HIGH FREQUENCY LAYER TRANSFERRED DEVICES

【技術領域】

相關申請案

【0001】 本申請案主張於 2014 年 8 月 7 日提交且標題爲「用於高頻層轉移裝置之 EMI 屏蔽(EMI SHIELD FOR HIGH FREQUENCY LAYER TRANSFERRED DEVICES)」之美國非臨時專利申請案第 14/454,204 號之優先權，該申請案因此出於所有目的以引用併入本文中。

【0002】 本發明係有關於用於高頻層轉移裝置之電磁干擾屏蔽。

【先前技術】

【0003】 代表優於傳統塊體矽方法之進步的絕緣體上半導體(SOI)技術在 20 世紀 90 年代末期被首次商業化。SOI 技術之定義特性爲：形成有電路的半導體區域藉由電氣絕緣層與塊體基板隔離。將電路與塊體基板隔離的一個優點爲寄生電容之急劇減少，此允許接近更合意的功率-速度效能水平。因此，SOI 結構對於諸如射頻(RF)通訊電路的高頻應用尤其有吸引力。由於消費者需求繼續收緊 RF 通訊電路所面臨的功率約束，因此 SOI 技術的重要性持續增長。

【0004】 圖 1 中展示典型 SOI 結構 100。SOI 結構 100 包括基板層 101、絕緣層 102 及主動層 103。基板層 101 通常爲半導體材料，諸如矽。絕緣層 102 爲介電質，該介電質在基板層 101 爲矽的情形下通常爲藉由基板層 101 的氧

化作用形成的是二氧化矽。主動層 103 包括主動裝置層及金屬化或金屬互連層，且進一步包括在電路已形成於該主動層中之後存在的摻雜劑、介電質、多晶矽、金屬佈線、鈍化及其他層、材料或組件之組合。電路可包括金屬佈線 104(例如，在金屬互連層中)；被動裝置諸如電阻器、電容器及感應器；以及主動裝置諸如電晶體(例如，在主動裝置層中)。

【0005】 RF 電晶體對以大信號偏電壓偏壓且根據信號電壓隨偏電壓而不同的信號進行操作。兩個值可急劇地擺動。因此，開關產生傳播穿過半導體裝置的電磁雜訊 105。特定而言，電磁雜訊可與基板 101 相互作用且導致信號電壓之非線性失真。

【發明內容】

【0006】 一種所揭示方法包含在絕緣體上半導體晶圓之主動層中形成射頻場效電晶體。絕緣體上半導體晶圓具有內埋絕緣體側及主動層側。該方法進一步包含將第二晶圓接合至絕緣體上半導體晶圓之主動層側。該方法進一步包含形成用於半導體裝置之屏蔽層。屏蔽層包含導電材料。該方法進一步包含將射頻場效電晶體耦接至包含射頻組件的電路。該方法進一步包含將射頻場效電晶體、射頻組件及屏蔽層切單(singulating)成晶粒。屏蔽層位於射頻組件之基板與射頻場效電晶體之間。

【0007】 另一種所揭示方法包含在將第二晶圓接合至絕緣體上半導體晶圓之主動層之前，在第二晶圓中形成射頻組件。另一種所揭示方法包含移除絕緣體上半導體晶圓之基板之至少一部分。該方法亦包含在移除基板之部分之後，在絕緣體上半導體晶圓之內埋絕緣體側上形成射頻組件。另一種所揭示方法包含移除絕緣體上半導體晶圓之基

板之至少一部分。該方法亦包含在移除基板之部分之後，將第三晶圓接合至絕緣體上半導體晶圓之內埋絕緣體側。該方法亦包含在將第三晶圓接合至絕緣體上半導體晶圓之主動層之前，在第三晶圓中形成射頻組件。

【0008】 屏蔽層可爲金屬。屏蔽層可具有帶有預定孔隙大小的圖案。該圖案可爲網狀圖案。孔隙大小可經設定成低於射頻場效電晶體額定處理的信號之波長的 10%。屏蔽層可耦接至主動偏電壓產生器。主動偏電壓產生器可向屏蔽層提供偏電壓，該偏電壓追蹤提供至射頻場效電晶體的大信號偏壓信號。

【0009】 射頻組件允許包含射頻場效電晶體及射頻組件的射頻系統之更緊密整合。射頻組件可爲整合型被動裝置、聲波濾波器、晶體濾波器、大體上微機電系統(MEMS)、諸如數位邏輯塊的其他電晶體塊或任何其他射頻系統組件。

【圖式簡單說明】

【0010】 圖 1 示出根據相關技術的高頻 SOI 裝置。

【0011】 圖 2 示出根據本發明之一實施例的用於形成具有屏蔽層的半導體裝置之方法的流程圖。

【0012】 圖 3a 及圖 3b 示出根據本發明之一實施例的處於根據來自圖 2 的特定方法的產生之各種階段處的半導體裝置的立體圖橫截面。

【0013】 圖 4 示出根據本發明之一實施例的屏蔽層中之孔隙圖案以及孔隙大小與屏蔽層遮蔽的電磁干擾之波長的關係。

【0014】 圖 5 示出根據本發明之一實施例的根據來自圖 6 的特定方法製造的半導體裝置的立體圖橫截面。

【0015】 圖 6 示出根據本發明之一實施例的用於形成半導體裝置之方法的流程圖，該半導體裝置具有屏蔽層及構建在層轉移晶圓之內埋絕緣體側上的整合型 RF 組件。

【0016】 圖 7 示出根據本發明之一實施例的正根據來自圖 8 的特定方法製造的半導體裝置的立體圖橫截面。

【0017】 圖 8 示出根據本發明之一實施例的用於形成半導體裝置之方法的流程圖，該半導體裝置具有屏蔽層及構建在層轉移晶圓之內埋絕緣體側上的整合型 RF 組件。

【0018】 圖 9 示出根據本發明之一實施例的正根據來自圖 10 的特定方法製造的半導體裝置的立體圖橫截面。

【0019】 圖 10 示出根據本發明之一實施例的用於形成半導體裝置之方法的流程圖，該半導體裝置具有屏蔽層及構建在層轉移晶圓之內埋絕緣體側上的整合型 RF 組件。

【實施方式】

【0020】 現將詳細參考所揭示發明之實施例，隨附圖式中示出本發明之一或多個實例。每一實例係藉由對本技術之解釋的方式加以提供，並非作爲本技術之限制。事實上，熟習此項技術者將瞭解，可在不脫離發明技術之精神或範疇的情況下，在發明技術中做出修改及變化。例如，作爲一實施例之部分所示出或描述的特徵可與另一實施例一起使用，以得出又一實施例。因此，本主題意欲涵蓋隨附申請專利範圍及其等效物之範疇內的所有此類修改及變化。

【0021】 射頻(RF)開關對現代積體電路設計呈現難以整合的挑戰。爲使 RF 開關作爲 RF 系統中之信號處理器適當地執行，每一開關上的輸入電壓及輸出電壓維持線性關係係有必要的。現代 RF 系統及實際上幾乎所有現代通訊系統依賴於線性解碼及編碼系統二者以及線性誤差減少及雜

訊消除系統。若非線性特性在任何地方引入信號路徑中，則信號可以由雜訊或不適當的編碼及解碼不可調和地破壞。不幸的是，可自成本角度有益地與 RF 開關整合的許多電路組件具有不利地影響開關之線性度的可能性。RF 組件，諸如整合型被動裝置、聲波濾波器、晶體濾波器、大體上微機電系統(MEMS)及諸如數位邏輯塊的其他電晶體塊將通常需要半導體基板，或在無半導體基板的情況下將並非商業可行的。然而，RF 開關上的偏電壓及 RF 電壓與半導體基板之相互作用產生非線性失真之高可能性。因此，將爲有益的是，將以上提及之任何 RF 組件與 RF 開關整合，同時屏蔽 RF 開關以免於 RF 組件之半導體基板。

整合型 RF 組件的 EMI 屏蔽

【0022】 置放在 RF 開關與半導體基板之間的導電材料層可用作電磁干擾(EMI)屏蔽層，該電磁干擾屏蔽層將防止 RF 開關上的偏電壓及 RF 電壓與半導體基板相互作用。所揭示的不同方法及系統試圖在積體電路中提供此 EMI 屏蔽層，在該積體電路中，RF 開關及另一 RF 組件二者整合於單個積體電路中。因此，此等方法及系統提供以成本有效方式整合此等否則衝突的元件同時維持用於 RF 電路之所需效能水平的方法。

【0023】 用於形成半導體裝置之方法可參考圖 2 及圖 3a 至圖 3b 加以描述。方法 200 以步驟 201 開始，在步驟 201 中，將 RF 場效電晶體(FET)形成於絕緣體上半導體(SOI)晶圓 301 之主動層 300 中。SOI 晶圓具有內埋絕緣體側 302 及主動層側 303。主動層側及內埋絕緣體側係由該主動層側及該內埋絕緣體側相對於內埋絕緣體 304 及主動層 300 之界面的相對位置界定。內埋絕緣體側處於內埋絕緣體相對

5

於界面的方向上，而主動層側處於主動層相對於界面的方向上。

【0024】 RF FET 可使用標準電晶體處理形成於主動層 300 中。例如，RF FET 可使用互補金屬氧化物半導體(CMOS)處理來產生。形成主動層 300 的半導體材料可爲矽。內埋絕緣體 304 可爲二氧化矽。SOI 基板 305 可爲非晶矽。替代地，SOI 基板 305 及內埋絕緣體 304 可爲氧化鋁之單層，使得 SOI 晶圓 301 爲矽藍寶石(SOS)晶圓。基板亦可具有內埋蝕刻停止層，而非內埋絕緣體。蝕刻停止可爲基板材料之高摻雜區域。在此等情形下，主動層可以包括外延矽。SOI 晶圓 301 可包括在內埋絕緣體下方的富阱層。如在以上背景部分中所描述之 SOI 裝置的情況下，除用於形成在半導體裝置中的 FET 之通道的實際活化半導體材料之外，主動層 300 可包括互連層。主動層 300 亦可包括用來保護主動層的額外鈍化及絕緣層。

【0025】 方法 200 可隨後繼續步驟 202 或 203。在步驟 202 中，將第二晶圓 306 接合至 SOI 晶圓 301 之主動層側 303。如圖 3a 所示，第二晶圓可爲暫時處理晶圓或 RF 組件晶圓。接合由圖 3a 中的繪製在 SOI 晶圓 301 及第二晶圓 306 的組之間的向下箭頭示出。所使用的接合方法可爲工業中使用的任何種類的晶圓接合製程，諸如直接氧化物-氧化物接合(熔融接合)、黏合劑接合、陽極接合、低溫玻璃玻料接合、分子接合、靜電接合、金屬至金屬接合等。在步驟 203 中，形成用於半導體裝置之屏蔽層 307。屏蔽層包含導電材料。在方法 200 在移至步驟 202 之前進行步驟 203 的情形下，屏蔽層可以用於接合製程中。例如，若步驟 203 的接合製程爲金屬至金屬接合，則屏蔽層可提供接合所必須的金屬之一部分。

【0026】 方法 200 可隨後繼續步驟 204，在步驟 204 中，將 RF FET 耦接至包含 RF 組件的電路。RF 組件將處於在步驟 202 中用作第二晶圓 306 的 RF 晶圓中，或該 RF 晶圓可爲在處理晶圓於步驟 202 中接合至 SOI 晶圓之後，接合至 SOI 晶圓 301 的第三晶圓 308。在 RF 組件晶圓於步驟 202 中接合至 SOI 晶圓的情形下，所得結構爲屏蔽層處於 SOI 晶圓之主動層側上的結構。相反，在處理晶圓於步驟 202 中接合至 SOI 晶圓的情形下，所得結構爲屏蔽層處於 SOI 晶圓之內埋絕緣體側上的結構。此兩種方法之間的另一差異在於：在一方法中，原始 SOI 基板 305 在 RF FET 電氣地耦接至 RF 組件晶圓中的電路之後經移除，而在另一方法中，處理晶圓基板 306 經移除。此材料之移除藉由指向主動層側 303 及內埋絕緣體側 302 的面向上箭頭在圖 3a 中示出。以下更詳細地論述可產生圖 3a 中所示的裝置的不同整合技術。

【0027】 方法 200 可繼續步驟 205，在步驟 205 中，將 RF FET、RF 組件及屏蔽層全部切單成晶粒。所得半導體裝置包含整合型 RF FET 及 RF 組件，其中用於 RF 組件的基板被防止在施加至 RF FET 且由 RF FET 操作的偏電壓及 RF 電壓中產生非線性特性。以上提供 RF 組件之實例，但是尤其受益於參考圖 2 所描述的方法的更特定實例包括 SAW 濾波器、BAW 濾波器及 FBAR 濾波器。

【0028】 屏蔽層在以上所描述的任何方法中提供有益效應。然而，屏蔽層亦將一定程度的寄生電容引入至系統，此狀況在一些情況下將導致能量被分流至接地及效率較低的 RF 裝置。將屏蔽層置放成更遠離 RF FET 有助於減輕此有害副效應。如圖 3a 所示，某些益處歸於將 RF 組件晶圓接合至 SOI 晶圓之主動層側 303 的方法。由於在某些 SOI

晶圓中的內埋絕緣體極薄—在數十納米的數量級上—且主動層可包括金屬化及鈍化之相對厚的層，因此當將 RF 組件晶圓接合至 SOI 晶圓之主動層側時，在 RF 組件與 RF 裝置之間提供更多距離。因爲 RF FET 形成在內埋絕緣體與主動層之界面處，所以與相對薄的內埋絕緣體相比，主動層之整個剩餘厚度在此等情形下介於 RF 組件與 RF 開關之間。

屏蔽層

【0029】 屏蔽層包含導電材料，且用來遮蔽或保護 RF FET 免於電磁干擾，該電磁干擾係由偏電壓及 RF 電壓與 RF 組件晶圓之基板的相互作用引起。偏電壓及 RF 電壓具有相對大的振幅擺動及頻率，該等振幅擺動及頻率使得該等偏電壓及 RF 電壓自防止或減輕電磁干擾之效應的角度而言尤其有問題。然而，屏蔽層用於爲能量信號提供替代性路徑，該等能量信號否則將與 RF 組件晶圓基板之基板有害地相互作用。屏蔽層與 RF FET 電氣絕緣，且選擇性地可與 SOI 晶圓中形成有 RF FET 的整個主動層電氣絕緣。

【0030】 屏蔽層可包含各種材料，且可在製造半導體裝置之製程中的各個階段處形成。材料之選擇將受形成層所在的點的影響。通常，屏蔽層可由任何導電材料製成。屏蔽層可爲純金屬，諸如銅、鎢或鉬；金屬合金，諸如氮化鈦；金屬矽化物，諸如矽化鎢；或摻雜半導體，諸如矽。

【0031】 屏蔽層可形成於 SOI 晶圓之互連金屬化中。在 SOI 晶圓之頂部側接合至 RF 組件晶圓的任何情形下，SOI 晶圓之互連層可通常用來形成屏蔽層，因爲互連金屬化處於形成有 RF 開關的主動層上方。在 RF 組件形成於單獨晶圓中的方法中，屏蔽層亦可形成於 RF 組件晶圓之互連金屬化中。互連層中用來產生屏蔽層的金屬化層可爲用於製造晶圓的製程之頂部金屬。通常，當最終裝置中的 RF

組件處於 SOI 晶圓之主動層側上時，可在晶圓正被處理時將屏蔽層形成於 RF 開關上方的 SOI 晶圓中的任何地方。製程之上述部分通常被稱爲半導體製造製程之中間生產線部分或後端生產線部分。

【0032】 屏蔽層可由沈積在 SOI 晶圓之表面上的材料層形成。例如，屏蔽層可包含沈積在 SOI 晶圓之內埋絕緣體側上的導電材料層。在此等方法中，屏蔽層可用作用於 RF 組件於 SOI 晶圓上之形成的基底層，該形成係藉由如以下所描述各種材料於 SOI 晶圓上之沈積來達成。作爲另一實例，屏蔽層可包含沈積在 SOI 晶圓之主動層側上的導電材料層。在此等方法中，SOI 晶圓之主動層側將需要在屏蔽層之形成之前由某種絕緣體或鈍化覆蓋，以防止在 SOI 晶圓之互連金屬化之間形成短路。在 RF 組件形成於單獨晶圓中的方法中，屏蔽層亦可由沈積在 RF 組件晶圓之表面上的材料層形成。作爲另一實例，屏蔽層可藉由使用 SOI 晶圓之內埋絕緣體側上的後層轉移金屬化來形成。此方法將對於使用後層轉移金屬化來路由信號的情形尤其經得起考驗，因爲需要來形成屏蔽層的額外處理步驟將可忽略。

【0033】 屏蔽層可利用於接合製程中。例如，屏蔽層可爲金屬且爲兩個晶圓之間的金屬至金屬接合提供接觸表面。爲此，屏蔽層亦可藉由在接合之前導電材料層於兩個晶圓上的沈積來形成，使得用於裝置之最終屏蔽層爲該等層中兩者之熔融組合。

【0034】 屏蔽層可以呈現各種圖案。例如，屏蔽層不必爲實心層，且可包括在不規則或規則位置處的孔隙。此等圖案可有利地減少屏蔽層之寄生電容，同時就屏蔽層遮蔽 RF 組件之基板以免於電磁能量之能力而言，維持屏蔽層之效力。例如，屏蔽層可包含具有圓形或四邊形形狀的均

勻間隔孔隙的網眼。四邊形孔隙可藉由使展開的金屬化條帶交叉爲網格形成。此外，屏蔽層可包括用於電氣導管通過屏蔽層的間隙。因爲屏蔽層用來屏蔽 RF 開關以免於 RF 組件之基板，但是因爲該兩個電路元件爲整合型的而僅需要屏蔽層，所以若屏蔽層防止該等元件之間的電氣連接，則屏蔽層將不太有用。然而，爲平衡屏蔽層之效力與電氣導管連接屏蔽之任一側上的電路元件之容許度，用於導管之間隙可經設計成配合在屏蔽層之預定圖案中。例如，導管可形成爲穿過已用於限制屏蔽層之寄生電容的屏蔽層的孔隙。作爲另一實例，導管可以自 RF 開關的直接近旁移除的圖案加以形成。RF 開關可位於 SOI 晶圓之中央部分中，同時導管在 SOI 晶圓之周邊上方對準。

【0035】 圖 4 示出具有用來遮蔽電磁波 402 的屏蔽層的屏蔽層 400 及 401。屏蔽層 400 展現出均勻間隔圓形孔隙 403 之圖案。屏蔽層 401 表現出均勻間隔正方形孔隙 404 之圖案。圖案之規律性並非必要的，且僅包括來以達說明性目的。圓形孔隙 403 之孔隙大小由孔隙之半徑設定。正方形孔隙 404 之孔隙大小由正方形之對角線設定。如先前所提及，可維持屏蔽層之效力同時藉由控制孔隙之大小及圖案來減少屏蔽層之寄生電容。

【0036】 與孔隙大小有關的屏蔽層之效力由正被屏蔽的電磁干擾之頻率設定。繼而，電磁干擾之頻率由 RF 開關所操作的偏電壓及 RF 信號電壓之頻率設定。在 GHz 範圍內的典型 RF 頻率處，具有在微米數量級上的孔隙大小的孔隙可減少寄生電容，同時仍有效地遮蔽基板以免於電磁能量。在電磁干擾傳播穿過半導體裝置的上下文中，波長可以根據以下方程式來表達：

$$\lambda = \frac{c}{n f}$$

【0037】 在此方程式中，λ係波長，c係光速，n係傳播信號的材料之折射率，且 f 係頻率。二氧化矽之相對折射率係約3.9。因此，1 GHz波在二氧化矽中的波長係約7.5 cm。由孔口提供的衰減自以下方程式計算：

$$A = 20 \log_{10}\left(\frac{\lambda}{2s}\right)$$

【0038】 在此方程式中，A 係衰減，λ 係波長，且孔口大小係 s。根據此方程式，爲正被衰減的信號之波長的1/10的開口之衰減係14分貝。爲正被衰減的信號之波長的1/1000的開口提供54分貝之衰減。因此，7.5 μm的開口與7.5 cm的波長相比給予54分貝之衰減。因此，所需要的衰減可用以決定屏蔽層圖案可允許的最大孔隙大小。通常，波長與屏蔽層中的孔隙之大小之間的 10%之比率將提供用於大多數RF應用的適合優值。然而，精確比率取決於對整體RF系統的要求，半導體裝置爲該整體RF系統之一部分。

【0039】 亦可藉由將主動偏壓引入至屏蔽層來加強屏蔽層之效力。儘管屏蔽層可由設定電壓偏壓，但某些益處歸於屏蔽係由與RF開關相同的大信號電位驅動的方法。爲此，可藉由將屏蔽層耦接至包含主動偏電壓產生器的電路之步驟來擴充先前所揭示的製造半導體裝置之方法。主動偏電壓產生器可向屏蔽層提供偏電壓，該偏電壓追蹤提供至RF開關的大信號偏壓信號。若施加至RF開關及屏蔽層的偏電壓保持同相，則將消除屏蔽層與RF開關之間的寄生電容。因此，在屏蔽層與RF組件之間產生的任何非線性特性將仍被無害地分流至接地，但將不存在RF開關之寄生電容之增加。實際上，在一些實例中，相對於未引入屏蔽層

的一半導體裝置，驅動屏蔽之使用可減少半導體裝置中的總寄生電容。

整合技術

【0040】 可結合參考圖 2 及圖 3a 至圖 3b 所論述的方法一起應用各種整合技術。此等技術中之一些可參考圖 5 至圖 10 加以描述。此等特定方法不涵蓋本揭示內容之全部範圍。特定而言，圖 5、圖 7 及圖 9 中的半導體裝置之立體圖係針對聲波濾波器與 RF 開關的整合，但本揭示內容之整合技術可應用於任何 RF 組件與 RF 開關的整合。

【0041】 用於整合半導體裝置中的 RF 開關與 RF 組件的特定方法可參考圖 5 中的裝置橫截面 500 及圖 6 中的方法 600 之流程圖加以描述。方法 600 包括參考圖 2 所描述的許多步驟，且用於方法 200 之相關揭示內容在極大程度上適用於方法 600。然而，如所繪製，方法 600 在步驟 203 中形成屏蔽層之前，在步驟 202 中執行第二晶圓之接合。參考橫截面 500，接合至 SOI 晶圓的第二晶圓爲處理晶圓 306。處理晶圓 306 接合至 SOI 晶圓之主動層側。處理晶圓可包括如在與本申請案同一天提交之代理人案號爲 IOSEP009CIP4 的美國專利申請案__/___,___中所揭示的富阱層。該美國專利申請案之揭示內容全文以引用方式併入本文。在此步驟之後，反轉 SOI 晶圓，且在步驟 601 是藉由化學蝕刻或研磨製程至少部分移除 SOI 晶圓之基板。所得結構在橫截面 500 中示出。因爲主動層及內埋絕緣體已自該主動層及該內埋絕緣體之先前基板轉移至有效地用作新基板的處理晶圓，所以 SOI 晶圓現可更特定地被稱爲層轉移晶圓。此刻，層轉移晶圓 301 在其主動層側上接合至處理晶圓 306，並且可以暴露內埋絕緣體層 304 之部分。

【0042】 方法 600 繼續屏蔽層及整合型 RF 組件於層轉移晶圓之內埋絕緣體側上的構造。屏蔽層可沈積在層轉移晶圓之內埋絕緣體側上，或該屏蔽層可藉由其他方法形成。如圖 5 所示，屏蔽層 307 覆蓋層轉移晶圓 301 之背側。然而，屏蔽層可僅覆蓋晶圓之一部分。另外，圖 5 中的屏蔽層 307 直接形成在內埋絕緣體層 304 上。然而，屏蔽層亦可形成在用於 SOI 晶圓之原始基板層之剩餘部分上，或額外介電層可在絕緣層之前沈積在 SOI 晶圓之內埋絕緣體側上。

【0043】 方法 600 繼續步驟 602 中整合型 RF 組件於層轉移晶圓之內埋絕緣體側上的形成。如所繪製，RF 組件 501 爲包括基板 502 及空腔 503 的 FBAR 聲波濾波器。然而，RF 組件可爲以上所提及的該等 RF 組件中之任何 RF 組件。RF 組件可藉由層轉移晶圓之內埋絕緣體側上的多個材料層的沈積、蝕刻、研磨、擴散及摻雜來實施。處理晶圓 306 將提供需要來支撐此製程的所需要的穩定性。

【0044】 某些益處歸於在步驟 602 中構造的 RF 組件係使用低溫製程來加以構建的情形，因爲此舉將防止對層轉移晶圓之非所要修改。特定而言，若層轉移晶圓包括富阱層，則低溫處理可藉由防止阱被退火出富阱層來維持富阱層之效力。出於本揭示內容之目的，低溫製程係不超過 400℃ 的製程。

【0045】 用於整合半導體裝置中的 RF 開關與 RF 組件之特定方法可參考圖 7 中的裝置橫截面 700 及圖 8 中的方法 800 之流程圖來加以描述。方法 800 以步驟 202 及步驟 201 開始，該等步驟與參考以上方法 600 所描述的步驟 201 及步驟 202 一致。此外，主動層 300 及內埋絕緣體 304 包含層轉移晶圓 301，該層轉移晶圓具有在步驟 202 中接合的

處理晶圓，且處理晶圓可包括如在與本申請案同一天提交之代理人案號爲 IOSEP009CIP4 的美國專利申請案__/___,___中所揭示的富阱層。方法 800 繼續步驟 601，在步驟 601 中，移除 SOI 基板之至少一部分。與橫截面 500 相比，橫截面 700 示出 SOI 基板之剩餘部分 701。然而，方法 800 不限於已移除 SOI 基板之僅一部分方法，因爲亦可移除整個基板。

【0046】 方法 800 繼續步驟 801 或步驟 203，在步驟 801 中，射頻組件形成在第三晶圓 702 中，在該步驟 203 中，形成用於如以上所描述的半導體裝置之屏蔽層。在橫截面 700 中，第三晶圓 702 包含聲學裝置 501。然而，第三晶圓 702 可替代地包含 RF 組件。方法 800 可以任一順序執行，因爲屏蔽層 307 可在 RF 組件形成在第三晶圓中之後沈積在第三晶圓上，或屏蔽層可形成在層轉移晶圓上，在該狀況下，步驟 801 及步驟 203 之相對執行不太重要。屏蔽層可包含導電材料層，該導電材料層在將第三晶圓接合至 SOI 晶圓之內埋絕緣體側之前形成在第三晶圓上。在該狀況下，步驟 703 將需要在步驟 203 之前實施。如所示出，屏蔽層 307 已形成在層轉移晶圓 301 上，因此聲學裝置 501 之形成可已在屏蔽層 307 之形成之前或之後被執行。

【0047】 方法 800 繼續步驟 802，在步驟 802 中，在步驟 601 中移除基板之部分之後，將第三晶圓接合至 SOI 晶圓之內埋絕緣體側。因此，SOI 基板之剩餘部分，諸如部分 701，可位於第三晶圓與層轉移晶圓 301 之間。基板之剩餘部分可爲基板之高度摻雜蝕刻停止區域。然而，步驟 802 不限於橫截面 700，且可在第三晶圓在步驟 802 中接合至層轉移晶圓之前移除整個 SOI 基板。晶圓可使用以上關於步驟 202 所描述的任何方法加以接合。特定而言，且如

先前所提及，屏蔽層可在接合之前部分形成在層轉移晶圓及第三晶圓 702 兩者之表面上，使得將屏蔽層利用於兩個晶圓之金屬至金屬接合中。儘管以下將論述接合界面，但在電氣觸點或聲學裝置空腔需要對準的情形下，接合製程可相較於不需要精確對準的該等製程稍微更昂貴。如所示出，形成在 SOI 晶圓之基板中的空腔 704 將需要與聲學裝置 501 對準。

【0048】 方法 800 隨後繼續如以上所描述的步驟 204 及步驟 205。在方法 800 中，204 中的耦接步驟可作爲步驟 802 之部分來實施，因爲用於兩個晶圓之觸點可經對準，且一旦使晶圓接觸即可形成電氣連接。在替代方案中，TSV 或其他觸點可需要在晶圓已接合之後藉由蝕刻穿過主動層 300 之 RF 組件基板 502 來形成。

【0049】 用於整合半導體裝置中的 RF 開關與 RF 組件之特定方法可以參考圖 9 中的裝置橫截面 900 及圖 10 中的方法 1000 之流程圖加以描述。除了兩個主要差異之外，方法 1000 以與方法 800 類似的方式進行。首先，SOI 基板 305 並非在步驟 202 之執行之前移除。其次，在所示狀況下爲 RF 組件晶圓 306 的第二晶圓接合至 SOI 晶圓 301 之主動層側，而非接合至內埋絕緣體側。因此，RF 組件晶圓與 SOI 晶圓之間的接合係在主動層 300 經層轉移之前形成，且 RF 組件晶圓 306 可有效地用作處理晶圓，以用於產生層轉移主動層。

【0050】 方法 1000 中的步驟 202 係藉由將 RF 組件晶圓 306 接合至 SOI 晶圓 301 之主動層側來執行。此接合可藉由使用沈積在 SOI 晶圓 301 之主動層側上的接合層來實施。接合層可包含屏蔽層 307 之一部分。屏蔽層亦可僅形成在 RF 組件晶圓上，或該屏蔽層可形成在兩個表面上以促

進步驟 202 之金屬至金屬接合。然而，屏蔽層亦可採取如以上所描述的任何形式，使得屏蔽層將不涉及接合步驟。如所示出，屏蔽層 307 包含導電材料層，該導電材料層係在將 RF 組件晶圓 306 接合至 SOI 晶圓 301 之前形成在該 RF 組件晶圓 306。方法 1000 亦可包括額外步驟 1002，在步驟 1002 中，在 SOI 晶圓 301 接合至 RF 組件晶圓 306 之後，移除 SOI 基板 305。在此步驟期間，RF 組件晶圓 306 將用作用於層轉移主動層之處理晶圓。

界面特性

【0051】 RF 組件晶圓與層轉移晶圓之間的界面可呈現各種特性。在 RF 組件構建在層轉移晶圓上的情形下，界面亦可展現各種特性。特定而言，界面可以包括用於耦接 RF FET 與 RF 組件的導電導管的觸點。在 RF 組件爲聲學裝置的情形下，界面亦可包括用於聲學裝置之空腔。在移除基板之部分之後，此等空腔可形成在移除基板之剩餘部分中。在屏蔽層位於界面處的情形下，屏蔽層亦可基於其涉入接合製程、穿過界面的電氣觸點之存在及界面處用於可處於系統中的任何聲學裝置的空腔之存在而呈現各種特性。

【0052】 在參考圖 5 所論述的方法中，在方法 600 之步驟 204 中的將 RF FET 耦接至包括 RF 組件的電路之步驟可以各種方式加以實施。在一方法中，方法 600 中的步驟 201 之部分將涉及產生 TSV 觸點 504，該 TSV 觸點係在處理晶圓 306 之接合之前自 SOI 晶圓 301 之主動層側產生。TSV 可終止於位於內埋絕緣體層 304 中或位於內埋絕緣體層之頂部或底部表面上的接合襯墊處。無論 TSV 終止於何處，可隨著構建組件而對 RF 組件 501 做出電氣連接。此等方法可需要屏蔽層 307 及內埋絕緣體 304 經蝕刻以暴露

TSV。此蝕刻可自層轉移晶圓之內埋絕緣體側發生。屏蔽層 304 可在步驟 203 中形成於觸點周圍，或該屏蔽層可在步驟 203 之後經蝕刻成自內埋絕緣體側穿過以形成用於步驟 602 的觸點。自內埋絕緣體側或主動層側蝕刻可伴隨有導電材料在蝕刻期間沈積至挖孔區域中，該挖孔區域諸如在蝕刻內埋絕緣體時形成的內埋絕緣體之挖孔區域。因爲 RF FET 將經由此觸點耦接至具有 RF 組件的電路，所以屏蔽層將需要與觸點隔離，該隔離係藉由具有通過屏蔽層之孔隙的導管或具有通過在屏蔽層之側向範圍外部的裝置之區域的導管來達成。導管藉以通過屏蔽層的孔隙可以絕緣體包圍，以防止導管與屏蔽層之間的接觸。

【0053】 在參考圖 7 所描述的方法中，在方法 800 之步驟 204 中將 RF FET 耦接至包括 RF 組件的電路可以各種方式加以實施。與參考圖 7 所論述的方法相比，RF 組件晶圓 702 亦可需要經準備在接合之前形成電氣觸點。RF 組件晶圓 702 之接合表面可經處理成包括用於與導管 703 耦接之觸點襯墊 705。另外，若屏蔽層形成在任一晶圓上，則屏蔽可需要經蝕刻以暴露觸點，或以避免如以上參考圖 5 所描述的觸點的圖案來沈積。可藉由自內埋絕緣體側處理、自主動層側處理或如參考導管 504 所描述的兩者之組合來形成導管 703。

【0054】 如圖 7 所示，在當移除 SOI 基板之一部分時形成空腔 704 的情形下，導管亦可需要延伸穿過 SOI 基板 701 之剩餘層。導管之此部分可自 SOI 晶圓 301 之內埋絕緣體側形成，且連接至先前自 SOI 晶圓 301 之主動層側形成的 TSV。然而，導管之兩個部分可自 SOI 晶圓 301 之內埋絕緣體側形成，且可接觸形成在主動層 300 中的著陸襯墊。

【0055】 在步驟 802 中實施的晶圓接合可需要使 RF 組件晶圓 702 及 SOI 晶圓 301 之特徵對準。特定而言，若用於聲學裝置的空腔之一部分形成在 SOI 晶圓 301 之基板中，則該部分將需要與 RF 組件晶圓 702 中的 RF 組件 501 對準。此外，若兩個晶圓已經處理以提供電氣觸點襯墊，則襯墊將需要對準以確保 RF 開關耦接至 RF 組件晶圓 702 中的電路。若利用大觸點襯墊，則可稍微緩解對準需求。爲避免佔據界面上的過多不動產，可將觸點襯墊形成在主動層 300 中且形成在基板 502 內，並且可在晶圓經由 RF 組件晶圓之背側接合之後形成觸點。

【0056】 在參考圖 9 所描述的方法中，在方法 1000 之步驟 204 中將 RF FET 耦接至包括 RF 組件的電路可以各種方式加以實施。RF 組件晶圓 306 之預接合處理可根據參考圖 7 所描述的任何方法來進行。然而，用於 SOI 晶圓 301 之相同方法通常不適用，因爲需要自絕緣體之主動層側製作觸點。幸運的是，由於內埋絕緣體不需要經蝕刻，因此此種觸點較容易管理，且觸點可形成爲主動層 300 之互連層之部分，或者可爲形成在主動層的頂部上的 RDL 材料。如所示出，屏蔽層 307 已完全形成在 RF 組件晶圓之表面上，且將藉由觸點 902 進行接觸。無論屏蔽層形成在哪一個晶圓上，屏蔽層圖案將需要處於導管的側向範圍外部，或導管將需要通過如以上所描述的屏蔽層中的孔隙。

【0057】 雖然已關於本發明之特定實施例詳細描述本說明書，但應瞭解的是，熟習此項技術者在獲得對前述內容理解之後可容易地設想出此等實施例之更改、變化及等效物。在不脫離在隨附申請專利範圍中更特定地闡述的本發明之精神及範疇的情況下，熟習此項技術者可實踐本發明之此等及其他修改及變化。

【符號說明】

100...SOI 結構

101...(基板)層

102...絕緣層

103、300...主動層

104...金屬佈線

105...電磁雜訊

200、600、800、1000...方法

201-205、601-602、801-802、1002...步驟

301、306、308、702...晶圓

302...內埋絕緣體側

303...主動層側

304...內埋絕緣體、屏蔽層

305...SOI 基板

307、400、401...屏蔽層

402...遮蔽電磁波

403、404...孔隙

500、700、900...橫截面

501...RF 組件、聲學裝置

502...基板

503、704...空腔

504...TSV 觸點、導管

701...剩餘部分

703...導管

705...觸點襯墊

902...觸點

申請專利範圍

1. 一種用於形成一半導體裝置之方法，該方法包含：
在一絕緣體上半導體晶圓之一主動層中形成一射頻場效電晶體，其中該絕緣體上半導體晶圓具有一內埋絕緣體側及一主動層側；
將一第二晶圓接合至該絕緣體上半導體晶圓之該主動層側；
形成用於該半導體裝置之一屏蔽層，其中該屏蔽層包含一導電材料；
將該射頻場效電晶體耦接至包含一射頻組件的一電路；以及
將該射頻場效電晶體、射頻組件及該屏蔽層切單成一晶粒；
其中該屏蔽層位於該射頻組件之一基板與該射頻場效電晶體之間。

2. 如請求項 1 之方法，其進一步包含：
在將該第二晶圓接合至該絕緣體上半導體晶圓之該主動層之前，在該第二晶圓中形成該射頻組件。

3. 如請求項 1 之方法，其進一步包含：
移除該絕緣體上半導體晶圓之該基板之至少一部分；以及
在移除該基板之該部分之後，在該絕緣體上半導體晶圓之該內埋絕緣體側上形成該射頻組件。

4. 如請求項 1 之方法，其進一步包含：
移除該絕緣體上半導體晶圓之該基板之至少一部分；
在移除該基板之該部分之後，將一第三晶圓接合至該絕緣體上半導體晶圓之該內埋絕緣體側；以及
在將該第三晶圓接合至該絕緣體上半導體晶圓之該主動層之前，在該第三晶圓中形成該射頻組件。

5. 如請求項 4 之方法，其進一步包含：
當移除該基板之該部分時形成射頻組件空腔；
其中該射頻組件利用該射頻組件空腔；且
其中該射頻組件爲一聲波濾波器。

6. 如請求項 4 之方法，其中：
該屏蔽層包含一金屬層，該金屬層係在將該第三晶圓接合至該絕緣體上半導體晶圓之該內埋絕緣體側之前形成於該第三晶圓上。

7. 如請求項 1 之方法，其進一步包含：
將該屏蔽層耦接至包含一主動偏電壓產生器的一第二電路；
其中該主動偏電壓產生器向該屏蔽層提供一偏電壓，該偏電壓追蹤提供至該射頻場效電晶體的一大信號偏壓信號。

8. 如請求項 1 之方法，其中：
該屏蔽層包含一金屬且具有帶有一預定孔隙大小的一圖案；且
該圖案之該預定孔隙大小不超過該射頻場效電晶體額定處理的信號之波長的 10%。

9. 一種用於形成一半導體裝置之方法，該方法包含：
在一絕緣體上半導體晶圓之一主動層中形成一射頻場效電晶體，其中該絕緣體上半導體晶圓具有一內埋絕緣體側及一主動層側；
將一第二晶圓接合至該絕緣體上半導體晶圓之該主動層側；
形成用於該半導體裝置之一屏蔽層，其中該屏蔽層包含一導電材料；
將該射頻場效電晶體耦接至包含一射頻組件的一電路；
將該射頻場效電晶體、該射頻組件及該屏蔽層切單成一晶粒；以及
在將該第二晶圓接合至該絕緣體上半導體晶圓之該主動層之前，在該第二晶圓中形成一射頻組件；
其中該屏蔽層位於該射頻組件之一基板與該射頻場效電晶體之間。

10. 如請求項 9 之方法，其進一步包含：
在該絕緣體上半導體晶圓上形成一射頻組件空腔；
其中該射頻組件利用該射頻組件空腔。

11. 如請求項 9 之方法，其進一步包含：
將該屏蔽層耦接至包含一主動偏電壓產生器的一第二電路；
其中該主動偏電壓產生器向該屏蔽層提供一偏電壓，該偏電壓追蹤提供至該射頻場效電晶體的一大信號偏壓信號。

12. 如請求項 9 之方法，其中：
該屏蔽層包含一金屬且具有帶有一預定孔隙大小的一圖案；且
該圖案之該預定孔隙大小不超過該射頻場效電晶體額定處理的信號之波長的 10%。

13. 如請求項 9 之方法，其中：

該屏蔽層包含一金屬層，該金屬層係在將該第二晶圓接合至該絕緣體上半導體晶圓之該主動層之前形成於該第二晶圓上。

14. 如請求項 13 之方法，其中：

該屏蔽層包含一金屬且具有一網狀圖案。

15. 如請求項 9 之方法，其中：

該屏蔽層包含在該絕緣體上半導體晶圓之該互連層中的一金屬化層。

16. 一種用於形成一半導體裝置之方法，該方法包含：

在一絕緣體上半導體晶圓之一主動層中形成一射頻場效電晶體，其中該絕緣體上半導體晶圓具有一內埋絕緣體側及一主動層側；

將一第二晶圓接合至該絕緣體上半導體晶圓之該主動層側；

形成用於該半導體裝置之一屏蔽層，其中該屏蔽層包含一導電材料；

移除該絕緣體上半導體晶圓之該基板之至少一部分；以及

在移除該基板之該部分之後，在該絕緣體上半導體晶圓之該內埋絕緣體側上形成一射頻組件；

將該射頻場效電晶體耦接至包含該射頻組件的一電路；以及

將該射頻場效電晶體、該射頻組件及該屏蔽層切單成一晶粒；

其中該屏蔽層位於該射頻組件之一基板與該射頻場效電晶體之間。

17. 如請求項 16 之方法，其進一步包含：

將該屏蔽層耦接至包含一主動偏電壓產生器的一第二電路；

其中該主動偏電壓產生器向該屏蔽層提供一偏電壓，該偏電壓追蹤提供至該射頻場效電晶體的一大信號偏壓信號。

18. 如請求項 16 之方法，其中：

該屏蔽層包含一金屬且具有一孔隙大小；且

該孔隙大小經設定成不超過該射頻場效電晶體額定處理的信號之波長的 10%。

19. 如請求項 16 之方法，其中：

該屏蔽層包含一金屬層，該金屬層係在形成該射頻組件之前沈積於該絕緣體上半導體晶圓之該內埋絕緣體側上。

20. 如請求項 16 之方法，其中：

該射頻場效電晶體係經由一金屬導體耦接至該電路，該金屬導體沈積

於該內埋絕緣體層之一挖孔區域中。

21. 如請求項 16 之方法，其中：

該屏蔽層包含一金屬層，該金屬層係在將該第二晶圓接合至該絕緣體上半導體晶圓之該主動層之前形成於該第二晶圓上。

22. 如請求項 16 之方法，其中：

該屏蔽層包含一金屬且具有一網狀圖案。

圖式

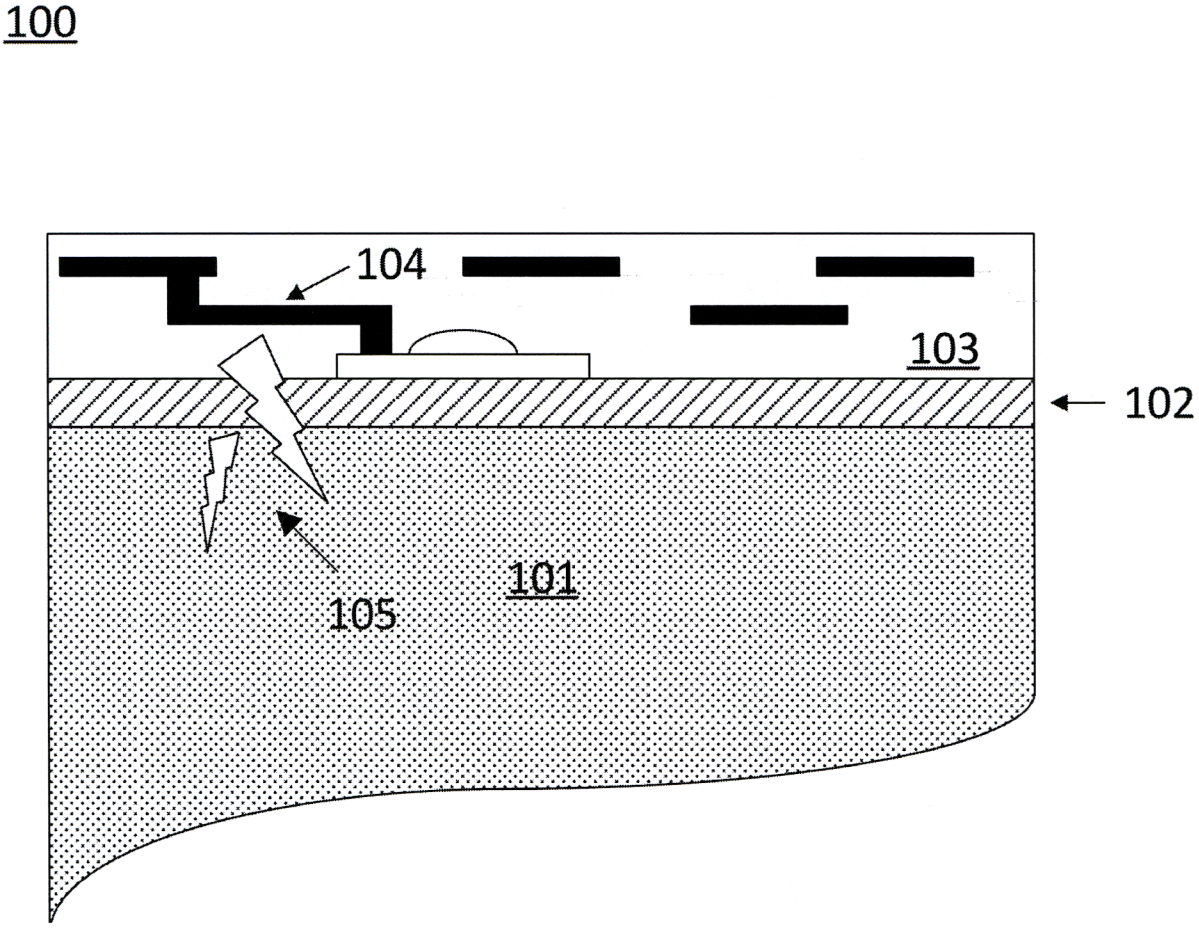

圖 1
(相關技術)

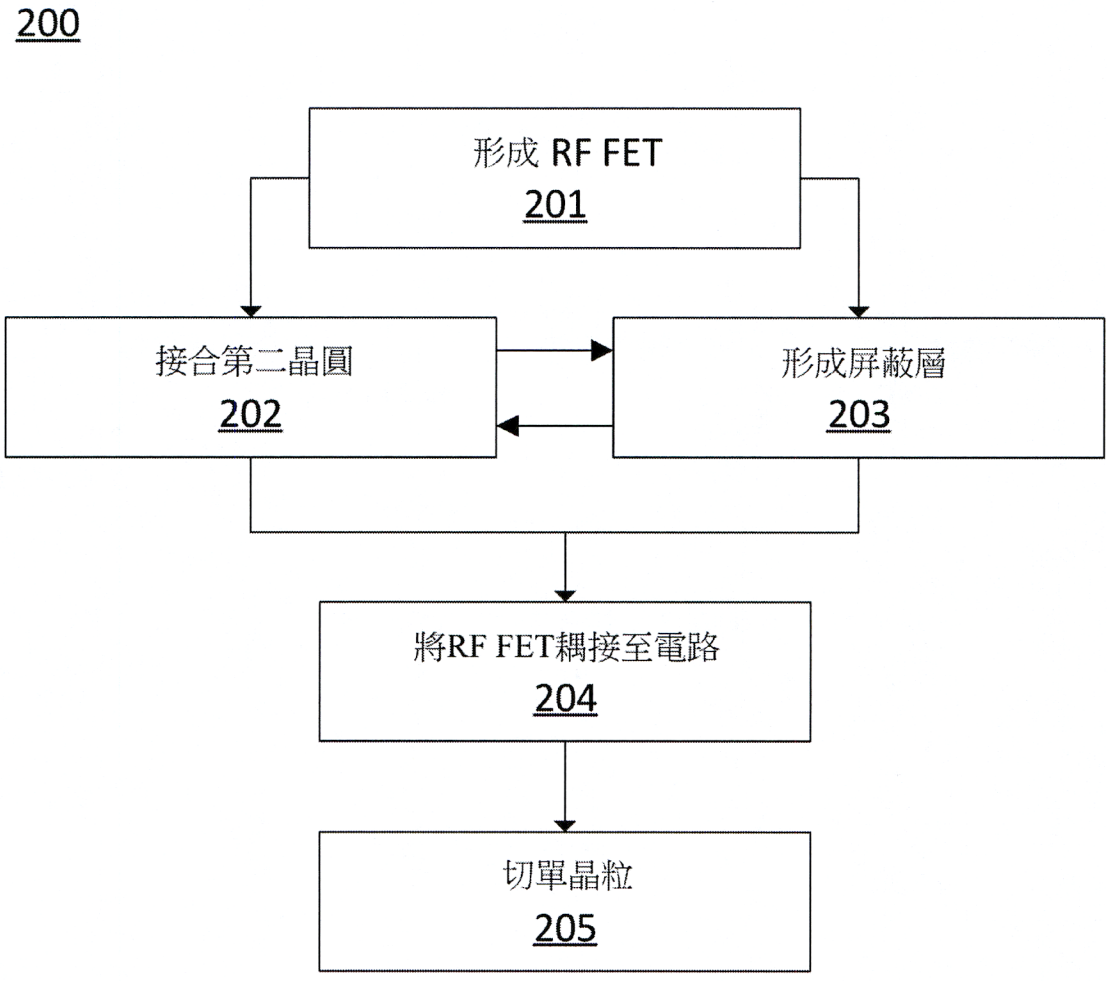
200
形成 RF FET
201
接合第二晶圓
202
形成屏蔽層
203
將RF FET耦接至電路
204
切單晶粒
205

圖 2

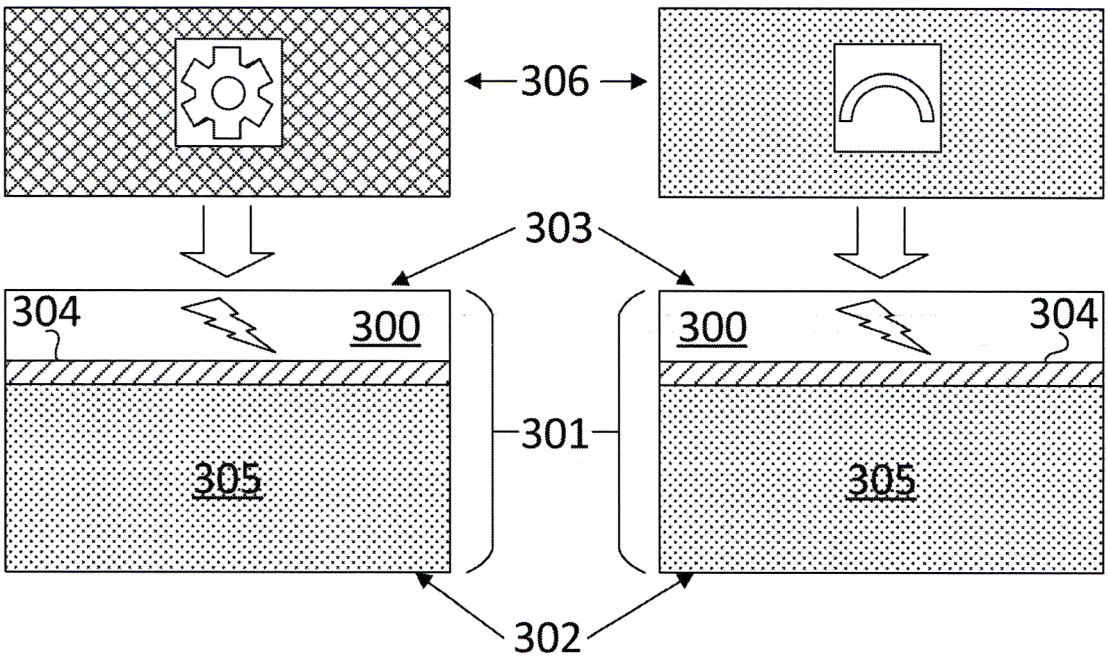
306
303
304
300
300
304
301
305
305
302

圖 3a

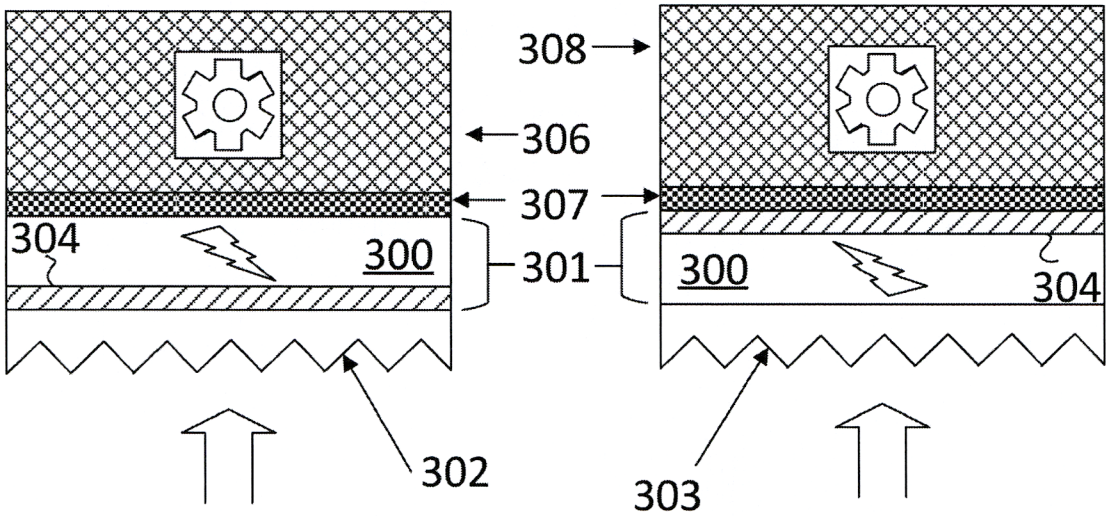
308
306
307
304
300
301
300
304
302
303

圖 3b

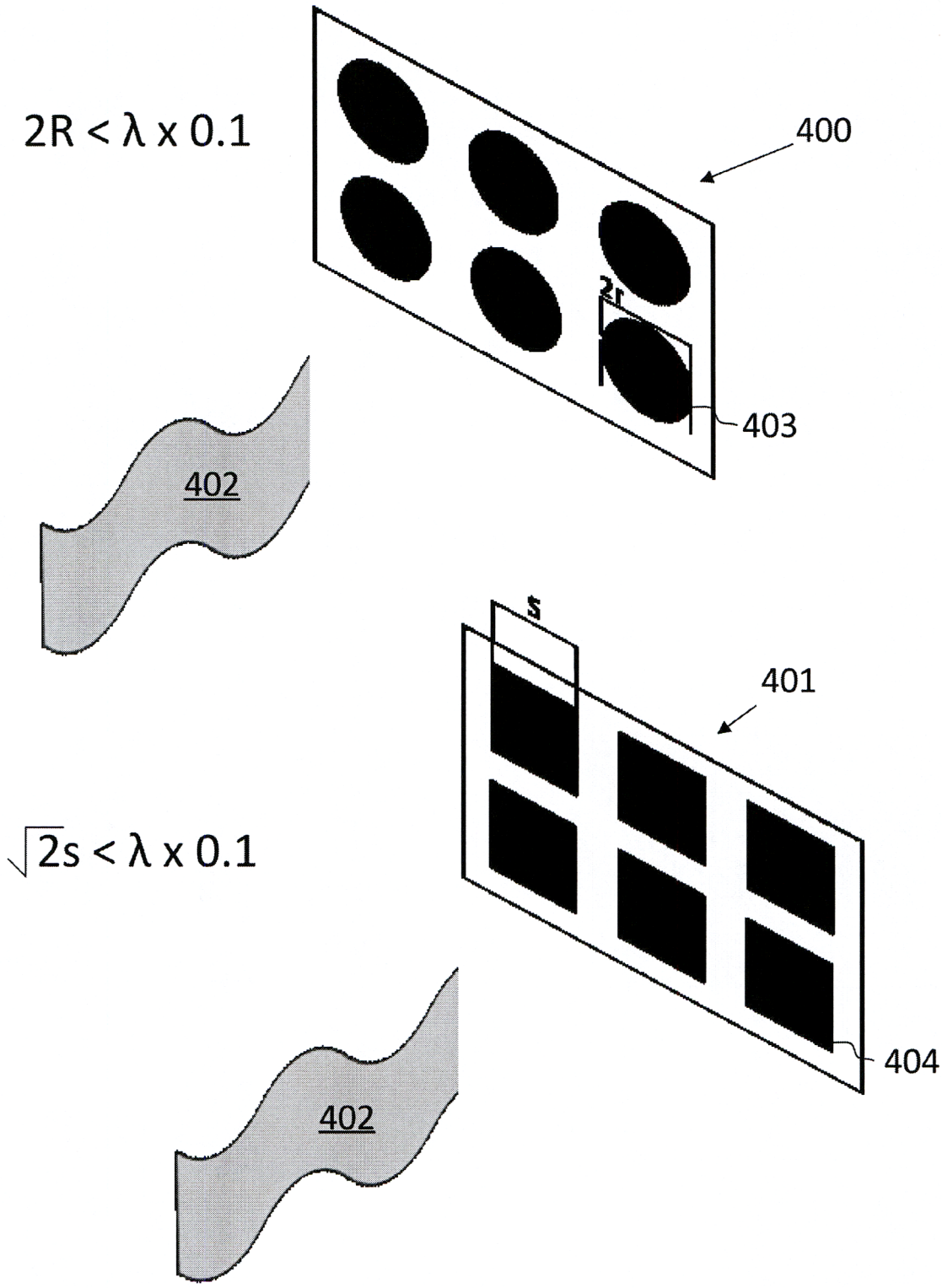

圖 4

500

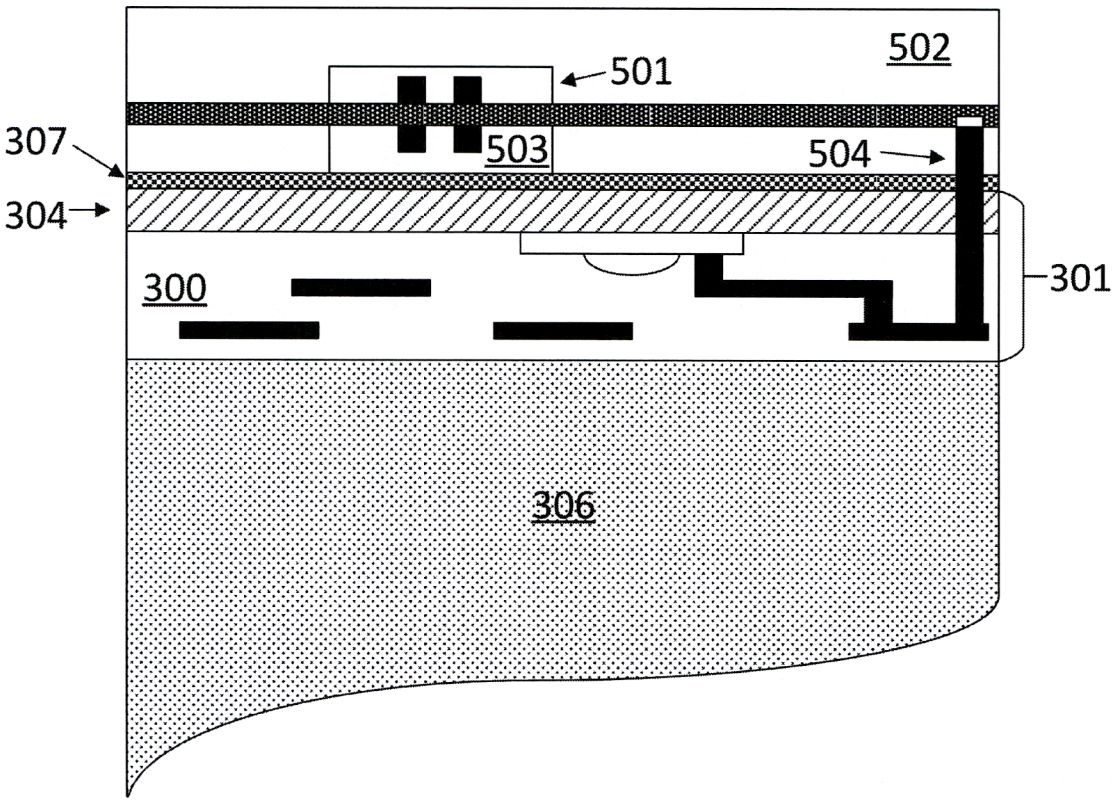

圖 5

600


形成 RF FET
201
接合第二晶圓(處理)
202
移除基板
601
形成屏蔽層
203
形成RF組件
602
將RF FET耦接至電路
204
切單晶粒
205

圖 6

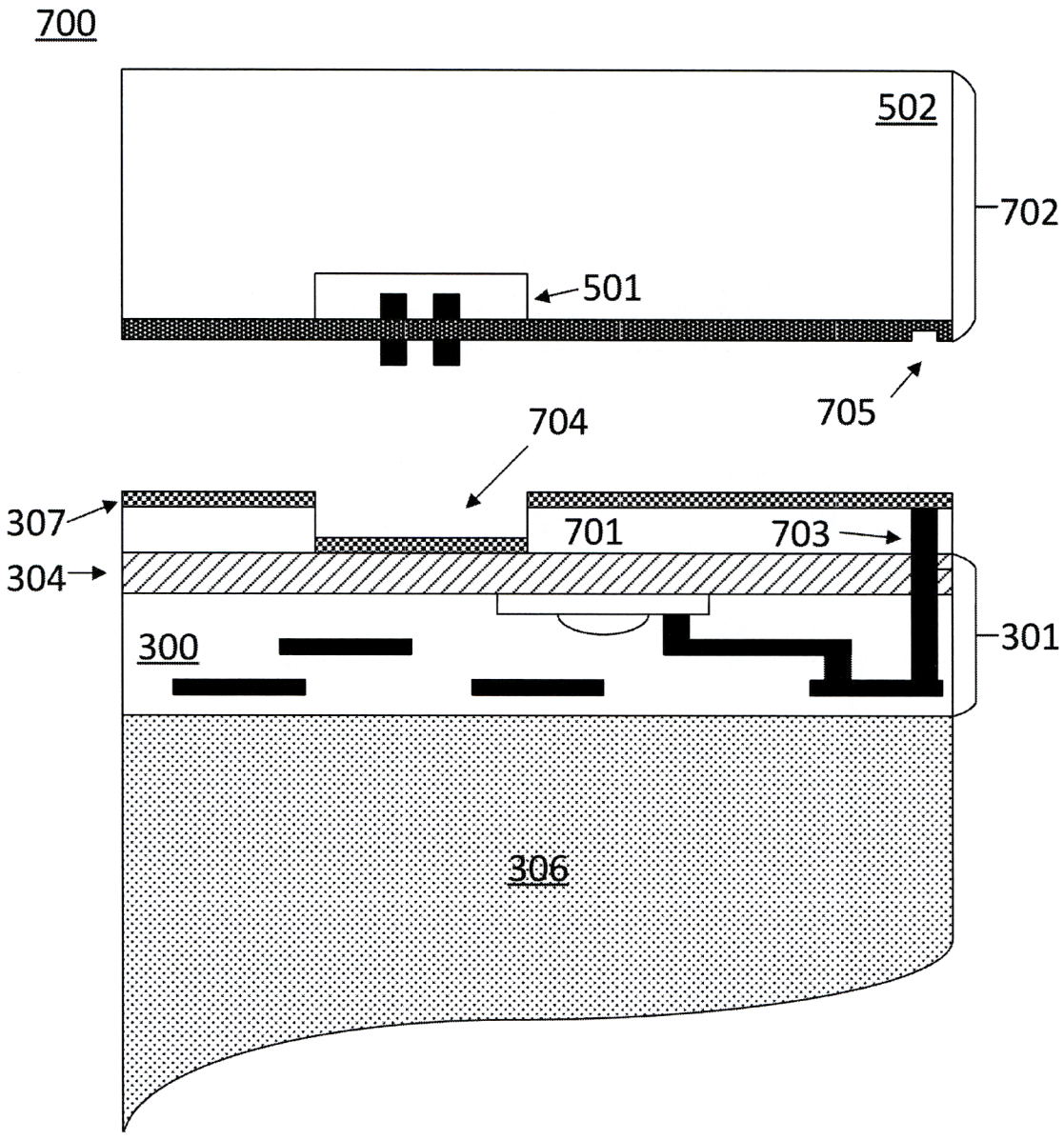

圖 7

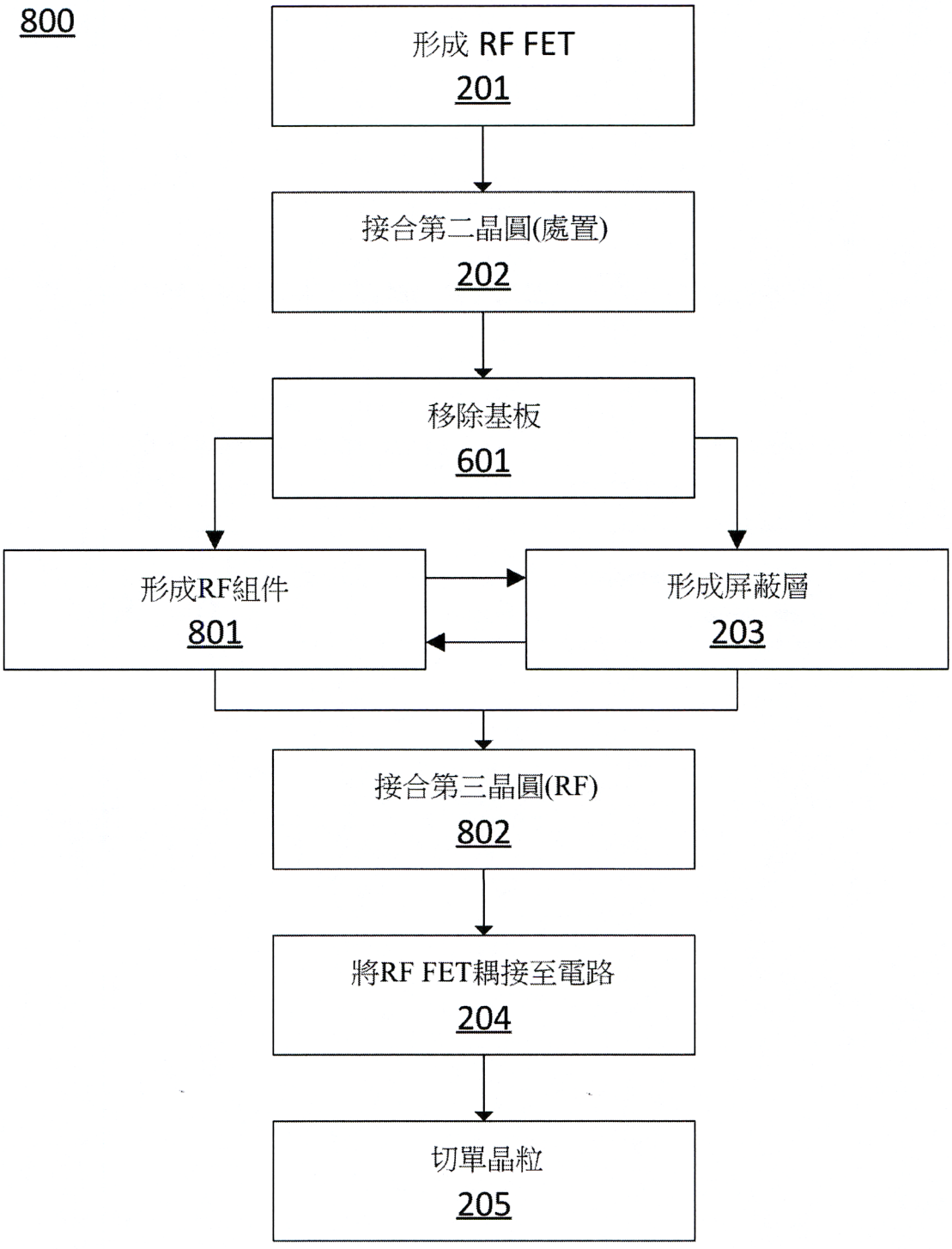
800
形成 RF FET
201
接合第二晶圓(處置)
202
移除基板
601
形成RF組件
801
形成屏蔽層
203
接合第三晶圓(RF)
802
將RF FET耦接至電路
204
切單晶粒
205

圖 8

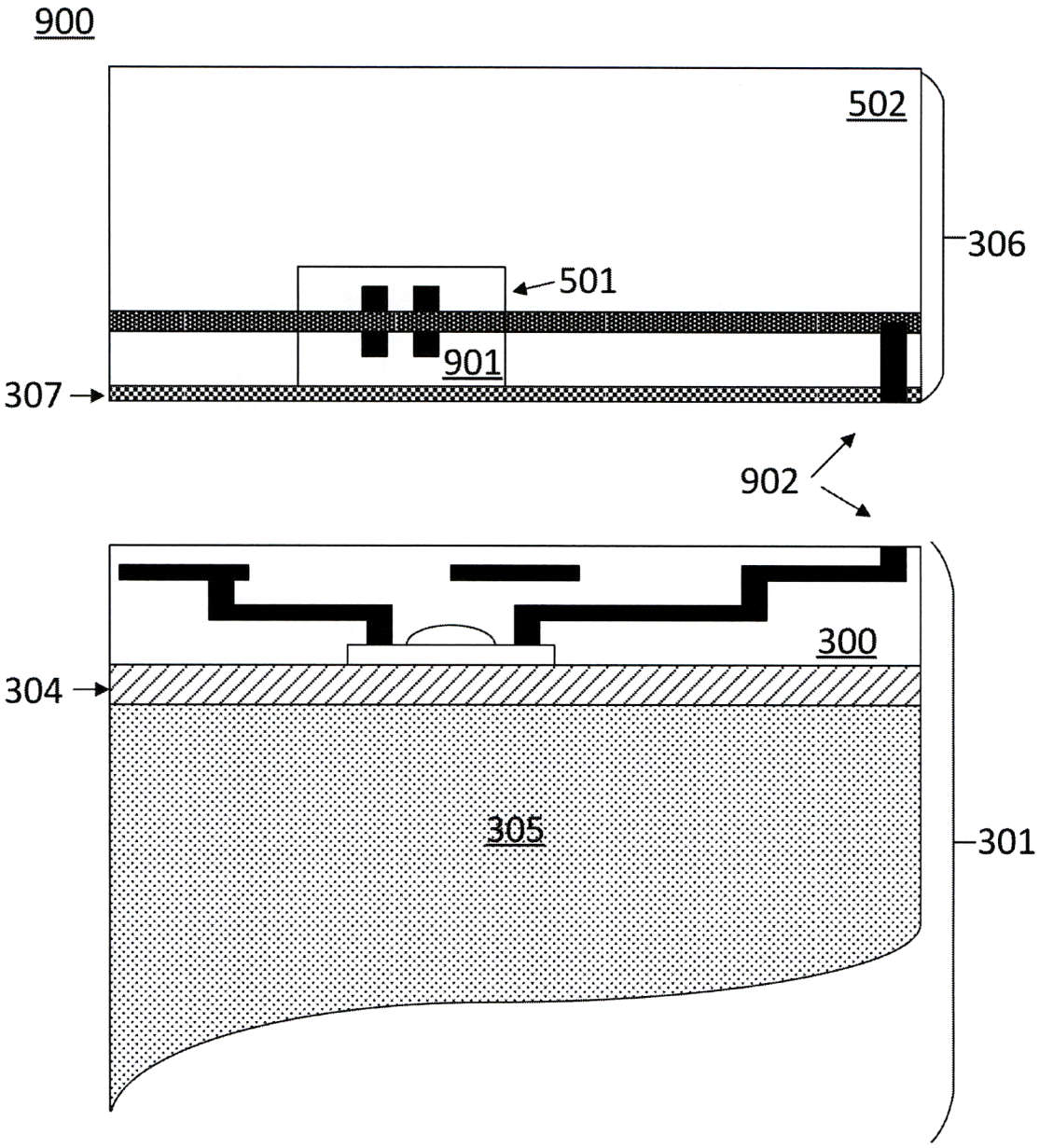

圖 9

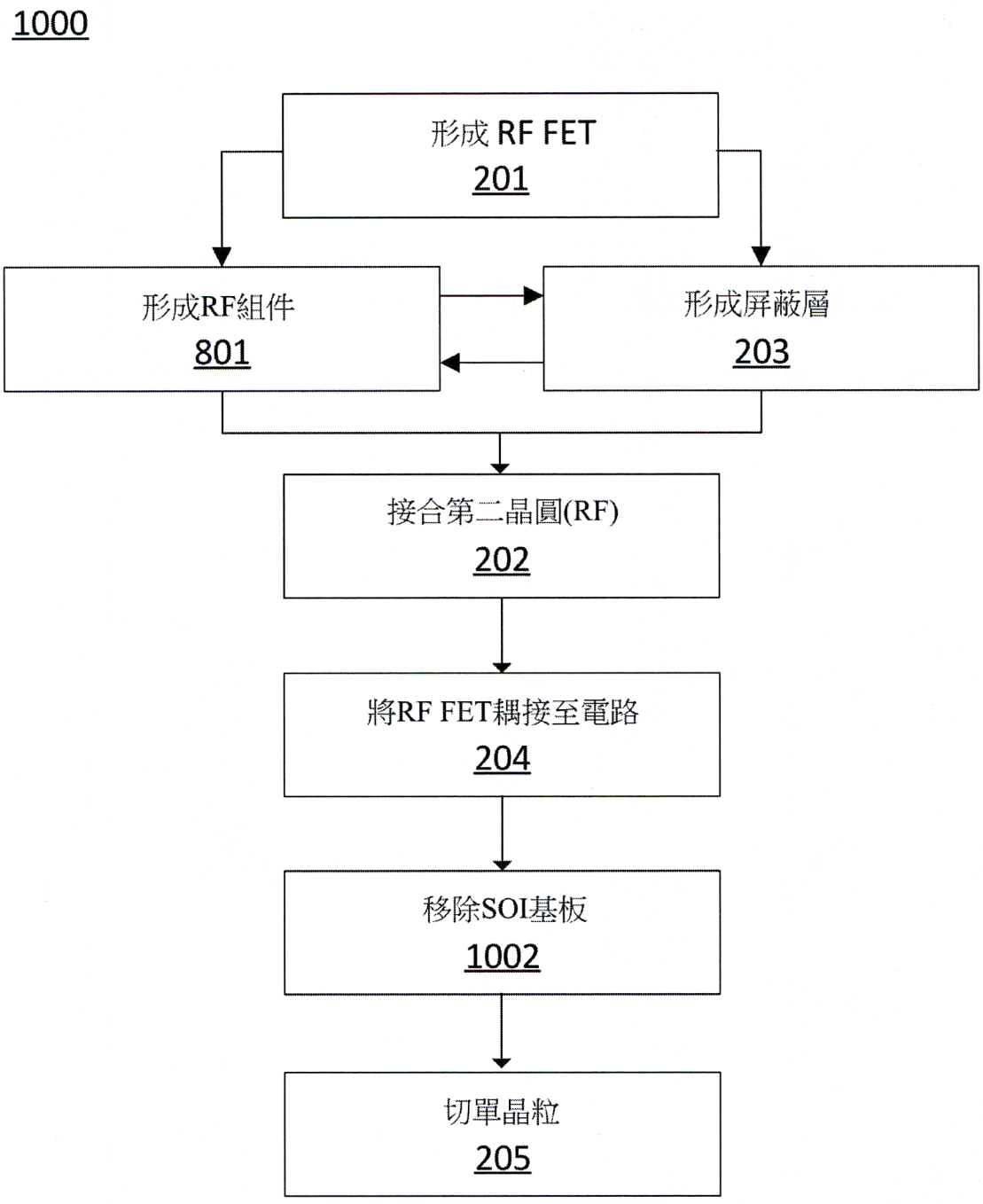
1000
形成 RF FET
201
形成RF組件
801
形成屏蔽層
203
接合第二晶圓(RF)
202
將RF FET耦接至電路
204
移除SOI基板
1002
切單晶粒
205

圖 10