

公告本

申請日期	P1.2.21
案號	P1103012
類別	G11C 16/04

A4
C4

550577

(以上各欄由本局填註)

發明專利說明書		
一、發明名稱	中文	快閃記憶體用高速解碼器
	英文	HIGH SPEED DECODER FOR FLASH MEMORY
二、發明人	姓名	赤荻隆男 TAKAO AKAOGI
	國籍	日本 JAPAN
	住、居所	美國加州庫帕堤諾·十月路7911號 7911 OCTOBER WAY, CUPERTINO, CA 95014, USA
三、申請人	姓名 (名稱)	日商·富士通股份有限公司 FUJITSU LIMITED
	國籍	日本 JAPAN
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1 KAMIKODANAKA 4-CHOME NAKAHATARA-KU KAWASAKI-SHI KANAGAWA 211-8588 JAPAN
	代表人姓名	秋草直之 NAOYUKI AKIKUSA

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

美 國 (地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
2001,04,30 09/846,099

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明係關於快閃記憶體用之解碼器，且更特別關於使用與一時間延遲設計組合的NMOS驅動器電路、來確定有效率升壓操作的快速x解碼器。

發明背景

快閃記憶體傳統上由一陣列之浮接閘極電晶體、或核心胞元來組成，其被配置成方塊、且可藉由激勵陣列之一特定字組線和一特定位元線來個別地定址。在一核心胞元上的“0”對應於針對該胞元、在4V等級上的一高導通臨界電壓，而“1”對應於2V等級上的一低導通臨界電壓。各胞元之字組線被連接於其電晶體之控制閘極，且針對其位址的位元線激勵其源極-汲極電路。藉由在其源極-汲極電路被激勵時，把其字組線驅動至上述臨界電壓間的一電壓、來讀取一胞元。若電流通，則胞元含有一個“1”；若不，則它含有一個“0”。

傳統上，針對快閃記憶體的word組線驅動器電路已在CMOS構圖中被執行。這些構圖用5V或更多之習用強健 V_{CC} 源來良好工作，其中寄生胞元電容並非一明顯考量。然而近來，一般增加的電子電路之微小化、特別是快閃記憶體，已導致3V等級上的較小 V_{CC} 供應源。

由於此較低 V_{CC} ，需要使用一電壓提升電路、來把一提升電壓提供於控制閘極。此一電路對載有寄生電容十分敏感。係一CMOS驅動器之本質地，係泛在word組線的一x解碼器必須為低、使胞元被選取。結果，所有未選定胞元之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

字組線必須為高，其係載入升壓電路、且使它慢下來的一情況。因此對於快速操作，期望在不載入升壓電路下、來提供增加提升之方法。

發明之概要

本發明藉由提供使用與使用驅動器電晶體之閘極電容來提供額外升壓的一時間延遲定址設計組合之NMOS電晶體的字組線，來解決上述問題。

圖式之簡單描述

第1圖係顯示使用本發明的快閃記憶體之一部段的電路圖；

第2圖係顯示本發明的字組線驅動器之電路圖；

第3圖係使用在本發明中的一升壓電路之電路圖；

第4圖係在本發明中的一泛在x解碼器之電路圖；

第5圖係字組線閘極驅動器之電路圖；

第6a和6b圖係使用在本發明中的一Vx解碼器之電路圖；及

第7圖係說明在操作本發明中遭遇的波形之一組時間-幅度圖。

較佳實施例之詳細描述

第1圖說明一典型快閃記憶體10。記憶體10習用上配置成含有例如一陣列之8x8核心胞元、或浮接閘極電晶體14的方塊12。各方塊12包括其輸入係一正數泛在字組線PGW、一負數泛在字組線NGW、和(在第1圖中)八條垂直字組線AVW₀至AVW₇的一局部x解碼器16。局部解碼器16

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

之輸出係字組線 WL_0 至 WL_7 ，其各用為針對方塊12中的一水平列之核心胞元14的字組線。一給定水平列之個別核心胞元14係由使位元線電晶體 Y_0 至 Y_7 的一選定者導通來定址。

第2圖顯示根據本發明的局部x解碼器16之細節。對於第1圖之8x8方塊，有八個驅動器 20_0 至 20_7 ，來產生字組線信號 WL_0 至 WL_7 。各個驅動器由一串接對組之n電晶體22、24和一字組線閘極n電晶體26來組成。電晶體26之控制閘極被連接至一字組線閘極信號WLG，其產生與第5圖連結地被描述於下。

若如 WL_0 的一局部字組線要被選取，則PGW和WLG將為高、且NGW將為低。若 $AVWL_0$ 在那些情況下由低變高，則 WL_0 將變高至 $AVWL_0$ 位準。 $AVWL_0$ 、WLG和PGW最佳由如說明於第3圖中者的一提升電壓源 V_{BST} 來供應。提升電壓產生器30可由於節點38處與一升壓電容器34串聯、和與一n通道電晶體36之閘極-源極電路並聯的一反相器32來組成。

一正常上高的踢回電壓 V_K 被施於反相器32之輸入，使得電容器34之 V_{BST} 輸出透過電晶體36來連接於 V_{CC} 。當一胞元要被讀取時， V_K 變低、節點38變高至 V_{CC} ，且在電晶體36現在被截止下、 V_{BST} 變成 V_{CC} 加儲存在電容器34上的電壓。在一讀取操作後， V_K 回到高、且使電路準備次一讀取操作。

在新穎驅動器電路中、如上指出地，只有一方塊之PGW將為高、來選擇如 WL_0 的一局部字組線。由於PGW、

(請先閱讀背面之注意事項再填寫本頁)

訂

續

五、發明說明 (4)

WL_G和AVWL都由V_{BST}來供應，第3圖之V_{BST}產生器的載入電容被最小化、來允許高速之字組線驅動。

雖然上述電路解決V_{BST}載入問題，針對新穎電路之最佳操作、需要一特定時序設計。因為拉上電晶體22和24係n通道電晶體，故係電晶體22之閘極的節點28必須保持充分高、來使它們導通。依據本發明，一自我升壓設計被使用。因此，AVWL和WL被保持低，直到節點28在PGW和WL_G上升到V_{BST}之位準期間、達到一充分高電壓為止。然後，當AVWL被允許上升到V_{BST}時，於節點28的電壓因電晶體22之通道電容的作用、而自動提升超過V_{BST}。

習用上，一讀取操作係由無論何時在外部位址輸入上有一改變時所產生的一內部ATD(位址轉移檢測)脈波來實施。因此，與上面第3圖連結所討論的踢回信號V_K可由ATD脈波來有利地取代，使在ATD緊接著位址改變後為高時V_{BST}=V_{CC}、且在ATD於一短期間後變回至低時V_{BST}被提升。

ATD脈波有用於新穎電路中的多數功能。第4圖顯示依據本發明的一總體x解碼器40。外部位址被一NAND解碼閘42來解碼，且饋至由電晶體44a和44b組成的PGW產生器。NAND閘42之輸出也構成至NOR閘46的一輸入，其另一輸入係ATD脈波。NOR閘46之輸出在反相器48中被反相，來形成NGW信號。

因此在ATD脈波期間，NGW在PGW被選取時將被迫為高。在此時期間，局部字組線WL由第2圖中之電晶體24來強迫為低。於ATD脈波之末端，NGW線之一條將被選擇、

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 (5)

且變低，且第3圖之 V_{BST} 產生器將輸出經提升 V_{BST} 電壓。這使第2圖之局部解碼器準備來驅動局部字組線WL。

第5圖說明WLG驅動器之一較佳實施例。WLG信號係共同於一垂直方塊。若該垂直方塊被選擇，則WLG信號將為 V_{BST} ，不然它應為 V_{CC} 。此如第5圖顯示地來完成。當第5圖之垂直方塊被選擇時，NAND閘50使n通道電晶體51導通、且迫使節點52為低。這使電晶體54導通，以在電晶體56截止時把 V_{BST} 傳送至WLG。若第5圖之方塊未被選擇，則節點52被迫使為高、電晶體54截止、電晶體56導通、且 V_{CC} 施於WLG。同時，電晶體58a截止、58b導通、且58c導通，使節點52升壓來改善電晶體56之操作。

上面已提到需要來延遲AVWL信號之致動，直到第2圖中的節點28已有時間來充電高達 V_{BST} ，使得電晶體22之通道電容可向上充電，來作一額外升壓。第6a圖顯示用來執行該工作之一延遲電路59。該圖中，選擇器NAND閘60具有一額外輸入Nd，其係由反相器62a和62b、電容器64、及NOR閘66所抽出的ATD脈波。延遲電路59之一替換樣式被顯示在第6b圖，其中Nd單純係第3圖之節點38的經反相信號。

Nd在ATD或38變高時、會變低，且在ATD脈波後、以一延遲時間來回到高。因此，即使一特定AVWL已被選擇，它將留為低(68a導通、68b截止、68c截止)直到Nd再變高(68a截止、68b導通、68c導通)為止。這允許電晶體22之閘極電容有時間來往上充電，且在AVWL自低(0V)改變至高

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明 (6)

(V_{BST})時、把其閘極電壓耦合得高。

第7圖顯示在操作新穎電路時，在此描述的各種信號之時間關係。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (7)

元件標號對照

- 10…快閃記憶體
- 12…方塊
- 14…浮接閘極電晶體
- 16…局部x解碼器
- 20₀-20₇…驅動器
- 22、24…n電晶體
- 26…字組線閘極n電晶體
- 28、38、52…節點
- 30…提升電壓產生器
- 32、48、62a、62b…反相器
- 34…升壓電容器
- 36、51…n通道電晶體
- 40…總體x解碼器
- 42…NAND解碼閘
- 44a、44b、54、56、58a-58c、68a-68c…電晶體
- 46、66…NOR閘
- 50…NAND閘
- 59…延遲電路
- 60…選擇器NAND閘
- 64…電容器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

四、中文發明摘要(發明之名稱：快閃記憶體用高速解碼器)

本案提供一種用於使用NMOS電路之快閃記憶體的字組線驅動器，來縮減載在低電壓應用的升壓電路上之寄生電容。在驅動器電晶體之閘極導通後、把驅動器之源極-汲極電路的導通延遲一短時間之一延遲設計，允許驅動器電晶體之閘極電容來提供一額外升壓。

英文發明摘要(發明之名稱：HIGH SPEED DECODER FOR FLASH MEMORY)

A word line driver for flash memories using NMOS circuitry to reduce parasitic capacitance loading on boost circuitry in low-voltage applications. A delay scheme which delays turn-on of the driver's source-drain circuit for a short time after the turn-on of the driver transistors' gates allows the gate capacitance of the driver transistor to provide an extra boost.

六、申請專利範圍

1. 一種快閃記憶體用之定址電路，該定址電路包含：

- a) 一個 V_{CC} 電源供應器；
- b) 一升壓電路，被配置來從該電源供應器、定期地產生大於 V_{CC} 的一提升電壓；
- c) x 解碼器電路，由該提升電壓來驅動至該記憶體之位址選定字組線，該 x 解碼器電路被配置、使得針對任何給定位址只有一字組線為高、來把該升壓電路上的寄生電容負載最小化。

2. 依據申請專利範圍第 1 項之定址電路，其中該 x 解碼器包含 NMOS 電路。

3. 依據申請專利範圍第 1 項之定址電路，其更包含也被該提升電壓來驅動的垂直 x 解碼器電路，該垂直 x 解碼器電路也被配置、使得針對任何給定位址只有一垂直字組線為高。

4. 一種方塊型快閃記憶體用之定址電路，該定址電路包含：

- a) 一總體字組線，與各列之方塊相關聯；及
- b) 一局部字組線，與一方塊內的各列之記憶體胞元相關聯；
- c) 該局部字組線係由包括其控制閘極係由一總體字組線驅動器來控制的一對串接電晶體之一垂直字組線驅動器來激勵；
- d) 該等驅動器之時序被安排、使得該等控制閘極在該等電晶體之源極-汲極電路被激勵前、於一預定時間

(請先閱讀背面之注意事項再填寫本頁)

第

訂

六、申請專利範圍

來致動，藉此在該等電晶體之通道電容上、由致動該等控制閘極所建立的電壓、在其源極-汲極電路變得被激勵時、把一導通升壓提供給該等電晶體。

5. 一種局部x解碼器，係在以各含有一陣列之核心胞元的一陣列之方塊來佈局的一快閃記憶體中，各列之方塊係與具有正數和負數軌道的一分立總體字組線相關聯，一方塊內的各列之胞元具有一局部字組線、且一方塊內的各列之胞元係與一分立垂直字組線相關聯，該x解碼器包含：

a) 第一和第二n電晶體，串聯連接在該等垂直字組線中之一條和接地間，該局部字組線係連接於該等第一和第二電晶體間；

b) 該第一電晶體之閘極係透過一字組線閘極電晶體，而連接至該總體字組線之該正數軌道；及

c) 該第二電晶體之閘極係而連接至該總體字組線之該負數軌道。

6. 依據申請專利範圍第5項之x解碼器，其中該總體字組線、該字組線閘極、和該垂直字組線係由一提升電壓源來供應。

7. 一種總體x解碼器，用來輸出一總體字組線之一正數軌道和一負數軌道，該x解碼器包含：

a) 一解碼閘件，在被選擇時其輸出為高；

b) 一位址轉移檢測信號源，其在選擇一位址隨後、脈動得高；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

c)一提升電壓源，該源在該位址轉移檢測脈波期間係於 V_{CC} 供應電壓、而在該位址轉移檢測脈波之後上升至一提升電壓；

d)一個p通道電晶體和一個n通道電晶體，自該提升電壓源串聯連接至接地，該等電晶體之閘極被連接在一起、且操作性地連接於該解碼閘件之輸出；

e)該總體字組線之該正數軌道係連接至該等電晶體的源極-汲極電路之互相連接部；

f)一個p通道升壓電晶體，連接在該提升電壓源和該等第一命名電晶體之該經連接閘極間，該升壓電晶體之閘極連接於該正數軌道；

g)一個NOR閘，其輸入係該解碼閘件之輸出和該位址轉移檢測脈波；及

h)一反相器，連接來把該NOR閘之輸出反相、來形成該總體字組線之該負數軌道。

8. 一種快閃記憶體用之字組線閘極驅動器，該閘極驅動器包含：

a)一字組線閘極信號輸出；

b)一垂直方塊選擇解碼閘件，該閘件之輸出在對應於該字組線閘極的垂直方塊被選擇時、為高；

c)一提升電壓源，該源在該位址轉移檢測脈波期間係於 V_{CC} 供應電壓、而在該位址轉移檢測脈波之後上升至一提升電壓；

d)一個p通道電晶體和一個n通道電晶體，自該提升

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

電壓源串聯連接至接地，該等電晶體之閘極被連接在一起、且操作性地連接於該解碼閘件之輸出；

e) 一個p通道升壓電晶體，連接在該提升電壓源和該等第一命名電晶體之該經連接閘極間，該升壓電晶體之閘極連接於該等第一命名電晶體的源極-汲極電路之互相連接部；

f) p通道和n通道切換電晶體，使其閘極連接至該等第一命名電晶體的源極-汲極電路之該互相連接部；

g) 該p通道切換電晶體之源極-汲極電路係連接在該提升電壓源和該字組線閘極信號輸出間；及

h) 該n通道切換電晶體之源極-汲極電路係連接在該 V_{CC} 供應電壓和該字組線閘極信號輸出間。

9. 一種快閃記憶體用之垂直x解碼器，該x解碼器包含：

a) 一垂直字組線信號輸出；

b) 一垂直字組線選擇解碼閘件，該閘件係具有選擇線輸入和一額外輸入的一個NAND閘；

c) 該額外輸入係連接於一檢測脈波，該檢測脈波被延遲使得該額外輸入於該脈波之領先邊緣變低、但在該脈波之尾隨邊緣後會變高一預定長度之時間；

d) 一提升電壓源，該源在該位址轉移檢測脈波期間係於 V_{CC} 供應電壓、而在該位址轉移檢測脈波之後上升至一提升電壓；

e) 一個p通道電晶體和一個n通道電晶體，自該提升電壓源串聯連接至接地，該等電晶體之閘極被連接在一

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

起、且操作性地連接於該解碼閘件之輸出；

f) 一個p通道升壓電晶體，連接在該提升電壓源和該等第一命名電晶體之該經連接閘極間，該升壓電晶體之閘極連接於該垂直字組線信號輸出；及

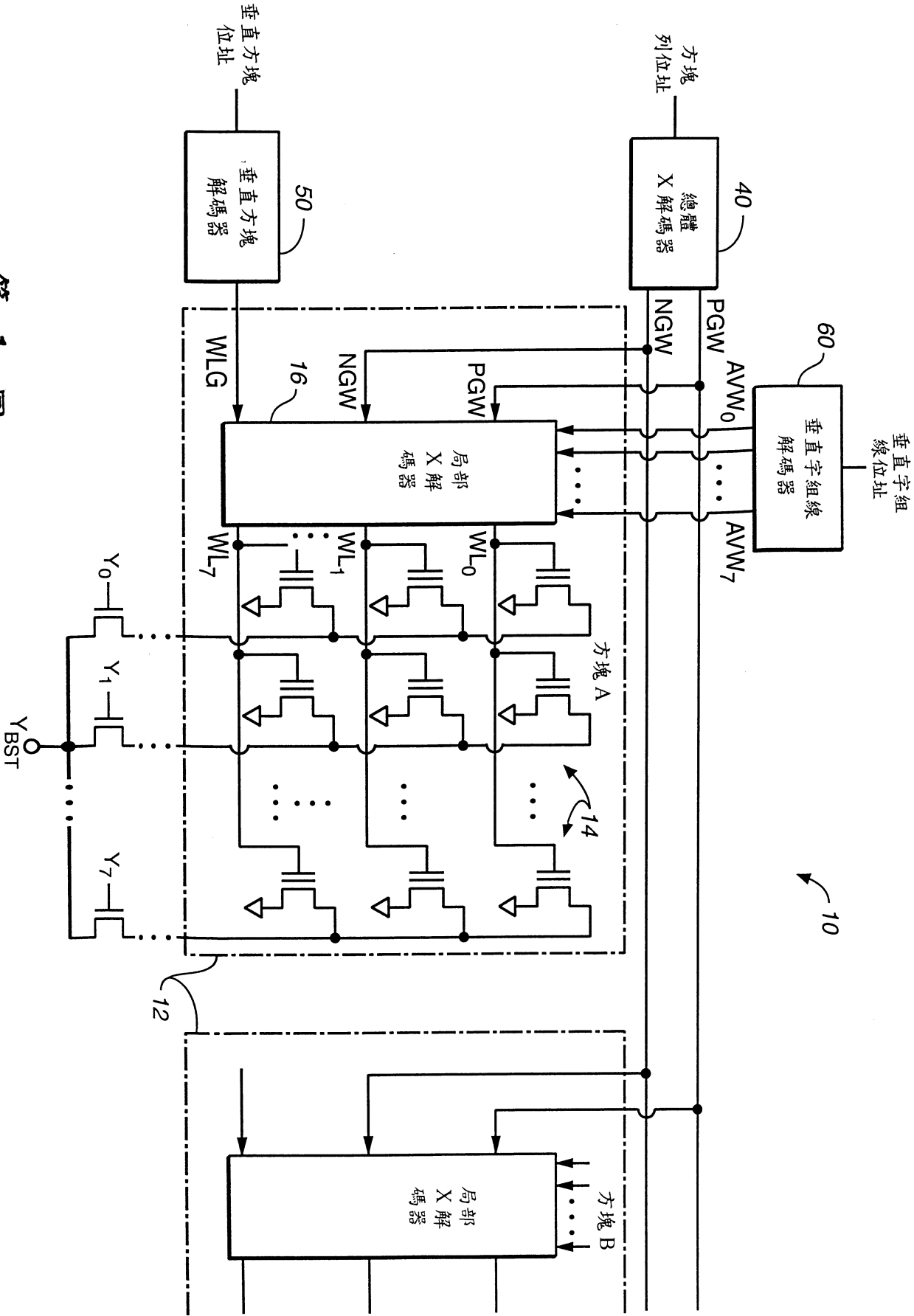
g) 該垂直字組線信號輸出係連接至在其源極-汲極電路中的該等第一命名電晶體間之互相連接部。

(請先閱讀背面之注意事項再填寫本頁)

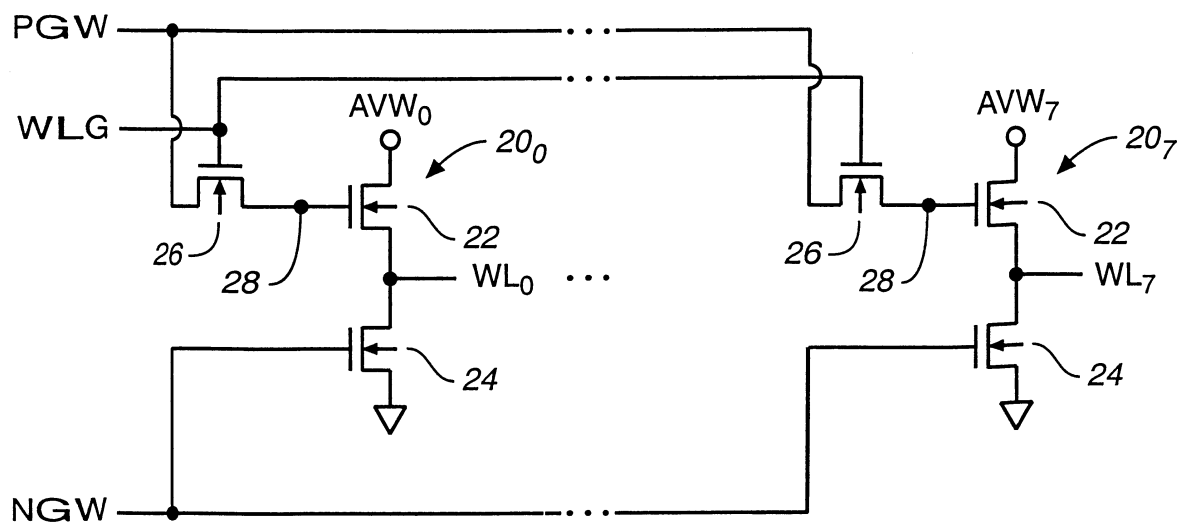
裝

訂

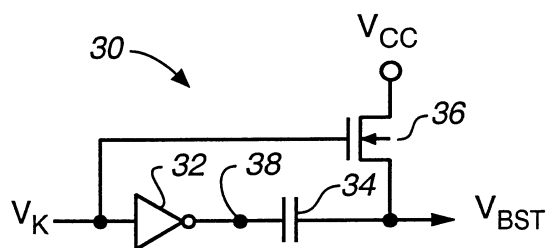
線



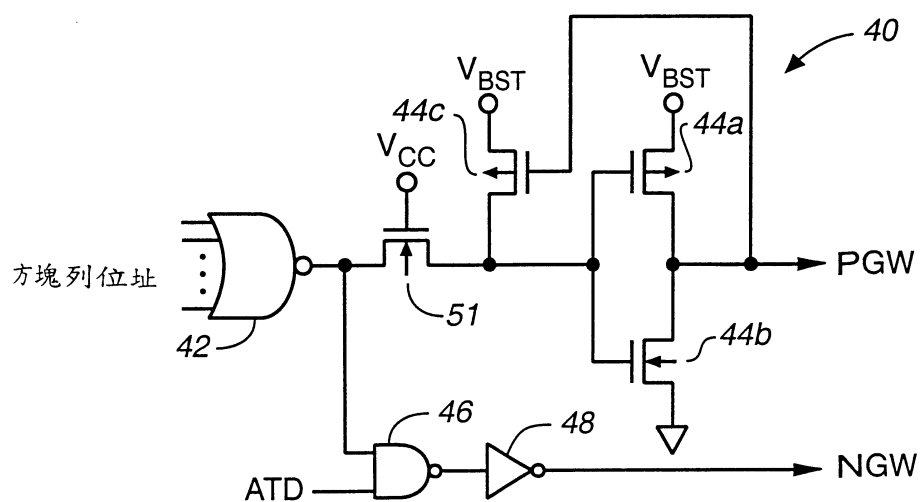
第 1 圖



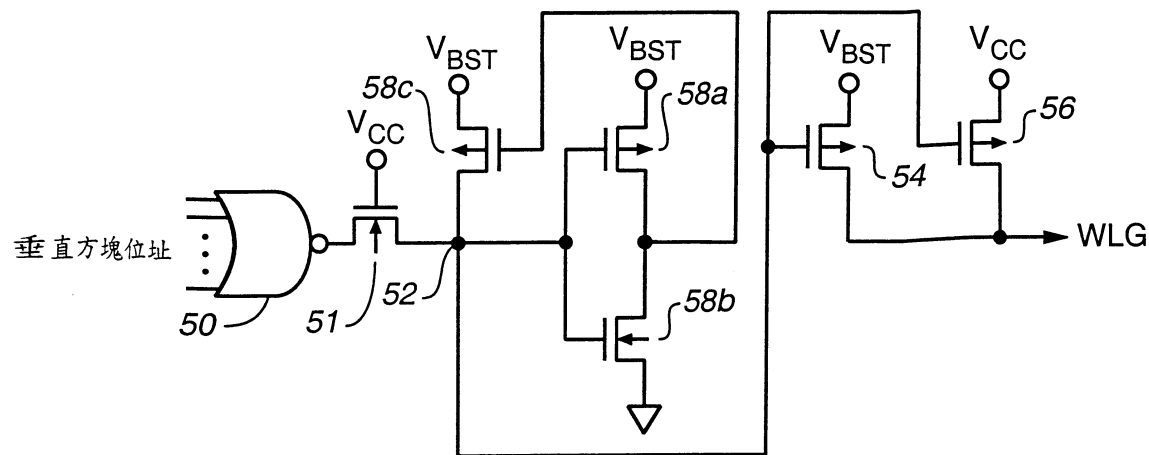
第 2 圖



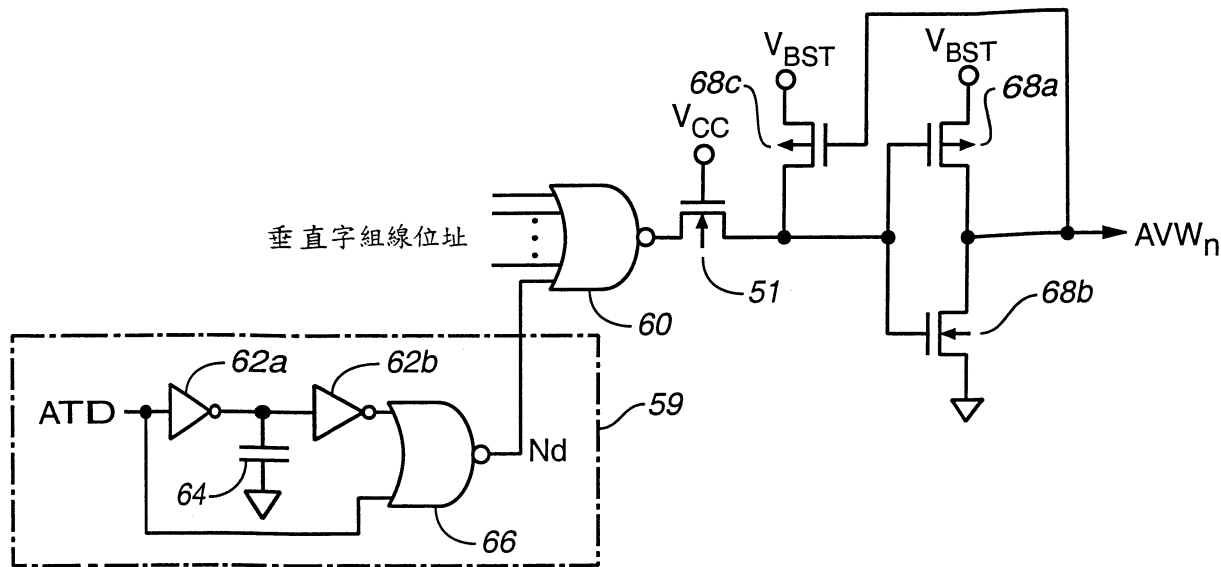
第 3 圖



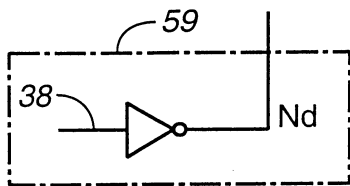
第 4 圖



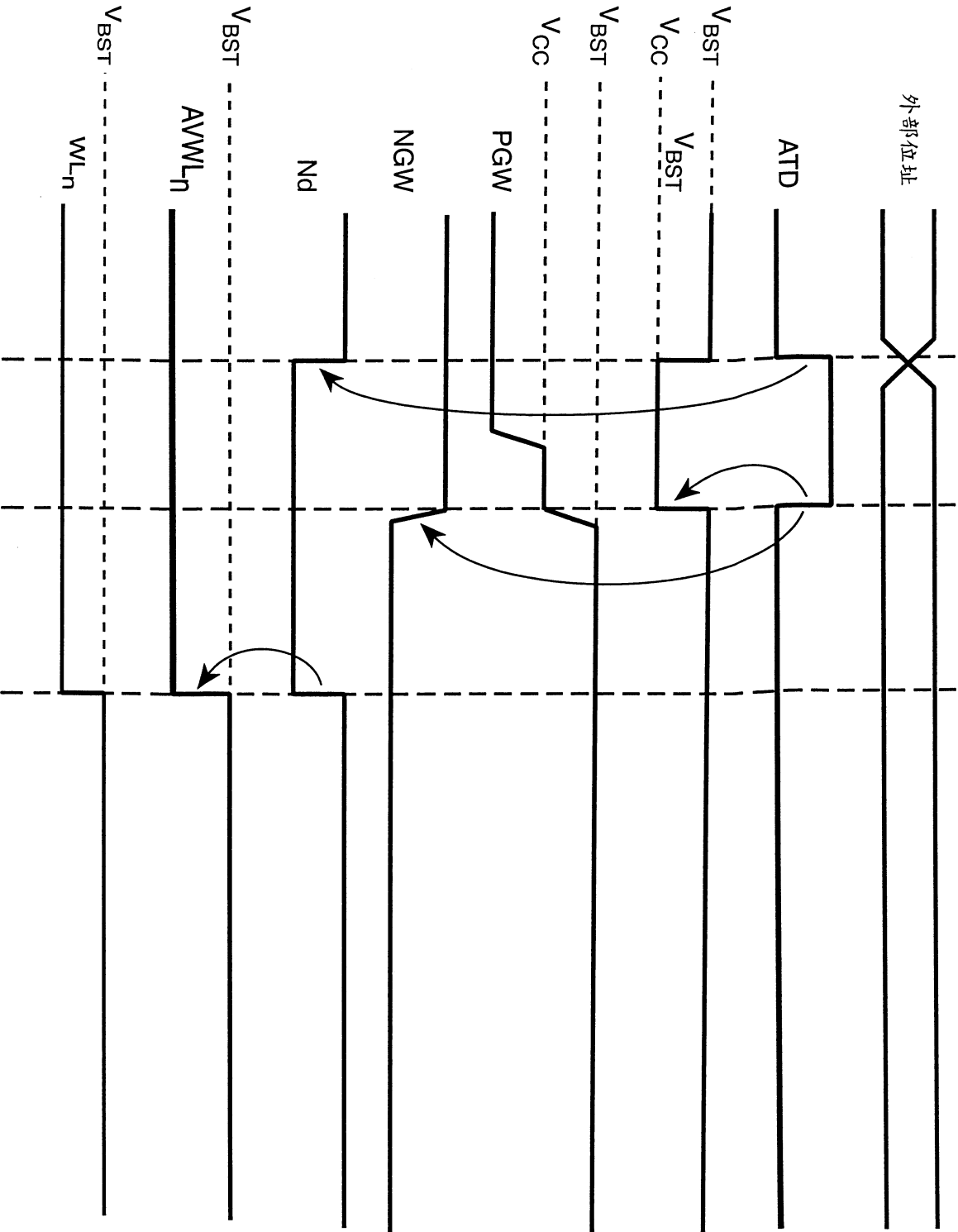
第 5 圖



第 6a 圖



第 6b 圖



第 7 圖