

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2012-124207
(P2012-124207A)

(43) 公開日 平成24年6月28日 (2012.6.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 A	5 F 0 3 2
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 29/78 3 0 1 R	5 F 0 4 8
HO 1 L 29/78 (2006.01)	HO 1 L 21/76 L	5 F 1 4 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 0 1 D	
審査請求 未請求 請求項の数 14 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2010-271419 (P2010-271419)	(71) 出願人	000003078
(22) 出願日	平成22年12月6日 (2010.12.6)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108062
			弁理士 日向寺 雅彦
		(72) 発明者	荻岐村 岳人
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		(72) 発明者	秋元 理恵子
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		(72) 発明者	渡邊 君則
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		最終頁に続く	

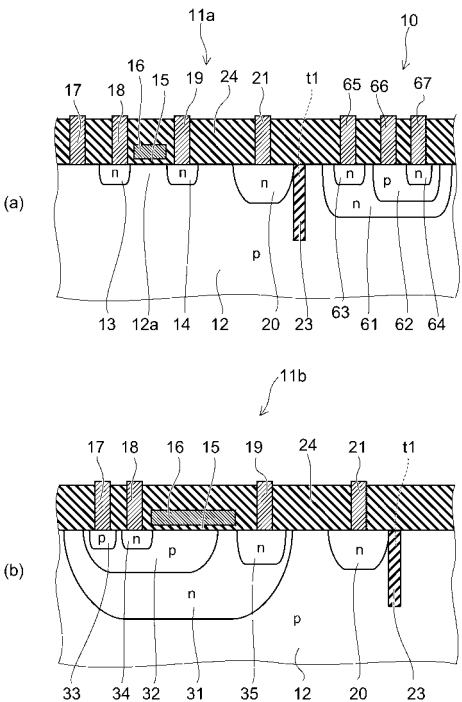
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 同一基板上に混載された他の素子の誤動作を抑制できる半導体装置を提供する。

【解決手段】 半導体装置は、p形半導体層12と、n形のソース領域13と、絶縁体23と、n形半導体領域20と、n形のドレイン領域14と、p形のチャネル領域12aと、ゲート絶縁膜15と、ゲート電極16と、ソース電極18と、ドレイン電極19と、電極21とを備える。前記絶縁体は、前記p形半導体層の表面から前記p形半導体層の厚み方向に延びて形成されたトレンチt1内に設けられている。前記n形半導体領域は、前記ドレイン領域と前記絶縁体との間の前記p形半導体層の表面に設けられる。前記電極は、前記n形半導体領域に接続される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

p 形半導体層と、
前記 p 形半導体層の表面に設けられた n 形のソース領域と、
前記 p 形半導体層の表面から前記 p 形半導体層の厚み方向に延びて形成されたトレンチ内に設けられた絶縁体と、
前記ソース領域と前記絶縁体との間の前記 p 形半導体層の表面に設けられた n 形半導体領域と、
前記ソース領域と前記 n 形半導体領域との間の前記 p 形半導体層の表面に設けられ、前記ソース領域及び前記 n 形半導体領域に対して離間している n 形のドレイン領域と、
前記ソース領域と前記ドレイン領域との間の前記 p 形半導体層の表面に設けられ、前記ソース領域及び前記ドレイン領域に対して隣接している p 形のチャンネル領域と、
前記チャンネル領域上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
前記ソース領域に接続されたソース電極と、
前記ドレイン領域に接続されたドレイン電極と、
前記 n 形半導体領域に接続された電極と、
を備えたことを特徴とする半導体装置。

10

【請求項 2】

前記トレンチ及び前記絶縁体は、前記ソース領域、前記チャンネル領域、前記ドレイン領域及び前記 n 形半導体領域を含む領域を囲んでいることを特徴とする請求項 1 記載の半導体装置。

20

【請求項 3】

前記 n 形半導体領域は、前記ソース領域、前記チャンネル領域及び前記ドレイン領域を含む領域を囲んでいることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記トレンチは、前記 n 形半導体領域よりも深いことを特徴とする請求項 1 ～ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記チャンネル領域は前記ドレイン領域の表面に設けられ、前記ソース領域は前記チャンネル領域の表面に設けられたことを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の半導体装置。

30

【請求項 6】

前記ドレイン領域と前記 n 形半導体領域は同じ深さであることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記ドレイン電極に負電位が印加されると、前記ドレイン領域をエミッタ、前記 p 形半導体層をベース、前記 n 形半導体領域をコレクタとした寄生バイポーラトランジスタが動作することを特徴とする請求項 1 ～ 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

p 形半導体層と、
前記 p 形半導体層上に設けられた n 形半導体層と、
前記 n 形半導体層の表面に設けられた n 形のソース領域と、
前記 n 形半導体層の表面から前記 n 形半導体層の厚み方向に延びて形成されたトレンチ内に設けられた絶縁体と、
前記ソース領域と前記絶縁体との間の前記 n 形半導体層を分断して前記 p 形半導体層に達する p 形半導体領域と、
前記 p 形半導体領域と前記絶縁体との間の前記 n 形半導体層に設けられた n 形半導体領域と、
前記ソース領域と前記 p 形半導体領域との間の前記 n 形半導体層に設けられた n 形のド

40

50

レイン領域と、

前記ソース領域と前記ドレイン領域との間の前記n形半導体層の表面に設けられ、前記ドレイン領域に対して隣接し、前記ソース領域を取り囲んでいるp形のチャンネル領域と、前記チャンネル領域上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極と、前記n形半導体領域に接続された電極と、を備えたことを特徴とする半導体装置。

【請求項9】

10

前記トレンチ及び前記絶縁体は、前記ソース領域、前記チャンネル領域、前記ドレイン領域、前記p形半導体領域及び前記n形半導体領域を含む領域を囲んでいることを特徴とする請求項8記載の半導体装置。

【請求項10】

前記n形半導体領域は、前記ソース領域、前記チャンネル領域、前記ドレイン領域及び前記p形半導体領域を含む領域を囲んでいることを特徴とする請求項8または9に記載の半導体装置。

【請求項11】

前記トレンチは、前記n形半導体層を貫通して前記p形半導体層に達することを特徴とする請求項8～10のいずれか1つに記載の半導体装置。

20

【請求項12】

前記ドレイン電極に負電位が印加されると、前記ドレイン領域をエミッタ、前記p形半導体領域をベース、前記n形半導体領域をコレクタとした寄生バイポーラトランジスタが動作することを特徴とする請求項8～11のいずれか1つに記載の半導体装置。

【請求項13】

前記電極は接地されることを特徴とする請求項1～12のいずれか1つに記載の半導体装置。

【請求項14】

前記ドレイン領域の表面に設けられ、前記ドレイン領域よりもn形不純物濃度が高いドレインコンタクト領域をさらに備え、

30

前記ドレイン電極は、前記ドレインコンタクト領域に接していることを特徴とする請求項1～13のいずれか1つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

例えばバイポーラトランジスタなどとともにp形半導体基板上に混載されたn形MOS (Metal-Oxide-Semiconductor) トランジスタのドレイン電極を出力端子とする集積回路において、例えばコイルなどの誘導性負荷を制御する場合、誘導性負荷からの逆起電力により、出力端子（ドレイン電極）に負電位が与えられる。

40

【0003】

その結果、n形MOSトランジスタのn形ドレイン領域と、p形半導体基板とのpn接合が順方向にバイアスされ、出力素子（n形MOSトランジスタ）の隣もしくは近くに混載された他の素子のn形半導体領域をコレクタ、p形半導体基板をベース、n形MOSトランジスタのn形ドレイン領域をエミッタとした寄生npnバイポーラトランジスタが動作する。これにより、他の素子は、正常な動作を阻害され、回路が誤動作するという懸念がある。

【0004】

50

従来、それを抑制するために、出力素子と他の素子との離間距離を大きくする対策がとられているが、これは集積回路のサイズ（ダイサイズ）の増大をまねく。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-287798号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

同一基板上に混載された他の素子の誤動作を抑制できる半導体装置を提供する。

10

【課題を解決するための手段】

【0007】

実施形態によれば、半導体装置は、p形半導体層と、n形のソース領域と、絶縁体と、n形半導体領域と、n形のドレイン領域と、p形のチャネル領域と、ゲート絶縁膜と、ゲート電極と、ソース電極と、ドレイン電極と、電極と、を備えている。

前記ソース領域は、前記p形半導体層の表面に設けられている。

前記絶縁体は、前記p形半導体層の表面から前記p形半導体層の厚み方向に延びて形成されたトレンチ内に設けられている。

前記n形半導体領域は、前記ソース領域と前記絶縁体との間の前記p形半導体層の表面に設けられている。

20

前記ドレイン領域は、前記ソース領域と前記n形半導体領域との間の前記p形半導体層の表面に設けられ、前記ソース領域及び前記n形半導体領域に対して離間している。

前記チャネル領域は、前記ソース領域と前記ドレイン領域との間の前記p形半導体層の表面に設けられ、前記ソース領域及び前記ドレイン領域に対して隣接している。

前記ゲート絶縁膜は、前記チャネル領域上に設けられている。

前記ゲート電極は、前記ゲート絶縁膜上に設けられている。

前記ソース電極は、前記ソース領域に接続されている。

前記ドレイン電極は、前記ドレイン領域に接続されている。

前記電極は、前記n形半導体領域に接続されている。

【図面の簡単な説明】

30

【0008】

【図1】(a)は第1実施形態の半導体装置の模式断面図であり、(b)は第2実施形態の半導体装置の模式断面図。

【図2】(a)は第3実施形態の半導体装置の模式断面図であり、(b)は第4実施形態の半導体装置の模式断面図。

【図3】(a)は第5実施形態の半導体装置の模式断面図であり、(b)は第6実施形態の半導体装置の模式断面図。

【図4】(a)は第7実施形態の半導体装置の模式断面図であり、(b)は第8実施形態の半導体装置の模式断面図。

【図5】実施形態の半導体装置の主要要素の平面レイアウトを示す模式平面図。

40

【図6】実施形態の半導体装置の主要要素の平面レイアウトを示す模式平面図。

【図7】DC-DCコンバータの回路図。

【発明を実施するための形態】

【0009】

以下、図面を参照し、実施形態について説明する。なお、各図面中、同じ要素には同じ符号を付している。

【0010】

実施形態の半導体装置は、半導体材料として例えばシリコンを用いている。あるいは、シリコン以外の半導体（例えばSiC、GaN等の化合物半導体）を用いてもよい。

【0011】

50

(第1実施形態)

図1(a)は、第1実施形態の半導体装置の模式断面図である。

【0012】

本実施形態の半導体装置は、同一基板上に、出力素子と、他の素子とが混載されて1つのチップに集積化された構造を有する。

【0013】

図1(a)には、p形半導体層(もしくはp形半導体基板)12に、出力素子11aと、他の素子として例えばnpn形のバイポーラトランジスタ10が混載された構造を示す。

【0014】

出力素子11aとバイポーラトランジスタ10とは、いわゆるDTI(Deep Trench Isolation)構造によって素子分離されている。すなわち、出力素子11aとバイポーラトランジスタ10との間には、トレンチt1が形成され、そのトレンチt1内に絶縁体23が埋め込まれている。なお、出力素子11aと、図示しない他の素子との間もトレンチt1及び絶縁体23によって素子分離されている。

【0015】

トレンチt1は、p形半導体層12の表面から、p形半導体層12の厚み方向に延びている。トレンチt1は、例えばRIE(Reactive Ion Etching)法によってエッチングされて形成される。絶縁体23は、例えばシリコン酸化物やシリコン窒化物を含む。

【0016】

バイポーラトランジスタ10は、p形半導体層12の表面に形成されたn形半導体領域61を有する。n形半導体領域61の表面には、n形のコレクタ領域63とp形のベース領域62が形成されている。さらに、ベース領域62の表面には、n形のエミッタ領域64が形成されている。

【0017】

コレクタ領域63上にはコレクタ電極65が設けられ、コレクタ電極65はコレクタ領域63にオーミック接触して電氣的に接続されている。ベース領域62上にはベース電極66が設けられ、ベース電極66はベース領域62にオーミック接触して電氣的に接続されている。エミッタ領域64上にはエミッタ電極67が設けられ、エミッタ電極67はエミッタ領域64にオーミック接触して電氣的に接続されている。

【0018】

出力素子11aは、n形MOSトランジスタであり、n形のソース領域13、n形のドレイン領域14、p形のチャネル領域12a、ゲート絶縁膜15、ゲート電極16、ソース電極18、ドレイン電極19、バックゲート電極17、n形半導体領域20及び電極21を有する。

【0019】

ソース領域13、ドレイン領域14、チャネル領域12a及びn形半導体領域20は、p形半導体層12の表面に形成されている。

【0020】

ソース領域13とドレイン領域14とは離間している。チャネル領域12aは、ソース領域13とドレイン領域14との間に設けられ、ソース領域13及びドレイン領域14に対して隣接している。ドレイン領域14は、チャネル領域12aとn形半導体領域20との間に設けられている。

【0021】

n形半導体領域20は、ドレイン領域14と絶縁体23との間に設けられている。ドレイン領域14とn形半導体領域20との間には、p形半導体層12が介在している。図1(a)において、n形半導体領域20の一方の側面及び底面はp形半導体層12に接している。n形半導体領域20の他方の側面は、絶縁体23に隣接している。あるいは、n形半導体領域20は、絶縁体23に対して離間していてもよい。

【0022】

10

20

30

40

50

トレンチ t 1 は、n 形半導体領域 2 0 よりも深い。すなわち、n 形半導体領域 2 0 の底部よりも深い位置まで、絶縁体 2 3 が延びている。また、トレンチ t 1 は、バイポーラトランジスタ 1 0 の n 形半導体領域 6 1 よりも深い。すなわち、n 形半導体領域 6 1 の底部よりも深い位置まで、絶縁体 2 3 が延びている。

【0023】

図 5 は、本実施形態の半導体装置における主要要素の平面レイアウトを例示する模式平面図である。

【0024】

ソース領域 1 3、ゲート電極 1 6、チャネル領域 1 2 a、ドレイン領域 1 4、n 形半導体領域 2 0、トレンチ t 1 及び絶縁体 2 3 は、例えばストライプ状の平面レイアウトで形成されている。トレンチ t 1 及び絶縁体 2 3 は、出力素子 1 1 a の各要素が形成された領域と、バイポーラトランジスタ 1 0 が形成された領域とを分離する。

【0025】

あるいは、出力素子 1 1 a の周辺に他の素子が形成されているレイアウトにおいては、トレンチ t 1 及び絶縁体 2 3 の平面レイアウトとして、図 6 に例示するレイアウトが有効である。

【0026】

すなわち、トレンチ t 1 及び絶縁体 2 3 は、出力素子 1 1 a のソース領域 1 3、ゲート電極 1 6、チャネル領域 1 2 a、ドレイン領域 1 4 及び n 形半導体領域 2 0 を含む領域 8 1 を囲んでいる。トレンチ t 1 及び絶縁体 2 3 が囲む領域の外側に、バイポーラトランジスタ 1 0 などの他の素子が形成されている。また、n 形半導体領域 2 0 も、領域 8 1 を囲んでいる。したがって、トレンチ t 1 及び絶縁体 2 3 は、n 形半導体領域 2 0 を介して、領域 8 1 を囲んでいる。

【0027】

図 5、6 に例示するレイアウトは、図 1 (b) ~ 図 4 (b) に示す他の実施形態にも適用可能である。

【0028】

チャネル領域 1 2 a 上にはゲート絶縁膜 1 5 が設けられ、そのゲート絶縁膜 1 5 上にはゲート電極 1 6 が設けられている。

【0029】

ソース領域 1 3 上にはソース電極 1 8 が設けられ、ソース電極 1 8 はソース領域 1 3 にオーミック接触して電氣的に接続されている。

【0030】

ドレイン領域 1 4 上にはドレイン電極 1 9 が設けられ、ドレイン電極 1 9 はドレイン領域 1 4 にオーミック接触して電氣的に接続されている。

【0031】

また、p 形半導体層 1 2 の表面上にバックゲート電極 1 7 が設けられている。バックゲート電極 1 7 は、例えば、ソース領域 1 3 とチャネル領域 1 2 a との接合面の反対側の位置で p 形半導体層 1 2 の表面にオーミック接触している。バックゲート電極 1 7 には、例えばソース電極 1 8 と同電位（例えば接地電位）が与えられ、バックゲート電極 1 7 は、p 形半導体層 1 2 の電位を安定化させる。

【0032】

n 形半導体領域 2 0 上には電極 2 1 が設けられ、電極 2 1 は n 形半導体領域 2 0 にオーミック接触して電氣的に接続されている。電極 2 1 には、前述した要素を含む集積回路（チップ）に与えられる電源電位から接地電位の間の任意の電位が与えられる。すなわち、電極 2 1 はフローティングではない。なお、電源電位は一定である必要はない。電極 2 1 に接地電位を与えると、消費電力を抑えることができる。

【0033】

p 形半導体層 1 2 の表面上には絶縁層 2 4 が形成されている。絶縁層 2 4 は、p 形半導体層 1 2 上に設けられた各電極間にも設けられ、各電極間を絶縁している。

【0034】

以上説明した出力素子11aにおいて、ソース電極18とドレイン電極19との間に電位差が生じている状態で、ゲート電極16に所望のゲート電圧が印加されると、ゲート電極16がゲート絶縁膜15を介して対向するチャンネル領域12aに反転層（nチャンネル）が形成される。これにより、ソース領域13、反転層及びドレイン領域14を通じて、ソース電極18とドレイン電極19間に電流が流れ、オン状態となる。

【0035】

このような出力素子11aは、例えばDC-DCコンバータのローサイドスイッチング素子に用いることができる。

【0036】

図7は、DC-DCコンバータの回路図である。

【0037】

このDC-DCコンバータは、ハイサイドスイッチング素子M1と、ローサイドスイッチング素子M2と、誘導性負荷であるコイルLと、コンデンサCとを備える。

【0038】

このDC-DCコンバータは、ハイサイドスイッチング素子M1とローサイドスイッチング素子M2とを交互にオンオフすることで、入力電圧 V_{in} よりも低い（平均）出力電圧 V_{out} を負荷100に出力する降圧型DC-DCコンバータ（buck converter）である。

【0039】

入力電圧 V_{in} が与えられる入力電圧ライン101と出力端子102との間に、ハイサイドスイッチング素子M1とコイルLが直列に接続されている。ハイサイドスイッチング素子M1は、例えばp型MOSトランジスタであり、そのソース電極が入力電圧ライン101に接続され、ドレイン電極がコイルLに接続されている。

【0040】

ローサイドスイッチング素子M2は、ハイサイドスイッチング素子M1とコイルLとの接続ノード103と、グランドとの間に接続されている。

【0041】

ローサイドスイッチング素子M2は、図1（a）を参照して前述したn型MOSトランジスタ11aであり、ドレイン電極19はハイサイドスイッチング素子M1のドレイン電極及びコイルLに接続され、ソース電極18は接地されている。

【0042】

コイルLと出力端子102との接続点は、出力電圧を短時間に大きく変動させないための平滑コンデンサCを介して接地されている。

【0043】

ハイサイドスイッチング素子M1のゲート電極とローサイドスイッチング素子M2のゲート電極16には、ほぼ反転位相のゲート駆動信号が供給される。

【0044】

ハイサイドスイッチング素子M1がオンで、ローサイドスイッチング素子M2がオフのときは、入力電圧ライン101からハイサイドスイッチング素子M1及びコイルLを経由して負荷100に電流が供給される。このとき、コイルLに流れるコイル電流は増加し、コイルLにエネルギーが蓄積される。

【0045】

そして、ハイサイドスイッチング素子M1がオフに、ローサイドスイッチング素子M2がオンになると、コイルLは蓄積したエネルギーを放出し、グランドからローサイドスイッチング素子M2及びコイルLを経由して負荷100に電流が供給される。

【0046】

なお、ハイサイドスイッチング素子M1とローサイドスイッチング素子M2とが同時にオンになると、貫通電流が入力電圧ライン101からハイサイドスイッチング素子M1及びローサイドスイッチング素子M2を介してグランドに流れることになる。これを避ける

10

20

30

40

50

ために、ハイサイドスイッチング素子M1及びローサイドスイッチング素子M2のオンオフのデューティを設定するにあたって、両スイッチング素子M1、M2が共にオフとなる期間であるデッドタイムを設定している。

【0047】

前述したように、例えばコイルLなどの誘導性負荷に接続された出力素子11aにおいて、その出力端子（ドレイン電極19）には、コイルLからの逆起電力により負電位が与えられることがある。

【0048】

本実施形態では、ドレイン電極19に負電位が印加されると、ドレイン領域14をエミッタ、p形半導体層12をベース、n形半導体領域20をコレクタとした寄生npnバイポーラトランジスタが動作する。

10

【0049】

本実施形態の出力素子11aはDMOS（double diffusion MOS）構造の素子ではない。したがって、上記寄生バイポーラトランジスタにおけるベースとなるp形半導体層12にはそれほど高い不純物濃度領域が存在しない。さらに、トレンチt1及び絶縁体23が、出力素子11aのドレイン領域14と、他の素子であるバイポーラトランジスタ10のn形半導体領域61との間の電流をブロックする。

【0050】

したがって、寄生バイポーラトランジスタの動作による電流は効率よくn形半導体領域20とドレイン領域14との間を流れる。すなわち、出力素子11aの隣もしくは近くに形成された他の素子（図1（a）におけるバイポーラトランジスタ10）のn形半導体領域61からはほとんど電流が供給されない。この結果、他の素子（バイポーラトランジスタ10）は、正常な動作を阻害されず、誤動作が抑制される。

20

【0051】

また、他の素子の誤動作を抑制するために、出力素子11aと、他の素子（バイポーラトランジスタ10）との離間距離を大きくしなくて済み、集積回路のサイズ（ダイサイズ）縮小が容易になる。

【0052】

また、トレンチt1及び絶縁体23を、n形半導体領域20よりも深くすることで、出力素子11aのドレイン領域14と、バイポーラトランジスタ10のn形半導体領域61との電流経路をより狭めることができ、バイポーラトランジスタ10はより誤動作しにくくなる。

30

【0053】

（第2実施形態）

図1（b）は、第2実施形態の半導体装置の模式断面図である。

【0054】

本実施形態の半導体装置も、同一基板上に、出力素子と、他の素子とが混載されて1つのチップに集積化された構造を有する。図1（b）には出力素子11bのみを示すが、図1（a）に示す第1実施形態と同様、p形半導体層12に、出力素子11bと、他の素子とが混載されている。

40

【0055】

出力素子11bと他の素子とは、第1実施形態と同様に、トレンチt1及び絶縁体23によって素子分離されている。

【0056】

出力素子11bは、例えばDMOS（double diffusion MOS）構造のn形MOSトランジスタであり、n形のソース領域34、n形のドレイン領域31、p形のチャネル領域32、n形のドレインコンタクト領域35、p形のバックゲートコンタクト領域33、ゲート絶縁膜15、ゲート電極16、ソース電極18、ドレイン電極19、バックゲート電極17、n形半導体領域20及び電極21を有する。

【0057】

50

ドレイン領域 3 1 は、p 形半導体層 1 2 の表面に設けられている。チャネル領域 3 2 及びドレインコンタクト領域 3 5 は、ドレイン領域 3 1 の表面に互いに離間して設けられている。ソース領域 3 4 及びバックゲートコンタクト領域 3 3 は、チャネル領域 3 2 の表面に設けられている。ソース領域 3 4 及びバックゲートコンタクト領域 3 3 は、隣接していても、離間していてもよい。

【0058】

ドレインコンタクト領域 3 5 は、ドレイン領域 3 1 よりも n 形不純物濃度が高い。バックゲートコンタクト領域 3 3 は、チャネル領域 3 2 よりも p 形不純物濃度が高い。

【0059】

ソース領域 3 4 とドレイン領域 3 1 との間にチャネル領域 3 2 が設けられ、チャネル領域 3 2 はソース領域 3 4 及びドレイン領域 3 1 に隣接している。チャネル領域 3 2 とドレインコンタクト領域 3 5 との間にドレイン領域 3 1 が設けられ、ドレイン領域 3 1 はチャネル領域 3 2 及びドレインコンタクト領域 3 5 に隣接している。

【0060】

n 形半導体領域 2 0 は、ドレイン領域 3 1 と絶縁体 2 3 との間に設けられている。ドレイン領域 3 1 と n 形半導体領域 2 0 との間には、p 形半導体層 1 2 が介在している。

【0061】

トレンチ t 1 は、n 形半導体領域 2 0 よりも深い。すなわち、n 形半導体領域 2 0 の底部よりも深い位置まで、絶縁体 2 3 が延びている。

【0062】

ソース領域 3 4 とドレイン領域 3 1 との間のチャネル領域 3 2 上にはゲート絶縁膜 1 5 が設けられ、そのゲート絶縁膜 1 5 上にはゲート電極 1 6 が設けられている。

【0063】

ソース領域 3 4 上にはソース電極 1 8 が設けられ、ソース電極 1 8 はソース領域 3 4 にオーミック接触して電氣的に接続されている。

【0064】

ドレインコンタクト領域 3 5 上にはドレイン電極 1 9 が設けられ、ドレイン電極 1 9 はドレインコンタクト領域 3 5 にオーミック接触して電氣的に接続されている。ドレイン領域 3 1 の表面に、n 形不純物濃度が比較的高いドレインコンタクト領域 3 5 を設けることで、オン抵抗を低くすることができ、素子面積の縮小が図れる。

【0065】

バックゲートコンタクト領域 3 3 上にはバックゲート電極 1 7 が設けられている。バックゲート電極 1 7 は、バックゲートコンタクト領域 3 3 にオーミック接触している。バックゲート電極 1 7 には、例えばソース電極 1 8 と同電位（例えば接地電位）が与えられ、バックゲート電極 1 7 はチャネル領域 3 2 の電位を安定化させる。p 形不純物濃度が比較的高いバックゲートコンタクト領域 3 3 を介して、チャネル領域 3 2 をバックゲート電極 1 7 と接続させることで、チャネル領域 3 2 の電位（バックゲート電位）をより安定化させることができ、トランジスタ動作を安定させることができる。

【0066】

n 形半導体領域 2 0 上には電極 2 1 が設けられ、電極 2 1 は n 形半導体領域 2 0 にオーミック接触して電氣的に接続されている。電極 2 1 には、第 1 実施形態と同様、電源電位から接地電位の間の任意の電位が与えられる。

【0067】

p 形半導体層 1 2 の表面上には絶縁層 2 4 が形成されている。絶縁層 2 4 は、p 形半導体層 1 2 上に設けられた各電極間にも設けられ、各電極間を絶縁している。

【0068】

以上説明した出力素子 1 1 b において、ソース電極 1 8 とドレイン電極 1 9 との間に電位差が生じている状態で、ゲート電極 1 6 に所望のゲート電圧が印加されると、ゲート電極 1 6 がゲート絶縁膜 1 5 を介して対向するチャネル領域 3 2 に反転層（n チャネル）が形成される。これにより、ソース領域 3 4、反転層、ドレイン領域 3 1 及びドレインコン

10

20

30

40

50

タクト領域 35 を通じて、ソース電極 18 とドレイン電極 19 間に電流が流れ、オン状態となる。

【0069】

また、本実施形態の出力素子 11b は、DMOS 構造を有する。すなわち、ドレイン電極 19 とオーミックコンタクトするドレインコンタクト領域 35 と、チャネル領域 32 との間に設けられた比較的 n 形不純物濃度が低いドレイン領域 31 はドリフト領域として機能する。ゲートオフ時、そのドリフト領域が空乏化することで電界を緩和し、高耐圧が得られる。ドリフト領域の n 形不純物濃度や横方向長さを調整することで、所望の耐圧を実現できる。

【0070】

また、アバランシェブレークダウンが発生すると、正孔電流は、バックゲートコンタクト領域 33 を介してバックゲートコンタクト電極 17 へと流れる。これにより、素子破壊を防ぐことができる。

【0071】

本実施形態の出力素子 11b も、例えば DC-DC コンバータのローサイドスイッチング素子に用いることができる。したがって、例えばコイル L などの誘導性負荷に接続された出力素子 11b において、その出力端子（ドレイン電極 19）には、コイル L からの逆起電力により負電位が与えられることがある。

【0072】

本実施形態では、ドレイン電極 19 に負電位が印加されると、ドレインコンタクト領域 35 も含めたドレイン領域 31 をエミッタ、p 形半導体層 12 をベース、n 形半導体領域 20 をコレクタとした寄生 npn バイポーラトランジスタが動作する。

【0073】

このとき、トレンチ t1 及び絶縁体 23 が、出力素子 11b のドレイン領域 31 と、他の素子の n 形半導体領域との間の電流をブロックする。

【0074】

したがって、寄生バイポーラトランジスタの動作による電流は効率よく n 形半導体領域 20 とドレイン領域 31 との間を流れる。すなわち、出力素子 11b の隣もしくは近くに形成された他の素子の n 形半導体領域からはほとんど電流が供給されない。この結果、他の素子は、正常な動作を阻害されず、誤動作が抑制される。

【0075】

（第 3 実施形態）

図 2（a）は、第 3 実施形態の半導体装置の模式断面図である。

【0076】

本実施形態では、ドレイン領域 31 の表面にフィールド絶縁膜 36 が設けられている。他の構造は第 2 実施形態と同じである。したがって、本実施形態の出力素子 11c と同じ p 形半導体層 12 上に混載された他の素子は、正常な動作を阻害されず、誤動作が抑制される。

【0077】

フィールド絶縁膜 36 は、チャネル領域 32 とドレイン電極 19 との間のドレイン領域 31 の表面側に形成されたトレンチ内に埋め込まれた例えばシリコン酸化膜やシリコン窒化膜である。本実施形態では、ゲート電極 16 におけるドレイン電極 19 側の端部に発生する高電界をフィールド絶縁膜 36 に負担させることができるため、耐圧を向上させることができる。

【0078】

（第 4 実施形態）

図 2（b）は、第 4 実施形態の半導体装置の模式断面図である。

【0079】

本実施形態では、第 3 実施形態の構造に対して、n 形のドレインコンタクト領域 37 をさらに設けている。

10

20

30

40

50

【0080】

ドレインコンタクト領域37は、ドレイン領域31の表面に設けられ、ドレイン領域31よりもn形不純物濃度が高い。ドレイン電極19は、ドレインコンタクト領域37にオーミックコンタクトしている。フィールド絶縁膜36は、チャンネル領域32と、ドレイン電極19との間のドレインコンタクト領域37の表面に設けられている。

【0081】

本実施形態においても、出力素子11dと同じp形半導体層12上に混載された他の素子は、正常な動作を阻害されず、誤動作が抑制される。さらに、高耐圧で、オン抵抗が低く、動作が安定したトランジスタ特性が得られる。

【0082】

10

(第5実施形態)

図3(a)は、第5実施形態の半導体装置の模式断面図である。

【0083】

本実施形態では、ドレイン領域31とn形半導体領域40とが同じ工程で同時に形成される。例えば、p形半導体層12において、ドレイン領域31を形成する領域と、n形半導体領域40を形成する領域に、図示しないマスクを用いてn形不純物をイオン注入法で同時に打ち込み、その後熱拡散させる。したがって、ドレイン領域31とn形半導体領域40とはほぼ同じ深さであり、それぞれのn形不純物濃度のピーク位置もほぼ同じ深さにある。本実施形態では、工程数削減による低コスト化を図れる。

【0084】

20

n形半導体領域40上には電極21が設けられ、電極21はn形半導体領域40にオーミック接触して電氣的に接続されている。電極21には、前述した各実施形態と同様、電源電位から接地電位の間の任意の電位が与えられる。

【0085】

本実施形態においても、ドレイン電極19に負電位が印加されると、ドレインコンタクト領域35も含めたドレイン領域31をエミッタ、p形半導体層12をベース、n形半導体領域40をコレクタとした寄生npnバイポーラトランジスタが動作する。

【0086】

このとき、トレンチt1及び絶縁体23が、出力素子11eのドレイン領域31と、他の素子のn形半導体領域との間の電流をブロックする。

30

【0087】

したがって、寄生バイポーラトランジスタの動作による電流は効率よくn形半導体領域40とドレイン領域31との間を流れる。すなわち、出力素子11eの隣もしくは近くに形成された他の素子のn形半導体領域からはほとんど電流が供給されない。この結果、他の素子は、正常な動作を阻害されず、誤動作が抑制される。

【0088】

(第6実施形態)

図3(b)は、第6実施形態の半導体装置の模式断面図である。

【0089】

p形半導体層12は、基板41上にエピタキシャル成長で形成してもよい。すなわち、p形半導体層12が基板を兼ねていない。基板41とは別にp形半導体層12を設けることで、同一基板41上への各種素子の集積化が容易となる。

40

【0090】

基板41より上の構造は、図1(b)に示す第2実施形態と同じである。すなわち、本実施形態においても、出力素子11fと同じp形半導体層12に混載された他の素子は、正常な動作を阻害されず、誤動作が抑制される。

【0091】

(第7実施形態)

図4(a)は、第7実施形態の半導体装置の模式断面図である。

【0092】

50

本実施形態においても、p形半導体層12上に出力素子11gと他の素子とが混載された構造を示す。出力素子11gと他の素子とは、トレンチt2及び絶縁体53によって素子分離されている。すなわち、出力素子11gと他の素子との間には、トレンチt2が形成され、そのトレンチt2内に絶縁体53が埋め込まれている。

【0093】

p形半導体層12上にはn形半導体層50が設けられている。n形半導体層50の表面に、p形のチャネル領域32及びn形のドレインコンタクト領域35が設けられている。チャネル領域32の表面に、p形のバックゲートコンタクト領域33及びn形のソース領域34が設けられている。

【0094】

また、n形半導体層50は、p形半導体領域56によって分断されている。p形半導体領域56は、n形半導体層50の表面から厚み方向に延び、p形半導体層12に達する。

【0095】

p形半導体領域56は、n形半導体層50を、ドレイン領域50aとn形半導体領域50bとに分断する。すなわち、p形半導体領域56は、ドレイン領域50aとn形半導体領域50bとの間に設けられ、ドレイン領域50a及びn形半導体領域50bに隣接している。n形半導体領域50bは、p形半導体領域56と絶縁体53との間に設けられている。

【0096】

ドレインコンタクト領域35は、チャネル領域32とp形半導体領域56との間のドレイン領域50aの表面に設けられている。ドレインコンタクト領域35は、ドレイン領域50aよりもn形不純物濃度が高い。チャネル領域32とドレインコンタクト領域35との間には、ドレインコンタクト領域35よりもn形不純物濃度が低いドレイン領域50aが介在され、その領域はドリフト領域として機能する。

【0097】

そのドリフト領域とソース領域34との間にチャネル領域32が設けられ、チャネル領域32はドリフト領域及びソース領域34に隣接している。

【0098】

トレンチt2は、n形半導体層50を貫通して、p形半導体層12に達する。トレンチt2は、例えばRIE法によってエッチングされて形成される。トレンチt2内に埋め込まれた絶縁体53は、例えばシリコン酸化物やシリコン窒化物を含む。

【0099】

トレンチt2は、p形半導体領域56及びn形半導体領域50bよりも深い。すなわち、p形半導体領域56及びn形半導体領域50bの底部よりも深い位置まで、絶縁体53が延びている。

【0100】

図5を参照して前述した実施形態と同様、p形半導体領域56、n形半導体領域50b、トレンチt2及び絶縁体53は、例えばストライプ状の平面レイアウトで形成されている。すなわち、トレンチt2及び絶縁体53は、出力素子11gの各要素が形成された領域と、他の素子が形成された領域とを分離する。

【0101】

あるいは、図6を参照して前述したレイアウト例のように、p形半導体領域56、n形半導体領域50b、トレンチt2及び絶縁体53は、出力素子11gの各要素を含む領域を囲んでいる。トレンチt2及び絶縁体53が囲む領域の外側に、他の素子が形成されている。

【0102】

チャネル領域32上にはゲート絶縁膜15が設けられ、そのゲート絶縁膜15上にはゲート電極16が設けられている。

【0103】

ソース領域34上にはソース電極18が設けられ、ソース電極18はソース領域34に

10

20

30

40

50

オーミック接触して電氣的に接続されている。

【0104】

ドレインコンタクト領域35上にはドレイン電極19が設けられ、ドレイン電極19はドレインコンタクト領域35にオーミック接触して電氣的に接続されている。

【0105】

バックゲートコンタクト領域33上にはバックゲート電極17が設けられている。バックゲート電極17は、バックゲートコンタクト領域33にオーミック接触している。バックゲート電極17には、例えばソース電極18と同電位（例えば接地電位）が与えられ、バックゲート電極17はチャンネル領域32の電位を安定化させる。

【0106】

n形半導体領域50b上には電極21が設けられ、電極21はn形半導体領域50bにオーミック接触して電氣的に接続されている。電極21には、前述した実施形態と同様、電源電位から接地電位の間の任意の電位が与えられる。

【0107】

n形半導体層50の表面上には絶縁層24が形成されている。絶縁層24は、n形半導体層50上に設けられた各電極間にも設けられ、各電極間を絶縁している。

【0108】

本実施形態の出力素子11gも、例えばDC-DCコンバータのローサイドスイッチング素子に用いることができる。したがって、例えばコイルLなどの誘導性負荷に接続された出力素子11gにおいて、その出力端子（ドレイン電極19）には、コイルLからの逆起電力により負電位が与えられることがある。

【0109】

本実施形態では、ドレイン電極19に負電位が印加されると、ドレインコンタクト領域35を含むドレイン領域50aをエミッタ、p形半導体領域56及びp形半導体層12をベース、n形半導体領域50bをコレクタとした寄生npnバイポーラトランジスタが動作する。

【0110】

このとき、トレンチt2及び絶縁体53が、出力素子11gのドレイン領域50aと、他の素子のn形半導体領域との間の電流をブロックする。

【0111】

したがって、寄生バイポーラトランジスタの動作による電流は効率よくn形半導体領域50bとドレイン領域50aとの間を流れる。すなわち、出力素子11gの隣もしくは近くに形成された他の素子のn形半導体領域からはほとんど電流が供給されない。この結果、他の素子は、正常な動作を阻害されず、誤動作が抑制される。

【0112】

また、n形半導体層50はp形半導体層12上にエピタキシャル成長され、そのn形半導体層50の一部がドレイン領域50aとなる。したがって、イオン注入法でドレイン領域を形成する場合よりも容易に深いドレイン領域を形成することが可能であり、高耐圧設計が容易である。

【0113】

（第8実施形態）

図4（b）は、第8実施形態の半導体装置の模式断面図である。

【0114】

本実施形態の出力素子11hは、図4（a）に示す第7実施形態の出力素子11gの構造に加えて、さらにn形埋め込み層57を有する。その他構造は第7実施形態と同じであり、同様の効果が得られる。

【0115】

n形埋め込み層57は、p形半導体層12とn形半導体層50との間に設けられている。n形埋め込み層57は、p形半導体領域56よりもドレイン領域50a側に設けられている。すなわち、n形埋め込み層57上に、ドレイン領域50a、チャンネル領域32、ソ

10

20

30

40

50

ース領域 3 4 及びバックゲートコンタクト領域 3 3 が設けられている。

【0 1 1 6】

n 形埋め込み層 5 7 は、n 形半導体層 5 0 よりも n 形不純物濃度が高く、ドレイン領域 5 0 a と隣接し、電氣的に接続されている。これにより、n 形埋め込み層 5 7 より上の素子は、基板である p 形半導体層 1 2 の電位から分離される。したがって、出力素子と、他の各種素子とを同一基板上に集積化することが容易となる。

【0 1 1 7】

前述した各実施形態によれば、出力素子の出力端子であるドレイン電極に負電位が印加される使用法において、出力素子と同一基板上に混載された他の素子の誤動作を抑えることができる。なお、出力素子の用途は D C - D C コンバータのスイッチング素子に限らず、本実施形態の出力素子はモータ等のコイル（誘導性負荷）の制御に用いることもできる。

10

【0 1 1 8】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

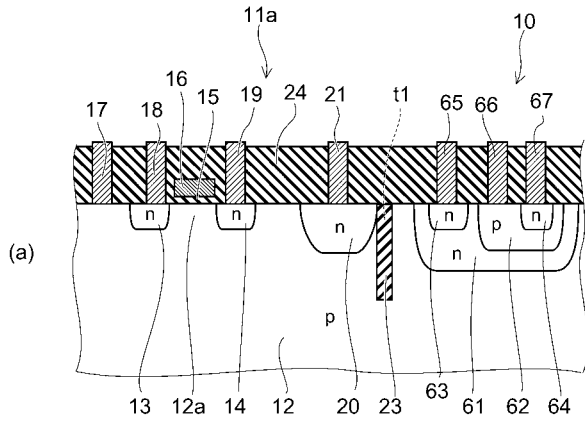
【符号の説明】

20

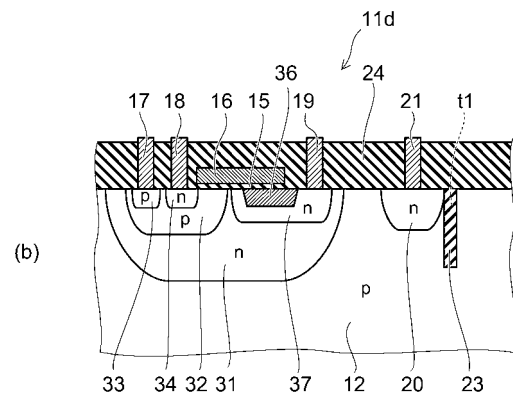
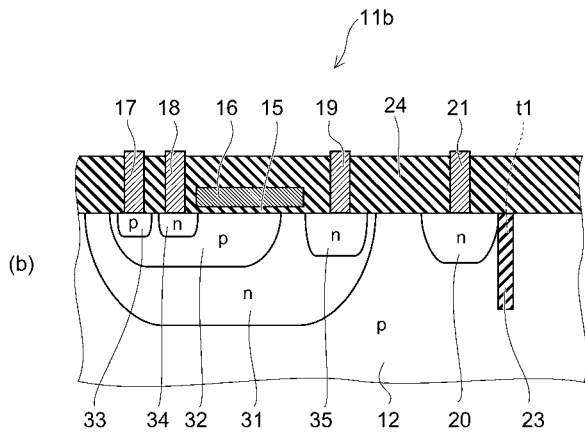
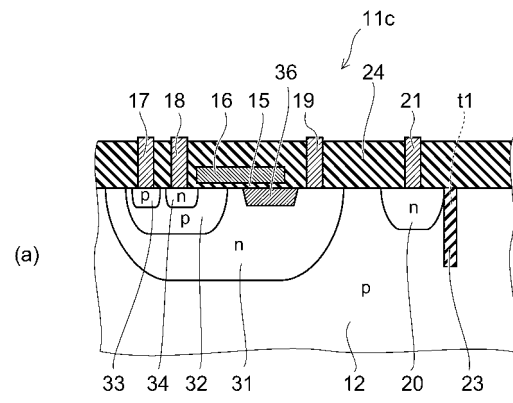
【0 1 1 9】

1 2 … p 形半導体層、1 2 a, 3 2 …チャネル領域、1 3, 3 4 …ソース領域、1 4, 3 1, 5 0 a …ドレイン領域、1 5 …ゲート絶縁膜、1 6 …ゲート電極、1 7 …バックゲート電極、1 8 …ソース電極、1 9 …ドレイン電極、2 0, 4 0, 5 0 b …n 形半導体領域、2 1 …電極、2 3, 5 3 …絶縁体、3 3 …バックゲートコンタクト領域、3 5, 3 7 …ドレインコンタクト領域、3 6 …フィールド絶縁膜、4 1 …基板、5 0 …n 形半導体層、5 6 …p 形半導体領域、5 7 …n 形埋め込み層、t 1, t 2 …トレンチ

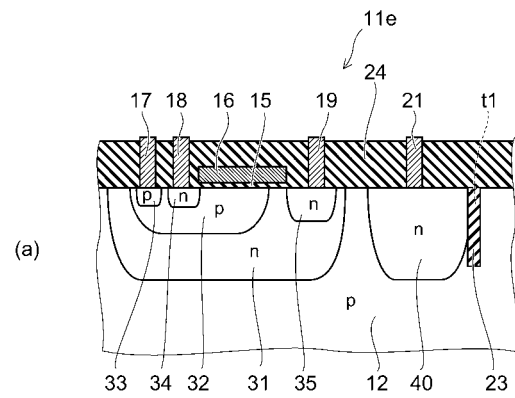
【図 1】



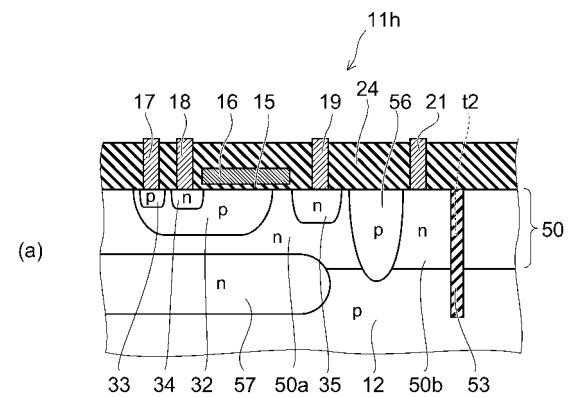
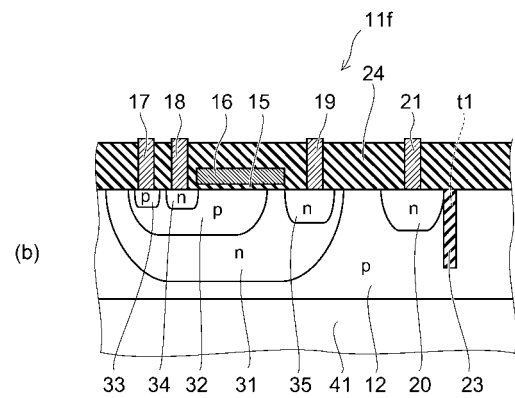
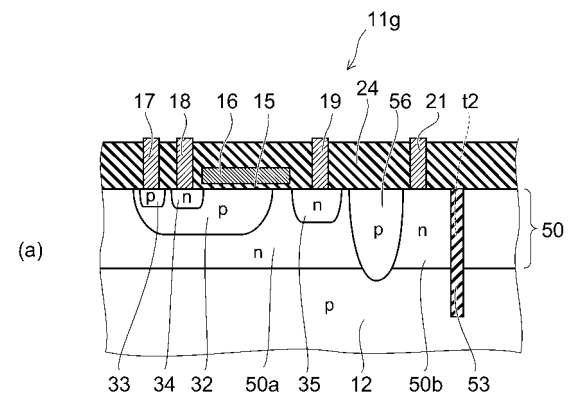
【図 2】



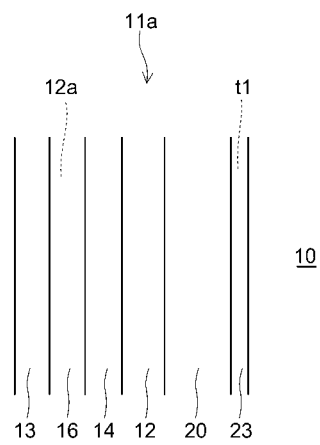
【図 3】



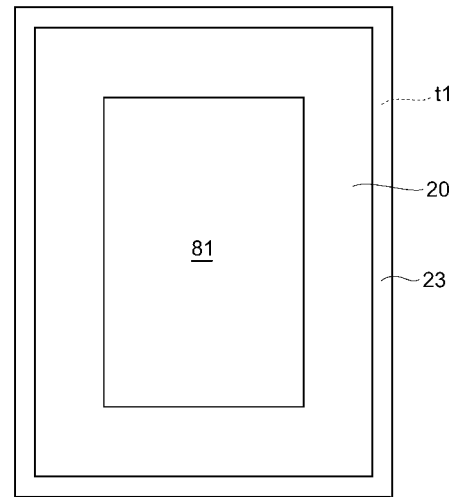
【図 4】



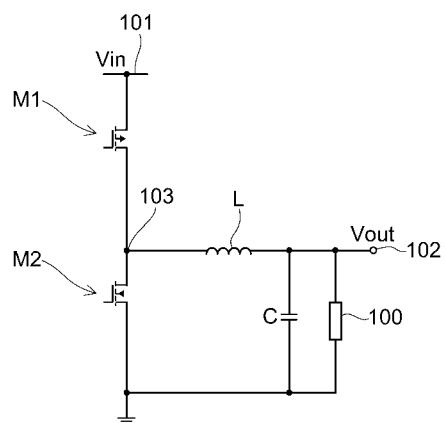
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 21/76 (2006.01)

(72)発明者 白井 浩司
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 深居 靖史
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F032 AA11 AA35 AA44 AA46 CA17 CA18 DA12 DA22
5F038 BG06 BH06 BH07 BH09 BH19 CA02 EZ15 EZ20
5F048 AA01 AA03 AA04 AA05 AB07 AB10 AC01 AC06 AC07 BA01
BA07 BA12 BC01 BC03 BD04 BE04 BE05 BE09 BF16 BF18
BG13 BG14 BH02 CA02 CA12
5F140 AA17 AB01 AB07 AC21 BA01 BA02 BA06 BH30 BH41 BH45
BJ27 CB04 CB08 CB10