

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4626411号
(P4626411)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl. F I
 HO 1 L 21/8238 (2006.01) HO 1 L 27/08 3 2 1 D
 HO 1 L 27/092 (2006.01) HO 1 L 29/58 G
 HO 1 L 29/49 (2006.01)
 HO 1 L 29/423 (2006.01)

請求項の数 6 (全 18 頁)

(21) 出願番号 特願2005-172031 (P2005-172031)
 (22) 出願日 平成17年6月13日(2005.6.13)
 (65) 公開番号 特開2006-351580 (P2006-351580A)
 (43) 公開日 平成18年12月28日(2006.12.28)
 審査請求日 平成20年4月3日(2008.4.3)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100080160
 弁理士 松尾 憲一郎
 (72) 発明者 長濱 嘉彦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に搭載する半導体装置であって、

前記第1溝内には、ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層と、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第1ゲート電極材料層および前記第2ゲート電極材料層は前記電極金属層により前記第1溝内で被覆され、

前記第2溝内には、ゲート絶縁膜を介して、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第2ゲート電極材料層は前記電極金属層により前記第2溝内で被覆されている

ことを特徴とする半導体装置。

【請求項2】

基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に形成する半導体装置の製造方法において、

前記第1溝内および前記第2溝内にゲート絶縁膜を形成する工程と、

前記第1溝内に、前記ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する工程と、

前記第1溝内に前記ゲート絶縁膜および前記第1ゲート電極材料層とを介して、および前記第2溝内に前記ゲート絶縁膜を介して、第2ゲート電極材料層を形成する工程と、

前記第2ゲート電極材料層を前記第1溝および前記第2溝の各開口部よりも内部側にのみ存在するように除去する工程と、

前記第1溝および前記第2溝に電極金属層を埋め込むように形成して、前記第1溝内に前記第1ゲート電極材料層および前記第2ゲート電極材料層を前記電極金属層で被覆するとともに、前記第2溝内に前記第2ゲート電極材料層を前記電極金属層で被覆する工程と、

10

前記絶縁膜上の余剰な前記電極金属層を除去して、前記第1溝内に前記第1ゲート電極材料層および前記第2ゲート電極材料層を被覆する状態に前記電極金属層を残すとともに、前記第2溝内に前記第2ゲート電極材料層を被覆する状態に前記電極金属層を残すことで、前記第1溝内に第1導電型MOSトランジスタのゲート電極を形成するとともに、前記第2溝内に第2導電型MOSトランジスタのゲート電極を形成する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項3】

前記第1溝内に第1ゲート電極材料層を形成する工程は、

前記第1溝および前記第2溝の内面を含む前記絶縁膜上に前記ゲート絶縁膜を介して前記第1ゲート電極材料層を形成する工程と、

20

前記第1溝内のみを埋め込むマスク層を形成する工程と、

前記マスク層をエッチングマスクに用いて前記第1ゲート電極材料層を除去して、前記第1溝内部にのみ前記第1ゲート電極材料層を残す工程とを備え、

前記第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する

ことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】

前記第2溝内に第2ゲート電極材料層を形成する工程は、

前記第1溝および前記第2溝の内面を含む前記絶縁膜上に前記ゲート絶縁膜および前記第1ゲート電極材料層を介して前記第2ゲート電極材料層を形成する工程と、

30

前記第1溝内および前記第2溝内を埋め込むマスク層を形成する工程と、

前記マスク層をエッチングマスクに用いて前記第2ゲート電極材料層を除去して、前記第1溝内部および前記第2溝内部に前記第2ゲート電極材料層を残す工程とを備え、

前記第2ゲート電極材料層を前記第2溝の開口部より内部側に形成する

ことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】

基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に形成する半導体装置の製造方法において、

前記第1溝内および前記第2溝内にゲート絶縁膜を形成する工程と、

40

前記第1溝内に、前記ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する工程と、

前記第1溝内に前記ゲート絶縁膜および前記第1ゲート電極材料層とを介して、および前記第2溝内に前記ゲート絶縁膜を介して、第2ゲート電極材料層を形成する工程と、

前記第1溝および前記第2溝を埋め込むように電極金属層を形成する工程と、

前記絶縁膜上の余剰な前記電極金属層および前記第2ゲート電極材料層を除去して、前記第1溝内に第1ゲート電極材料層、第2ゲート電極材料層および電極金属層とからなる第1導電型MOSトランジスタのゲート電極を形成するとともに、前記第2溝内に第2ゲート電極材料層および電極金属層とからなる第2導電型MOSトランジスタのゲート電極を形成する工程と

50

を備えたことを特徴とする半導体装置の製造方法。

【請求項 6】

前記第 1 溝内に第 1 ゲート電極材料層を形成する工程は、

前記第 1 溝および前記第 2 溝の内面を含む前記絶縁膜上に前記ゲート絶縁膜を介して前記第 1 ゲート電極材料層を形成する工程と、

前記第 1 溝内のみを埋め込むマスク層を形成する工程と、

前記マスク層をエッチングマスクに用いて前記第 1 ゲート電極材料層を除去して、前記第 1 溝内部にのみ前記第 1 ゲート電極材料層を残す工程とを備え、

前記第 1 ゲート電極材料層を前記第 1 溝の開口部より内部側に形成する

ことを特徴とする請求項 5 記載の半導体装置の製造方法。」

10

を要旨とするものとなりました。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デュアル金属ゲート構造においてガルバニック腐食を防止することが容易な半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

トランジスタの高集積化、高速化は、スケールリング則に基づき、トランジスタの微細化によって実現してきている。ゲート絶縁膜の薄膜化が進められ、例えばゲート長が 0.1 μm 以下のトランジスタにおいては、ゲート絶縁膜は 2 nm 以下に薄膜する必要がある。

20

【0003】

通常ゲート電極材料としては、多結晶 Si (ポリシリコン) が用いられている。この理由としては、ゲート電極直下のゲート絶縁膜との界面が安定している点が挙げられる。また、ポリシリコン内部へイオン注入あるいは拡散等の技術を用いて不純物を導入することが容易なので、不純物の元素や濃度を選択して、nMOS および pMOS 各々に、最適な仕事関数を持つゲート電極を形成して、最適な閾値を得ることが可能である点が挙げられる。

【0004】

しかしながら、トランジスタの微細化が進むに従って、ゲート電極の空乏化の問題が顕著になっている。このゲート電極の空乏化はポリシリコンが半導体であるがゆえに抑制困難な現象である。そこで、ポリシリコンに代わって金属膜を直接ゲート絶縁膜の上に成膜することによって、ゲート電極の空乏化を抑制できることが広く報告され、金属ゲートの開発が注目されている。

30

【0005】

しかし、金属ゲートを 1 種類の金属で形成した場合は、ゲート電極の仕事関数は nMOS トランジスタ、pMOS トランジスタともに同じ値となるので、従来のポリシリコンゲートのように、nMOS トランジスタのゲート電極の仕事関数と、pMOS トランジスタのゲート電極の仕事関数とを調整することが困難になり、適正なしきい値を得ることが出来ない。

40

【0006】

これを克服するためには、デュアル金属ゲート、すなわち、nMOS トランジスタのゲート電極には n 型ポリシリコンと同様の仕事関数を有する金属材料を採用し、pMOS トランジスタのゲート電極には p 型ポリシリコンと同様の仕事関数を有する金属材料を採用するというように、nMOS トランジスタのゲート電極と pMOS トランジスタのゲート電極とを、各々の金属材料を選択することが提案されている (例えば、特許文献 1、2 参照。)。

【0007】

以下に、従来のデュアル金属ゲート電極のトランジスタの形成方法を図 8 ~ 図 9 の製造工程断面図によって説明する。

50

【0008】

図8(1)に示すように、リソグラフィ技術とドライエッチング技術により、基板110上に形成された層間絶縁膜111に金属ゲート形成用の溝112、113を形成する。上記層間絶縁膜111は例えば酸化シリコン膜で形成されている。

【0009】

次に、図8(2)に示すように、上記溝112、113の内面も含む上記層間絶縁膜111の全面にゲート絶縁膜121とpMOSトランジスタの金属ゲート材料層122を形成する。上記ゲート絶縁膜121は例えば数nmの厚さに形成され、上記金属ゲート材料層122は10nm~40nm程度のpMOS用金属ゲート材料で形成される。なお、図8(2)~図9(9)までは基板11部分の図示は省略する。

10

【0010】

次に、図8(3)に示すように、上記金属ゲート材料層122上の全面(基板上の全面)にレジストを塗布してレジスト膜123を形成する。

【0011】

次に、図8(4)に示すように、リソグラフィ技術により、上記レジスト膜123のnMOSトランジスタ形成領域上に開口部124を形成する。したがって、pMOSトランジスタ形成領域上にはレジスト膜123が形成されている。

【0012】

次に、図8(5)に示すように、上記レジスト膜123をエッチングマスクにして、薬液により選択的にnMOSトランジスタの形成領域におけるpMOSトランジスタの金属ゲート材料層122をエッチングする。この結果、pMOSトランジスタ形成領域にはpMOSトランジスタの金属ゲート材料層122が残される。

20

【0013】

次に、有機溶剤により、上記レジスト膜123を除去する。この結果、図9(6)に示すように、pMOSトランジスタの金属ゲート材料層122が露出される。

【0014】

次に、図9(7)に示すように、上記金属ゲート材料層122上を被覆するとともに、上記溝112、113の内面も含む上記層間絶縁膜111の全面にnMOSトランジスタの金属ゲート材料層125を形成する。この金属ゲート材料層125は例えば10nm~40nmの厚さのnMOS用金属ゲート材料で形成される。

30

【0015】

次に、図9(8)に示すように、上記溝112、113の内面も含む上記nMOSトランジスタの金属ゲート材料層125上に電極用金属材料層126を形成する。

【0016】

次に、図9(9)に示すように、化学的機械的研磨(以下、CMPと略す)により、上記層間絶縁膜111上の余剰な電極用金属材料層126、nMOSトランジスタの金属ゲート材料層1125およびpMOSトランジスタの金属ゲート材料層122を除去し、溝112の内部にゲート絶縁膜121を介して金属ゲート材料層122、125、電極用金属材料層126が埋め込まれてなる金属ゲート131が形成され、溝113の内部にゲート絶縁膜121を介してpMOSトランジスタの金属ゲート材料層125、電極用金属材料層126が埋め込まれてなるnMOSトランジスタの金属ゲート132が形成される。このようにして、金属ゲートからなるデュアルゲート構造が形成される。

40

【0017】

【特許文献1】特開2003-258121号公報

【特許文献2】特開2003-45995号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

解決しようとする問題点は、電極用金属材料層、nMOSトランジスタの金属ゲート材料層、pMOSトランジスタの金属材料層、ゲート絶縁膜の4種類の材料を研磨(CMP

50

）するため、4種類の被研磨材料と下地膜（例えば酸化シリコン（ SiO_2 ））との計5種類の材料の選択比を調整する必要があり、研磨剤（スラリー）の開発の難易度が高い点である。また、複数膜を研磨するため、各膜の成膜の膜厚バラツキや各種膜の研磨レート差およびバラツキにより、加工バラツキを安定させることが困難な点である。また、最大3種類の積層した金属材料層がCMP時に露出するため、異種金属間の電位差で発生するガルバニック腐食が発生しやすく、歩留や信頼性を低下させる可能性がある点である。

【0019】

本発明は、電極用金属材料層を研磨する際の露出される金属層の数を低減して、従来の研磨剤による研磨を可能とし、研磨時にガルバニック腐食を発生させることなく、加工精度の高い研磨を可能にすることを課題とする。

【課題を解決するための手段】

【0020】

本発明の半導体装置は、基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に搭載する半導体装置であって、前記第1溝内には、ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層と、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第1ゲート電極材料層および前記第2ゲート電極材料層は前記電極金属層により前記第1溝内で被覆され、前記第2溝内には、ゲート絶縁膜を介して、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第2ゲート電極材料層は前記電極金属層により前記第2溝内で被覆されていることを特徴とする。

【0021】

この半導体装置では、第1導電型MOSトランジスタのゲートが形成される第1溝において、電極金属層によって第1ゲート電極材料層および第2ゲート電極材料層が被覆され、第2導電型MOSトランジスタのゲートが形成される第2溝においては、電極金属層によって第2ゲート電極材料層が被覆されている。このため、電極金属層を第1溝および第2溝に残すように研磨した際に、表面に露出される層は電極金属層およびゲート絶縁膜となり、ガルバニック腐食が起こりにくい構造となっている。また、電極金属層のみの研磨で第1溝内部および第2溝内部に電極金属層を形成することが可能な構造であるので、従来の研磨剤を用いた高精度な研磨加工を容易にしている。

【0024】

本発明の半導体装置の製造方法は、基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に形成する半導体装置の製造方法において、前記第1溝内および前記第2溝内にゲート絶縁膜を形成する工程と、前記第1溝内に、前記ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する工程と、前記第1溝内に前記ゲート絶縁膜および前記第1ゲート電極材料層とを介して、および前記第2溝内に前記ゲート絶縁膜を介して、第2ゲート電極材料層を形成する工程と、前記第2ゲート電極材料層を前記第1溝および前記第2溝の各開口部よりも内部側にのみ存在するように除去する工程と、前記第1溝および前記第2溝に電極金属層を埋め込むように形成して、前記第1溝内に前記第1電極材料層および前記第2電極材料層を前記電極金属層で被覆するとともに、前記第2溝内に前記第2電極材料層を前記電極金属層で被覆する工程と、前記絶縁膜上の余剰な前記電極金属層を除去して、前記第1溝内に前記第1電極材料層および前記第2電極材料層を被覆する状態に前記電極金属層を残すとともに、前記第2溝内に前記第2電極材料層を被覆する状態に前記電極金属層を残すことで、前記第1溝内に第1導電型MOSトランジスタのゲート電極を形成するとともに、前記第2溝内に第2導電型MOSトランジスタのゲート電極を形成する工程とを備えたことを特徴とする。

【0025】

この半導体装置の製造方法では、第1導電型MOSトランジスタのゲートが形成される第1溝では、電極金属層によって第1ゲート電極材料層および第2ゲート電極材料層を被覆し、第2導電型MOSトランジスタのゲートが形成される第2溝では、電極金属層によって第2ゲート電極材料層を被覆するので、電極金属層を第1溝および第2溝に残すように研磨した際に、表面に露出される層は電極金属層およびゲート絶縁膜となる。このため、ガルバニック腐食は起こりにくい。また、電極金属層のみの研磨で第1溝内部および第2溝内部に電極金属層を形成することが可能であるので、従来の研磨剤を用いて高精度な研磨加工が容易に実現される。

【0026】

本発明の半導体装置の製造方法は、基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板上に形成する半導体装置の製造方法において、前記第1溝内および前記第2溝内にゲート絶縁膜を形成する工程と、前記第1溝内に、前記ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する工程と、前記第1溝内に前記ゲート絶縁膜および前記第1ゲート電極材料層とを介して、および前記第2溝内に前記ゲート絶縁膜を介して、第2ゲート電極材料層を形成する工程と、前記第1溝および前記第2溝を埋め込むように電極金属層を形成する工程と、前記絶縁膜上の余剰な前記電極金属層および前記第2ゲート電極材料層を除去して、前記第1溝内に第1ゲート電極材料層、第2ゲート電極材料層および電極金属層とからなる第1導電型MOSトランジスタのゲート電極を形成するとともに、前記第2溝内に第2ゲート電極材料層および電極金属層とからなる第2導電型MOSトランジスタのゲート電極を形成する工程とを備えたことを特徴とする。

【0027】

この半導体装置の製造方法では、第1導電型MOSトランジスタのゲートが形成される第1溝では、第2ゲート電極材料層によって第1ゲート電極材料層を被覆するので、電極金属層を第1溝および第2溝に残すように研磨した際に、表面に露出される層は電極金属層、第2ゲート電極材料層およびゲート絶縁膜となる。このため、従来の研磨時に露出される金属層の種類よりも少なくなっているため、ガルバニック腐食は起こりにくい。また、電極金属層および第2ゲート電極材料層の研磨で第1溝内部および第2溝内部に電極金属層を形成することが可能なため、従来の研磨剤を用いた高精度な研磨加工が容易に行える。

【発明の効果】

【0028】

本発明の半導体装置は、ガルバニック腐食を低減もしくは起こさず研磨することが可能な構成を有しているため、信頼性の高いゲート構造が得られ、トランジスタ性能の向上が図れるという利点がある。

【0029】

本発明の半導体装置の製造方法は、ガルバニック腐食を低減もしくは起こさず研磨することが可能なため、信頼性の高いゲート構造を得ることができるので、歩留りを向上させることができ、またトランジスタ性能の向上を図ることができるという利点がある。また、研磨時に露出される金属層間の電位差が少なくなるように、第2ゲート電極材料層と電極金属層とを選択することで、ガルバニック腐食を低減もしくは防ぐことが確実にできるようになる。

【発明を実施するための最良の形態】

【0030】

本発明の半導体装置に係る一実施の形態の第1例を、図1の概略構成断面図によって説明する。

【0031】

図1に示すように、基板11には、素子分離領域12により分離されて、第1導電型(p型)MOSトランジスタ2と第1導電型とは逆導電型の第2導電型(n型)MOSトランジスタ3とが形成され、半導体装置1を構成している。上記基板11上に形成された絶縁膜21には、第1溝22が形成され、この第1溝22内にp型MOSトランジスタ2のゲート電極31が形成されている。また上記絶縁膜21には第2溝23が形成され、この第2溝23内にn型MOSトランジスタ3のゲート電極32が形成されている。

【0032】

上記第1溝22内には、ゲート絶縁膜24を介して、第1導電型MOSトランジスタの第1ゲート電極材料層25と、第2導電型MOSトランジスタの第2ゲート電極材料層27と、電極金属層29とが形成され、上記ゲート電極31を構成している。上記第1ゲート電極材料層25および第2ゲート電極材料層27は電極金属層29により第1溝22内で被覆されている。

10

【0033】

上記第2溝23内には、ゲート絶縁膜24を介して、第2導電型MOSトランジスタの第2ゲート電極材料層27と、電極金属層29とが形成され、ゲート電極32を構成している。上記第2ゲート電極材料層27は電極金属層29により第2溝23内で被覆されている。

【0034】

上記第1ゲート電極材料層25は、例えばタンタル(Ta)、ハフニウム(Hf)、タンタル(Ta)、チタン(Ti)、タングステン(W)、ルテニウム(Ru)もしくはそれらのうちの複数種類から選択される合金で形成することができる。上記第2ゲート電極材料層27は、n型MOSトランジスタのゲート電極材料として用いられる金属材料であり、例えばチタン(Ti)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、ルテニウム(Ru)もしくはその合金で形成することができる。上記電極金属層29は、例えばタングステン(W)、タンタル(Ta)、チタン(Ti)もしくはその合金、またはそれらのうちの2種以上から選択される積層膜で形成することができる。

20

【0035】

また、p型MOSトランジスタ領域における上記ゲート電極31の両側における上記基板11にはエクステンション領域41が形成されている。また、n型MOSトランジスタ領域における上記ゲート電極32の両側における上記基板11にはエクステンション領域42が形成されている。さらに、p型MOSトランジスタ領域における上記ゲート電極31の両側における上記基板11にはエクステンション領域41よりも深くソース・ドレイン領域43が形成されている。また、エクステンション領域41はソース・ドレイン領域43よりもゲート電極31側に張り出すように形成されている。さらに、n型MOSトランジスタ領域における上記ゲート電極32の両側における上記基板11にはエクステンション領域42よりも深くソース・ドレイン領域44が形成されている。また、エクステンション領域42はソース・ドレイン領域44よりもゲート電極32側に張り出すように形成されている。上記ソース・ドレイン領域43、44表面にはシリサイド膜45、46が形成され、ソース・ドレイン領域43、44を低抵抗化している。このシリサイド膜45、46は、一例としてコバルトシリサイドで形成されている。

30

40

【0036】

上記半導体装置1では、p型MOSトランジスタ2のゲート電極31が形成される第1溝22において、電極金属層29によって第1ゲート電極材料層25および第2ゲート電極材料層27が被覆され、n型MOSトランジスタ3のゲート電極32が形成される第2溝23においては、電極金属層29によって第2ゲート電極材料層27が被覆されているので、電極金属層29を第1溝22および第2溝23に残すように研磨した際に、表面に露出される層は電極金属層29およびゲート絶縁膜24であるので、ガルバニック腐食が起こりにくい構造となっている。また、電極金属層29のみの研磨で第1溝22内部および第2溝23内部に電極金属層29を形成することが可能な構造であるので、従来の研磨剤を用いた高精度な研磨加工を容易にしている。

50

【0037】

よって、本発明の半導体装置1は、ガルバニック腐食を低減もしくは起こさず研磨することが可能な構成を有しているため、信頼性の高いゲート構造が得られ、トランジスタ性能の向上が図れるという利点がある。

【0038】

本発明の半導体装置の製造方法に係る一実施の形態の第1例を、図2～図3の製造工程断面図によって説明する。なお、基板11に形成された素子分離領域、各MOSトランジスタのソース・ドレイン、エクステンション領域等の図示は省略している。この詳細については、図4～図5によって後述する。

【0039】

図2(1)に示すように、基板11上に形成された絶縁膜21に、第1導電型(以下p型として説明する)MOSトランジスタのゲート電極が形成される第1溝22を形成するとともに、第2導電型(以下n型として説明する)MOSトランジスタのゲート電極が形成される第2溝23を形成する。上記第1溝22、第2溝23は、通常のリソグラフィ技術とエッチング技術(例えばドライエッチング)により形成する。また、上記絶縁膜21は、例えば酸化シリコン膜で形成する。なお、上記第1溝22、第2溝23および基板11に形成されるトランジスタのエクステンション領域、ソース・ドレイン領域の形成については図4～図5により後に説明する。

【0040】

次に、上記第1溝22の内面および上記第2溝23の内面を含む上記絶縁膜21上にゲート絶縁膜24を形成する。このゲート絶縁膜24は、例えば酸化シリコン(SiO_2)、窒化酸化シリコン(SiON)、窒素を含むハフニウムシリケート(HfSiON)、酸化ハフニウム(HfO_2)、酸化アルミニウム(Al_2O_3)等の材料で形成することができ、ここでは例えば窒化酸化シリコン膜で形成し、その膜厚は例えば2nmとした。

【0041】

さらに、上記ゲート絶縁膜24表面に上記第1導電型MOSトランジスタの第1ゲート電極材料層25を形成する。上記第1ゲート電極材料層25は、例えばタンタル(Ta)、ハフニウム(Hf)、タンタル(Ta)、チタン(Ti)、タングステン(W)、ルテニウム(Ru)もしくはそれらのうちの複数種類から選択される合金で形成することができる。ここでは一例として、第1ゲート電極材料層25をルテニウム(Ru)膜で形成した。その膜厚は、例えば10nm～40nmに設定した。

【0042】

その後、上記第1溝22および第2溝23の内部にのみ、マスク層26を形成する。このマスク層26は、例えば第1溝22、第2溝23を埋め込むように、全面にレジスト膜を形成した後、研磨(例えばCMP)もしくはエッチバック等に処理によって、絶縁膜21上の余剰なレジスト膜を除去することにより形成することができる。

【0043】

次に、図2(2)に示すように、p型MOSトランジスタのゲートが形成される第1溝22内部のマスク層26は残し、n型MOSトランジスタのゲートが形成される第2溝23内部に形成されているマスク層26を除去する。なお、図2(2)～図3(10)までは基板11部分の図示は省略する。

【0044】

次に、図2(3)に示すように、上記マスク層26をエッチングマスクに用いて、薬液(例えばフッ酸)により選択的に第1ゲート電極材料層25をエッチングする。この結果、第1溝22内部におけるマスク層26に被覆されている部分の第1ゲート電極材料層25が残される。その際、残された第1ゲート電極材料層25は上記第1溝22の開口部よりも第1溝22内部側にあるように、エッチングされることが必要である。

【0045】

次に、図2(4)に示すように、上記マスク層26〔前記図2(4)参照〕を除去する。この除去には、有機溶剤を用いることができる。この結果、第1溝22内には第1ゲ

10

20

30

40

50

ト電極材料層 25 が第 1 溝 22 の開口部よりも第 1 溝 22 内部側に形成され、第 2 溝 23 内部にはゲート絶縁膜 24 が露出される。

【0046】

次に、図 2 (5) に示すように、上記第 1 溝 22 内に上記ゲート絶縁膜 24 および上記第 1 ゲート電極材料層 25 とを介して、および上記第 2 溝 23 内に上記ゲート絶縁膜 24 を介して、第 2 ゲート電極材料層 27 を形成する。この第 2 ゲート電極材料層 27 は、n 型 MOS トランジスタのゲート電極材料として用いられる金属材料であり、例えばチタン (Ti)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、ルテニウム (Ru) もしくはその合金で形成することができる。ここでは、例えばハフニウムを用い、例えば 10 nm ~ 40 nm の膜厚に形成した。

10

【0047】

次に、図 2 (6) に示すように、上記第 1 溝 22 および第 2 溝 23 の内部を埋め込むようにマスク層 28 を例えばレジスト膜を全面に成膜して形成する。

【0048】

その後、図 3 (7) に示すように、研磨 (例えば CMP) もしくはエッチバック等によって、絶縁膜 21 上の余剰なマスク層 28 を除去して、第 1 溝 22 および第 2 溝 23 の各内部のみに上記マスク層 28 を残して形成する。

【0049】

次に、図 3 (8) に示すように、上記マスク層 28 をエッチングマスクに用いて、薬液 (例えばフッ酸) により選択的に第 2 ゲート電極材料層 27 をエッチングする。この結果、第 1 溝 22 内部におけるマスク層 28 に被覆されている部分の第 2 ゲート電極材料層 27 および第 2 溝 23 内部におけるマスク層 28 に被覆されている部分の第 2 ゲート電極材料層 27 が残される。その際、残された第 2 ゲート電極材料層 27 は上記第 1 溝 22 および第 2 溝 23 の各開口部よりも第 1 溝 22、第 2 溝 23 の各内部側にあるように、エッチングされることが必要である。

20

【0050】

次に、図 3 (9) に示すように、上記マスク層 28 (前記図 2 (8) 参照) を除去する。この除去には、有機溶剤を用いることができる。この結果、第 1 溝 22 内には第 1 ゲート電極材料層 25 および第 2 ゲート電極材料層 27 が第 1 溝 22 の開口部よりも第 1 溝 22 内部側に形成され、第 2 溝 23 内部には第 2 ゲート電極材料層 27 が第 2 溝 23 の開口部よりも第 2 溝 23 内部側に形成される。

30

【0051】

次に、図 3 (10) に示すように、上記第 1 溝 22、第 2 溝 23 の内部を埋め込むように上記絶縁膜 21 上に上記ゲート絶縁膜 24 を介して電極金属層 29 を成膜する。この電極金属層 29 は、例えばタングステン (W)、タンタル (Ta)、チタン (Ti) もしくはその合金、またはそれらのうちの 2 種以上から選択される積層膜で形成することができる。ここでは一例として、タングステン (W) を用いた。その結果、上記第 1 溝 22 内において上記第 1 ゲート電極材料層 25 および上記第 2 ゲート電極材料層 27 を上記電極金属層 29 で被覆するとともに、上記第 2 溝 23 内において上記第 2 ゲート電極材料層 27 を上記電極金属層 29 で被覆する。

40

【0052】

次に、図 3 (11) に示すように、研磨技術 (例えば CMP) によって上記電極金属層 29 を研磨除去して、上記第 1 溝 22 および第 2 溝 23 の内部のみに電極金属層 29 を残す。このようにして、第 1 溝 22 の内部に、ゲート絶縁膜 24 を介して第 1 ゲート電極材料層 25、第 2 ゲート電極材料層 27、電極金属層 29 からなる p 型 MOS トランジスタのゲート電極 31 が形成され、第 2 溝 23 の内部に、ゲート絶縁膜 24 を介して第 2 ゲート電極材料層 27、電極金属層 29 からなる n 型 MOS トランジスタのゲート電極 32 が形成された。

【0053】

上記製造方法では、上記マスク層 26、28 をエッチングマスクに用いて第 1 ゲート電

50

極材料層 25、第2ゲート電極材料層 27のエッチングに、フッ酸、その化合物、フッ素化合物をエッチング薬液として用いることができる。また薬液によるエッチングの代わりに、ドライエッチングにより行うこともできる。この場合、フッ素系エッチングガスを用いることができる。

【0054】

また、上記電極金属層 29の加工はCMPの代わりに、ドライエッチングによる全面エッチバックにて行うことも可能である。この場合、フッ素系エッチングガスを用いることができる。

【0055】

上記半導体装置の製造方法では、第1導電型(p型)MOSトランジスタのゲートが形成される第1溝 22では、電極金属層 29によって第1ゲート電極材料層 25および第2ゲート電極材料層 27を被覆し、第2導電型MOSトランジスタのゲートが形成される第2溝 23では、電極金属層 29によって第2ゲート電極材料層 27を被覆するので、電極金属層 29を第1溝 22および第2溝 23に残すように研磨した際に、表面に露出される層は電極金属層 29およびゲート絶縁膜 24となる。このため、ガルバニック腐食は起こりにくい。また、電極金属層 29のみの研磨で第1溝 22内部および第2溝 23内部に電極金属層 29を形成することが可能であるので、従来の研磨剤を用いて高精度な研磨加工が容易に実現される。

【0056】

このように、ガルバニック腐食を低減もしくは起こさず研磨することが可能となり、信頼性の高いゲート構造を得ることができるので、歩留りを向上させることができ、またトランジスタ性能の向上を図ることができるという利点がある。

【0057】

次に、上記第1溝 22、第2溝 23およびp型MOSトランジスタのソース・ドレイン領域、n型MOSトランジスタのソース・ドレイン領域等の形成方法について、その一例を、図4～図5の製造工程断面図によって説明する。

【0058】

図4(1)に示すように、素子分離の形成技術を用いて、例えばSTI(Shallow Trench Isolation)技術を用いて、基板 11の表面領域に、pMOSトランジスタの形成領域とnMOSトランジスタの形成領域とを分離する素子分離領域 12を形成する。

【0059】

次に、図4(2)に示すように、上記基板 11表面にゲート絶縁膜 13を形成する。このゲート絶縁膜 13は、例えば、表面酸化技術を用いて、酸化シリコン膜で5nmの厚さに形成することができる。次いで、ゲート絶縁膜上にダミーゲートを形成するための例えばポリシリコン膜を成膜し、さらに窒化シリコン膜を形成する。上記ポリシリコン膜は100nmの厚さに、上記窒化シリコン膜は50nmの厚さに形成する。その後、通常のリソグラフィ技術およびRIE技術を用いて、上記窒化シリコン膜およびポリシリコン膜をパターニングしてダミーゲート 14、15を形成する。

【0060】

次に、図4(3)に示すように、例えば、p型MOSトランジスタ領域を例えばレジストでマスクして、イオン注入技術を用いて、n型MOSトランジスタ領域における上記ダミーゲート 15の両側における上記基板 11にエクステンション領域 42を形成する。その後、上記マスクを除去した後、n型MOSトランジスタ領域を例えばレジストでマスクして、イオン注入技術を用いて、p型MOSトランジスタ領域における上記ダミーゲート 14の両側における上記基板 11にエクステンション領域 41を形成する。その後、マスクを除去する。上記エクステンション領域 41、42はどちらを先に形成してもよい。

【0061】

次に、図4(4)に示すように、例えば、p型MOSトランジスタ領域を例えばレジストでマスクして、イオン注入技術を用いて、n型MOSトランジスタ領域における上記ダミーゲート 15の両側における上記基板 11に上記エクステンション領域 42よりも深く

10

20

30

40

50

ソース・ドレイン領域 4 4 を形成する。また、ソース・ドレイン領域 4 4 は、エクステンション領域 4 2 がソース・ドレイン領域 4 4 よりもダミーゲート 1 5 側に張り出すように形成する。その後、上記マスクを除去した後、n 型 MOS トランジスタ領域を例えばレジストでマスクして、イオン注入技術を用いて、p 型 MOS トランジスタ領域における上記ダミーゲート 1 4 の両側における上記基板 1 1 に上記エクステンション領域 4 1 よりも深くソース・ドレイン領域 4 3 を形成する。また、ソース・ドレイン領域 4 3 は、エクステンション領域 4 1 がソース・ドレイン領域 4 3 よりもダミーゲート 1 4 側に張り出すように形成する。その後、マスクを除去する。上記ソース・ドレイン領域 4 3、4 4 はどちらを先に形成してもよい。

【 0 0 6 2 】

次いで、上記ソース・ドレイン領域 4 3、4 4 表面にシリサイド膜 4 5、4 6 を形成する。このシリサイド膜 4 5、4 6 は、通常のシリサイドプロセスによって形成することができ、ここでは、一例としてコバルトシリサイドで形成した。

【 0 0 6 3 】

次に、図 5 (5) に示すように、上記ダミーゲート 1 4、1 5 よりも高くかつ被覆するように、上記基板 1 1 上に絶縁膜 2 1 を形成する。この絶縁膜 2 1 は、例えば化学的気相成長 (C V D) 技術を用いて、酸化シリコンを 3 0 0 n m 程度の厚さに堆積して形成する。

【 0 0 6 4 】

次に、図 5 (6) に示すように、例えば C M P 技術を用いて、上記絶縁膜 2 1 表面を平坦化するとともに上記ダミーゲート 1 4、1 5 上部の窒化シリコン膜を露出させる。

【 0 0 6 5 】

次に、図 5 (7) に示すように、上記窒化シリコン膜を選択的に除去する。この除去加工は、リン酸によるエッチングを用いる。さらに、ダミーゲート 1 4、1 5 [前記図 5 (6) 参照] のポリシリコン膜を、例えば反応性イオンエッチング (R I E) 技術を用いて除去する。この結果、絶縁膜 2 1 に第 1 溝 2 2、第 2 溝 2 3 が形成される。

【 0 0 6 6 】

次に、図 5 (8) に示すように、上記第 1 溝 2 2、第 2 溝 2 3 の底部に形成されているゲート絶縁膜 1 3 [前記図 4 (2) 参照] を除去する。この除去加工はフッ酸系エッチング種を用いる。この結果、絶縁膜 2 1 に p 型 MOS トランジスタのゲートが形成される第 1 溝 2 2 と n 型 MOS トランジスタのゲートが形成される第 2 溝 2 3 が形成された。

【 0 0 6 7 】

次に、本発明の半導体装置に係る一実施の形態の第 2 例を、図 6 の概略構成断面図によって説明する。

【 0 0 6 8 】

図 6 に示すように、基板 1 1 には、素子分離領域 1 2 により分離されて、第 1 導電型 (p 型) MOS トランジスタ 5 と第 1 導電型とは逆導電型の第 2 導電型 (n 型) MOS トランジスタ 6 とが形成され、半導体装置 1 を構成している。上記基板 1 1 上に形成された絶縁膜 2 1 には、第 1 溝 2 2 が形成され、この第 1 溝 2 2 内に p 型 MOS トランジスタ 2 のゲート電極 3 1 が形成されている。また上記絶縁膜 2 1 には第 2 溝 2 3 が形成され、この第 2 溝 2 3 内に n 型 MOS トランジスタ 3 のゲート電極 3 2 が形成されている。

【 0 0 6 9 】

上記第 1 溝 2 2 内には、ゲート絶縁膜 2 4 を介して、第 1 導電型 MOS トランジスタの第 1 ゲート電極材料層 2 5 と、第 2 導電型 MOS トランジスタの第 2 ゲート電極材料層 2 7 と、電極金属層 2 9 とが形成され、上記ゲート電極 3 1 を構成している。上記第 1 ゲート電極材料層 2 5 は第 2 ゲート電極材料層 2 7 により第 1 溝 2 2 内で被覆されている。

【 0 0 7 0 】

上記第 2 溝 2 3 内には、ゲート絶縁膜 2 4 を介して、第 2 導電型 MOS トランジスタの第 2 ゲート電極材料層 2 7 と、電極金属層 2 9 とが形成され、ゲート電極 3 2 を構成している。

10

20

30

40

50

【0071】

上記第1ゲート電極材料層25は、例えばタンタル(Ta)、ハフニウム(Hf)、タンタル(Ta)、チタン(Ti)、タングステン(W)、ルテニウム(Ru)もしくはそれらのうちの複数種類から選択される合金で形成することができる。上記第2ゲート電極材料層27は、n型MOSトランジスタのゲート電極材料として用いられる金属材料であり、例えばチタン(Ti)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、ルテニウム(Ru)もしくはその合金で形成することができる。上記電極金属層29は、例えばタングステン(W)、タンタル(Ta)、チタン(Ti)もしくはその合金、またはそれらのうちの2種以上から選択される積層膜で形成することができる。

【0072】

また、p型MOSトランジスタ領域における上記ゲート電極31の両側における上記基板11にはエクステンション領域41が形成されている。また、n型MOSトランジスタ領域における上記ゲート電極32の両側における上記基板11にはエクステンション領域42が形成されている。さらに、p型MOSトランジスタ領域における上記ゲート電極31の両側における上記基板11にはエクステンション領域41よりも深くソース・ドレイン領域43が形成されている。また、エクステンション領域41はソース・ドレイン領域43よりもゲート電極31側に張り出すように形成されている。さらに、n型MOSトランジスタ領域における上記ゲート電極32の両側における上記基板11にはエクステンション領域42よりも深くソース・ドレイン領域44が形成されている。また、エクステンション領域42はソース・ドレイン領域44よりもゲート電極32側に張り出すように形成されている。上記ソース・ドレイン領域43、44表面にはシリサイド膜45、46が形成され、ソース・ドレイン領域43、44を低抵抗化している。このシリサイド膜45、46は、一例としてコバルトシリサイドで形成されている。

【0073】

上記半導体装置4では、p型MOSトランジスタ2のゲート電極31が形成される第1溝22において、第2ゲート電極材料層27によって第1ゲート電極材料層25が被覆されているので、電極金属層29を第1溝22および第2溝23に残すように研磨した際に、表面に露出される層は電極金属層29、第2ゲート電極材料層27およびゲート絶縁膜24となる。このように、従来技術よりも研磨時に表面に露出する金属層の種類が低減されているので、ガルバニック腐食が起こりにくい構造となっている。また、電極金属層29および第2ゲート電極材料層27の研磨で第1溝22内部および第2溝23内部に電極金属層29を形成することが可能な構造であるので、従来の研磨剤を用いた高精度な研磨加工を容易にしている。

【0074】

よって、本発明の半導体装置4は、ガルバニック腐食を低減もしくは起こさず研磨することが可能な構成を有しているので、信頼性の高いゲート構造が得られ、トランジスタ性能の向上が図れるという利点がある。

【0075】

次に、本発明の半導体装置の製造方法に係る一実施の形態の第2例を、図7の製造工程断面図によって説明する。

【0076】

図7(1)に示すように、前記第1例と同様にして、以下のプロセスを行う。すなわち、基板11上に形成された絶縁膜21に、第1導電型(以下p型として説明する)MOSトランジスタのゲート電極が形成される第1溝22を形成するとともに、第2導電型(以下n型として説明する)MOSトランジスタのゲート電極が形成される第2溝23を形成する。上記第1溝22、第2溝23は、通常のリソグラフィ技術とエッチング技術(例えばドライエッチング)により形成する。また、上記絶縁膜21は、例えば酸化シリコン膜で形成する。

【0077】

次に、上記第1溝22の内面および上記第2溝23の内面を含む上記絶縁膜21上にゲ

10

20

30

40

50

ート絶縁膜 24 を形成する。このゲート絶縁膜 24 は、例えば酸化シリコン (SiO_2)、窒化酸化シリコン (SiON)、窒素を含むハフニウムシリケート (HfSiON)、酸化ハフニウム (HfO_2)、酸化アルミニウム (Al_2O_3) 等の材料で形成することができ、ここでは例えば窒化酸化シリコン膜で形成し、その膜厚は例えば 2 nm とした。

【0078】

次に、第 1 溝 22 の内面に上記ゲート絶縁膜 24 を介して上記第 1 導電型 MOS トランジスタの第 1 ゲート電極材料層 25 を形成する。その際、第 1 ゲート電極材料層 25 は第 1 溝 22 の開口部よりも内部側に形成される。上記第 1 ゲート電極材料層 25 は、例えばタンタル (Ta)、ハフニウム (Hf)、タンタル (Ta)、チタン (Ti)、タングステン (W)、ルテニウム (Ru) もしくはそれらのうちの複数種類から選択される合金で形成することができる。ここでは一例として、第 1 ゲート電極材料層 25 をルテニウム (Ru) 膜で形成した。その膜厚は、例えば 10 nm ~ 40 nm に設定した。

10

【0079】

次に、上記第 1 溝 22 内に上記ゲート絶縁膜 24 および上記第 1 ゲート電極材料層 25 とを介して、および上記第 2 溝 23 内に上記ゲート絶縁膜 24 を介して、第 2 ゲート電極材料層 27 を形成する。この第 2 ゲート電極材料層 27 は、n 型 MOS トランジスタのゲート電極材料として用いられる金属材料であり、例えばチタン (Ti)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、ルテニウム (Ru) もしくはその合金で形成することができる。ここでは、例えばハフニウムを用い、例えば 10 nm ~ 40 nm の膜厚に形成した。この結果、上記第 1 溝 22 内において、上記第 1 ゲート電極材料層 25 は少なくとも上記第 2 ゲート電極材料層 27 により被覆されている。

20

【0080】

次に、図 7 (2) に示すように、上記第 1 溝 22、第 2 溝 23 の内部を埋め込むように上記絶縁膜 21 上に上記ゲート絶縁膜 24、第 2 ゲート電極材料層 27 等を介して電極金属層 29 を成膜する。この電極金属層 29 は、例えばタングステン (W)、タンタル (Ta)、チタン (Ti) もしくはその合金、またはそれらのうちの 2 種以上から選択される積層膜で形成することができる。ここでは一例として、タングステン (W) を用いた。

【0081】

次に、図 7 (3) に示すように、研磨技術 (例えば CMP) によって上記電極金属層 29 を研磨除去して、上記第 1 溝 22 および第 2 溝 23 の内部のみに電極金属層 29 を残す。このようにして、第 1 溝 22 の内部に、ゲート絶縁膜 24 を介して第 1 ゲート電極材料層 25、第 2 ゲート電極材料層 27、電極金属層 29 からなる p 型 MOS トランジスタのゲート電極 31 が形成され、第 2 溝 23 の内部に、ゲート絶縁膜 24 を介して第 2 ゲート電極材料層 27、電極金属層 29 からなる n 型 MOS トランジスタのゲート電極 32 が形成された。

30

【0082】

上記半導体装置の製造方法では、第 1 導電型 (p 型) MOS トランジスタのゲートが形成される第 1 溝 22 では、第 2 ゲート電極材料層 27 によって第 1 ゲート電極材料層 25 を被覆するので、電極金属層 29 を第 1 溝 22 および第 2 溝 23 に残すように研磨した際に、表面に露出される層は電極金属層 29、第 2 ゲート電極材料層 27 およびゲート絶縁膜 24 となる。このため、ガルバニック腐食は従来技術よりは起こりにくくなる。また、電極金属層 29 および第 2 ゲート電極材料層 27 の研磨で第 1 溝 22 内部および第 2 溝 23 内部に電極金属層 29 および第 2 ゲート電極材料層 27 を形成することが可能であるので、従来の研磨剤を用いて高精度な研磨加工が容易に実現される。また、研磨時に露出される金属層間の電位差が少なくなるように、第 2 ゲート電極材料層 27 と電極金属層 29 とを選択することで、ガルバニック腐食を低減もしくは防ぐことが確実にできるようになる。

40

【0083】

このように、ガルバニック腐食を低減もしくは起こさず研磨することが可能となり、信頼性の高いゲート構造を得ることができるので、歩留りを向上させることができ、またト

50

ランジスタ性能の向上を図ることができるという利点がある。

【図面の簡単な説明】

【0084】

【図1】本発明の半導体装置に係る一実施の形態の第1例を示した概略構成断面図である。

【図2】本発明の半導体装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図である。

【図3】本発明の半導体装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図である。

【図4】第1溝、第2溝およびp型MOSトランジスタのソース・ドレイン領域、n型MOSトランジスタのソース・ドレイン領域等の形成方法について、その一例を示した製造工程断面図である。

10

【図5】第1溝、第2溝およびp型MOSトランジスタのソース・ドレイン領域、n型MOSトランジスタのソース・ドレイン領域等の形成方法について、その一例を示した製造工程断面図である。

【図6】本発明の半導体装置に係る一実施の形態の第2例を示した概略構成断面図である。

【図7】本発明の半導体装置の製造方法に係る一実施の形態の第2例を示した製造工程断面図である。

【図8】従来の半導体装置の製造方法に係る一例を示した製造工程断面図である。

20

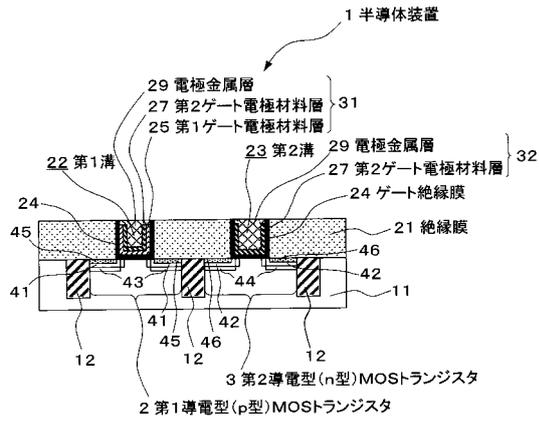
【図9】従来の半導体装置の製造方法に係る一例を示した製造工程断面図である。

【符号の説明】

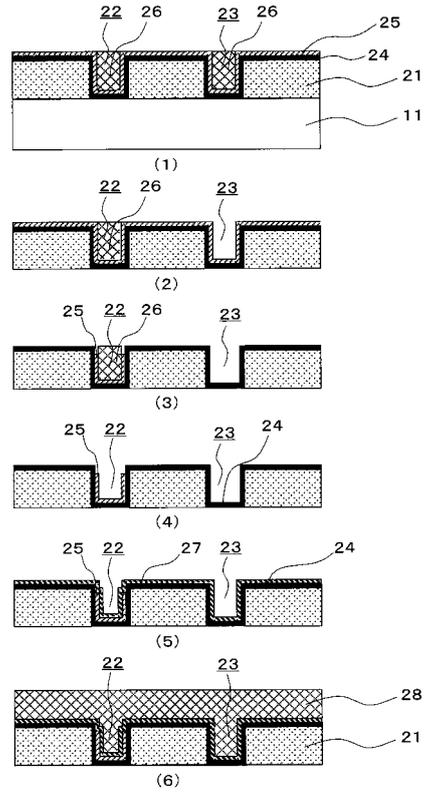
【0085】

1...半導体装置、2...第1導電型(p型)MOSトランジスタ、3...第2導電型(n型)MOSトランジスタ、21...絶縁膜、22...第1溝、23...第2溝、24...ゲート絶縁膜、25...第1ゲート電極材料層、27...第2ゲート電極材料層、29...電極金属層

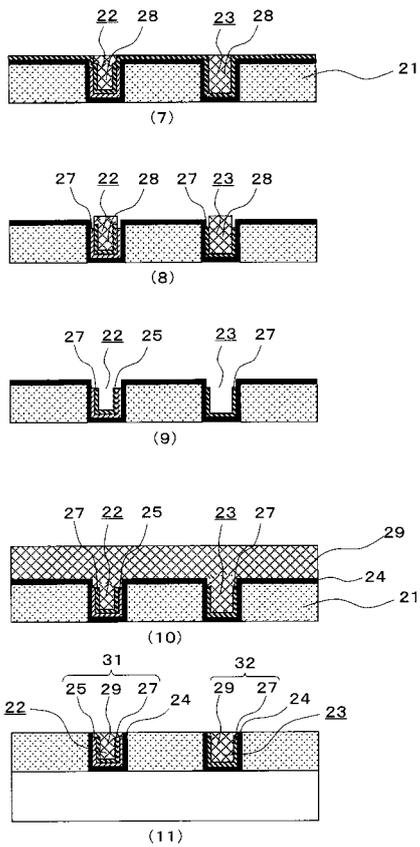
【図1】



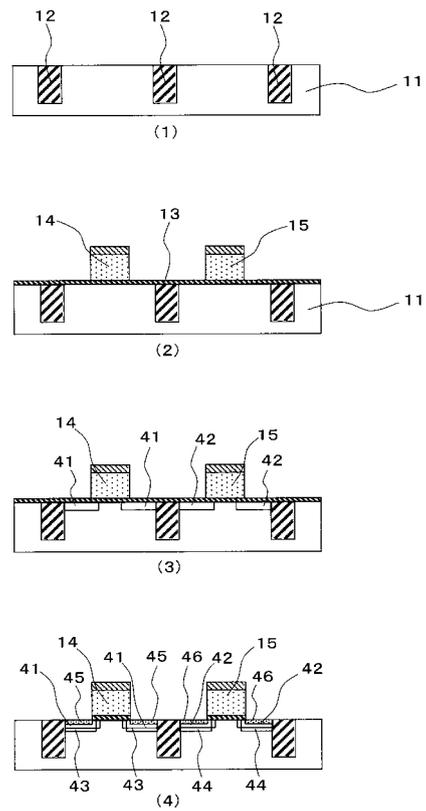
【図2】



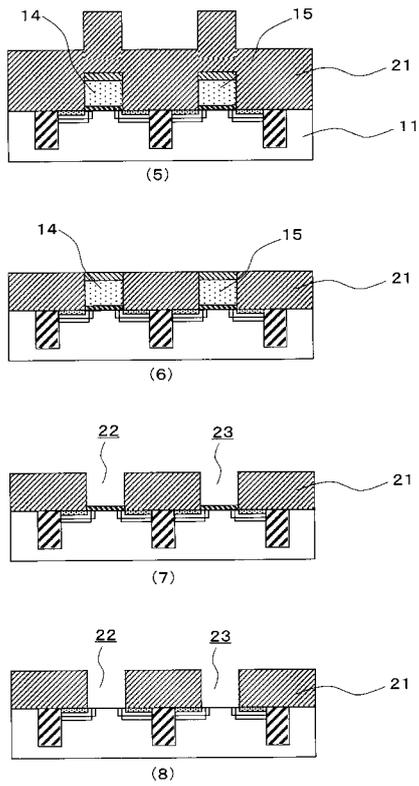
【図3】



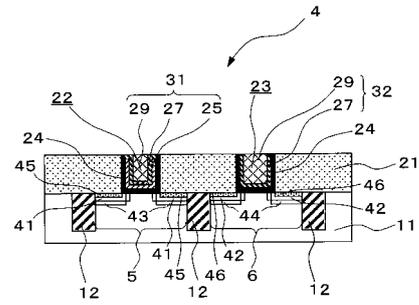
【図4】



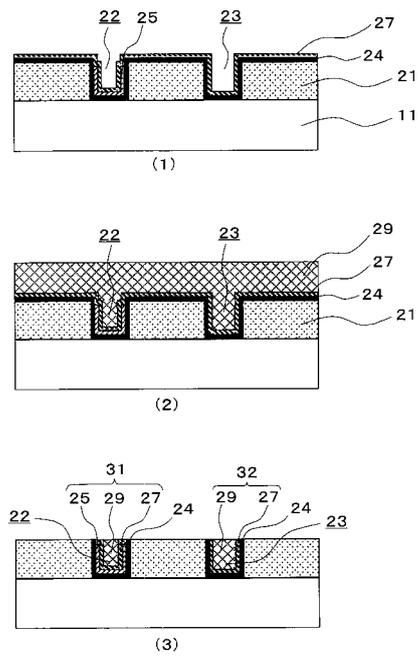
【図5】



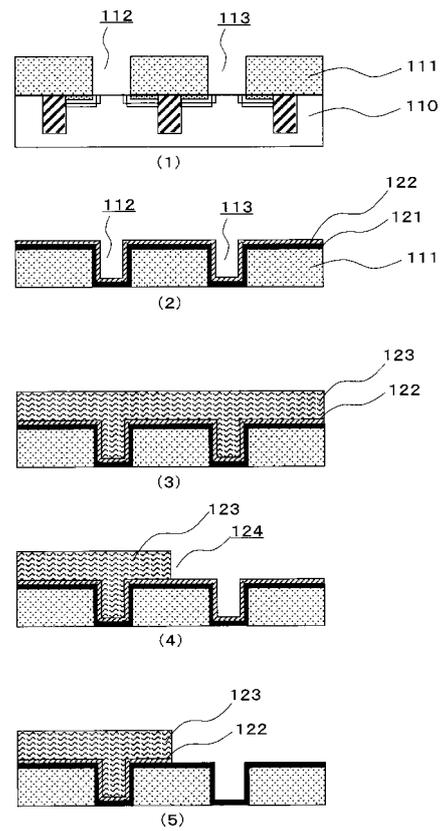
【図6】



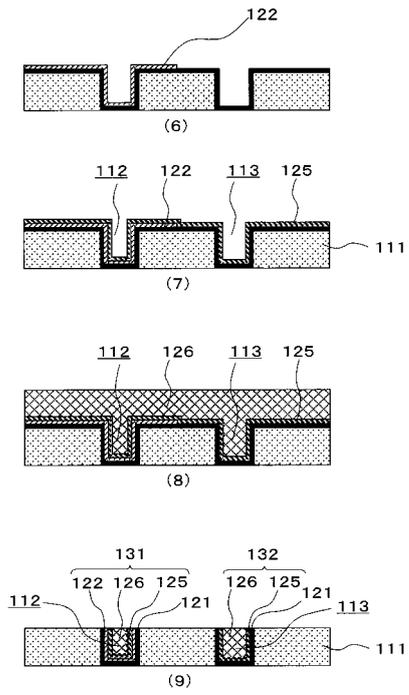
【図7】



【図8】



【図 9】



フロントページの続き

- (56)参考文献 特開2002-110815(JP,A)
特開2002-299610(JP,A)
特開2000-315789(JP,A)
特開2004-260165(JP,A)
特開2003-258121(JP,A)
特開2001-284466(JP,A)
特表2008-523591(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238
H01L 27/092
H01L 29/423
H01L 29/49