



(12) 发明专利

(10) 授权公告号 CN 102959706 B

(45) 授权公告日 2015. 08. 05

(21) 申请号 201180032170. 2

(22) 申请日 2011. 06. 23

(30) 优先权数据

2010-149477 2010. 06. 30 JP

(85) PCT国际申请进入国家阶段日

2012. 12. 28

(86) PCT国际申请的申请数据

PCT/JP2011/003594 2011. 06. 23

(87) PCT国际申请的公布数据

W02012/001923 EN 2012. 01. 05

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 下津佐峰生

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 曹瑾

(51) Int. Cl.

H01L 27/146(2006. 01)

H04N 5/357(2006. 01)

H04N 5/374(2006. 01)

H04N 5/3745(2006. 01)

(56) 对比文件

CN 101656820 A, 2010. 02. 24, 说明书第 9 页
第 11 行 - 第 10 页第 18 行、附图 1, 2, 5, 7, 10, 11.

TW 200803484 A, 2008. 01. 01, 全文第 52 页
第 14 行 - 第 59 页第 6 行、附图 6, 8.

CN 100515050 C, 2009. 07. 15, 说明书第 1 页
倒数第 3 行 - 第 2 页第 1 行、附图 1.

US 2010/0020217 A1, 2010. 01. 28, 说明书第
56 页第 13 行 - 第 57 页第 3 行、附图 8.

CN 101523602 A, 2009. 09. 02, 全文.

CN 101151730 A, 2008. 03. 26, 全文.

CN 1822379 A, 2006. 08. 23, 全文.

JP 特开 2009-170448 A, 2009. 07. 30, 全文.

审查员 武树杰

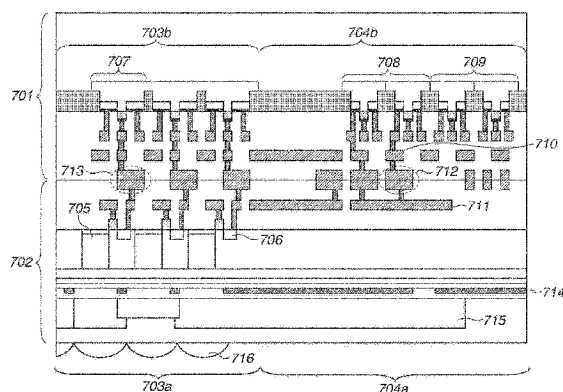
权利要求书1页 说明书10页 附图10页

(54) 发明名称

固态成像装置

(57) 摘要

本发明提供一种包括上面具有多个光电转换单元的第一基板和上面具有读取电路和并行处理电路的第二基板的固态成像装置。固态成像装置包括被配置为向多个并行处理电路供给 DC 电压的 DC 电压供给布线。DC 电压供给布线是通过电连接设置在第一基板上的第一导电图案与设置在第二基板上的第二导电图案形成的。



1. 一种固态成像装置,包括:

多个像素,分别具有光电转换单元和被配置为处理或读取由光电转换单元产生的信号的读取电路;和

多个并行处理电路,被配置为并行处理来自多个像素中的预定数量的像素的信号,

其中,多个光电转换单元被设置在第一基板上,读取电路和并行处理电路被设置在第二基板上,并且,光电转换单元和读取电路相互电连接,使得读取电路接收与光电转换单元对应的信号,

其中,固态成像装置还包括与设置在第二基板中的多个晶体管共同连接且被配置为向多个并行处理电路供给 DC 电压的 DC 电压供给布线,并且,

其中,DC 电压供给布线是通过电连接设置在第一基板上的第一导电图案与设置在第二基板上的第二导电图案形成的,第一导电图案与第二导电图案设置在第一基板和第二基板之间,并且第二导电图案比第一导电图案位于更靠近第二基板的位置。

2. 根据权利要求 1 所述的固态成像装置,其中,第一导电图案被设置在除其中设置有多个像素的像素区域以外的部分上。

3. 根据权利要求 1 所述的固态成像装置,其中,像素包括:

浮置扩散区;

传送单元,被配置为向浮置扩散区传送来自光电转换单元中的每一个光电转换单元的信号;和

像素放大器,其中浮置扩散区和栅极相互电连接;和

像素复位单元,被配置为将像素放大器的输入节点的电势复位,

其中,浮置扩散区和传送单元被设置在第一基板上,并且,像素放大器和像素复位单元被设置在第二基板上。

4. 根据权利要求 3 所述的固态成像装置,其中,并行处理电路是被配置为向像素放大器供给偏置电流的电流源电路。

5. 根据权利要求 3 所述的固态成像装置,其中,并行处理电路是被配置为进一步放大从像素放大器输出的信号的列放大器。

6. 根据权利要求 1 所述的固态成像装置,其中,并行处理电路是被配置为保持从多个像素并行输出的信号的信号保持单元。

7. 根据权利要求 1 所述的固态成像装置,其中,第一导电图案的面积比第二导电图案的面积大。

8. 根据权利要求 3 所述的固态成像装置,其中,并行处理电路是以下电路中选定的一个:被配置成进一步放大从像素放大器输出的信号的列放大器、以及被配置成保持从多个像素并行输出的信号的信号保持单元。

9. 根据权利要求 1~8 中的任一项所述的固态成像装置,其中,第一导电图案和第二导电图案通过包含于与第一导电图案和第二导电图案不同的布线层中的导电图案相互电连接。

固态成像装置

技术领域

[0001] 本发明涉及通过在其上具有光电转换单元的第一基板和其上具有外围电路的第二基板之间进行电连接形成的固态成像装置。

背景技术

[0002] 在具有已知的结构的固态成像装置中,在通过使用微凸块相互电连接的不同的基板上单独地形成光电转换单元和外围电路。

[0003] 日本专利申请公开 No. 2009-170448 讨论了包括贴合在一起的第一基板和第二基板的后侧照明型的固态成像装置。第一基板包含像素、光电转换单元和用于读取信号的读取电路。第二基板包含用于处理从像素读出的信号的外围电路。

[0004] 一般地,为了高速地从固态成像装置读取信号,固态成像装置包含用于并行地向来自多个像素的信号施加类似的信号处理的多个并行处理电路。示例性的并行处理电路包含对于各像素列设置的列放大器和行 AD 单元。

[0005] 直流(DC)电压被供给到执行类似的处理的这种多个并行处理电路,以使得它们能够执行希望的操作。作为 DC 电压,希望的电压通过共用 DC 电压供给线被供给到执行类似的处理的并行处理电路。并行处理电路被设置在第二基板上。希望不在第一基板上设置其它的电路以提供尽可能大的光电转换单元的开口。因此,必须在第二基板上的用于设置并行处理电路的区域中设置大量的电路元件,从而可能降低布线布局的自由度。为了增加布线布局的自由度,必须提供用于设置并行处理电路的大的区域,从而导致芯片面积增加。

[0006] 因此,对于上述的 DC 电压供给布线分配大的面积是十分困难的,并且可在 DC 电压供给布线中产生预定的电阻。出现这样一种问题,即,当在用于向并行处理电路供给 DC 电压的布线中产生电阻时,可能出现混叠。特别地,芯片面积越大,则越可能出现混叠。

[0007] 引文引表

[0008] 专利文献

[0009] PTL 1:日本专利申请公开 No. 2009-170448

发明内容

[0010] 本发明针对提供能够在不增加芯片面积的情况下防止混叠的出现的固态成像装置。

[0011] 根据本发明的一个方面,一种固态成像装置包括:分别具有光电转换单元和被配置为处理或读取由光电转换单元产生的信号的读取电路的多个像素;和被配置为并行处理来自多个像素中的预定数量的像素的信号信号的多个并行处理电路,其中,多个光电转换单元被设置在第一基板上,读取电路和并行处理电路被设置在第二基板上,并且光电转换单元和读取电路相互电连接,使得读取电路接收来自光电转换单元的信号,其中,固态成像装置还包含被配置为向多个并行处理电路供给 DC 电压的 DC 电压供给布线,并且 DC 电压供给布线是通过电连接设置在第一基板上的第一导电图案与设置在第二基板上的第二导电图案

形成的。

[0012] 本发明的有利效果

[0013] 本发明使得能够提供能够在不增加芯片面积的情况下防止混叠的出现的固态成像装置。

[0014] 参照附图阅读示例性实施例的以下的详细的说明,本发明的其它特征和方面将变得十分明显。

附图说明

[0015] 包含于说明书中并构成其一部分的附图示出本发明的示例性实施例、特征和方面,并与说明一起用于解释本发明的原理。

[0016] 图 1 是示意性地示出根据本发明的固态成像装置的顶视图。

[0017] 图 2A 是根据本发明的固态成像装置的一个像素的示例性电路图。

[0018] 图 2B 是根据本发明的固态成像装置的一个像素的示例性电路图。

[0019] 图 3 是示出根据本发明的固态成像装置的总体配置的框图。

[0020] 图 4 示出电流源的示例性的等价电路图。

[0021] 图 5 示出列放大器的示例性的等价电路图。

[0022] 图 6 示出信号保持单元的示例性的等价电路图。

[0023] 图 7 示意性地示出第一基板与第二基板之间的电连接。

[0024] 图 8A 是示出固态成像装置的示例性的顶视图。

[0025] 图 8B 是示出固态成像装置的示例性的顶视图。

[0026] 图 9A 是示出固态成像装置的另一示例性的顶视图。

[0027] 图 9B 是示出固态成像装置的另一示例性的顶视图。

[0028] 图 10A 示意性地示出出现混叠的状态。

[0029] 图 10B 示意性地示出出现混叠的状态。

[0030] 图 10C 示意性地示出出现混叠的状态。

具体实施方式

[0031] 以下参照附图详细描述本发明的各种示例性实施例、特征和方面。

[0032] 图 1 是示意性地示出形成根据本发明的固态成像装置的第一基板与第二基板的顶视图。参照图 1,第一基板(左)包含多个光电转换单元,并且第二基板(右)包含读取电路和并行处理电路。读取电路处理由光电转换单元产生的信号或者将信号输出到共用输出线。并行处理电路并行地处理来自多个像素中的预定数量的像素的信号。

[0033] 第一像素区域 101 包含例如 2 维矩阵形式的多个光电转换单元。第一像素区域 101 还可包含形成传送单元的传送晶体管和通过传送晶体管从光电转换单元向其传送电荷的浮置扩散区(FD)。

[0034] 第一周边区域 102 不包含光电转换单元。当不设置电路元件时或者当设置传送晶体管时,第一周边区域 102 可包含用于控制传送晶体管的操作的扫描电路。可以使用偏移寄存器和解码器作为扫描电路。

[0035] 第二像素区域 201 包含用于对于各像素处理由第一像素区域 101 中的光电转换单

元产生的信号并然后将信号输出到共用输出线的电路。第二像素区域 201 可包含例如用于对于各像素放大由光电转换单元产生的信号的像素放大器、用于将像素放大器的输入节点的电势复位的像素复位单元、和用于选择希望的像素并将信号输出到共用输出线的选择单元。第二像素区域 201 还可包含 A/D 转换单元。

[0036] 第二周边区域 202 包括用于在来自像素的信号被读出到共用输出线之后对其进行处理的电路。第二周边区域 202 包含例如放大器、信号保持单元和 A/D 转换电路。第二周边区域 202 还包含用于驱动上述的复位单元和选择单元的扫描电路。可以使用偏移寄存器和解码器作为扫描电路。

[0037] 本发明的特征在于,通过电连接设置在第一基板上的第一导电图案和设置在第二基板上的相应的第二导电图案,形成设置在第二周边区域 202 中的电路的 DC 电力供给布线。该电路结构使得能够减小 DC 电力供给布线的电阻以减小电压降。以下描述适用于根据本发明的电路结构的示例性的 DC 电力供给布线。DC 电压供给布线指的是用于在几乎没有电压波动的情况下供给 DC 电压的布线,该布线可出于减少电力消耗的目的通过开关操作被接通或关断。换句话说,DC 电压的方向在时间上保持不变。

[0038] 一般地,对于固态成像装置,同时由各输出节点读取来自多个像素的信号。这种节点的例子是多个共用输出线。共用输出线具有执行类似的处理的各并行处理电路,并且 DC 电压供给布线被并行处理电路共用。

[0039] 对于该电路结构,通过共用的 DC 电压供给布线,当前由其它的并行处理电路处理的信号受到影响,从而导致与在电荷耦合器件(CCD)中看到的所谓的拖尾(smear)类似的现象。

[0040] 第一示例性的共用布线是用于向电流源电路供给 DC 电压的布线,所述电流源电路用于向像素放大器供给偏置电流。作为示例性的电流源电路,可以使用利用负载金属氧化物半导体(MOS)晶体管的电流镜。一般地,向负载 MOS 晶体管的源极供给接地电势。利用该电流镜,DC 电压供给布线供给接地电势。用于供给接地电势的接地布线与设置在多个共用输出线上的负载 MOS 晶体管的源极共同地连接。

[0041] 利用该电路结构,当强光入射到成像面的一部分上时,在接地布线中流动的电流改变,这改变了接地布线中的电压降的影响。这改变了在相邻的像素列的电流源电路中流动的电流,从而可能产生混叠,即,表现通过其它的电流源电路对其供给偏置电流的像素的电平偏移的信号。当接地布线具有固定电阻时产生混叠,并且,当接地布线具有较高的电阻时,更可能出现混叠。在成像面尺寸较大的情况下,更可能出现混叠。特别地,大于或等于 APS-C 的成像面尺寸大大影响混叠的出现。当像素数增加时,由于执行单一操作所需要的电流的量的增加,也可能出现该现象。

[0042] 第二示例性的共用布线是用于向对于共用输出线中的每一个或对于多个共用输出线中的每一个设置的列放大器供给 DC 电压的布线。示例性的列放大器电路是运算放大器电路。电流源电路被设置以向运算放大器电路供给尾电流(偏置电流)。与第一示例性的共用布线类似,可以使用电流镜作为电流源电路。用于向电流源电路供给 DC 电压的布线与多个列放大器共同地连接。对于该电路结构,当强光入射在成像面的一部分上时,具有过量的信号电平的光学信号从一些像素被输出到共用输出线。在这种情况下,当运算放大器电路放大光学信号时,包含于差动放大器中的电流源电路可向接地布线发送过量的电流。因

此,由于过量的电流的影响,其它像素列的列放大器不能输出适当的信号。因此,在根据从固态成像装置输出的图像信号获得的图像中,出现混叠。

[0043] 第三示例性的共用布线是用于向信号保持单元供给电压的布线,所述信号保持单元用于并行保持被并行读出到多个共用输出线的信号。一般地,用于保持信号的电容包含接收来自列放大器的信号的信号节点和通过 DC 电压供给布线向其供给预定的电压的固定节点。预定的电压是电源电压、接地电势或其间的中间电势。对于该电路结构,当强光入射于成像面的一部分上时,大的信号被输入到与强光入射在其上的像素列对应的信号保持单元。这大大改变信号节点的电势,并且固定节点的电势伴随信号节点的电势的改变而改变。然后,大的电流暂时在 DC 电压供给布线中流动,并且相应地,DC 电压供给布线的电势改变。DC 电压供给布线的电势的该变化传播到其它像素列的信号保持单元的固定节点。在这种状态下,在电势变化减弱之前向之后的电路输出信号产生混叠。

[0044] 以下,上述的用于并行处理来自像素的信号 of 的电路被称为并行处理电路。

[0045] 图 10C 示意性地示出其中出现混叠的状态。图 10A 示出其中不产生混叠的理想状态。图 10B 和图 10C 示出其中产生混叠的状态。图 10A ~ 10C 示出其中强光入射于成像面的一部分(具体而言,入射于中心画面部分)的状态。图 10B 示出其中强光入射于成像面的一部分(即,中心画面部分附近)而其它画面部分较暗的状态。图 10B 表明,成像面的接收强入射光的部分的两侧的区域比规则输出的信号暗淡。

[0046] 图 10C 示出虽然接收强入射光的部分与图 10B 中的类似,但该部分的两侧以与图 10B 所示的状态相反的方式为明亮的状态。

[0047] 图 10B 和图 10C 中的状态之间的不同是由电路结构的不同导致的。例如,在第一例子中描述的用于向像素电流源供给 DC 电压的 DC 电压供给布线可产生如图 10C 所示的图像。并且,用于向信号保持单元供给 DC 电压的 DC 电压供给布线可产生如图 10B 所示的图像。

[0048] 如果电路结构包含上述的并行处理电路中的任一个(不一定包含全部),那么可出现上述问题。通过在第一基板上设置与 DC 电压供给布线对应的导电图案,然后进行相应的电连接,可以获取本发明的效果。上述的问题不限于由上述的电路结构导致的问题,而可以是通过对于用于执行来自多个像素中的预定数量的像素的信号 of 的并行处理的多个并行处理电路设置共用的 DC 电压供给布线导致的问题。

[0049] 对于上述的具有所有的并行处理电路的电路结构,通过关于用于并行处理电路中的任一个(不一定是全部)的 DC 电压供给布线设置第一导电图案(在第一基板上),可获取本发明的效果。但是,通过关于用于所有并行处理电路的 DC 电压供给布线设置第一导电图案,可以获取更高的效果。

[0050] 图 2A 和图 2B 示出根据本发明的固态成像装置的像素的等价电路图。虽然图 2A 和图 2B 分别仅示出一个像素,但是像素阵列实际上由多个像素形成。

[0051] 光电转换单元 201 通过光电转换产生空穴和电子。例如,使用光电二极管作为光电转换单元 201。

[0052] 传送单元 202 传送光电转换单元 201 的电荷。例如,使用 MOS 晶体管作为传送单元 202 (该 MOS 晶体管被称为传送晶体管)。

[0053] 浮置节点 203 读出信号。当通过传送单元 202 传送光电转换单元 201 的电荷时,

电势浮置。浮置节点 203 包含例如设置在第一基板上的浮置扩散区(FD)。

[0054] 像素复位单元 204 将浮置节点 203 的电势至少设置为基准电势。作为替代方案,通过在与传送单元 202 相同的时间将像素复位单元 204 设为 ON,将光电转换单元 201 的电势设为基准电势。例如,使用 MOS 晶体管作为像素复位单元 204(该 MOS 晶体管被称为复位晶体管)。

[0055] 像素放大器 205 基于由光电转换单元 201 产生的电荷对中的一个电荷来放大信号。例如, MOS 晶体管被用作像素放大器 205。在这种情况下,像素放大器 205 的 MOS 晶体管的栅极与 FD 电连接(该 MOS 晶体管被称为放大器晶体管)。

[0056] 传送控制线 206 被设置在第一基板上以控制传送单元 202 的操作。复位控制线 207 被设置在第二基板上以控制像素复位单元 204 的操作。当传送单元 202 和像素复位单元 204 为 MOS 晶体管时,传送控制线 206 和复位控制线 207 向各 MOS 晶体管的栅极发送用于将其接通或关断的脉冲。

[0057] 共用输出线 208 输出由像素放大器 205 放大的信号。来自包含于像素阵列中的多个像素的信号被读出到共用输出线 208。读出到一个共用输出线 208 的一组像素也可被称为像素列。

[0058] 电流源 209 向像素放大器 205 供给偏置电流。对于该电路结构,电流源 209 供给用于使得能够实现放大器晶体管 205 的源跟随器操作的偏置电流。

[0059] 参照图 2A,电压 V1 被供给到放大器晶体管 205A 和复位晶体管 204A 的漏极。虽然电压 V1 被共用,但是也可使用不同的电源电压。参照图 2A,电压 V2 被供给到电流源 209A。

[0060] 参照图 2B,电压 V3 被供给到复位晶体管 204B 的漏极。参照图 2B,电压 V4 被供给到放大器晶体管 205B 的漏极。参照图 2B,电压 V5 被供给到电流源 209B。

[0061] 在形成像素的元件中,pix A 表示设置在第一基板上的部分,pix B 表示设置在第二基板上的部分。像素 pix 由 pix A 和 pix B 形成。在任一个基板上布置控制线指的是,与第一基板与第二基板之间的直接电连接单元相比,更多地在该一个基板的一侧设置控制线。

[0062] 以下描述图 2A 和图 2B 中的电路图之间的不同。为了区分不同的部件,向它们分配下标 a 和 b。例如,在放大器晶体管 205 和复位晶体管 204 的导电类型上,图 2A 和图 2B 中的电路图不同。具体地讲,在图 2A 中使用 NMOS 晶体管,并且在图 2B 中使用 PMOS 晶体管。因此,在两个电路图之间,供给到各晶体管和电流源的电压是不同的。

[0063] 参照图 2A,电压 V1 为例如 5V 或 3.3V DC 电压。电压 V2 低于电压 V1,诸如为接地电势。参照图 2B,电压 V3 和 V4 是相对较低的电势,诸如接地电势。电压 V5 比电压 V3 高,诸如 3.3V 和 1.8V。

[0064] 参照图 2B,放大器晶体管 205B 是 PMOS 晶体管。光电转换单元 201 使用电子作为信号电荷。对于大量的入射光,PMOS 晶体管的栅极电势降低,相应地,与暗入射光的情况相比,PMOS 晶体管的源极电势增加。具体地讲,当信号振幅与复位操作的情况相比较大时,共用输出线 208 可在其中驱动力较高的状态下被驱动。

[0065] 因此,与图 2A 相比,图 2B 中的电路结构在读取速度上更有利。在常规的电路结构中,由于上述的两个电路被设置在同一个基板上,因此,阱在像素内被分割,从而导致复杂的结构。替代性地,像素的小型化是十分困难的,因此,光电转换单元具有低的开口率。另

一方面,利用本发明,在不同的基板上单独地形成光电转换单元、像素放大器和像素复位单元,由此防止上述的有害的效果。并且,图 2B 中的电路具有更窄的操作电压范围,因此,与图 2A 相比,更有利于电源电压降低。

[0066] 图 2B 中的电路的要点不是 PMOS 晶体管被用作放大器晶体管 205B,而是具有与信号电荷相反的极性的 MOS 晶体管被用作放大器晶体管 205B。具体地讲,当电子用作信号电荷时,PMOS 晶体管被用作放大器晶体管 205B 和复位晶体管 204B,并且,当空穴用作信号电荷时,NMOS 晶体管被用作晶体管 205B 和 204B。参照传送晶体管 202 的导电类型,传送晶体管 202 是第一导电类型的晶体管,并且放大器晶体管 205B 和复位晶体管 204B 是导电类型与第一导电类型相反的第二导电类型的晶体管。

[0067] 虽然具体描述了像素结构,但是像素结构不限于此。例如,也可使用结场效应晶体管(JFET)作为放大器晶体管。光电转换单元 201 可使用空穴作为信号电荷。在这种情况下,优选使用 PMOS 晶体管作为传送晶体管 202。并且,放大器晶体管和复位晶体管可被多个光电转换单元共享,并且可以与放大器晶体管串联地形成选择晶体管。并且,像素结构向多个基板的分配不限于上述的电路结构。复位 MOS 晶体管和放大器 MOS 晶体管可被设置在第一基板上。但是,共用输出线需要被设置在第二基板上。并且,在不设置具有放大器晶体管和复位晶体管的像素的情况下,光电转换单元的电荷可通过传送晶体管被直接输出到共用输出线。

[0068] 图 3 是示出根据本发明的固态成像装置的框图。参照图 3,主要只描述设置在第二基板上的电路元件。并且,以下基于图 2A 所示的情况描述形成像素的晶体管的导电类型。

[0069] 像素区域 301 与图 1 中的第二像素区域 103 对应。

[0070] 部分 302 是形成像素的元件中的设置在第二基板上的部分。部分 302 与图 2A 和图 2B 中的 pix B 对应。

[0071] 对于各像素列设置共用输出线 303。以二维矩阵形式设置像素。各行的信号被并行读出到各共用输出线。

[0072] 电流源电路 304 可用作并行处理电路中的一个。电流源电路 304 供给用于像素放大器的放大操作的偏置电流。电流源电路 304 与图 2A 中的电流源 209A 对应。

[0073] 第一 DC 电压供给布线 305 向电流源电路 304 供给 DC 电压。第一 DC 电压供给布线 305 与图 2A 中的电压 V2 对应。

[0074] 第二 DC 电压供给布线 306 根据需要被设置以向电流源电路 304 供给偏置电流。例如,当使用级联电流源时,第二 DC 电压供给布线 306 向共用栅极放大器 MOS 晶体管的栅极供给预定的电压。

[0075] 对于像素列中的每一个或对于多个像素列中的每一个设置列放大器 307。列放大器 307 可用作并行处理电路中的一个。并且,列放大器 307 可具有用于防止像素部分的噪声的电路。可通过使用源跟随器、共用源和运算放大器电路来具体形成列放大器 307。

[0076] 第三 DC 电压供给布线 308 向列放大器 307 供给接地电势。

[0077] 第四 DC 电压供给布线 309 根据需要被设置以向列放大器 307 供给偏置电流。例如,当使用级联电流源时,第四 DC 电压供给布线 309 向共用栅极放大器 MOS 晶体管的栅极供给预定的电压。

[0078] 信号保持单元 310 可用作并行信号处理电路中的一个。信号保持单元 310 可包含

用于仅保持光学信号的保持单元,或者包含用于保持噪声信号和其上重叠有噪声信号的光学信号两者的保持单元。

[0079] 第五 DC 电压供给布线 311 向信号保持单元 310 供给接地电势。

[0080] 第二共用输出线 312 依次选择被信号保持单元 310 保持之后的信号,并然后将该信号发送到之后的电路。

[0081] 输出放大器 313 放大或缓冲从第二共用输出线 312 发送的信号,并然后通过输出焊盘(未示出)将它们输出到外部。虽然仅示出一个输出放大器 313,但是可以设置多个输出放大器 313 以使得能够实现并行处理。

[0082] 供给布线 314 向输出放大器 313 供给预定的电压。供给布线 314 供给电源电压、接地电势、或其之间的中间电压。

[0083] 第一扫描单元 315 依次选择被信号保持单元 310 保持的信号,并然后将其输出到第二共用输出线 312。

[0084] 供给布线 316 向第一扫描单元 315 供给预定的电压。供给布线 314 供给电源电压、接地电势、或其之间的中间电压。

[0085] 第二扫描单元 317 控制像素中的设置在第二基板上的像素复位单元的驱动。

[0086] 供给布线 318 向第二扫描单元 317 供给预定的电压。供给布线 318 供给电源电压、接地电势、或其之间的中间电压。

[0087] 图 4 示出用作图 3 中的并行处理电路的电流源电路的示例性的等价电路图。参照图 4,由点线四方形包围的部分与图 3 中的第二 DC 电压供给布线 306 对应。对于多个行设置与第二 DC 电压供给布线 306 对应的该部分。

[0088] 晶体管 401 是负载 MOS 晶体管。MOS 晶体管 402 作为共用栅极放大器电路操作。向 MOS 晶体管 402 的栅极供给预定的电压。MOS 晶体管 403 的栅极与负载 MOS 晶体管 401 的栅极连接。电流源 404 向 MOS 晶体管 403 发送固定的电流。接地布线 405 与图 3 中的第一 DC 电压供给布线 305 对应。接地布线 405 与晶体管 401 和 403 的源极共同地连接。偏置供给布线 406 向 MOS 晶体管 402 的栅极供给预定的电压。偏置供给布线 406 与图 3 中的第二 DC 电压供给布线 306 对应。图 4 中的电路构成级联电流源电路。

[0089] 对于图 4 中的电路结构,当强光入射于成像面的一部分上并且用于一些像素列的共用输出线的电势大大下降时,在接地布线 405 中流动的电流减小。因此,在用于其它的像素列的负载 MOS 晶体管中流动的电流增大以导致信号的电平向更亮的水平偏移,从而导致混叠输出。得到的图像如图 10C 所示。

[0090] 由于在接地布线 405 中产生一定的电阻,所以出现该现象。因此,为了减小该电阻,通过在第一基板上设置第一导电图案,并然后将它们与设置在第二基板上的相应的第二导电图案电连接,形成接地布线 405。该电路结构可防止混叠的出现。

[0091] 虽然基于级联电流源电路具体描述了图 4 中的电路结构,但是,它也适用于普通的电流镜电路。对于简单的电流镜,电流源电路具有较小的输出电阻,因此,可通过应用本发明获得更高的效果。

[0092] 图 5 示出图 3 中的列放大器的示例性的等价电路图。作为例子示出运算放大器电路。

[0093] 保持电容 501 的一个节点与共用输出线 303 连接。晶体管 502 和 503 是 NMOS 晶

晶体管,并且晶体管 504 和 505 是 PMOS 晶体管。在运算放大器电路的输入和输出节点之间设置反馈电容 506。使用可变电容作为反馈电容 506 可改变运算放大器电路的增益。

[0094] 与反馈电容 506 并联地设置开关 507。开关 507 被设置以导致运算放大器电路执行电压跟随器操作。开关 507 向保持电容 501 的另一节点供给向 NMOS 晶体管 503 的栅极供给的电压。NMOS 晶体管 508、509 和 510 以与图 4 中的电路类似的方式形成级联恒流源电路。该级联电流源电路供给运算放大器电路的尾电流。

[0095] 接地布线 511 与图 3 中的第三 DC 电压供给布线 308 对应。偏置供给布线 512 向 NMOS 晶体管 509 的栅极供给预定的偏置电流。偏置供给布线 512 与图 3 中的第四 DC 电压供给布线 309 对应。

[0096] 对于图 5 中的电路结构,当强光入射于成像面的一部分上时,具有过量的电平的信号被输入到输入晶体管 502 的栅极。随着输入晶体管 502 的源极的电势上升,NMOS 晶体管 508 的漏极的电势也上升。作为结果,电流源电路可向接地布线 511 发送过量的电流。因此,由用于其它像素的列放大器的电流源电路供给的偏置电流减小,以导致信号的电平向更暗的水平偏移,从而导致混叠输出。得到的图像如图 10B 所示。

[0097] 由于在接地布线 511 中产生一定的电阻,所以出现该现象。因此,为了减小该电阻,通过在第一基板上设置第一导电图案,并然后将它们与设置在第二基板上的相应的第二导电图案电连接,形成接地布线 511。该电路结构可防止混叠的出现。

[0098] 虽然作为用于供给运算放大器电路的尾电流的电路,基于级联电流源电路具体描述了图 5 中的电路结构,但是,它也适用于普通的电流镜电路。对于简单的电流镜,电流源电路具有较小的输出电阻,并因此可通过应用本发明获得更高的效果。

[0099] 图 6 示出图 3 中的信号保持单元 310 的示例性的等价电路图。信号保持单元 310 可保持噪声信号和其上重叠有噪声信号的光学信号两者。噪声信号主要包含列放大器的偏移。信号保持单元 310 可仅保持光学信号。

[0100] CMOS 开关 601s 向之后的电容传送其上重叠有噪声信号的光学信号。CMOS 开关 601n 向之后的电容传送噪声信号。光学信号保持电容 602s 保持其上重叠有噪声信号的光学信号。噪声信号保持电容 602n 保持噪声信号。开关 603s 将其上重叠有噪声信号的光学信号输出到之后的第二共用输出线 312 和输出放大器 313。开关 603n 将噪声信号输出到之后的第二共用输出线 312 和输出放大器 313。接地布线 604s 向布置在电容 602s 的信号节点的向其供给信号的相对侧的电容 602s 的固定节点供给接地电势。接地布线 604n 向布置在其信号节点的供给信号的相对侧的电容 602n 的固定节点供给接地电势。接地布线 604s 和 604n 与第四 DC 电压供给布线 311 对应。

[0101] 对于图 6 中的电路结构,当强光入射于成像面的一部分上时,具有过量的电平的信号被供给到电容 602s 的信号节点。因此,电容 602s 的固定节点的电势大大改变,并且大的瞬时电流在接地布线 604s 中流动。因此,由其它像素列的信号保持单元保持的信号受到影响,以导致信号的电平向更亮的水平偏移,从而导致混叠输出。得到的图像如图 10C 所示。

[0102] 由于在接地布线 604s 中产生一定的电阻,所以出现该现象。因此,为了减小该电阻,通过在第一基板上设置第一导电图案,并然后将它们与设置在第二基板上的相应的第二导电图案电连接,形成接地布线 604s。该电路结构可防止混叠的出现。

[0103] 图 7 示意性地示出包含第一和第二基板之间的电连接单元的断面。图 7 示出用于向在图 3 中的框图中示意性地示出的并行处理电路或图 4 ~ 6 所示的并行处理电路中的任一个供给 DC 电力供应的 DC 电源电路图案的一部分。

[0104] 像素区域 703a 被设置在第一基板 701 上。像素区域 703b 被设置在第二基板 702 上。第一周边区域 704a 被设置在第一基板 701 上。第二周边区域 704b 被设置在第二基板 702 上。第一周边区域 704a 被设置在像素区域 703a 以外的部分上, 并且, 第二周边区域 704b 被设置在像素区域 703b 以外的部分上。第二周边区域 704b 包含用于处理通过共用输出线从像素区域 703b 输出的信号或控制从像素区域 703b 输出的信号的电路。

[0105] 光电转换单元 705 的电荷被传送到 FD 706。光电转换单元 705 和 FD 706 形成传送晶体管。放大器晶体管 707 形成放大器。放大器晶体管 707 的栅极与 FD 706 电连接。MOS 晶体管 708 形成设置在第二周边区域 704b 上的并行处理电路的一部分。MOS 晶体管 709 形成设置在第二周边区域 704b 上的并行处理电路以外的电路。

[0106] 第二导电图案 710 形成用于向形成并行处理电路的 MOS 晶体管 709 供给 DC 电压的 DC 电压供给布线。第二导电图案 710 沿纸的深度方向延伸, 以共同地向各并行处理电路的 MOS 晶体管供给 DC 电压。第二导电图案 710 被设置在像素区域 703b 以外的部分上。

[0107] 第一导电图案 711 被设置在第一基板 701 上。第一导电图案 711 被设置在像素区域 703a 以外的部分上。

[0108] 第一电连接单元 712 电连接第二导电图案 710 与第一导电图案 711。例如, 可通过用第一基板 701 上的最上面的布线层和第二基板 702 上的最上面的布线层形成导电图案并然后电连接这些导电图案, 形成第一电连接单元 712。作为替代方案, 也可通过用各最上面的布线层形成第一导电图案 711 和 / 或第二导电图案 710 并然后电连接这些导电图案, 形成第一电连接单元 712。

[0109] 第一导电图案 711 被设置在第一基板 701 上的第一周边区域 704a 中。第一周边区域 704a 包含数量比第二基板 702 上的第二周边区域 704b 包含的电路元件少的电路元件。作为替代方案, 第一周边区域 704a 不包含电路元件。因此, 第一基板 701 具有相对较高的布线布局的自由度。因此, 优选使得第一导电图案 711 的面积比第二导电图案 710 的面积大, 以使得能够在保持第二基板 702 的布线布局的自由度的同时减小电阻。

[0110] 第二电连接单元 713 电连接 FD 706 与放大器晶体管 707 的栅极。可通过用第一基板 701 上的最上面的布线层和第二基板 702 上的最上面的布线层形成导电图案并然后电连接这些导电图案, 形成第二电连接单元 713。参照形成第一电连接单元 712 的导电图案的面积与形成第二电连接单元 713 的导电图案的面积之间的关系, 优选使得形成第二电连接单元 713 的导电图案的面积比形成第一电连接单元 712 的导电图案的面积小。由于导电图案的较大的面积在 FD 706 中产生较大的寄生电容, 因此, 第二电连接单元 713 连接 FD 706 与放大器晶体管 707 的栅极。

[0111] 图 8A 和图 8B 是示意性地示出根据本发明的固态成像装置的顶视图。图 8A 示出第一基板 701, 图 8B 示出第二基板 702。为了便于解释, 图 8A 和图 8B 分别示出图 7 所示的第一和第二导电图案以及在第一和第二导电图案的同一布线层中形成的像素部分的连接单元上的导电图案。其它的导电图案被省略。

[0112] 像素区域 801a 和 801b 分别被设置在第一和第二基板上。多个第一导电图案

805a ~ 809a 被设置在第一基板 701 上。多个第二导电图案 805b ~ 809b 被设置在第二基板 702 上。第二导电图案 805b ~ 809b 被设置为向各并行处理电路供给 DC 电压。第一导电图案 805a、806a、807a 和 808a 分别通过电连接单元(后面描述)与第二导电图案 805b、806b、807b 和 808b 电连接。当比较相互电连接的第一和第二导电图案的面积时,使得第一导电图案的面积比第二导电图案的面积大。该电路结构大大减小 DC 电压供给线的电阻,从而使得能够提高设置在第二基板 702 上的电路元件的其它布线布局的自由度。

[0113] 输入焊盘 810 被设置在第一基板 701 上。DC 电压从基板 701 的外部被供给到输入焊盘 810。DC 电压被供给到设置在基板 701 的另一端上的类似的输入焊盘。并行处理电路 811 ~ 813 被设置在第二基板 702 上。例如,并行处理电路 811 ~ 813 分别与第一并行处理电路 304、第二并行处理电路 307 和第三并行处理电路 310 对应。

[0114] 设置在像素区域 801a 和 801b 上的导电图案 814a 和 814b 分别形成电连接单元。

[0115] 图 9A 和图 9B 是示意性地示出根据本发明的固态成像装置的顶视图,这些顶视图与图 8A 和图 8B 中的顶视图不同。图 9A 示出第一基板 701,图 9B 示出第二基板 702。为了便于解释,图 9A 和图 9B 示出设置在比图 7 所示的第一和第二导电图案高的布线层中的导电图案。这些导电图案直接与各基板进行电连接。省略其它的导电图案。具有与图 8A 和图 8B 相同的功能的元件被赋予相同的附图标记,因此,省略重复的描述。

[0116] 导电图案 905a 和 905b 电连接第一导电图案 805a 与第二导电图案 805b。导电图案 906a 和 906b 电连接第一导电图案 806a 与第二导电图案 806b。导电图案 907a 和 907b 电连接第一导电图案 807a 与第二导电图案 807b。导电图案 908a 和 908b 电连接第一导电图案 808a 与第二导电图案 808b。

[0117] 参照图 9B,形成电连接单元的导电图案的面积不同。具体而言,使得设置在第一基板 701 上的导电图案的面积比设置在第二基板 702 上的导电图案的面积大。该电路结构确保第一和第二导电图案之间的电连接。

[0118] 虽然基于上述的示例性实施例具体描述了本发明,但是本发明不限于此,而可以在不背离其概念的情况下根据需要被修改和组合。

[0119] 例如,在图 7 所示的断面结构中,第一基板 701 的一个主面(其上形成有器件)和第二基板 702 的一个主面(其上形成有器件)相互面对并然后贴合在一起。但是,第一基板 701 的一个主面(其上形成有器件)和第二基板 702 的后表面也可贴合在一起。

[0120] 虽然具体描述了三个不同的示例性并行处理电路,但是并行处理电路不限于此。例如,本发明也可被应用于设置并行执行 A/D 转换的并行处理电路的情况。由于特别是当并行处理电路处理模拟信号时可能出现混叠,因此,通过将本发明应用于用于处理模拟信号的并行处理电路,可以获得较高的效果。

[0121] 并且,虽然主要基于应用于接地布线的情况具体描述了本发明,但是,很显然,本发明可被应用于用于供给 DC 电源电压或接地电势和电源电压之间的中间电压的布线。

[0122] 虽然已参照示例性实施例说明了本发明,但应理解,本发明不限于公开的示例性实施例。以下的权利要求的范围应被赋予最宽的解释以包含所有的变更方式、等同的结构和功能。

[0123] 本申请要求在 2010 年 6 月 30 日提交的日本专利申请 No. 2010-149477 作为优先权,在此加入其全部内容作为参考。

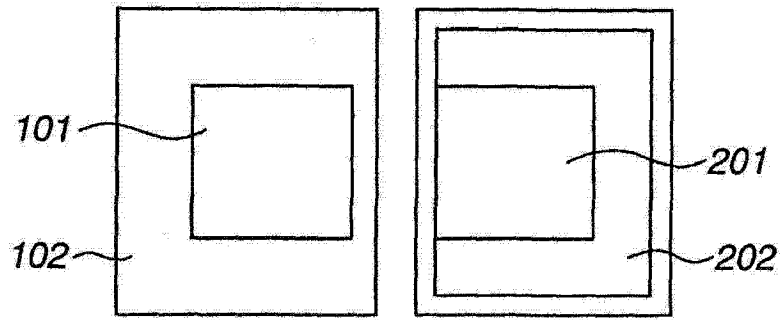


图 1

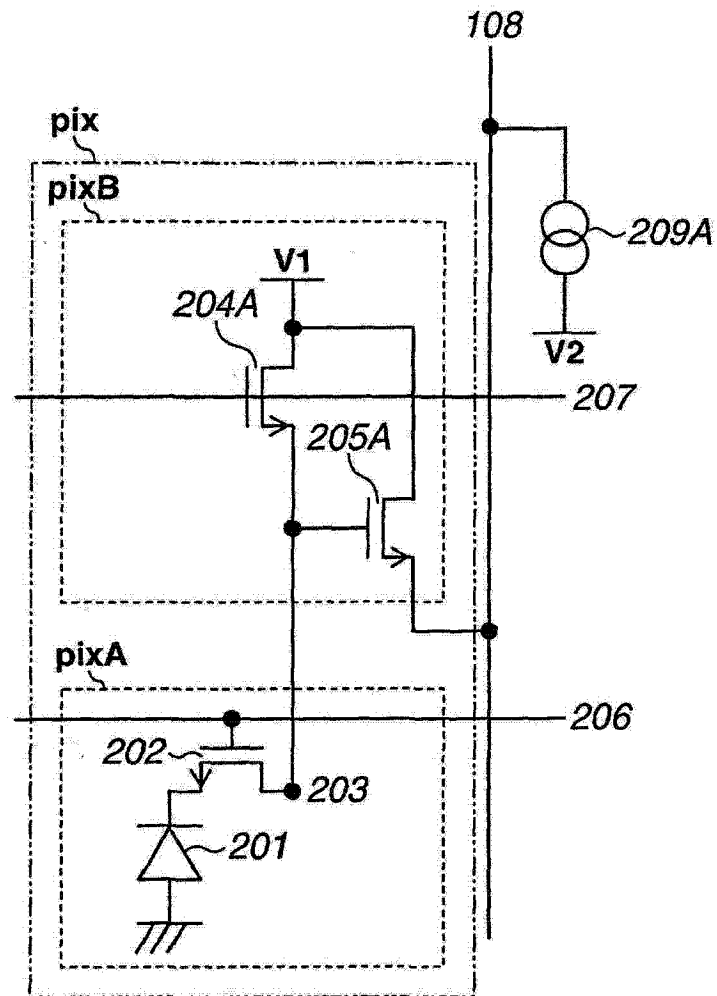


图 2A

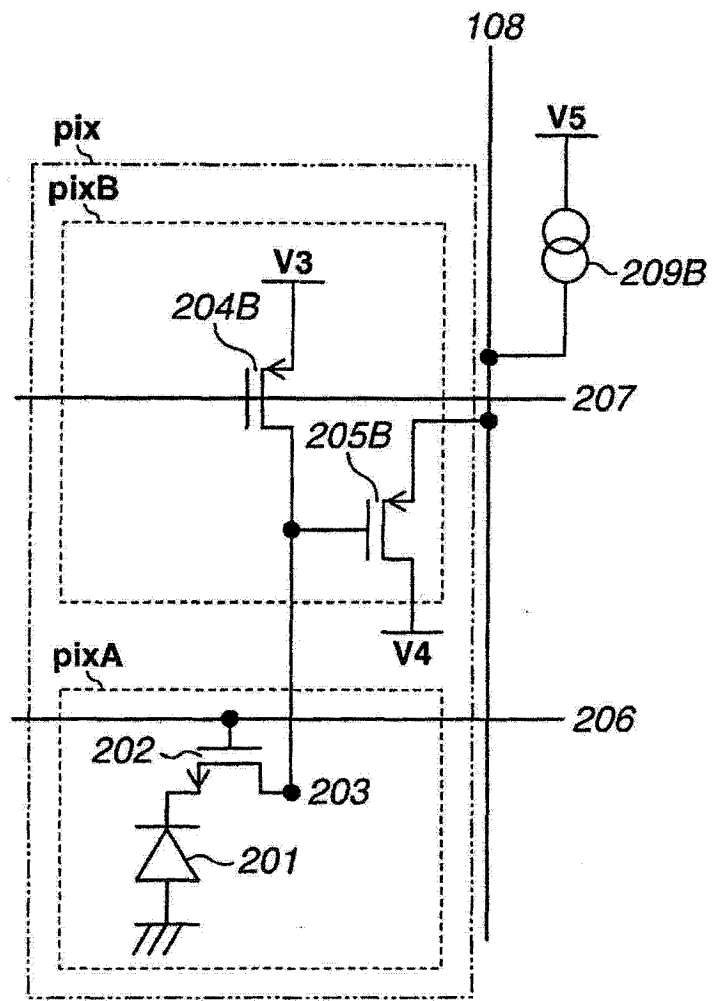


图 2B

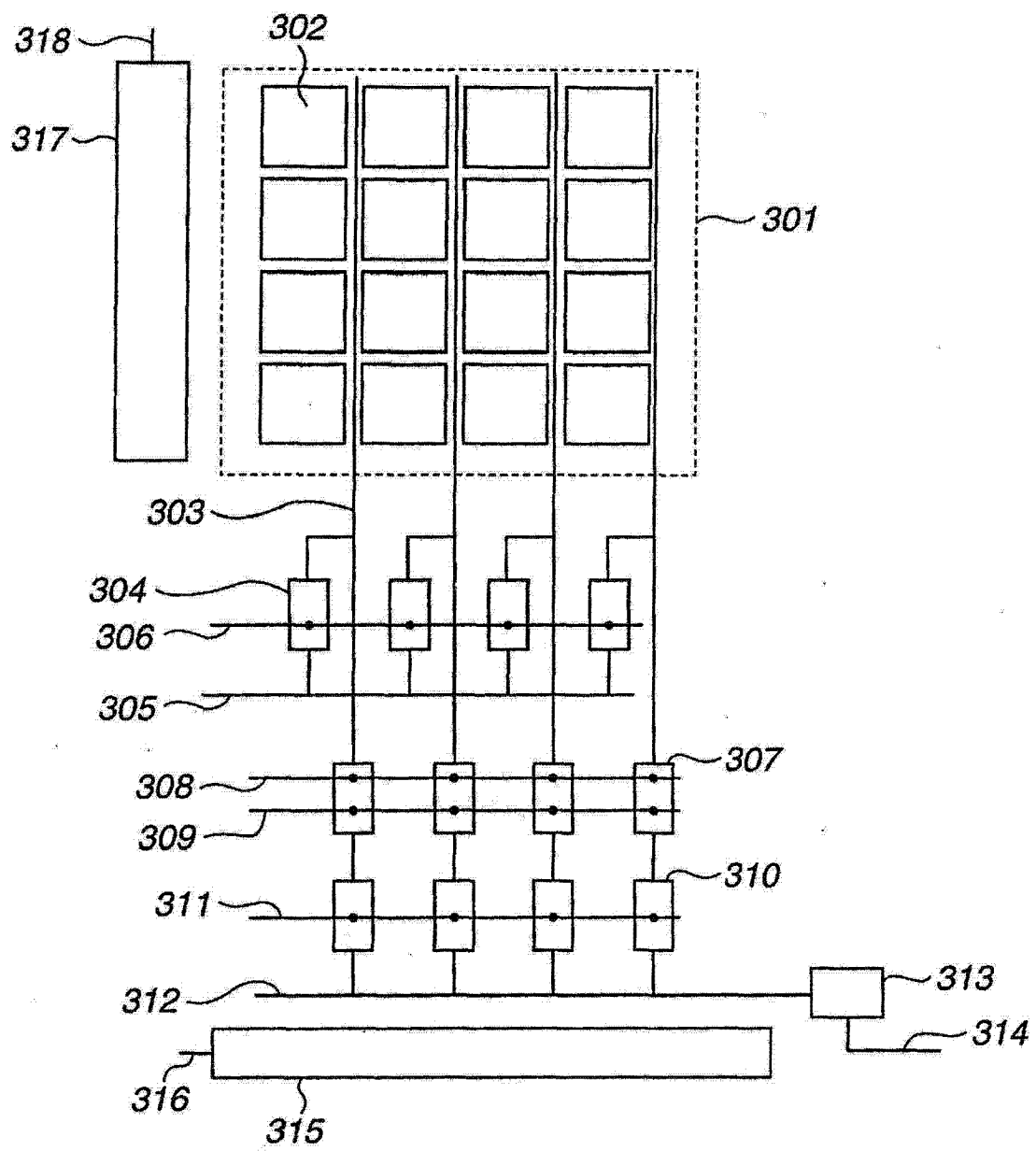


图 3

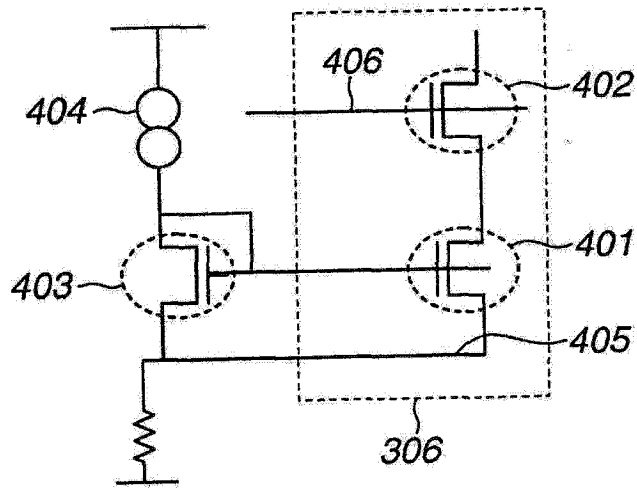


图 4

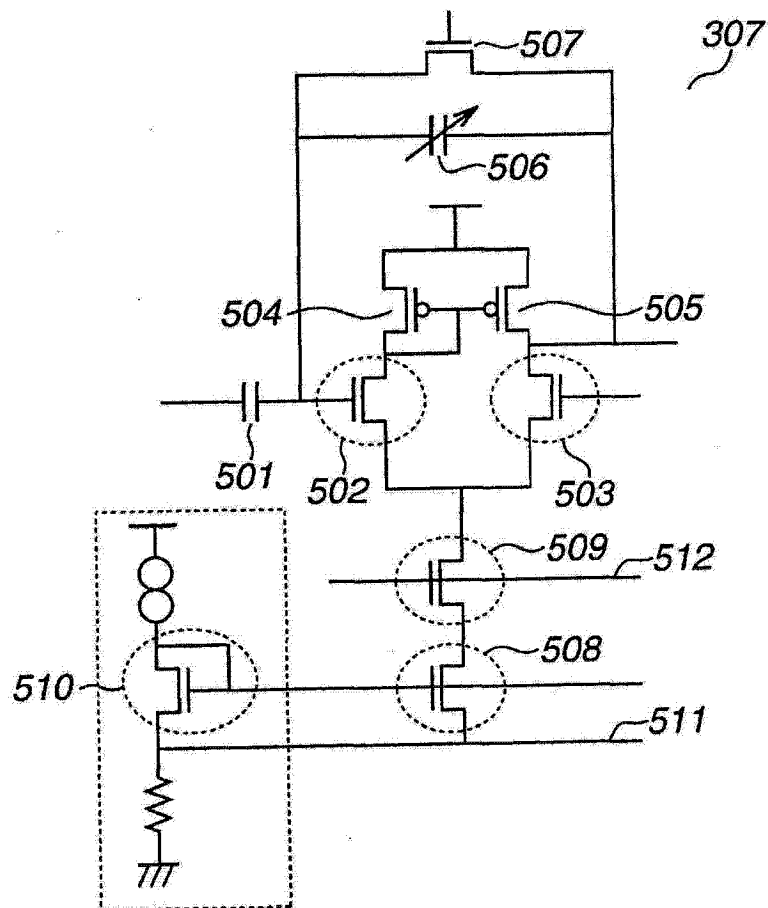


图 5

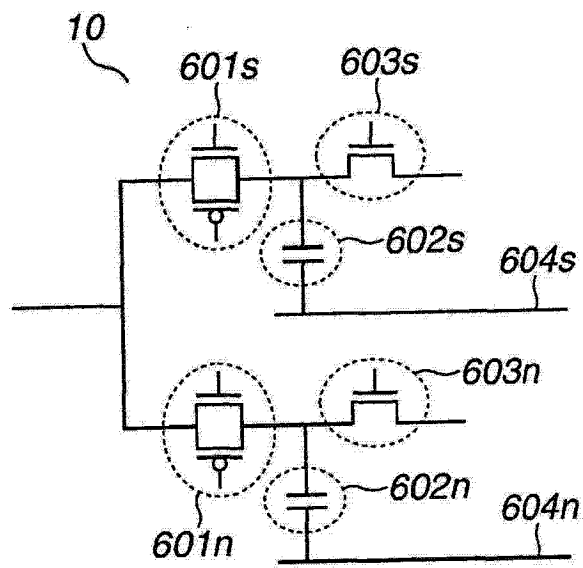


图 6

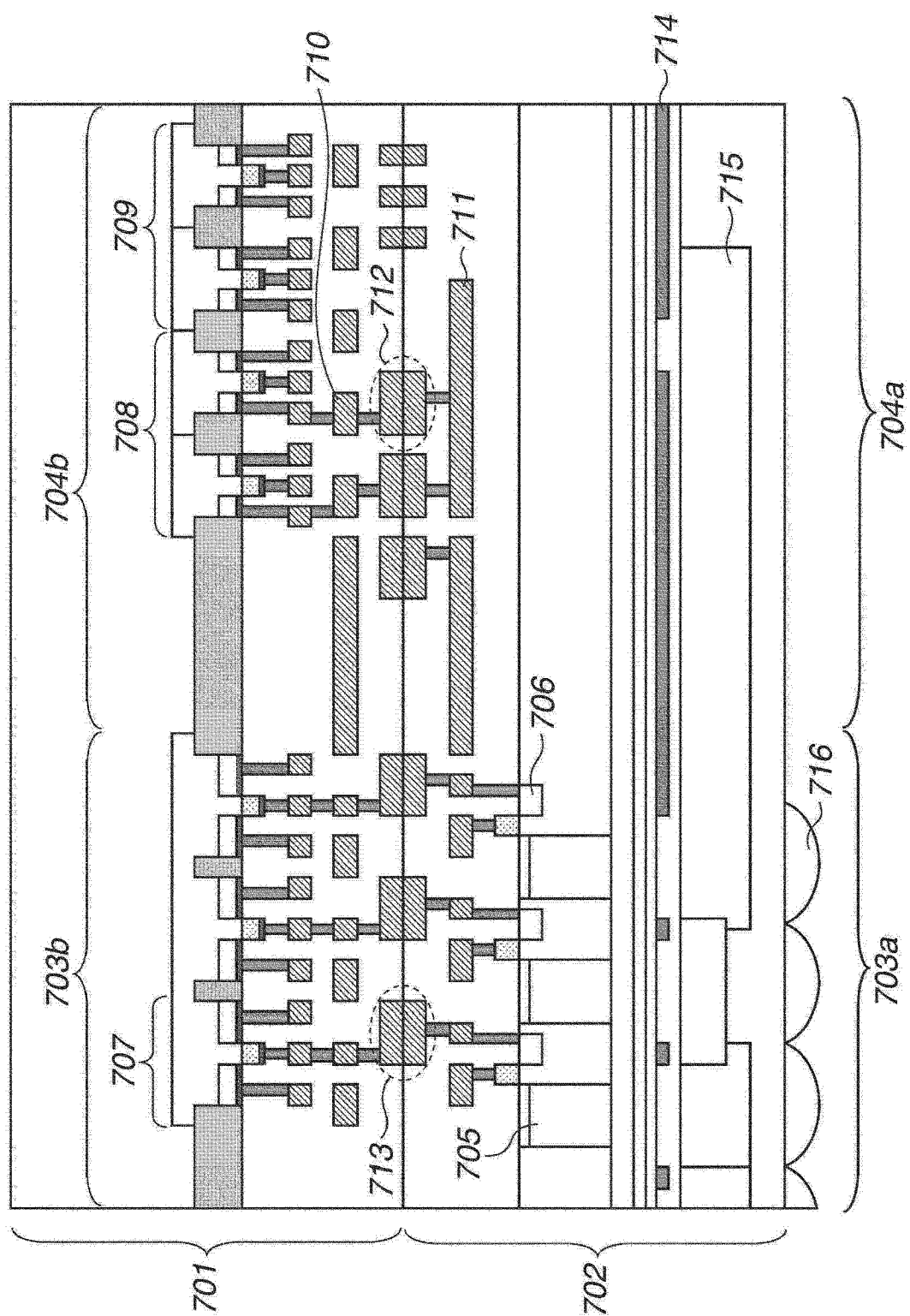


图 7

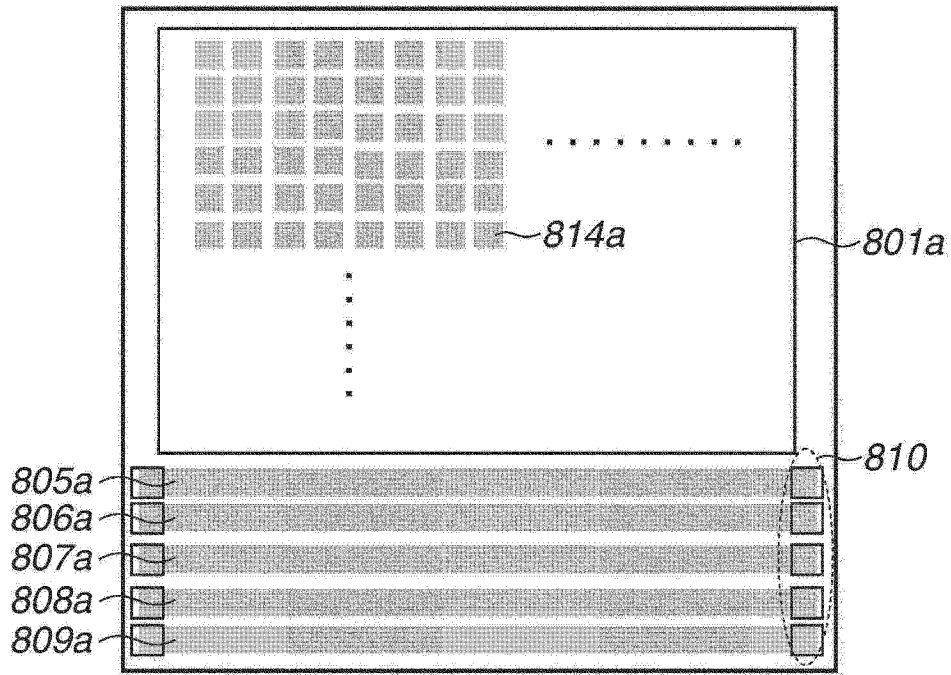


图 8A

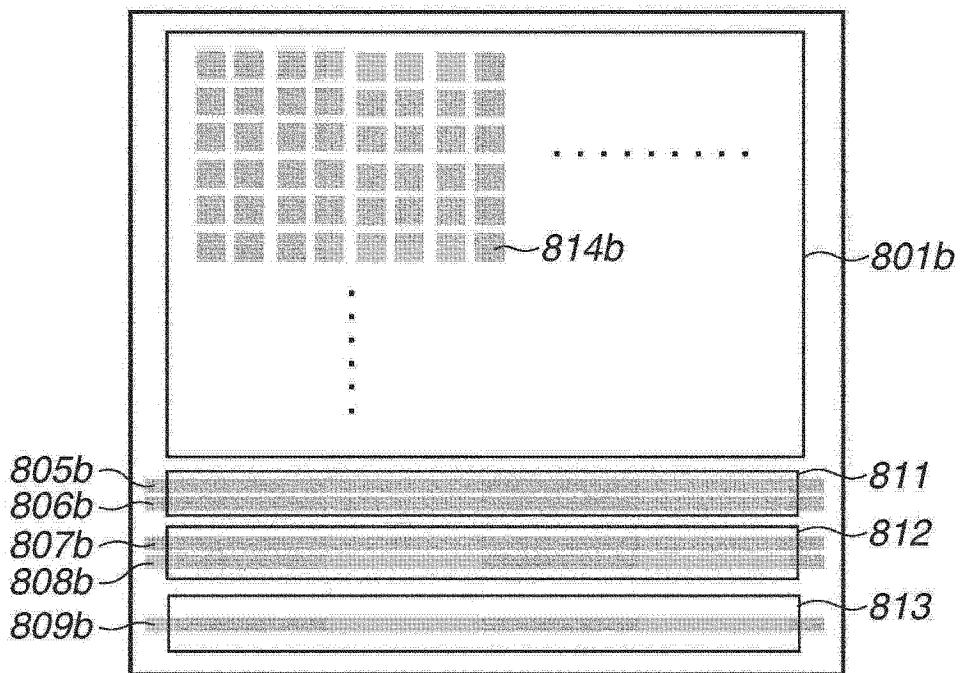


图 8B

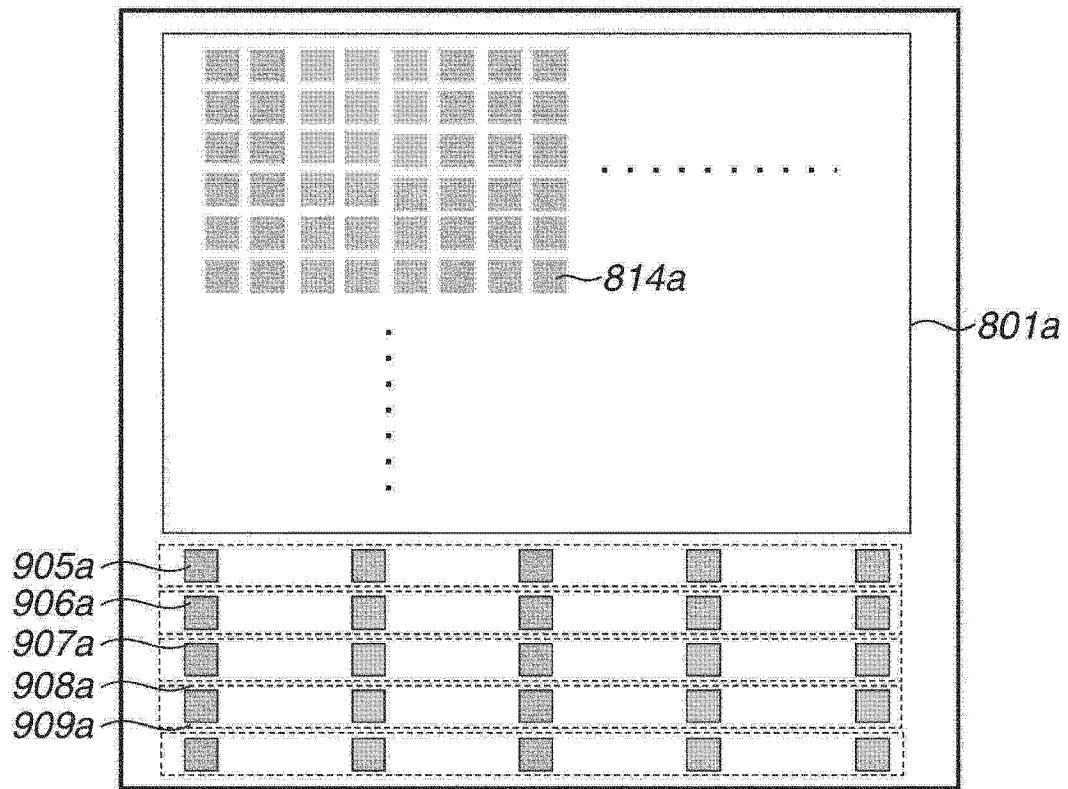


图 9A

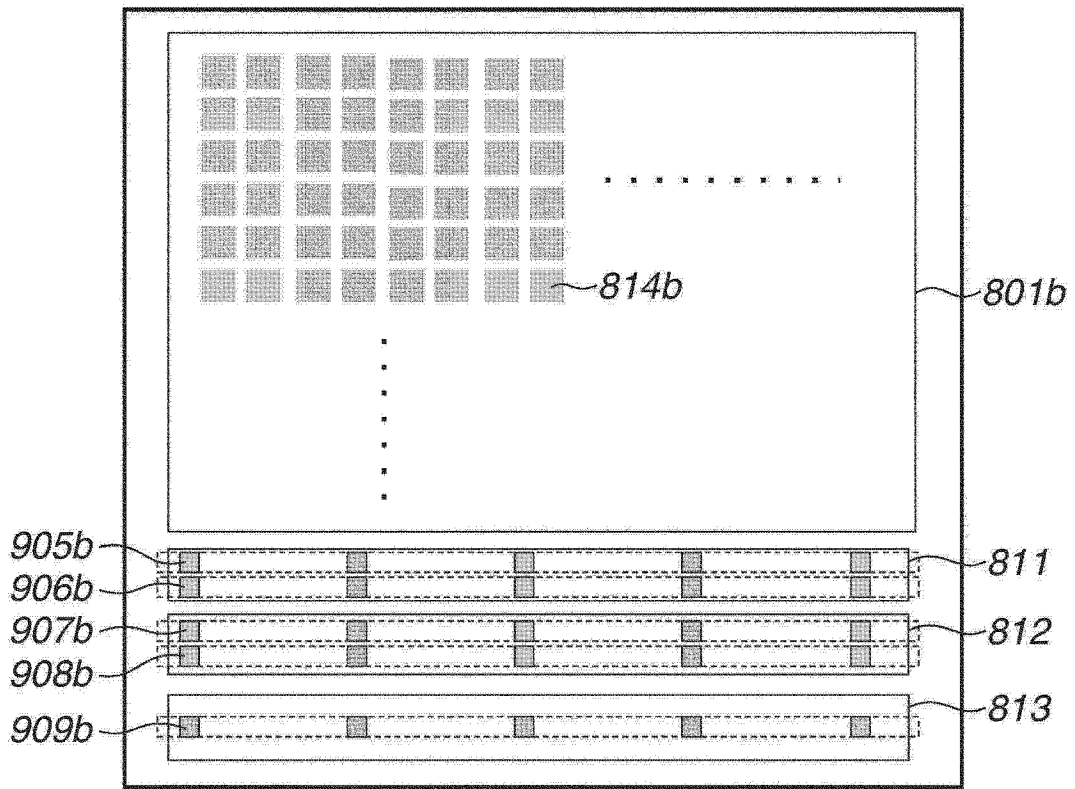


图 9B

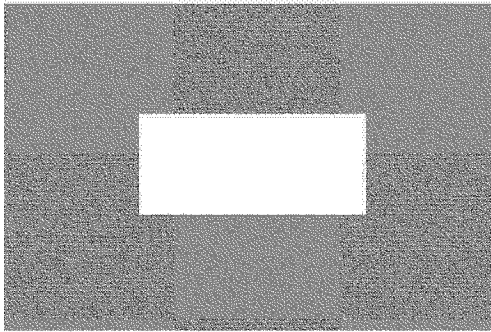


图 10A

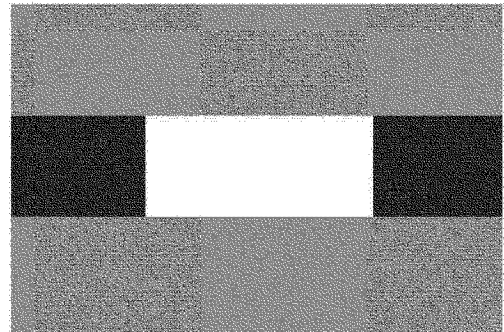


图 10B

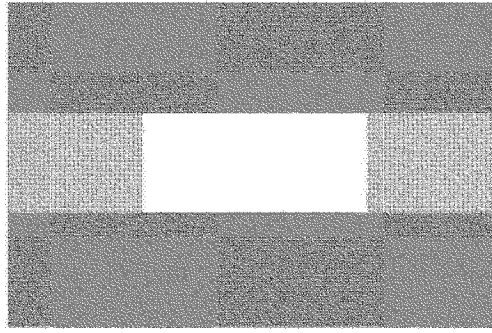


图 10C